

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G03F 7/20

H01L 21/00

H01L 29/786



[12] 发明专利申请公开说明书

[21] 申请号 200510002701.X

[43] 公开日 2005 年 6 月 29 日

[11] 公开号 CN 1632675A

[22] 申请日 2005.1.19

[21] 申请号 200510002701.X

[71] 申请人 广辉电子股份有限公司

地址 台湾省桃园县

[72] 发明人 施明宏

[74] 专利代理机构 北京三友知识产权代理有限公司

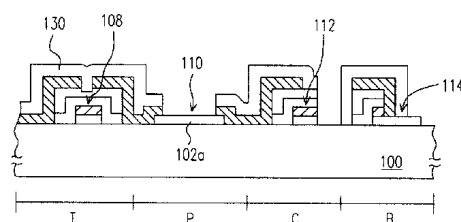
代理人 任默闻

权利要求书 3 页 说明书 7 页 附图 6 页

[54] 发明名称 薄膜晶体管液晶显示器的像素结构的制造方法

[57] 摘要

一种薄膜晶体管液晶显示器的像素结构的制造方法，此方法是首先在一基板上形成一栅极图案以及一像素电极图案。接着在基板上方依序形成一栅绝缘层以及一半导体层，并且进行一图案化工序，以保留栅极图案上方的栅绝缘层以及半导体层，且移除像素电极图案的第一金属层。随后，在基板上方形成一源极图案与一漏极图案。接着依序在基板上方形成一钝化层以及光刻胶层。接着以栅极图案、源极图案及漏极图案为一掩膜，进行一背面曝光工序以及一显影工序，以使光刻胶层图案化，接着以图案化的光刻胶层为掩膜刻蚀钝化层，以使像素电极图案的透明导电层暴露出来。之后，移除光刻胶层。



1. 一种薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于，包括：

在一基板上依序形成一透明导电层以及一第一金属层；

- 5 进行一第一道光掩膜制作工序，以图案化所述第一金属层以及所述透明导电层，而定义出一栅极图案以及一像素电极图案；

在所述基板上方依序形成一栅绝缘层以及一半导体层，覆盖所述栅极图案以及所述像素电极图案；

- 进行一第二道光掩膜制作工序，以保留所述栅极图案上方的所述栅
10 绝缘层以及所述半导体层，并且移除所述像素电极图案的所述第一金属层；

在所述基板上方形成一第二金属层；

进行一第三道光掩膜制作工序，以图案化所述第二金属层，而在保留下来的所述半导体层上形成一源极图案与一漏极图案；

- 15 在所述基板上方形成一钝化层；

在所述钝化层上形成一光刻胶层；

以所述栅极图案、所述源极图案及所述漏极图案为一掩膜，进行一背面曝光工序以及一显影工序，以图案化所述光刻胶层；

- 以图案化的所述光刻胶层为掩膜刻蚀所述钝化层，以使所述像素电
20 极图案的所述透明导电层暴露出来；以及
 移除所述光刻胶层。

2. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：

在所述第一道光掩膜制作工序中，还包括定义出一下电极图案；

- 25 在所述第二道光掩膜制作工序中，还包括保留位于所述下电极图案上的所述栅绝缘层与所述半导体层；以及

在所述第三道光掩膜制作工序中，还包括在所述下电极图案上方的所述半导体层上保留所述第二金属层，以作为一上电极。

3. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：

5 在所述第一道光掩膜制作工序中，还包括定义出一焊垫图案；

在所述第二道光掩膜制作工序中，还包括保留部分所述焊垫图案上方的所述栅绝缘层与所述半导体层，并且移除部分所述焊垫图案的所述第一金属层；

10 在所述第三道光掩膜制作工序中，还包括保留所述焊垫图案上方的所述第二金属层；以及

在刻蚀所述钝化层的工序中，更包括移除部分所述焊垫图案上的所述钝化层。

4. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：

15 在所述第一道光掩膜制作工序中，还包括定义出一下电极图案以及一焊垫图案；

在所述第二道光掩膜制作工序中，还包括保留位于所述下电极图案以及部分所述焊垫图案上方的所述栅绝缘层与所述半导体层，并且移除部分所述焊垫图案的所述第一金属层；

20 在所述第三道光掩膜制作工序中，还包括在所述下电极图案上方的所述半导体层上保留所述第二金属层，以作为一上电极，并且保留所述焊垫图案上方的所述第二金属层；以及

在刻蚀所述钝化层的工序中，还包括移除部分所述焊垫图案上的所述钝化层。

25 5. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：在所述第三道光掩膜制作工序中，还包括移除位于

所述源极图案与所述漏极图案之间的所述半导体层的部分厚度。

6. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：所述第一金属层为一单一金属层、一合金层或是一多层金属层。

5 7. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：所述第二金属层为一单一金属层、一合金层或是一多层金属层。

8. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：所述半导体层包括一沟道材质层以及一欧姆接触材
10 质层。

9. 根据权利要求1所述的薄膜晶体管液晶显示器的像素结构的制造方法，其特征在于：所述透明导电层包括一金属氧化物层。

薄膜晶体管液晶显示器的像素结构的制造方法

技术领域

本发明涉及一种薄膜晶体管 (Thin Film Transistor) 液晶显示器的像素结构的制造方法，且特别是涉及一种使用三道光掩膜制作工序的像素结构的制造方法。

背景技术

薄膜晶体管液晶显示面板主要由薄膜晶体管阵列基板、彩色滤光阵列基板和夹于两基板之间的液晶层所构成，其中薄膜晶体管阵列基板是由多个像素结构所构成，且每一像素包括了一薄膜晶体管以及一像素电极 (Pixel Electrode)。

一般薄膜晶体管液晶显示器的像素结构的制造方法，较常见的是五道光掩膜制作工序。第一道光掩膜制作工序是用来定义第一金属层，以形成扫描配线以及薄膜晶体管的栅极等构件。第二道光掩膜制作工序是定义出薄膜晶体管的沟道层以及欧姆接触层。第三道光掩膜制作工序是用来定义第二金属层，以形成数据配线以及薄膜晶体管的源极/漏极等构件。第四道光掩膜制作工序是用来将钝化层图案化。而第五道光掩膜制作工序是用来将透明导电层图案化，以形成像素电极。

然而，随着薄膜晶体管液晶显示器朝大尺寸制作的发展趋势，而将会面临许多的问题与挑战，例如成品率降低以及产能下降等等。因此若是能减少薄膜晶体管制作工序的光掩膜数，即降低薄膜晶体管元件制作的曝光工程次数，就可以减少制造时间，增加产能，进而降低制造成本。

发明内容

本发明的目的就是提供一种薄膜晶体管液晶显示器的像素结构的制造方法，其利用三道光掩膜制作工序即可以完成像素结构的制作。

本发明提出一种薄膜晶体管液晶显示器的像素结构的制造方法，此方法是首先在一基板上依序形成一透明导电层以及一第一金属层，并且进行一第一道光掩膜制作工序，以使第一金属层以及透明导电层图案化，而形成一栅极图案以及一像素电极图案。接着在基板上方形成一栅绝缘层以及一半导体层，覆盖上述所形成的栅极图案以及像素电极图案，并且进行一第二道光掩膜制作工序，以保留栅极图案上方的栅绝缘层以及半导体层，并且将像素电极图案的第一金属层移除。随后，在基板上方形成一第二金属层，并且进行一第三道光掩膜制作工序，以使第二金属层图案化，而在保留下来的半导体层上形成一源极图案与一漏极图案。接着在基板上方形成一钝化层。紧接着，在钝化层上形成一光刻胶层，然后以栅极图案、源极图案及漏极图案为一掩膜，进行一背面曝光工序以及一显影工序，以图案化光刻胶层。然后，以图案化的光刻胶层为掩膜刻蚀钝化层，以使像素电极图案的透明导电层暴露出来。之后，移除此光刻胶层。

本发明的有益效果在于：本发明仅需进行三道光掩膜制作工序即可以完成像素结构的制作，相对于五道光掩膜制作工序其可以减少两道光掩膜数，因此具有增加产能以及降低成本的优点。

附图说明

图1是依照本发明一较佳实施例的薄膜晶体管液晶显示器的像素结构的俯视示意图；
图2a至图2k是依照本发明一较佳实施例的薄膜晶体管液晶显示器的像素结构的制造流程剖面示意图。

主要组件符号说明：

基板100	透明导电层102	透明导电层102a
金属层104	金属层104a	金属层122
金属层122a	光刻胶层106	光刻胶层120
光刻胶层124	光刻胶层132	光刻胶层132a

	栅极图案108	像素电极图案110	下电极图案112
	焊垫图案114	焊垫图案114a	栅绝缘层116
	栅绝缘层116a	半导体层118	半导体层118a
	半导体层118b	源极126	漏极128
5	上电极129	钝化层130、130a	背面曝光工序140
	扫描配线150	数据配线160	薄膜晶体管T
	像素电极P	储存电容C	焊垫B
	焊垫B'		

具体实施方式

10 为使本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并结合附图，作详细说明如下。

本发明所提出的薄膜晶体管液晶显示器的像素结构的制造方法仅须三道光掩膜制作工序，即可以完成像素结构的制作。而所制成的具有多个像素结构的基板可以以任何方式与彩色滤光基板及液晶层搭配，以构成一薄膜晶体
15 管液晶显示面板。以下说明为本发明的较佳实施例，但并非用以限定本发明。

图1是依照本发明一较佳实施例的薄膜晶体管液晶显示器的其中一像素结构的俯视示意图，图2a至图2k是依照本发明一较佳实施例的薄膜晶体管液晶显示器的其中一像素结构的制造流程剖面示意图。

参照图1以及图2a，首先在一基板100上依序形成一透明导电层102以及一
20 第一金属层104。其中，第一金属层104是一单层金属层或是多层金属层结构，若第一金属层104是单层金属层，则其材质例如是选自铬(Cr)层、钨(W)层、钽(Ta)层、钛(Ti)层、钼(Mo)层、铝(Al)层以及其合金层。若第一金属层104是多层金属层结构，其可以是Al/Cr/Al三层结构、Mo/Al/Mo三层结构或是Cr/Al两层结构等等组合。此外，基板100上例如包括了有预定形成薄膜晶体
25 管T (thin film transistor)的区域、预定形成像素电极P (pixel electrode)的区域、预定形成储存电容器C (storage capacitor)的区域以及预定形成焊

垫B、B' (bonding pad) 的区域。而基板100例如是透明玻璃基板或是透明塑料基板。透明导电层102的材质可以是金属氧化物，其例如是铟锡氧化物(ITO)、铟锌氧化物(IZO)或是其它类似物。特别的是，若上述透明导电层102的材质是采用ITO或IZO，则单一层结构的第一金属层104或是多层结构的第一金属层104中与透明导电层102接触的膜层较佳的是选用铬(Cr)、钨(W)、(Ta)、钛(Ti)、钼(Mo)或是其合金。

紧接着，进行一第一道光掩膜制作工序，以在第一金属层 104 上形成一图案化的光刻胶层106，并且以光刻胶层106作为一刻蚀掩膜进行一刻蚀工序，以图案化第一金属层 104 以及透明导电层 102，而形成图案化的第一金属层104a 以及图案化的透明导电层 102a，如图 2b 所示。在一较佳实施例中，第一道光掩膜制作工序是在预定形成薄膜晶体管T的区域中定义出栅极图案108、在预定形成像素电极P的区域中定义出像素电极图案110，并且定义出与栅极图案108电连接的扫描配线150(如图1所示)。

在另一较佳实施例中，还包括在预定形成储存电容器C的区域中定义出下电极图案112，储存电容器C例如是一栅极上方的储存电容器(Cs on gate)。在另一较佳实施例中，第一道光掩膜制作工序还包括在基板100边缘预定形成焊垫B的区域中定义出与扫描配线150电连接的焊垫图案114，还包括在基板100的另一个边缘预定形成焊垫B'的区域定义出独立的焊垫图案114a(其剖面与焊垫B相同或相似)。在另一较佳实施例中，第一道光掩膜制作工序还包括定义出下电极图案112以及焊垫图案114。

请参照图1与图2c，之后在基板100上方依序沉积一栅绝缘层116以及一半导体层118，覆盖住上述所形成的结构。在一较佳实施例中，栅绝缘层116的材质例如是氮化硅、氧化硅或氮氧化硅。半导体层118是由一沟道材质层(例如是非晶硅)以及一欧姆接触材质层(例如是掺杂的非晶硅)所构成。

紧接着，进行一第二道光掩膜制作工序，以在半导体层118上形成一图案化的光刻胶层120，并且以光刻胶层120作为一刻蚀掩膜进行一刻蚀工序，如

图2d所示,以图案化半导体层118以及栅绝缘层116,而形成图案化的半导体层118a以及栅绝缘层116a,且同时将像素电极图案110的第一金属层104a移除,而仅留下像素电极图案110的透明导电层102a。在一较佳实施例中,第二道光掩膜制作工序是留下栅极图案108上方的半导体层118a以及栅绝缘层116a。

5 在另一较佳实施例中,第二道光掩膜制作工序还包括保留下电极图案112上方的半导体层118a以及栅绝缘层116a,其是作为电容介电层之用。在另一较佳实施例中,第二道光掩膜制作工序还包括移除部分焊垫图案114、114a上的半导体层118a与栅绝缘层116a,并且移除部分焊垫图案114、114a的第一金属层104a,以使焊垫图案114、114a的透明导电层102a暴露出来。在另一较佳
10 实施例中,第二道光掩膜制作工序还包括保留下电极图案112以及焊垫图案114、114a上方的半导体层118a与栅绝缘层116a,并且移除部分焊垫图案114、114a的第一金属层104a,以使焊垫图案114、114a的透明导电层102a暴露出来。

请参照图1与图2e,在基板100上方沉积一第二金属层122,覆盖住上述所
15 形成的结构。在一较佳实施例中,第二金属层122是一单层金属层或是多层金属层结构,若第二金属层122是单层金属层,则其材质例如是选自铬(Cr)层、钨(W)层、钽(Ta)层、钛(Ti)层、钼(Mo)层、铝(Al)层以及其合金层。若第二金属层122是多层金属层结构,其例如是Al/Cr/Al三层结构、Mo/Al/Mo三层结构或是Cr/Al两层结构等等组合。

20 之后,进行一第三道光掩膜制作工序,以在第二金属层122上形成一图案化的光刻胶层124,并且以光刻胶层124作为一刻蚀掩膜进行一刻蚀工序,以图案化第二金属层122,而形成图案化的第二金属层122a,如图2f所示。在一较佳实施例中,形成在栅极图案108上方的第二金属层122a分别是一源极图案126以及一漏极图案128,而且漏极图案128与像素电极图案110电接触,而且
25 在第三道光掩膜制作工序中,还包括定义出与源极图案126连接的一数据配线160(如图1所示)。在一较佳实施例中,在图案化该第二金属层122的同时,还

包括同时移除位于源极图案126与漏极图案128之间的半导体层118a的部分厚度，形成半导体层118b，以在源极图案126/漏极图案128与栅极图案108之间形成一沟道层(channel)119。

在另一较佳实施例中，第三道光掩膜制作工序还包括保留对应于下电极图案112上方的第二金属层122a，以作为像素储存电容的上电极129，且上电极129与像素电极图案110电接触，因此上电极129、下电极图案112以及两电极之间的介电材料(栅绝缘层116a及半导体层118a)即构成一像素储存电容器。在另一较佳实施例中，第三道光掩膜制作工序还包括保留对应于焊垫图案114上方的第二金属层122a，且该处的第二金属层122a与焊垫图案114的第一金属层104a以及透明导电层102a电接触。并且，在基板100边缘的预定形成焊垫B'的区域中形成与数据配线160电连接的第二金属层122a，以作为焊垫图案114a的一部分，较佳的是，焊垫B'的结构与焊垫B结构相同或相似。在又一较佳实施例中，第三道光掩膜制作工序还包括保留对应于下电极图案112以及焊垫图案114、114a上方的第二金属层122a。

15 请参照图1与图2g，在基板100上方沉积一钝化层130，覆盖住上述所形成的结构。在一较佳实施例中，钝化层130的材质是氧化硅、氮化硅、氮氧化硅或是有机材质。

请参照图2h，在钝化层130上形成一光刻胶层132。紧接着，以栅极图案108、源极图案126以及一漏极图案128为一掩膜，进行一背面曝光工序140，此背面曝光工序140的曝光光源是由基板100的背面射入。之后，进行一显影工序，以使光刻胶层132图案化，而形成图案化的光刻胶层132a，如图2i所示。然后，以图案化的光刻胶层132a作为一刻蚀掩膜进行一刻蚀工序，以图案化钝化层130，而形成图案化的钝化层130a，如图2j所示。之后，移除图案化的光刻胶层132a，如图2k所示。在一较佳实施例中，图案化的钝化层130a是暴露出像素电极图案110的透明导电层102a。在另一较佳实施例中，图案化的钝化层130a还暴露出焊垫图案114、114a的透明导电层102a的一部分，以使其能与外界电路电连接。

由以上说明可知，本发明仅需进行三道光掩膜制作工序即可以完成像素结构的制作，其相对于五道光掩膜制作工序其可以减少两道光掩膜数，因此具有增加产能以及降低成本的优点。

虽然本发明以较佳实施例作了如上的说明，但是其并非用以限定本发明，
5 任何本技术领域的技术人员，在不脱离本发明的方法和范围内，可作各种替换与修改，因此本发明保护范围以权利要求书中所规定的为准。

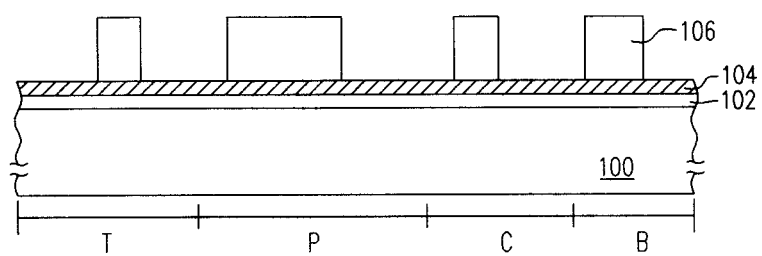


图2a

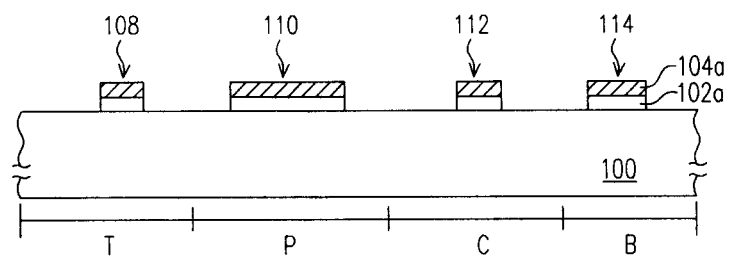


图2b

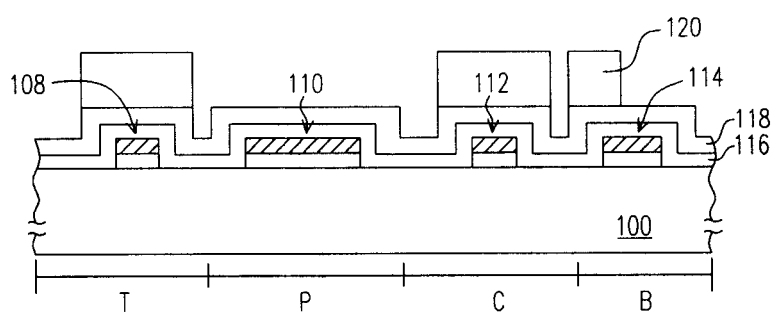


图2c

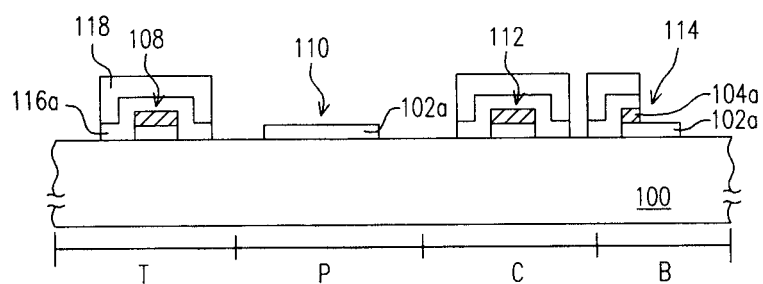


图2d

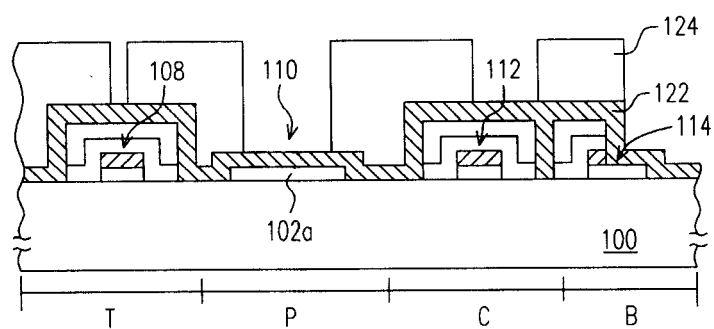


图2e

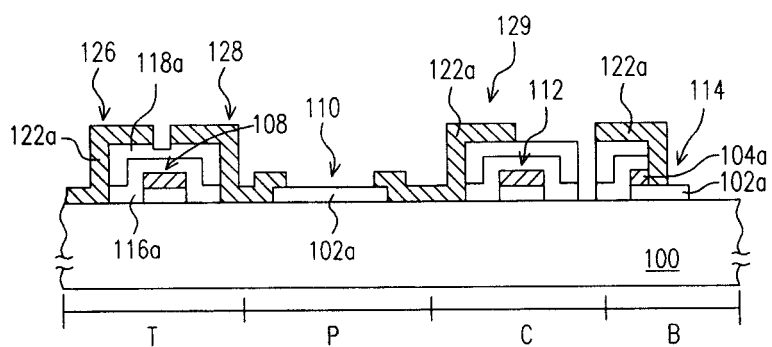


图2f

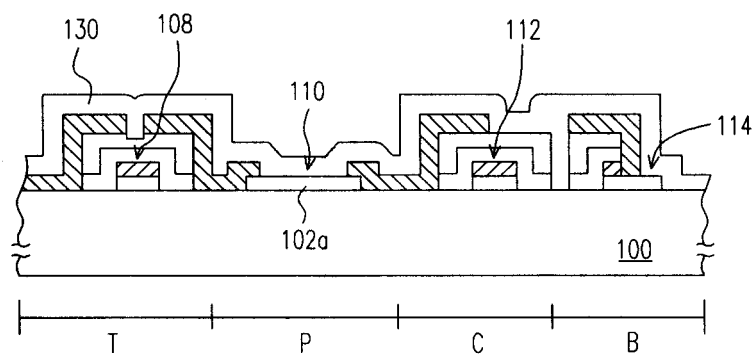


图2g

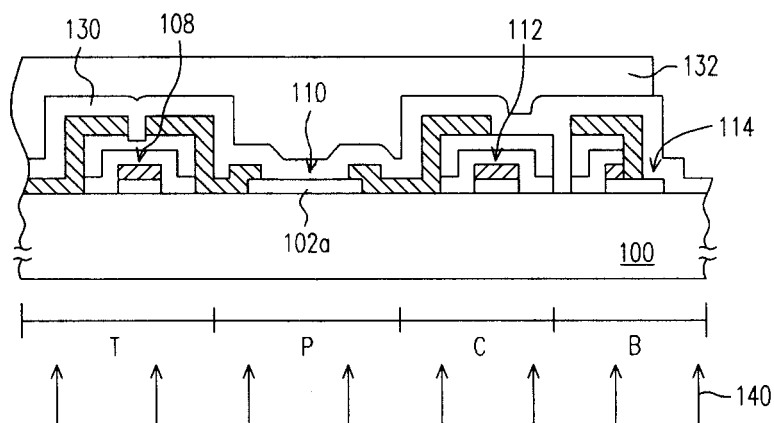


图2h

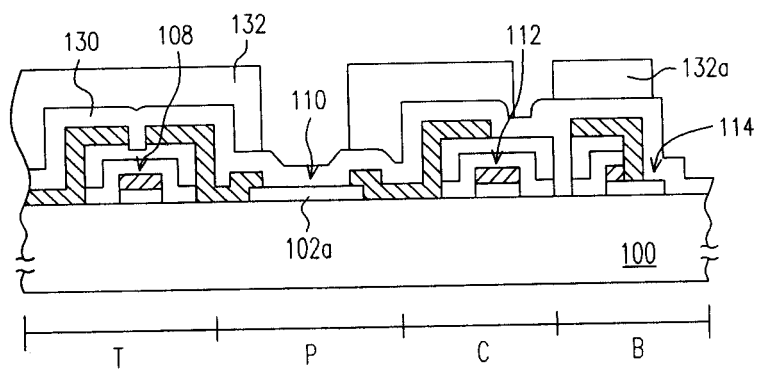


图2i

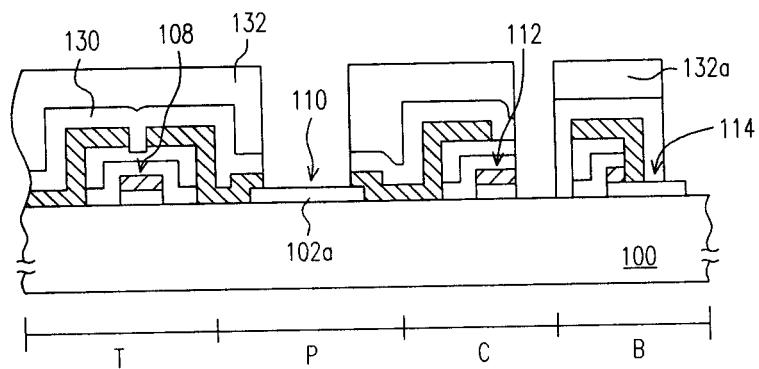


图2j

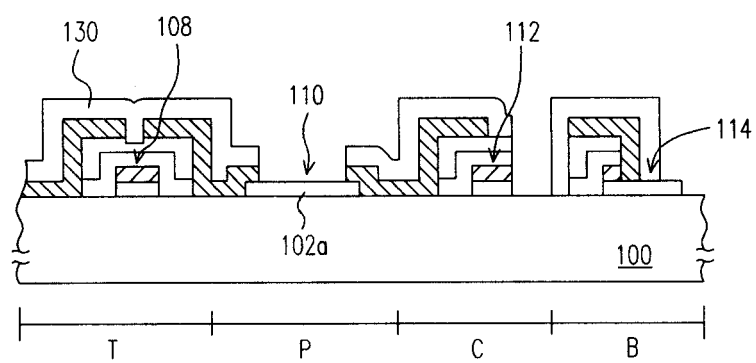


图2k

专利名称(译)	薄膜晶体管液晶显示器的像素结构的制造方法		
公开(公告)号	CN1632675A	公开(公告)日	2005-06-29
申请号	CN200510002701.X	申请日	2005-01-19
[标]申请(专利权)人(译)	广辉电子股份有限公司		
申请(专利权)人(译)	广辉电子股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	施明宏		
发明人	施明宏		
IPC分类号	G02F1/136 G03F7/20 H01L21/00 H01L29/786		
其他公开文献	CN1313876C		
外部链接	Espacenet SIPO		

摘要(译)

一种薄膜晶体管液晶显示器的像素结构的制造方法，此方法是首先在一基板上形成一栅极图案以及一像素电极图案。接着在基板上方依序形成一栅绝缘层以及一半导体层，并且进行一图案化工序，以保留栅极图案上方的栅绝缘层以及半导体层，且移除像素电极图案的第一金属层。随后，在基板上方形成一源极图案与一漏极图案。接着依序在基板上方形成一钝化层以及光刻胶层。接着以栅极图案、源极图案及漏极图案为一掩膜，进行一背面曝光工序以及一显影工序，以使光刻胶层图案化，接着以图案化的光刻胶层为掩膜刻蚀钝化层，以使像素电极图案的透明导电层暴露出来。之后，移除光刻胶层。

