



## [12] 发明专利申请公开说明书

[21] 申请号 03127207. X

[43] 公开日 2004 年 8 月 4 日

[11] 公开号 CN 1517967A

[22] 申请日 2003. 9. 29 [21] 申请号 03127207. X

[30] 优先权

[32] 2003. 1. 29 [33] JP [31] 20498/2003

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 飞田洋一

[74] 专利代理机构 中国专利代理(香港)有限公司

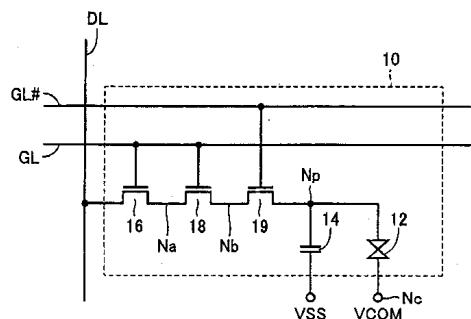
代理人 杨凯 王忠忠

权利要求书 3 页 说明书 17 页 附图 5 页

[54] 发明名称 设有漏电流小的像素的液晶显示装置

## [57] 摘要

像素(10)具有串联在数据线(DL)与像素电极节点(Np)之间的第一～第三N型TFT元件(16、18、19)。第一与第二TFT元件(16、18)的栅极与第一栅线(GL)连接，而第三TFT元件(19)的栅极与第二栅线(GL#)连接。选择状态的第一、第二栅线(GL、GL#)分别设定为可使第一～第三TFT元件(16、18、19)充分导通的高电压。非选择状态的第一栅线(GL)设定为可使第一、第二TFT元件(16、18)充分截止的低电压，非选择状态的第二栅线(GL#)设定为传送到数据线(DL)上的最高电压与最低电压之间的中间电压。



1. 一种液晶显示装置，其中设有：

以行列状配置的、各自按照显示电压来显示亮度的多个像素，

5 分别对应于所述多个像素行而设置的多根第一、第二栅线，

分别对应于所述多个像素列而设置的多根数据线，

按照预定的扫描周期，在将对应的行被选定为扫描对象的选择状态和这以外的非选择状态，分别将所述多根第一、第二栅线驱动到不同电压的栅驱动电路，以及

10 将所述多根数据线驱动到与属于被选定为所述扫描对象的行的所述像素对应的所述显示电压的源驱动电路；

所述多个像素各自包含，

设有像素电极与对向电极的、按照所述像素电极与所述对向电极的电压差输出亮度的液晶元件，

15 电连接于对应的所述数据线与第一节点之间的、其栅极与对应的第一栅线电连接的第一场效应晶体管，以及

电连接于所述第一节点与所述像素电极之间的、其栅极与对应的所述第二栅线电连接的第二场效应晶体管；

所述栅驱动电路将所述选择状态的所述第一、第二栅线的各电压20 设定为可分别使所述第一、第二场效应晶体管导通的第一电压，而将所述非选择状态的所述第一栅线的电压设定为可使所述第一场效应晶体管截止的第二电压，同时将所述非选择状态的所述第二栅线的电压设定为所述显示电压的最高值与最低值中间的第三电压。

2. 如权利要求1所述的液晶显示装置，其特征在于：

25 所述对向电极被供给预定的直流电压；

所述第三电压与所述预定的直流电压实质上为相同电平。

3. 如权利要求1所述的液晶显示装置，其特征在于：

所述对向电极被供给以固定周期交替设定于第四电压与第五电压

之一的交流电压；

所述第三电压与所述第四、第五电压的平均电压实质上为相同电平。

4. 如权利要求1所述的液晶显示装置，其特征在于：

5 所述栅驱动电路包含分别对应于所述行而设置的多个驱动部件；  
所述多个驱动部件各自设有，

按照表示对应的所述行是否被选定为所述扫描对象的选择信号、  
将所述对应的第一栅线以所述第一与第二电压之一驱动的第一驱动器，以及

10 按照所述选择信号，将所述对应的第二栅线以所述第一与第三电压之一驱动的第二驱动器。

5. 如权利要求1所述的液晶显示装置，其特征在于：

所述栅驱动电路将所述非选择状态的第二栅线在通常模式中设定为所述第三电压，而在试验模式中设定为第六电压；

15 所述第一与第六电压之差大于所述第一与第三电压之差。

6. 如权利要求5所述的液晶显示装置，其特征在于：

所述第六电压与所述第二电压实质上为相同电平。

7. 如权利要求1所述的液晶显示装置，其特征在于：

所述第一与第二场效应晶体管由N型薄膜晶体管构成；

20 所述第一电压高于所述第二电压。

8. 如权利要求1所述的液晶显示装置，其特征在于：

所述第一与第二场效应晶体管由P型薄膜晶体管构成；

所述第一电压低于所述第二电压。

9. 一种液晶显示装置，

25 其中设有按照显示电压来显示亮度的像素和用于传送供给所述像素的所述显示电压的数据线；

所述像素包含，

设有像素电极与对向电极、按照所述像素电极与所述对向电极的

电压差来输出亮度的液晶显示元件，

电连接于所述数据线与第一节点之间的第一场效应晶体管，以及电连接于所述第一节点与所述像素电极之间的第二场效应晶体管；

5 还设有在所述像素被按照预定的扫描周期选定为扫描对象的选择状态和这以外的非选择状态，分别将所述第一、第二场效应晶体管的栅极电压驱动到不同电压的栅驱动电路；

所述栅驱动电路在所述选择状态时将各所述栅极电压设定为可分别使所述第一、第二场效应晶体管导通的第一电压，而在所述非选择状态时将所述第一场效应晶体管的栅极电压设定为可使所述第一场效应晶体管截止的第二电压，同时将所述第二场效应晶体管的栅极电压设定为所述显示电压的最高值与最低值中间的第三电压。

## 设有漏电流小的像素的液晶显示装置

5

### 技术领域

本发明涉及液晶显示装置，特别涉及各像素上具有栅绝缘型场效应晶体管的液晶显示装置。

10

### 背景技术

个人电脑、电视接受机、手提电话及手提信息终端装置等的显示屏都采用显示像素上有液晶元件的液晶显示装置。这类液晶显示装置与传统类型的液晶显示装置相比，在低功耗化、小型轻量化方面效果显著。

15

按照所施加电压（下面也将加在液晶元件上的电压称作「显示电压」）的电平不同，液晶元件的显示亮度发生变化。液晶显示装置的显示屏由各自有液晶元件的像素构成，各像素在按预定扫描期间周期性地设定的扫描周期内接受显示电压。

20

各像素在非扫描期间能保持在扫描期间接受的显示电压，显示对应于保持电压的亮度。各像素保持着数据（显示电压）的非扫描期间比写入数据即接受显示电压的扫描期间长得多。例如，若在有 200 根扫描线的液晶显示装置中注视一个像素，则非扫描期间比扫描期间要长 200 倍。因此在各像素内部显示电压的保持特性变得十分重要。这是因为显示电压的保持特性越差，就越需要进行高频的扫描，从而使功耗增加。

25

像素一般采用 TFT (Thin Film Transistor: 薄膜晶体管) 元件等在玻璃基板或半导体基板上形成。因此，在非扫描期间因 TFT 元件上产生的漏电流而使所保持着的显示电压的电平下降，从而上述

的保持特性会降低。

为了抑制非扫描期间的这种漏电流，通过在各像素上串联连接多个TFT元件，将施加在TFT元件上的电压（源漏间电压）分压，从而抑制漏电流，这种结构例如已在特开平5-127619号公报中公开。

但是根据特开平5-127619号公报所描述的像素结构，如果显示电压变高，则漏电流的抑制也变得困难。而在非扫描期间为在TFT元件上施加很强的反偏压而控制栅电压的结构也已披露，但是在这种情况下由于在栅绝缘膜的电压应力增大，绝缘膜的可靠性将成为问题。

10

## 发明内容

本发明的目的在于提供一种设有能防止在非扫描期间（数据保持期间）中场效应晶体管（TFT元件）的栅绝缘膜破坏并能抑制漏电流的像素的液晶显示装置。

本发明的液晶显示装置中设有：(1)以行、列形式配置和用于按照显示电压各自显示亮度的多个像素，(2)分别对应于多个像素行而设置的多根第一、第二栅线，(3)分别对应于多个像素列而设置的多根数据线；(4)按照预定的扫描周期，在将对应的行选定为扫描对象的选择状态和这以外的非选择状态等各状态下，分别将多根第一、第二栅线驱动到不同电压的栅驱动电路，以及(5)将多根数据线驱动到与属于被选为扫描对象的行的像素相对应的显示电压的源驱动电路；多个像素各自包含：(1)有像素电极、对向电极的按照像素电极与对向电极的电压差输出亮度的液晶元件，(2)电连接于对应的数据线与第一节点之间的、其栅极与对应的第一栅线电连接的第一场效应晶体管，以及(3)电连接于第一节点与像素电极之间的、其栅极与对应的第二栅线电连接的第二场效应晶体管；栅驱动电路将选择状态下的第一、第二栅线的各电压设定为可分别使第一、第二场效应晶体管导通的第一电压，而将非选择状态下的第一栅线的电压设定

为可使第一场效应晶体管截止的第二电压，同时将非选择状态下的第二栅线的电压设定为显示电压的最高值与最低值之间的第三电压。

本发明的其它结构的液晶显示装置中，设有按照显示电压显示亮度的像素和用以传送供给像素的显示电压的数据线；像素包含：  
5 (1)有像素电极、对向电极的按照像素电极与对向电极的电压差而输出亮度的液晶显示元件，(2)电连接于数据线与第一节点之间的第一场效应晶体管，以及(3)电连接于第一节点与像素电极之间的第二场效应晶体管；液晶显示装置中还设有像素被按照预定的扫描周期选定为扫描对象的选择状态和这以外的非选择状态等各状态下，将第一、  
10 第二场效应晶体管的栅电压驱动到不同电压的栅驱动电路；栅驱动电路在选择状态下将各栅电压设定为可分别使第一、第二场效应晶体管导通的第一电压，而在非选择状态下将第一场效应晶体管的栅电压设定为可使第一场效应晶体管截止的第二电压，同时将第二场效应晶体管的栅电压设定为显示电压的最高值与最低值之间的  
15 第三电压。

因此，本发明的主要优点在于：通过在液晶显示装置的各像素上将能够分别独立控制栅电压的多个 TFT 元件串联连接在数据线与像素电极之间，能够抑制非扫描期间 TFT 元件的截止漏电流，减轻栅绝缘膜上的电压应力。结果，可改善各像素中显示电压的保持特性，能因扫描周期延长而获得低功耗化以及因亮度变化受到抑制而提高显示品位，同时能提高 TFT 元件的工作可靠性。  
20

对于本发明的上述及其它目的、特征、形态与优点，不难从以下借助附图而理解的本发明的详细说明中得到明确的了解。

25

### 附图说明

图 1 是表示本发明实施例的液晶显示装置的整体结构的框图。

图 2 是作为第一比较例而示出的像素结构例的等效电路图。

图 3 是作为第二比较例而示出的像素结构例的等效电路图。

图 4 是本发明实施例 1 的像素结构例的等效电路图。

图 5 是表示图 1 所示的栅驱动电路中栅线电压驱动部分的结构的概念图。

5 图 6 是表示图 4 所示的栅驱动部件的具体结构例的电路图。

图 7 是表示本发明实施例 2 的像素结构例的等效电路图。

图 8 是说明本发明实施例 3 的栅线驱动器结构的电路图。

## 具体实施方式

10 下面参照附图详细说明本发明的实施例。

### 实施例 1

(液晶显示装置的整体结构)

首先说明本发明实施例的液晶显示装置的整体结构。

15 参照图 1, 本发明的液晶显示装置 5 包括液晶阵列部分 20、栅驱动电路 30 和源驱动电路 40。液晶阵列部分 20 包含行列状排列的多个像素 10。分别与像素的行 (下面也称为「像素行」) 对应, 配置第一栅线 GL 与第二栅线 GL#。分别与像素的列 (下面也称为「像素列」) 对应, 设置数据线 DL。图 1 中, 代表性地示出第一行的第一列和第二列的像素, 以及与之对应的栅线 GL1、GL1# 和数据线 DL1、DL2。

20 为了按照预定的扫描周期, 在扫描期间内将各栅线 GL、GL# 设定为选择状态, 而在其它的非扫描期间内设定为非选择状态, 栅驱动电路 30 对各栅线 GL、GL# 的电压实施控制。各栅线 GL 与 GL# 分别在选择状态与非选择状态下被驱动到不同的电压。而在各像素行中栅线 GL、GL# 可独立控制。

25 源驱动电路 40 将以 N 位 (N: 自然数) 的数字信号即显示信号 SIG 来分级设定的显示电压输出到数据线 DL。图 1 代表性地表示 N = 6 时即显示信号 SIG 由显示信号位 D0~D5 构成时的结构。

基于 6 位显示信号 SIG, 在各像素中都能进行  $2^6 = 64$  级灰度的

亮度显示。另外，如果一个彩色显示单元由 R (Red: 红)、G (Green: 绿)、B (Blue: 蓝) 各一个像素形成，则能显示约 26 万种颜色。

源驱动电路 40 包括移位寄存器 50、数据锁存电路 52 和 54、灰度等级电压生成电路 60、解码电路 70 和模拟放大器 80。

5 与每个像素 10 的显示亮度相对应，串行地生成显示信号 SIG。即在各定时的显示信号位 D0 ~ D5，表示液晶阵列部分 20 上的一个像素 10 的显示亮度。

10 在与显示信号 SIG 的设定被切换的预定周期同步的定时，移位寄存器 50 向数据锁存电路 52 发出关于获取显示信号位 D0 ~ D5 的指示。数据锁存电路 52 将串行生成的一个像素行的显示信号 SIG 顺序获取并保持。

在数据锁存电路 52 中一个像素行的显示信号 SIG 被获取的定时，响应锁存信号 LT 的激活，数据锁存电路 52 中锁存的显示信号群被传送到数据锁存电路 54。

15 灰度等级电压生成电路 60 由串联在高电压 VH 和低电压 VL 之间的 64 个分压电阻组成，在灰度等级电压节点 N1 ~ N64 中分别产生 64 个等级的灰度等级电压 V1 ~ V64。

20 解码电路 70 将数据锁存电路 54 锁存的显示信号解码，并基于该解码选择灰度等级电压 V1 ~ V64。解码电路 70 将所选择的灰度等级电压 (V1 ~ V64 之一) 作为显示电压在解码输出节点 Nd 中生成。在本实施例中，解码电路 70 基于数据锁存电路 54 锁存的显示信号，并行输出 1 行的显示电压。另外，图 1 中代表性地表示对应于第一列和第二列的数据线 DL1、DL2 的解码输出节点 Nd1、Nd2。

25 模拟放大器 80 将分别对应于输出到解码输出节点 Nd1、Nd2、… 中的显示电压的模拟电压分别输出到数据线 DL1、DL2、…。

图 1 中，作为例子表示了栅驱动电路 30 和源驱动电路 40 与液晶阵列部分 20 整体形成的液晶显示装置 5 的结构，但是栅驱动电路 30 和源驱动电路 40 也可以作为液晶阵列部分 20 的外部电路加以设置。

(作为比较例所示的像素中漏电流抑制技术)

为了与本申请发明的像素比较，下面说明作为比较例所示的像素结构及漏电流抑制技术。

在图 1 所示的液晶显示装置 5 的液晶阵列部分 20 中，图 2 所示的像素 10# 可以代替像素 10 而使用。但是在比较例的像素 10# 中，只需要一种栅线 GL，因此这时不需要配置液晶阵列部分 20 中的栅线 GL#。

参照图 2，像素 10# 包含液晶元件 12、保持电容 14 以及 N 型 TFT 元件 16、18。液晶元件 12 连接在像素电极节点 Np 与对向电极节点 Nc 之间，并按照像素电极节点 Np 与对向电极节点 Nc 的电压差，输出亮度。对向电极节点 Nc 在液晶阵列部分 20 的多个像素间被共用，并供以预定的共用电压 VCOM。节点 Na 相当于 N 型 TFT 元件 16 与 18 之间的连接节点。

以下在本说明书中规定，像素电极节点 Np 与对向电极节点 Nc 的电压差越大，亮度越小。也就是说，在最小亮度显示（黑显示）时，像素电极节点 Np 的电压（显示电压）与共用电压 VCOM 的电压差为最大，而在最大亮度显示（白显示）时，显示电压的电平与共用电压 VCOM 相等。

设置保持电容 14 是为了保持像素电极节点 Np 的电压，它连接在像素电极节点 Np 与供给预定电压 VSS 的节点之间。另外，预定电压 VSS 可以是固定电压，也可以为共用电压 VCOM。

N 型 TFT 元件 16、18 作为栅绝缘型场效应晶体管的代表示出，一般地说，它们与液晶元件 12 在同一块绝缘体基板（玻璃基板、树脂基板等）上形成。N 型 TFT 元件 16、18 串联连接在对应的数据线 DL 与像素电极节点 Np 之间，各栅极分别与对应的栅线 GL 连接。在对应的栅线 GL 设定为选择状态（高电平电压）的扫描期间中，N 型 TFT 元件 16、18 导通，对应的数据线 DL 与像素电极节点 Np 连接。由此通过数据线 DL 从源驱动电路 40 将显示电压写入像素电极节点 Np 中，

写入的显示电压由保持电容 14 保持。

在对应的栅线 GL 设定为非选择状态（低电平电压）的非扫描期间，N 型 TFT 元件 16、18 被截止。如已说明的那样，由于多个 TFT 元件串联连接在数据线 DL 与像素电极节点 Np 之间，截止的各 TFT 元件的源漏间的电压下降，因此也可以抑制截止漏电流。另外，TFT 元件的数量可以根据漏电流的电平设为一个或任意多个。

下面说明像素 10# 的动作。

为了防止液晶元件的图像暂留，液晶元件一般用交流驱动。例如可以定义为首先将共用电压 VCOM 取为一定的直流电压，然后对应于最小亮度（黑显示）的显示电压以共用电压 VCOM 作为基准按照一定的周期切换到低电压侧与高电压侧之一。

也就是说，如果规定用于进行黑显示所需的像素电极节点 Np 与对向电极节点 Nc 的电压差为 VD，则显示电压的最高值与最低值由下式(1)及(2)表示的 VDHmax 或 VDLmin 规定。由于显示电压由数据线传送，所以 VDHmax 及 VDLmin 也分别相当于数据线 DL 的最高电压及最低电压。

$$VDH_{max} = VCOM + VD \dots (1)$$

$$VDL_{min} = VCOM - VD \dots (2)$$

这里由(1) - (2)式，可以得到下式(3)。

$$VDH_{max} = VDL_{min} + 2VD \dots (3)$$

像素电极节点 Np 与数据线 DL 之间的电压差越大，漏电流越容易通过。在非扫描期间（数据保持期间）例如像素电极节点 Np 保持 VDHmax 为显示电压，在数据线 DL 正传送 VDLmin 时，漏电流最容易发生。

为了抑制漏电流，必须使 N 型 TFT 元件 16、18 的栅电压低于源极电压，以更强力 地将这些 TFT 元件截止。所以如果考虑数据线 DL 的最低电压 VDLmin，则非扫描期间即非选择状态下栅线电压 VGL 有必要设定为下式(4)。

$$VGL = VDLmin - Vm \dots (4)$$

这里, (4)式中  $Vm$  为用于可靠地截止 TFT 元件的容限电压。

按照上式(3), 保持着显示电压  $VDHmax$  的像素电极节点  $Np$  的电压为  $VNpmax = VDLmin + 2VD$ 。所以按照下式(5), 棚线  $GL$  与像素电极节点  $Np$  之间的电压即 N 型 TFT 元件 18 的栅漏间电压  $VGD$  为最大。

$$\begin{aligned} VGD &= VGL - VNpmax \\ &= VDLmin - Vm - ( VDLmin + 2VD ) \\ &= - Vm - 2VD \dots (5) \end{aligned}$$

如果通常的数值是  $Vm = 2(V)$  及  $VD = 5(V)$ , 则由式(5)  $VGD = - 12(V)$ 。与液晶显示装置的内部电路群的工作电压通常为  $7 \sim 8(V)$  相比, 该电压差是相当高的电平。该电压差在非扫描期间连续地施加在 N 型 TFT 元件 18 的栅、源极之间。

另外, 为了传送数据线的最高电压  $VDHmax$ , 扫描期间即选择期间中的棚线电压  $VGH$  须按下式(6)的范围设定。

$$VGH > VDHmax + Vth \dots (6)$$

(6)式中的  $Vth$  是 N 型 TFT 元件 16、18 的阈值电压。

另外, 为了减小数据线  $DL$  的电压振幅以实现低功耗化, 众所周知, 在传统的像素结构中将对向电极节点  $Nc$  的共用电压  $VCOM$  设为交流电压。

参照图 3, 与图 2 所示的像素 10# 同样, 作为第二比较例所示的像素 11# 可以代替像素 10 用于图 1 中的液晶阵列部分 20。在采用像素 11# 的情况下由于仅需要一种棚线  $GL$ , 因此在液晶阵列部分 20 中也不必配置棚线  $GL$ #。

参照图 3, 像素 11# 与图 2 所示的像素 10# 比较, 不同点在于保持电容 14 连接在像素电极节点  $Np$  与对向电极节点  $Nc$  之间。另外, 对向电极节点  $Nc$  不是一定的直流电压, 可以按预定周期供给交替设定为低电压  $VCOML$  和高电压  $VCOMH$  之一的交流电压。另外, 该交流电压的振幅相当于上述的预定电压  $VD$ , 即由  $VCOMH - VCOML = VD$  表示。

在图 3 所示的像素中，在对向电极节点  $N_c$  设定为低电压  $V_{COML}$  的期间，在显示最小亮度（黑显示）时设定为  $V_{COML} + VD$ ，而在显示最大亮度（白显示）时显示电压设定为  $V_{COML}$ 。与此形成对比，在对向电极节点  $N_c$  设定为高电压  $V_{COMH}$  的期间，在显示最小亮度（黑显示）时设定为  $V_{COMH} - VD$ ，而在显示最大亮度（白显示）时显示电压设定为  $V_{COMH}$ 。

所以如果考虑数据线的电压，则数据线上最高电压  $VD_{Hmax}$  和最低电压  $VD_{Lmin}$  如下式(7)、(8)所示。

$$VD_{Hmax} = V_{COML} + VD \dots (7)$$

$$VD_{Lmin} = V_{COMH} - VD \dots (8)$$

由式(7) - 式(8)，得到式(9)。

$$\begin{aligned} VD_{Hmax} &= VD_{Lmin} + 2VD - (V_{COMH} - V_{COML}) \\ &= VD_{Lmin} + 2VD - VD \\ &= VD_{Lmin} + VD \dots (9) \end{aligned}$$

如果比较式(9)与式(3)，则在采用图 3 像素 11# 的液晶显示装置中数据线的最高电压能够比由像素 10# 构成的液晶显示装置正好减小  $VD$  量。此结果说明，能够实现低功耗化。

由于对向电极节点  $N_c$  通常共同连接在全部液晶元件之间，因此当对向电极的电压变化时，全部对向电极节点的电压同时变化。所以此时作为数据保持状态（非扫描期间）的像素的像素电极节点  $N_p$  的电压变化量正是对向电极节点  $N_c$  的变化量（即  $VD$  的量）。

结果保持着  $VD_{Hmax}$  显示电压的像素电极节点的电压，成为由下式(10)表示的量。

$$VN_{pmax} = VD_{Hmax} + VD \dots (10)$$

而另一方面，保持着  $VD_{Lmin}$  的显示电压的像素电极节点  $N_p$  的电压，成为由下式(11)表示的量。

$$VN_{pmin} = VD_{Lmin} - VD \dots (11)$$

在式(11)中 N 型 TFT 元件 16、18 的源极电压向负方向减少。这是

N型TFT元件16、18导通方向的电压变化。为了防止这种情况，必须使非选择状态中的栅线电压VGL下降共用电压VCOM的变化量。

因此，为了在设有像素11#的液晶显示装置中抑制漏电流，非选择状态的栅线电压VGL须如下式(12)设定。

5 
$$VGL = VDLmin - Vm - VD \dots (12)$$

结果，N型TFT元件18的栅漏间电压VGD的最大值由下式(13)给出。

10 
$$VGD = VGL - VNpmax$$

$$= VDLmin - Vm - VD - (VDHmax + VD)$$

$$= VDLmin - VDHmax - 2VD - V \dots (13)$$

这里，如果取通常的数值  $VDHmax = 5(V)$ 、 $VD = 5(V)$ 、 $Vm = 2(V)$ 、 $VDLmin = 0(V)$ ，则  $VGD = -17(V)$ ，与图2中像素10#的情况相比，在非扫描期间在N型TFT元件18的栅漏间被连续地施加更大的电压。

另外，为了传送数据线的最高电压  $VDHmax$ ，按照上述式(6)设定扫描期间即选择状态的栅线电压  $VGH$ 。

众所周知，以TFT元件为代表的场效应晶体管中，通过在由绝缘膜与沟道区隔离的栅极上施加电压来控制其导通和截止。如果该栅极正下方的绝缘膜（栅绝缘膜）发生绝缘击穿，则会因栅极与沟道区短路而流过大电流，因此必须充分考虑栅绝缘膜的可靠性。

20 由于施加在栅绝缘膜上的电压本身小于选择状态下的栅线电压  $VGH$ ，因此，按照能经受住扫描期间的电压  $VGH$  的要求设计TFT元件的栅绝缘膜。但是，即使作为瞬时值在耐压范围内，如果栅绝缘膜上长时间被施加较大的电压应力，则由于累积的电压应力，栅绝缘膜有时也会破坏。这种现象作为栅绝缘膜的经时绝缘击穿（Time Dependent Dielectric Breakdown; TDDB）而为人所知。

25 所以如式(5)、(13)所示，虽然在数据保持期间（非扫描期间）中像素10#、11#中的N型TFT元件18的栅漏间电压的最大值小于栅绝缘膜的耐压，也最好进一步减轻该电压应力。

(实施例 1 的像素结构)

下面说明实施例 1 中抑制数据保持期间中 TFT 元件的电压应力的像素结构例。

参照图 4, 图 1 中所示的实施例 1 的像素 10 与图 2 所示的像素 10 # 比较, 不同点在于它还包含连接在 N 型 TFT 元件 18 与像素电极节点  $N_p$  之间的 N 型 TFT 元件 19。N 型 TFT 元件 19 的栅极与栅线  $GL\#$  连接。节点  $N_b$  相当于 N 型 TFT 元件 18 与 19 的连接节点。

如图 1 所示, 在各像素行上连接 N 型 TFT 元件 16 与 18 的各栅极的栅线  $GL$  和连接 N 型 TFT 元件 19 的栅极的栅线  $GL\#$  作为独立布线而设置。另外, 与图 2 的像素 10 # 同样, 对向电极节点  $N_c$  的共用电压  $VCOM$  作为固定的直流电压供给。

图 5 是表示图 1 所示的栅驱动电路 30 中栅线  $GL$ 、 $GL\#$  的电压控制部分的结构的概念图。图 5 典型地表示以对应各像素行而设置的栅驱动部件 100 的结构。

参照图 5, 栅驱动部件 100 包含响应共用的栅线选择信号  $GSS$  而驱动栅线  $GL$  电压的栅线驱动器 110 和驱动栅线  $GL\#$  电压的栅线驱动器 120。在对应的像素行被选定为扫描对象时, 栅线选择信号  $GSS$  设定为低电平, 而在这以外的未被选择时, 被设定为高电平。

在对应的像素行被选择时, 栅线驱动器 110 将栅线  $GL$  驱动到高电压  $VGH$  而设定为选择状态, 而在对应的像素行未被选择时, 将栅线  $GL$  驱动到低电压  $VGL$  而设定为非选择状态。

在对应的像素行被选择时, 栅线驱动器 120 将栅线  $GL\#$  驱动到高电压  $VGH$  而设定为选择状态, 而在对应的像素行未被选择时, 将栅线  $GL\#$  驱动到中间电压  $VGM$  而设定为非选择状态。

参照图 6, 栅线驱动器 110 中有: CMOS 反相器构成的、连接在高电压  $VGH$  的供给节点和对应的栅线  $GL$  之间的 P 型 TFT 元件 112, 以及连接在栅线  $GL$  与低电压  $VGL$  的供给节点之间的 N 型 TFT 元件 114。栅线选择信号  $GSS$  被输入到 TFT 元件 112 与 114 的各栅极上。

同样地，液晶元件 120 中有：CMOS 反相器构成的、连接在高电压 VGH 的供给节点与对应的栅线 GL# 之间的 P 型 TFT 元件 122，以及连接在栅线 GL# 与中间电压 VGM 的供给节点之间的 N 型 TFT 元件 124。与栅线驱动器 110 共用的栅线选择信号 GSS 被输入到 TFT 元件 122 与 124 的各栅极上。

这样，为了在选择状态下在各像素行上栅线 GL、GL# 能够将数据线 DL 上的最高电压 VDHmax 传送到像素电极节点 Np 上，按照式(6)将像素 10# 中 N 型 TFT 元件 16、18、19 设定为能够充分导通的高电压 VGH。

另一方面，在非选择状态下，栅线 GL 被设定为低电压 VGL，而栅线 GL# 被设定为高电压 VGH 与低电压 VGL 之间的中间电压 VGM(  $VGH > VGM > VGL$  )。

再参照图 4，在数据保持期间（非扫描期间）即非选择状态下的栅线 GL、GL# 这样设定：为了抑制漏电流，栅极 GL 线被设定为与像素 10# 中式(4)相同的栅线电压 VGL，而为了抑制加在 TFT 元件 18 上的栅漏间电压，栅线 GL# 线被设定为中间电压 VGM。

在显示电压成为 VDHmax 或 VDLmin 的显示时，对于与像素电极节点 Np 连接的 N 型 TFT 元件 19 施加最大的电压应力。因此，为了尽量减轻在这两个显示电压下栅绝缘膜上的电压应力，须将中间电压 VGM 设定在数据线 DL 的最高电压 VDHmax 与最低电压 VDLmin 即显示电压的最高值与最低值之间的中间电平上，最好设定为两者的平均值。因此，最好将中间电压 VGM 按照式(14)设定。

$$\begin{aligned} VGM &= ( VDHmax - VDLmin ) / 2 + VDLmin \\ &= ( VDHmax + VDLmin ) / 2 = VCOM \dots (14) \end{aligned}$$

由此，在像素电极节点 Np 保持显示电压 VDHmax 时，在数据保持期间的 N 型 TFT 元件 19 的栅漏间电压 VGD 在下式(15)中成为最大。

$$\begin{aligned} VGD &= VGM - VNpmax \\ &= VCOM - ( VCOM + VD ) = - VD \dots (15) \end{aligned}$$

同样地，在像素电极节点 Np 保持显示电压 VDLmin 时，在数据保持期间 N 型 TFT 元件 19 的栅漏间电压 VGD 在下式(16)中成为最大。

$$\begin{aligned} VGD &= VGM - VNpmin \\ &= VCOM - (VCOM - VD) = VD \dots (16) \end{aligned}$$

5 如果在式(15)与(16)中代入与式(5)同样的数值，则  $|VGD| = 5(V)$ ，与在相同条件下  $|VGD| = 12(V)$  的像素 10# 中的 N 型 TFT 元件 18 相比，在非扫描期间被连续施加的 N 型 TFT 元件 19 的栅绝缘膜上的电压应力可以得到减轻。

另外，通过设置这种 N 型 TFT 元件 19，N 型 TFT 元件 18 的漏极即节点 Nb 与数据线 DL 的电压差小于数据线 DL 与像素电极节点 Np 的电压差。结果在非扫描期间施加在 N 型 TFT 元件 16、18 的源漏间电压比图 2 的像素 10# 小。另外，由于在非选择状态下的栅线 GL 设定为与图 2 像素 10# 相同的低电压 VGL，因此与比较例的像素 10# 相比，在数据保持期间可以抑制像素 10 中像素电极节点 Np 与数据线 DL 之间的漏电流，而且减轻对 N 型 TFT 元件 18 的栅绝缘膜的电压应力，改善其工作可靠性。

如上所述，依据实施例 1 的像素 10 结构，可以比图 2 所示的像素 10# 更加抑制漏电流，而且减轻在数据保持期间对 TFT 元件的栅绝缘膜的电压应力。

20 结果，可改善各像素中显示电压的保持特性，能实现因扫描周期延长而获得的低功耗化并因亮度变化受到抑制而提高显示品位，同时能改善 TFT 元件的工作可靠性。

另外，在图 4 中表示的是其栅极与栅线 GL 连接的两个 N 型 TFT 元件 16、18 以及其栅极与栅线 GL# 连接的一个 N 型 TFT 元件 19 串联在数据线 DL 与像素电极节点 Np 之间的结构例，但考虑所容许的漏电流及电路面积，这些 TFT 元件可以分别设为一个或任意多个。

## 实施例 2

图 7 是表示实施例 2 的像素结构例的等效电路图。

在图 1 所示的总图中图 7 所示的像素 11 可以用来代替像素 10。

参照图 7, 实施例 2 的像素 11 与图 6 所示的实施例 1 像素 10 比较, 不同点在于其保持电容 14 连接在像素电极节点  $N_p$  与对向电极节点  $N_c$  之间。另外, 与图 3 的像素 11# 同样, 对向电极节点  $N_c$  的公用电压  $V_{COM}$  作为按预定周期交替设定在低电压  $V_{COML}$  或高电压  $V_{COMH}$  上的振幅为  $VD$  的交流电压供给。像素 11 是在图 3 所示的比较例的像素 11# 附加了 N 型 TFT 元件 19 而构成的。

与图 4 所示的像素 10 一样, N 型 TFT 元件 16 与 18 的各栅极与栅线  $GL$  连接, N 型 TFT 元件 19 的栅极与另一栅线  $GL\#$  连接。栅线  $GL$ 、 $GL\#$  的电压用实施例 1 中图 5 与图 6 所示的结构同样地加以控制, 因此不再详细说明。

另外, 在图 11 中作为显示电压保持  $VD_{Hmax}$  的像素电极节点  $N_p$  的电压响应公用电压  $V_{COM}$  的  $VD$  量的变化而变化为  $VD_{Hmax} + VD$ 。而另一方面, 保持  $VD_{Lmin}$  的像素电极节点  $N_p$  的电压响应公用电压  $V_{COM}$  的变化, 变化为  $VD_{Lmin} - VD$ 。因此, 在实施例 2 的结构中, 最好按下式(17)设定, 以使相当于非选择状态的栅线  $GL\#$  电压的中间电压  $V_{GM}$  成为这些电压的平均值。

$$\begin{aligned} V_{GM} &= [(V_{DHmax} + VD) + (V_{DLmin} - VD)] / 2 \\ &= (V_{DHmax} + V_{DLmin}) / 2 \\ &= (V_{COMH} + V_{COML}) / 2 \dots (17) \end{aligned}$$

由此, 在像素电极节点  $N_p$  保持显示电压  $VD_{Lmax}$  时, 在数据保持期间的 N 型 TFT 元件 19 的栅漏间电压  $V_{GD}$  在下式(18)中成为最大。

$$\begin{aligned} V_{GD} &= V_{GM} - V_{Npmax} \\ &= (V_{COMH} + V_{COML}) / 2 - (V_{DHmax} + VD) \\ &= (V_{COMH} + V_{COML}) / 2 - (V_{COML} + 2VD) \\ &= (V_{COMH} - V_{COML}) / 2 - 2VD = -1.5VD \dots (18) \end{aligned}$$

同样地, 在像素电极节点  $N_p$  保持显示电压  $VD_{Lmin}$  时, 在数据保持期间中 N 型 TFT 元件 19 的栅漏间电压  $V_{GD}$  在下式(19)中成为最大。

$$\begin{aligned}
 VGD &= VGM - VNp_{min} \\
 &= (VCOMH + VCOML) / 2 - (VDL_{min} - VD) \\
 &= (VCOMH + VCOML) / 2 - (VCOMH - 2VD) \\
 &= - (VCOMH - VCOML) / 2 + 2VD = 1.5VD \dots (19)
 \end{aligned}$$

5 如果在式(18)与(19)中代入与式(5)相同的数值，则  $|VGD| = 7.5(V)$ ，与在相同条件下  $|VGD| = 17(V)$  的像素 11# 中的 N 型 TFT 元件 18 相比，在非扫描期间连续施加的 N 型 TFT 元件 19 的栅绝缘膜上的电压应力被减轻。

10 另外，与实施例 1 的像素 10 一样，通过设置 N 型 TFT 元件 19，N 型 TFT 元件 18 的漏极即节点 Nb 与数据线 DL 的电压差小于数据线 DL 与像素电极节点 Np 的电压差。所以与像素 11# 相比，在数据保持期间能够抑制像素 11 中像素电极节点 Np 与数据线 DL 之间的漏电流，而且能减轻对 N 型 TFT 元件 18 的栅绝缘膜的电压应力，提高其工作可靠性。

15 如上所述，与图 3 所示的像素 11# 相同，依据实施例 2 的结构，能因数据线电压振幅受到抑制而实现低功耗化，而且能在数据保持期间抑制漏电流，同时减轻 TFT 元件的栅绝缘膜上的电压应力。

20 结果，与实施例 1 的结构相同，能改善各像素中显示电压的保持特性，能因扫描周期延长而实现低功耗化以及能因亮度变动受到抑制而提高显示品位，而且能提高 TFT 元件的工作可靠性。

另外，在图 7 中表示的实施例 2 的像素中，其栅极与栅线 GL 连接的 TFT 元件和其栅极与栅线 GL# 连接的 TFT 元件可以分别取一个或任意多个。

25 另外，在图 4 与图 7 中表示的是采用 N 型 TFT 元件 16、18 与 19 的结构例作为例子，但也可以将这些 TFT 元件的一部分或全部置换成 P 型 TFT 元件来构成实施例 1 及实施例 2 的像素。这时，将与 P 型 TFT 元件的栅极连接的栅线 GL、GL# 设定的电压极性反相即可。具体地说，考虑晶体管的特性，将上述的低电压 VGL 与高电压 VGH 设定为

能使 P 型 TFT 元件充分导通和截止的电压，而且对于栅线 GL 在选择状态下驱动到低电压 VGL、在非选择状态下驱动到高电压 VGH 即可；对于栅线 GL# 在非选择状态下驱动到低电压 VGL、在非选择状态下驱动到中间电压 VGM 即可。

### 5 实施例 3

在实施例 1 与实施例 2 中，说明了通过在漏电流通路内设置将栅电压在非选择状态下设定为中间电压 VGM 的 TFT 元件、能够同时抑制漏电流和保护 TFT 元件的栅绝缘膜的像素结构。

可是，虽然从通常动作时保护 TFT 元件的观点看这是一种理想的结构，但在用于有意施加比通常动作大的应力、鉴别缺陷的加速试验（老炼试验）中就不能在该 TFT 元件上施加所期望的应力。由于在该老炼试验中以比通常动作时更严格的条件进行试验，即在预定时间施加高温且大电压应力进行动作试验，因此，为了进行有效率的试验，最好采用能在短时间内提供足够电压应力的结构。

15 在实施例 3 中，说明为了能够在老炼试验时施加足够的电压应力而可切换驱动电压的栅线驱动器的结构。

图 8 是说明实施例 3 的栅线驱动器结构的电路图。

参照图 8，在实施例 3 的结构中，对在图 5 所示的栅线 GL# 用栅线驱动器 120 设置开关电路 130。开关电路 130 包含可响应模式选择信号 MDS 而动作的开关 132 与 134。在通常动作时开关 132 接通，中间电压 VGM 被加到栅线驱动器 120 上，同时开关 134 断开。而在进行老炼试验的试验模式时，开关 134 接通，低电压 VGL 被加到栅线驱动器 120 上，同时开关 132 断开。

25 通过这种结构，栅线驱动器 120 响应栅线选择信号 GSS，在通常动作时使选择状态的栅线 GL# 驱动到高电压 VGH，同时使非选择状态的栅线 GL# 驱动到中间电压 VGM。另一方面，在试验模式时栅线驱动器 120 响应栅线选择信号 GSS，将选择状态的栅线 GL# 驱动到高电压 VGH，同时将非选择状态的栅线 GL# 与栅线 GL 同样地驱动到低电压

VGL。

结果，就与 N 型 TFT 元件 19 的栅极连接的栅线 GL# 而言，试验模式时选择状态与非选择状态的电压差 (VGH - VGL) 大于通常模式时选择状态与非选择状态的电压差 (VGH - VGM)。

5 另外，在实施例 3 中，除了对于栅线 GL# 用栅线驱动器 120 设置开关电路 130 之外，其它结构与实施例 1 或实施例 2 相同，不再重复详细说明。

10 通过这种结构，在实施例 3 结构中，通常动作时可取得实施例 1 及实施例 2 中说明的效果，并在试验模式时能够对于 N 型 TFT 元件 19 短时间施加充分的电压应力，有效地进行老炼试验。

以上对本发明作了详细说明和解释，但这只是为了举例，并不构成对本发明的限定，应当理解本发明的精神和范围仅由附加的权利要求书加以规定。

图 1

5

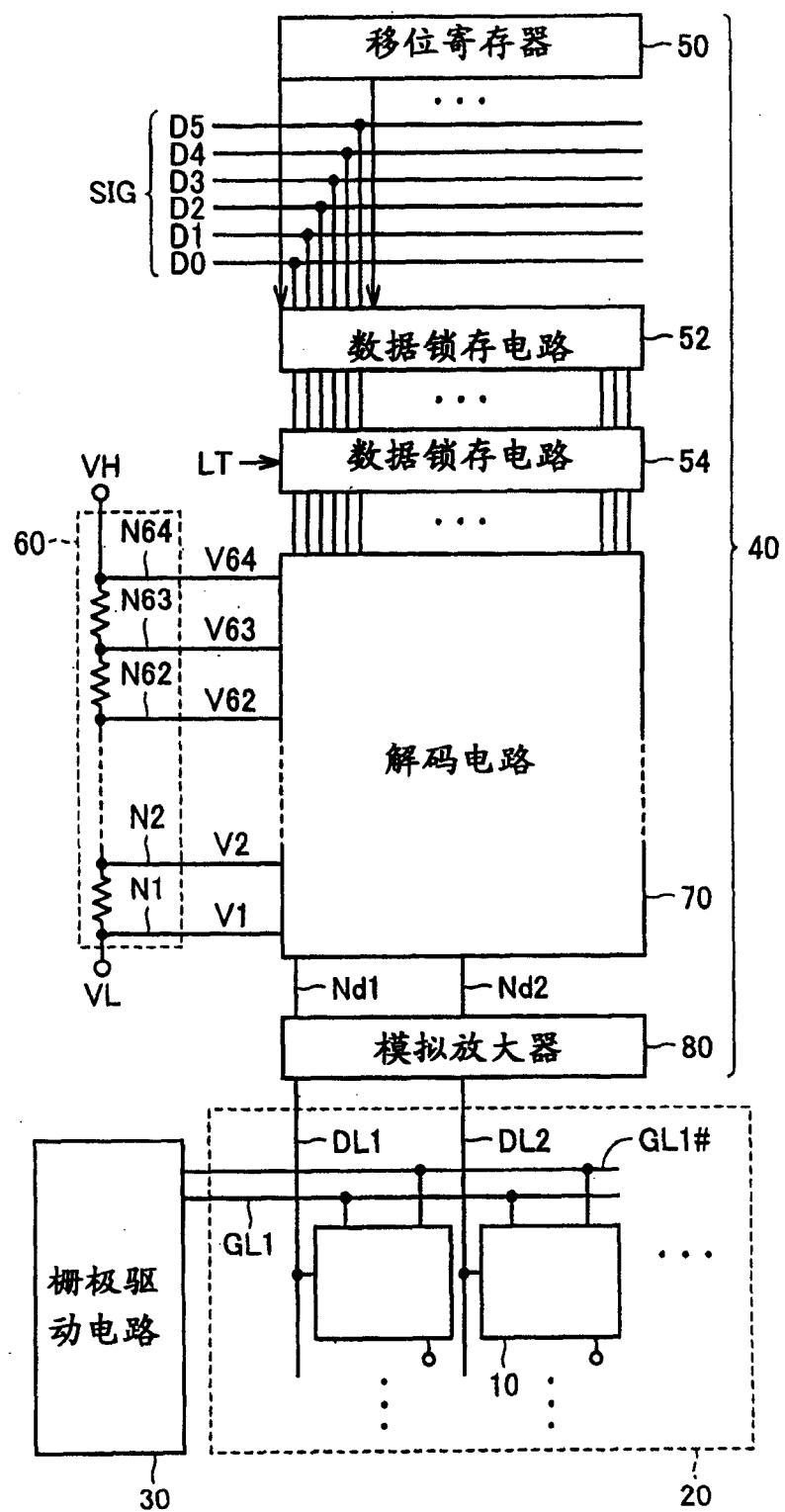


图 2

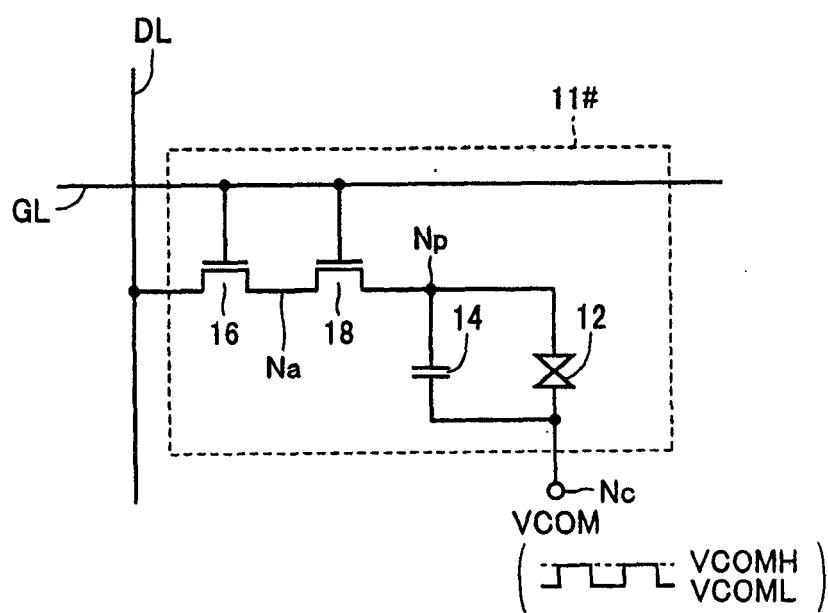
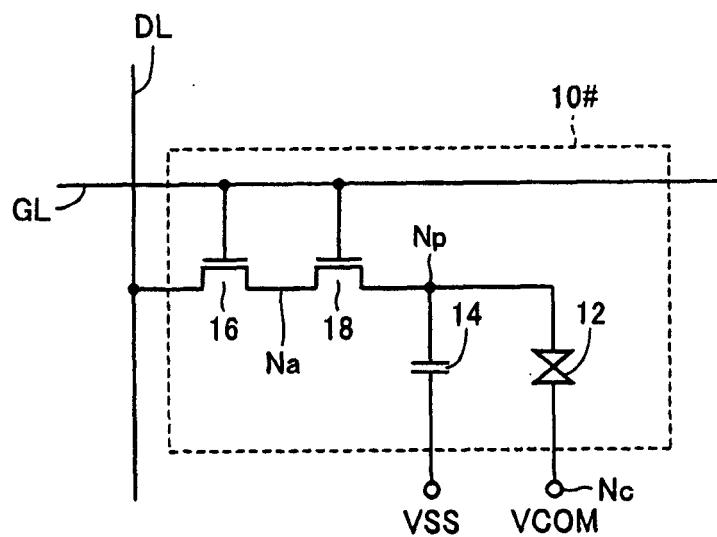


图 3

图 4

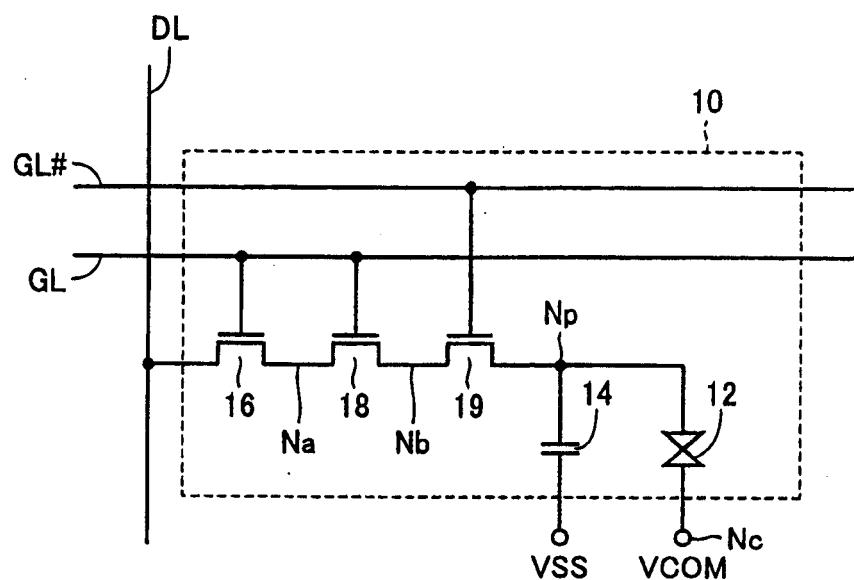


图 5

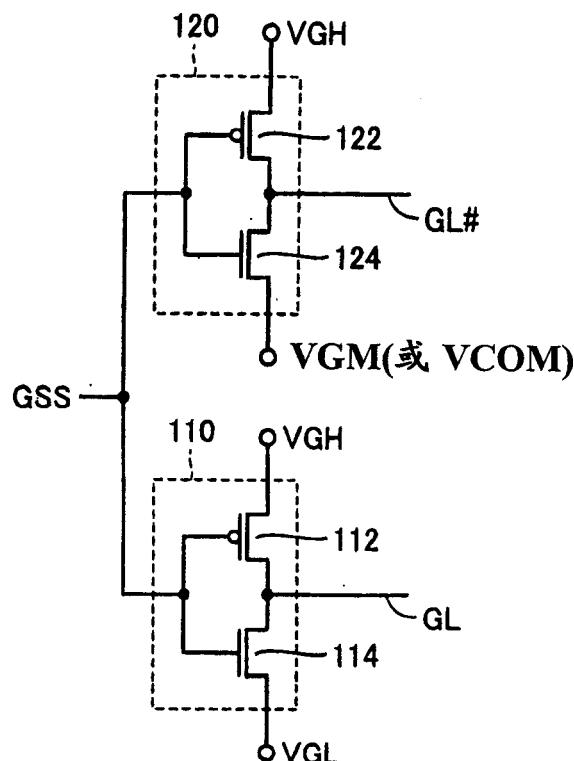
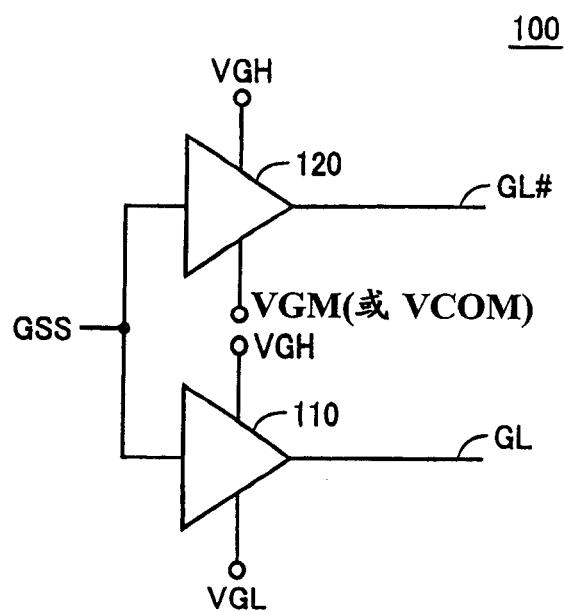


图 6

图 7

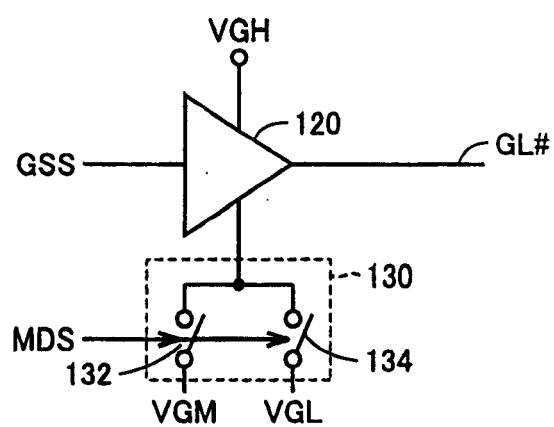
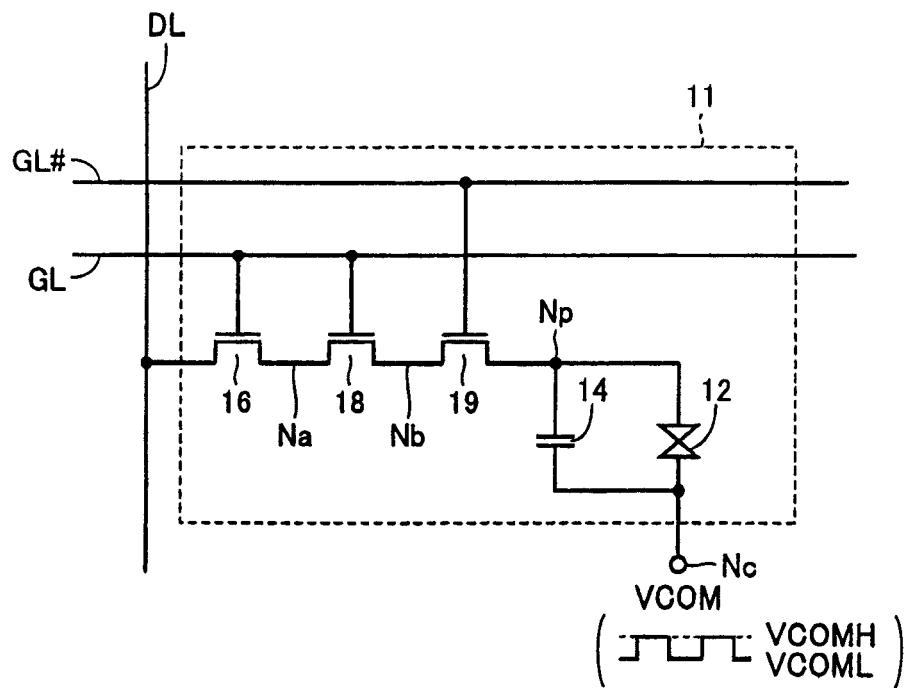


图 8

专利名称(译)	设有漏电流小的像素的液晶显示装置		
公开(公告)号	<a href="#">CN1517967A</a>	公开(公告)日	2004-08-04
申请号	CN03127207.X	申请日	2003-09-29
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飞田洋一		
发明人	飞田洋一		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/10		
CPC分类号	G09G2300/0814 G09G2320/0214 G09G2300/0809 G09G3/3659		
代理人(译)	杨凯 王忠忠		
优先权	2003020498 2003-01-29 JP		
外部链接	<a href="#">Espacenet</a> <a href="#">Sipo</a>		

## 摘要(译)

像素(10)具有串联在数据线(DL)与像素电极节点(Np)之间的第一～第三N型TFT元件(16、18、19)。第一与第二TFT元件(16、18)的栅极与第一栅线(GL)连接，而第三TFT元件(19)的栅极与第二栅线(GL#)连接。选择状态的第一、第二栅线(GL、GL#)分别设定为可使第一～第三TFT元件(16、18、19)充分导通的高电压。非选择状态的第一栅线(GL)设定为可使第一、第二TFT元件(16、18)充分截止的低电压，非选择状态的第二栅线(GL#)设定为传送到数据线(DL)上的最高电压与最低电压之间的中间电压。

