



[12] 发明专利申请公开说明书

[21] 申请号 200310113461.1

[43] 公开日 2004 年 5 月 26 日

[11] 公开号 CN 1499276A

[22] 申请日 2003.11.11

[21] 申请号 200310113461.1

[30] 优先权

[32] 2002.11.11 [33] JP [31] 2002-326413

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 濑川泰生 青田雅明 山田努

[74] 专利代理机构 北京纪凯知识产权代理有限公司

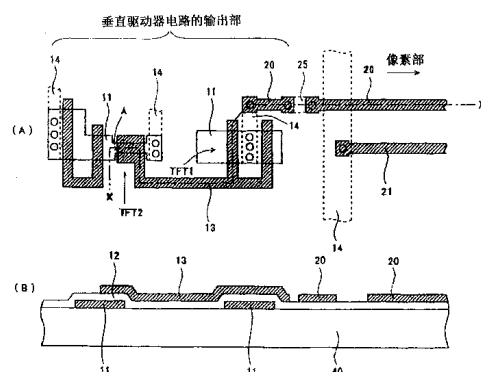
代理人 程 伟 戈 泊

权利要求书 3 页 说明书 9 页 附图 11 页

[54] 发明名称 显示装置

[57] 摘要

本发明提供一种显示装置，其目的在于防止在显示装置中产生薄膜晶体管的栅极绝缘层的绝缘破坏或绝缘漏泄。其中，在栅极线(20)到达垂直驱动器电路(130)的输出部的中途，将栅极线(20)予以分割，并利用上层的金属配线(25)连接分割后的两条栅极线(20、20)。栅极线(20)由例如钼(Mo)或铬(Cr)所形成。而金属配线(25)由铝所形成。由于栅极线(20)经过分割，因此在制造液晶显示装置的过程中蓄积在栅极线(20)的电荷，不会在薄膜晶体管 TFT1 的栅极配线(13)中产生放电，而得以防止薄膜晶体管 TFT2 的栅极绝缘层(12)的破坏。



- 1.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路，而依照所述闸极扫描信号选择各像素，其中，在所述闸极线的从所述像素到所述垂直驱动器电路的输出部的中途分割该闸极线，再利用上层的金属配线连接分割的闸极线。
- 2.根据权利要求1所述的显示装置，其特征在于，所述分割的闸极线间的间隔在 $10\mu\text{m}$ 以上。
- 3.根据权利要求1所述的显示装置，其特征在于，由所述分割的闸极线端到所述垂直驱动器电路的输出部的闸极配线为止的距离在 $10\mu\text{m}$ 以上。
- 4.根据权利要求1所述的显示装置，其特征在于，在利用上层的金属配线连接所述分割的闸极线前，存在有1条像素的闸极线以及1条靠近所述垂直驱动器电路的输出部的闸极线。
- 5.根据权利要求1所述的显示装置，其特征在于，所述闸极线由钼或铬的其中一者所形成。
- 6.根据权利要求1所述的显示装置，其特征在于，所述金属配线由铝配线所形成。
- 7.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；向行方向延伸的许多条数据线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路；以及用以产生汲极扫描信号的水平驱动器电路，所述汲极扫描信号用以控制对所述许多条数据线供给视频信号的时序，其中：在构成所述垂直驱动器电路或所述水平驱动器电路内的电路的薄膜晶体管的闸极配线的中途进行分割，

并利用上层的金属配线连接分割后的闸极配线。

8.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；向行方向延伸的许多条数据线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路；以及用以产生汲极扫描信号的水平驱动器电路，所述汲极扫描信号用以控制对所述许多条数据线供给视频信号的时序，其中：在所述闸极配线中途进行分割，并利用上层的金属配线连接分割后的闸极配线，而使所述垂直驱动器电路或所述水平驱动器电路内的一条闸极配线无法直接输入多个薄膜晶体管。

9.根据权利要求8所述的显示装置，其特征在于，在所述多个薄膜晶体管的至少一个薄膜晶体管中输入与所述闸极配线不同的闸极配线。

10.根据权利要求8或9所述的显示装置，其特征在于，所述多个薄膜晶体管是指3个以上的薄膜晶体管。

11.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；向行方向延伸的许多条数据线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路；以及用以产生汲极扫描信号的水平驱动器电路，所述汲极扫描信号用以控制对所述许多条数据线供给视频信号的时序，其中：在所述闸极配线中途进行分割，并利用上层的金属配线连接分割后的闸极配线，而使所述垂直驱动器电路或所述水平驱动器电路内的一条闸极配线无法直接输入多个主动层。

12.根据权利要求11所述的显示装置，其特征在于，在所述多个主动层的至少一个主动层中输入与所述闸极配线不同的闸极配线。

13.根据权利要求11或12所述的显示装置，其特征在于，所述多个主动层是指3个以上的主动层。

14.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；向行方向延伸的许多条数据线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路；以及用以产生汲极扫描信号的水平驱动器电路，所述汲极扫描信号用以控制对所述许多条数据线供给视频信号的时序，其中：将主动层予以分割，并利用比所述闸极配线更上层的金属配线连接分割后的各主动层，而使非同一信号线的多条闸极配线无法输入所述垂直驱动器电路或所述水平驱动器电路内的一个主动层中。

15.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；向行方向延伸的许多条数据线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路；以及用以产生汲极扫描信号的水平驱动器电路，所述汲极扫描信号用以控制对所述许多条数据线供给视频信号的时序，其中：将主动层予以分割，并利用比所述闸极配线更上层的金属配线连接分割后的各主动层，而使非同一信号线的 3 条以上的闸极配线无法输入所述垂直驱动器电路或所述水平驱动器电路内的一个主动层中。

16.根据权利要求 14 或 15 所述的显示装置，其特征在于，由所述主动层构成多闸型薄膜晶体管。

17.一种显示装置，包括有：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；向行方向延伸的许多条数据线；对所述许多条闸极线依序输出闸极扫描信号的垂直驱动器电路；以及用以产生汲极扫描信号的水平驱动器电路，所述汲极扫描信号用以控制对所述许多条数据线供给视频信号的时序，其中：在所述垂直驱动器电路或所述水平驱动器电路内的一个主动层中，仅输入有 1 条闸极配线。

显示装置

技术领域

本发明涉及一种包括：配置成矩阵状的许多个像素；向列方向延伸的许多条闸极线；对该许多条闸极线依序供给闸极扫描信号的垂直驱动器电路的显示装置，特别是涉及一种防止静电破坏的对策的显示装置。

背景技术

图 10 为已知液晶显示装置的构造图。液晶面板 100 包括有配置成 n 列 m 行矩阵状的许多个像素，各个像素是由：像素选择用薄膜晶体管 TFT10、液晶 LC 以及保持电容 C_{sc} 所构成。在以下说明书中，将薄膜晶体管(Thin film transistor)记载为 TFT。

在 TFT10 的闸极连接有向列方向延伸的闸极线 20，而在其汲极连接有向行方向延伸的数据线 22。在各列的闸极线 20 由垂直驱动器电路(V 驱动器电路)130 依序供给闸极扫描信号，并依照该信号选择像素选择晶体管。此外，在数据线 22 由来自水平驱动器电路(H 驱动器电路)140 的汲极扫描信号，供给视频信号，并透过 TFT10 施加于液晶 IC。(例如，参照专利文献：日本专利特开平 10-115839 号公报)。

发明内容

但是，在已知的液晶显示装置中，其垂直驱动器电路 130 的闸极扫描信号输出部的 TFT 的闸极绝缘层会被 TFT 制造过程中的静电所破坏，而产生绝缘漏泄的问题。该项问题将参照图 8 进行说明。图 11 为图 10 中以虚线包围的部分 B 的放大图，显示闸极线 20 的端部以及垂直驱动器电路 130 的输出部的图案。图 11 (A)为其俯视图，图 11 (B)为图 11 (A)的之 X-X 线的剖视图。

在闸极线 20、保持电容线 21、垂直驱动器电路 130 内的闸极配线在加工上是使用干式蚀刻，此时，在闸极线 20、保持电容线 21、闸极

配线中蓄积有静电。另外，在这之后，以闸极线 20 作为屏蔽，在 P-Si 层离子植入砷或磷等 N 型杂质(为 P 通道 TFT 时则离子植入硼等 P 型杂质)以形成源极区域以及汲极区域时，也会产生电荷累积(charge up)现象，而在闸极线 20、保持电容线 21、闸极配线中蓄积静电。闸极线 20、保持电容 21 由于是以横跨液晶面板 100 的方式延长伸展，因此更容易产生静电。

如此一来，如图 11 所示，与闸极线 20 的端部接近配置的 TFT1 的闸极配线 13 会产生放电，并通过闸极配线 13 移动至邻接的 TFT2 的闸极电极，使得 TFT2-1 的闸极绝缘层 12 的部分 A 遭受破坏，并产生绝缘漏泄。此外，在图 2 中，40 为透明绝缘基板、11 为形成于透明绝缘基板 40 上的主动层(多晶硅层)、14 为铝配线层。图 11 (B)显示铝配线形成前的剖视图。

因此，本发明采用了在液晶显示装置的制造过程中，防止因静电而造成装置损坏的对策：

第 1、如图 1、图 2 所示，在闸极线 20 到达垂直驱动器电路 130 的输出部的中途分割闸极线 20，并以上层的金属配线 25 连接分割后的两条闸极线 20、20。

第 2、如图 4 所示，在构成垂直驱动器电路 130 内的电路的 TFT 的闸极配线 153 的中途进行分割，并以上层的金属配线 153A 连接分割后的两条闸极配线 153、153。

第 3、如图 4 所示，在闸极配线 153 的中途进行分割，并利用上层的金属配线 153A 连接分割后的两条闸极配线 153，153，而使垂直驱动器电路 130 内的闸极配线无法直接输入于 3 个以上的薄膜晶体管。

第 4、如图 6(B)、(C)所示，垂直驱动器电路 130 内的相异信号通过闸极配线并输入 3 个以上的多闸型 TFT，将主动层切割，再利用比前述闸极配线更上层的金属配线连接所切割的各主动层，而使 2 个以上的闸极配线不会延伸于同一主动层上。

附图说明

图 1 为本发明的实施例的液晶显示装置的构造图。

图 2 为本发明的实施例的液晶显示装置的垂直驱动器电路的输出

部的构造图。

图 3 为本发明的实施例的液晶显示装置的垂直驱动器电路的构造图。

图 4 为本发明的实施例的液晶显示装置的垂直驱动器电路的部分模式图。

图 5 为本发明的实施例的液晶显示装置的垂直驱动器电路的部分剖视图。

图 6 为显示输入闸极型的薄膜晶体管的模式例(A), (B), (C)之图。

图 7 为本发明的实施例的液晶显示装置的垂直驱动器电路的输出部的构造图。

图 8 为本发明的实施例的液晶显示装置的垂直驱动器电路的输出部的构造图。

图 9 为本发明的实施例的液晶显示装置的垂直驱动器电路的输出部的构造图。

图 10 为已知的液晶显示装置的构造图。

图 11 为已知的液晶显示装置的垂直驱动器电路的输出部的构造图。

具体实施方式

下面, 参照图示详细说明本发明的实施形态。

实施例 1:

图 1 为与实施例 1 的液晶显示装置的构造图。与图 7 相同构造的部分标记为同一符号并省略其说明。在该液晶显示装置中, 在闸极线 20 到达垂直驱动器电路 130 的输出部的中途分割闸极线 20, 并利用上层的金属配线 25 连接分割后的两条闸极线 20、20。(参照图 1 中以虚线围住的部分 C。)

闸极线 20 由例如钼(Mo)或铬(Cr)所形成, 而金属配线 25 由铝所形成。

图 2 为图 1 中以虚线围住的部分 C 的放大图, 显示闸极线 20 的端部以及垂直驱动器电路 130 的输出部的图案。图 2(A)为其俯视图, 图 2(B)为沿着图(A)2 的 X-X 线的剖视图。

闸极线 20 因分割之故,可避免在液晶显示装置的制作过程中蓄积于闸极线 20 的电荷,在 TFT1 的闸极配线 13 中产生放电,而得以防止 TFT 的闸极绝缘层 12 的破坏。

此外,经分割的两条闸极线 20、20,之后通过设在闸极线 20、20 上的层间绝缘膜(无图示)的接触孔而与上层的金属配线 25 相连接。

此时,经分割的闸极线 20、20 之间的间隔最好在 $10\mu\text{m}$ 以上。根据本发明,该间隔愈大则配置在同一层的配线间的放电率愈小,通过将该间隔设定在 $10\mu\text{m}$ 以上,即可使放电率降至极小的程度。

此外,如图 2 所示,当从垂直驱动器电路的输出部的 TFT1 分割前的闸极线端靠近像素部时,即使分割闸极线 20,由像素部侧的闸极线 20 产生放电的前端亦可能形成 TFT1 的闸极配线而非经分割的闸极线 20。为避免这种情形的产生,在切割闸极线 20 时,其分割位置必须与垂直驱动器电路的输出部的 TFT1 相距 $10\mu\text{m}$ 以上。

借此,可避免由闸极线 20 产生的放电直接落入 TFT1 的闸极配线中,且确实在落入分割的闸极线 20 后才转向 TFT1 的闸极配线。

根据本发明,由于蓄积在闸极线等较长配线的电荷量较大之故,当该电荷直接放于形成 TFT 的闸极配线时,会破坏 TFT 的闸极绝缘膜而造成损坏,并导致漏电流的产生。当分割闸极线,作成短闸极线的一部分时,则蓄积于短闸极线的电荷量,将远小于长闸极线的电荷量。

因此,即使蓄积在短闸极线的电荷在构成 TFT 的闸极线中产生放电,对 TFT 的绝缘膜所造成的损坏也会变小,同时也降低了导致 TFT 特性不良的可能性。

基于该项理由,分割闸极线,拉开与输出部的 TFT 的闸极配线的距离,以及在闸极线与输出部之间作成短闸极线等成为防止受到静电损坏的有效对策。

此外,上述说明在 TFT 制作过程中,在制作闸极配线后到金属配线前的步骤为止的状况,在该等步骤中由于闸极配线部以外的表面由绝缘膜所覆盖,因而特别容易受到静电损坏。因此,在这些步骤之间,先将闸极配线分割,再利用金属配线予以连接即成为防止制作过程中的静电产生的有效对策。

实施例 2:

本实施例用以防止垂直驱动器电路 130 或水平驱动器电路 140 内的静电所造成的闸极绝缘膜的损坏。在本实施例中,以垂直驱动器电路 130 为例说明其防止对策,但在水平驱动器电路 140 方面亦可采取相同的对策。

图 3 为垂直驱动器电路 130 的构造图。该垂直驱动器电路 130 具有:移位缓存器部 131、双向扫描部、以及将闸极扫描信号输出至闸极线 20 的输出部 133。在此,双向扫描部 132 包含有许多个 3 输入 NAND 闸极 134A、134B、134C、134D。

在各个 3 输入 NAND 闸极中,共同输入有时脉信号线 151 的时脉信号。此外,来自移位缓存器部 131 的闸极配线 153 共同输入至输入 NAND 闸极 134A、134B,而来自移位缓存器部 131 的闸极配线 154 共同输入至输入 NAND 闸极 134B、134C,此外,来自移位缓存器部 131 的信号线 155 则共同输入至输入 NAND 闸极 134C、134D。

图 4 为图 3 中以虚线围住部分的模式图。该模式的特征为:将共同输入于构成 3 输入 NAND 闸极 134A 的 TFT161、162 以及构成相邻的输入 NAND 闸极 134B 的 TFT163、164 的闸极配线 153 的中途予以分割,并利用上层的金属配线 153A 连接分割后的两条闸极配线 153、153。

同样地,在闸极配线 154 的途中进行分割,并利用上层的金属配线 154A 连接分割后的两条闸极配线 154、154。此外,闸极线 153、154 由例如钼(Mo)或铬(Cr)所形成,而金属配线 153A、154B 由铝所形成。

在此,说明未分割闸极配线 153、154 等时的 TFT 的闸极绝缘膜的静电破坏机构。

当静电在距离闸极配线 171 最近的闸极配线 152-1 中产生放电时,首先容易产生位于 TFT161 的 p-Si 层(主动层)与 152-1 之间的闸极绝缘层破坏。因该种破坏导致 TFT161 的 p-Si 层的电压急剧变化时,与该电压形成电容结合的闸极配线 151、153-1 的电位也会随着急剧变化。由于闸极配线 153 是输入于 TFT163 之故,TFT163 的 p-Si 层与闸极配线 153 之间会产生极大的电位差,而导致闸极氧化膜遭受损坏。

如此,当闸极配线 153、154 等在中途未经分割时,静电破坏或损

坏会通过 p-Si 闸极间的电容结合传递至邻接的 p-Si 岛部。通过分割闸极线, 不仅可降低蓄积在一个闸极线中的电荷量, 同时亦可防止静电破坏延及其它 p-Si 岛部。最后再利用金属配线连接闸极配线, 在容易产生静电损坏的步骤中, 分割配线是防止静电的有效对策。

此外, 在传递静电损坏时, 输入有闸极线的多个 p-Si 岛部(闸极配线 153 是输入于 4 个 p-Si 岛部)中, 其中至少一个 p-Si 岛部中需输入其它闸极信号。换言之, 当输入有某一闸极线的 p-Si 岛部为多个, 而在这些 p-Si 岛部的至少一个 p-Si 岛部中输入有其它闸极配线时, 最好将闸极线分割后, 再利用上层的金属配线予以连接。

在图 4 所示的 3 输入 NAND 电路中, 3 个输入信号分别输入于 p-ch 侧的 p-Si 岛部与 n-ch 侧的 p-Si 岛部。闸极配线 152、153、154 将同一闸极线输入于 2 个 p-Si 岛部, 而闸极配线 151 则以不同的闸极配线输入于各个 P-Si 岛部。基于不传递静电损坏, 乃以闸极配线 151 较佳。

同样地, 图 11 所示的闸极配线 13, 亦被输入于以 TFT1、TFT2-1 表示的 2 个 p-Si 岛部, 如图 7 所示将该闸极配线 13 予以分割时, 可降低由闸极线 20 放电的静电对 TFT2 造成损坏的可能性。

在以上的说明中, 虽然使用垂直驱动器电路 130 中的电路, 但在制作过程中, 长闸极配线较容易蓄积电荷, 此情况同样也适用在水平驱动器电路 140 上, 故无区别两者的必要, 同时亦可将相同对策运用在水平驱动器电路 140 内。

如此, 根据本发明, 在制造液晶显示装置的过程(闸极配线的干蚀刻步骤、以及其后的源极汲极形成用离子植入步骤)中, 具有长闸极配线时, 会因电荷累积的机械性原因蓄积大量的电荷, 并因放电而易于造成薄膜晶体管的闸极绝缘层的破坏等。因此, 本发明乃在闸极配线中途进行分割以降低电荷的蓄积量。

图 5 显示本发明的概念图的剖视图, 如图 5(A)所示, 当长闸极配线 201 隔着闸极绝缘膜 203 延伸于薄膜晶体管的 p-Si 岛部 200-1、200-2、... 上时, 容易因静电导致闸极绝缘膜 203 的破坏。

因此, 如图 5(B)所示, 在闸极配线 201-1、201-2, ... 的中途进行分割, 并在随后的制作过程中利用铝配线等上层配线进行必要的连接。

此外, 如图 4 所示, 闸极配线 153、154 在该等闸极配线 153、154

的中途进行分割，使之无法直接输入于 3 个以上的 TFT。举例而言，由于闸极配线 153 是在中途进行分割，因此分别输入于 3 输入 NAND 电路 134A 的薄膜晶体管 161、162，以及 3 输入 NAND 电路 134B 的薄膜晶体管 163、164。

亦即，此时闸极配线 153 仅直接输入于 2 个 TFT。造成该结果的理由是：当一条闸极配线未被分割为多数的 TFT 而直接输入时，较容易引起 TFT 的闸极绝缘层的破坏。不将闸极配线直接输入于 3 个以上的 TFT 之的理由，是由于对于 2 个以下的限制并不实用。

实施例 3：

上述实施例 1、2 说明的是以闸极配线为考虑的静电对策，而本实施例是以 TFT 的 p-Si 岛部(P-Si 主动层)为考虑的对策，其在驱动器电路(除了垂直驱动器电路外亦包含水平驱动器电路)内，分割 p-Si 主动层，并利用比前述闸极配线更上层的金属配线连接分割后的各 p-Si 岛部，而使相异的闸极配线无法输入于一个 p-Si 岛部。

图 11 的 TFT2 所示的 p-Si 岛部是由：输入有闸极配线 13 的 TFT2-1 与输入有闸极配线 15 的 TFT2-2，TFT2-3 所构成。

当静电所引起的放电进入闸极配线 13，导致电位大幅变化时，闸极配线 15 与闸极配线 13 之间的电位差会变大，而 p-Si 膜是通过电容与两方的闸极配线结合，其结果导致闸极绝缘膜中产生较大的电位差，而造成绝缘膜的破坏。

p-Si 岛部通过在随后步骤中利用金属配线进行连接，而与图 8 所示的电路进行相同动作。使个别的闸极配线无法输入于 1 个 p-Si 岛部的分割方法，同样可适用在由该 p-Si 岛部构成多闸型晶体管的情形。

图 6 显示 3 输入闸极型的薄膜晶体管的模式例(A)、(B)、(C)之图。其对应于例如 3 输入 NAND 电路的 N 信道型 TFT 的薄膜晶体管(参照图 4 的 TFT161、163)。

图中左侧为平面模式图，右侧为沿着各平面模式的 X-X 线、Y-Y 线、Z-Z 线部分的剖视图。此外，不论在哪一模式中，3 个不同的信号 C1、C2、C3 均是通过各闸极配线分别输入。

首先，在模式例(A)中，在 1 个 p-Si 岛部 300 上，虽输入有 3 条闸极配线，但在该种模式下较容易产生闸极绝缘膜 400 的绝缘破坏或绝

缘漏泄。这是因为，在静电蓄积、放电的过程中，当 3 条闸极配线间产生较大的电位差时，闸极绝缘层 400 上也会产生较大的电位差，而造成绝缘的破坏。因此在本实施例中，根据设计规则乃禁止使用这种模式例，而改用如下的模式例(B)、(C)。

在模式例(B)中，3 输入型的 TFT 的 p-Si 岛部被分离为 2 个 p-Si 岛部 301、302，2 条闸极配线隔着绝缘层 400 而延伸于其中一方的 p-Si 岛部 301 上，而 1 条闸极配线则延伸于与 p-Si 岛部 301 邻接的另一方的 p-Si 岛部 302 上。

然后，2 个 p-Si 岛部 301、302 在随后的制作过程中，利用上层的金属配线 303 进行连接，而作为 1 个 3 输入型的 TFT 发挥作用。

此外，在模式例(C)中，3 输入型的 TFT 的 p-Si 岛部被分离为 3 个 p-Si 岛部 304、305、306，而在各 p-Si 岛部之上，隔着绝缘层 400 分别延伸一条闸极配线。

然后，3 个分离的 p-Si 岛部 304、305、306 在随后的制作过程中，利用上层的金属配线 307、308 进行连接，而作为 1 个 3 输入型薄膜晶体管发挥作用。

在上述各实施例中，虽然是以适用于液晶显示装置的例子进行说明，但本发明并不限于液晶显示装置，本发明亦可广泛适用在具有闸极线或垂直驱动器电路的其它显示装置，例如 EL 显示装置等。

但是，将 3 输入 NAND 的 n-chTFT 的 p-Si 岛部分割为 3 个比分割为 2 个更为理想。

此外，将图 7 所示闸极配线的分割与图 8 所示的 p-Si 岛部的分割加以结合时，如图 9 所示，会形成在 1 个 p-Si 岛部中输入有 1 个闸极配线的构造。

根据本发明，在闸极线到达垂直驱动器电路的输出部的中途将闸极线予以分割，并利用上层的金属配线连接分割后的两条闸极线，因此可消除在制造显示装置时所产生的静电影响，并防止该输出部的 TFT 的绝缘破坏或绝缘漏泄。

此外，由于是在构成垂直驱动器电路或是水平驱动器电路内的电路的 TFT 的闸极配线中途进行分割，并利用上层的金属配线连接分割后的闸极配线，因此不仅可减少蓄积在闸极配线中的静电量，同时亦

可避免产生该 TFT 的绝缘破坏或绝缘漏泄。

此外，由于是在闸极配线中途进行分割，并利用上层的金属配线连接分割后的闸极配线，而使垂直驱动器电路内的闸极配线无法直接输入于多个以上的 TFT 或主动层，因此可避免产生该 TFT 的绝缘破坏或绝缘漏泄。

此外，在输入有许多条闸极配线的主动层中，由于分割主动层，并利用比前述闸极配线更上层的金属配线连接分割后的各主动层，而使 2 条以上的闸极配线无法延伸于同一主动层上，故得以避免产生该多闸型 TFT 的绝缘破坏或绝缘漏泄。

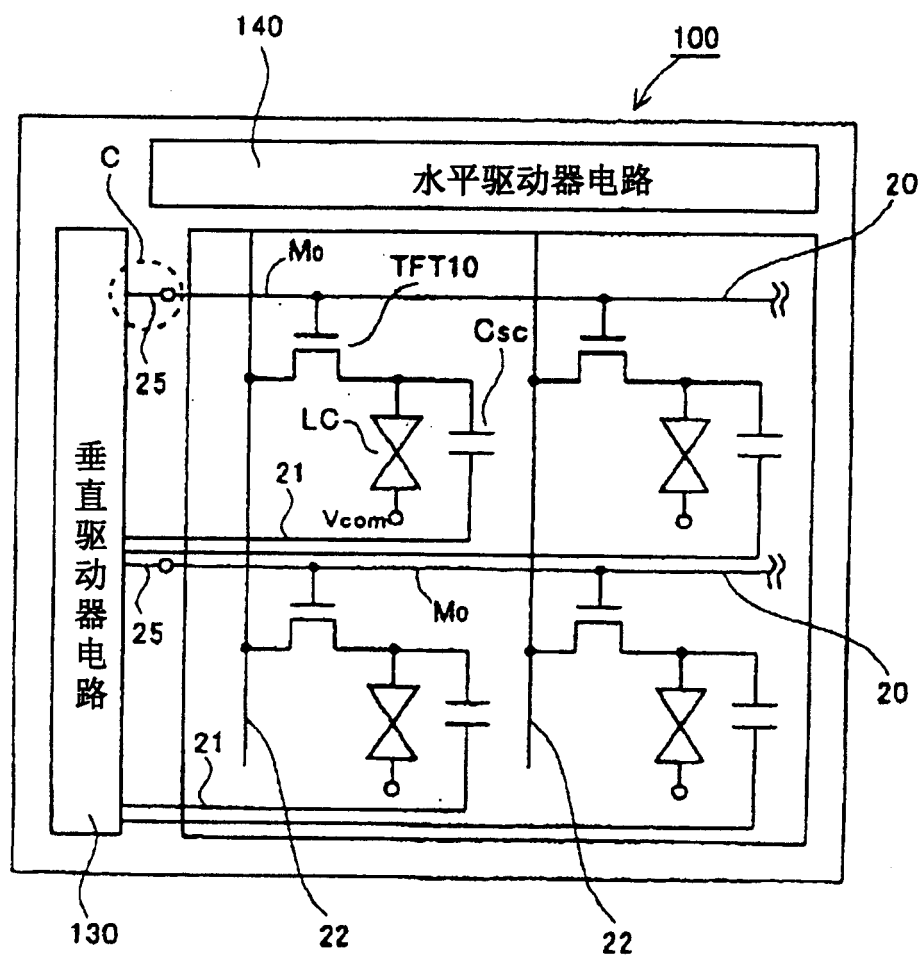


图1

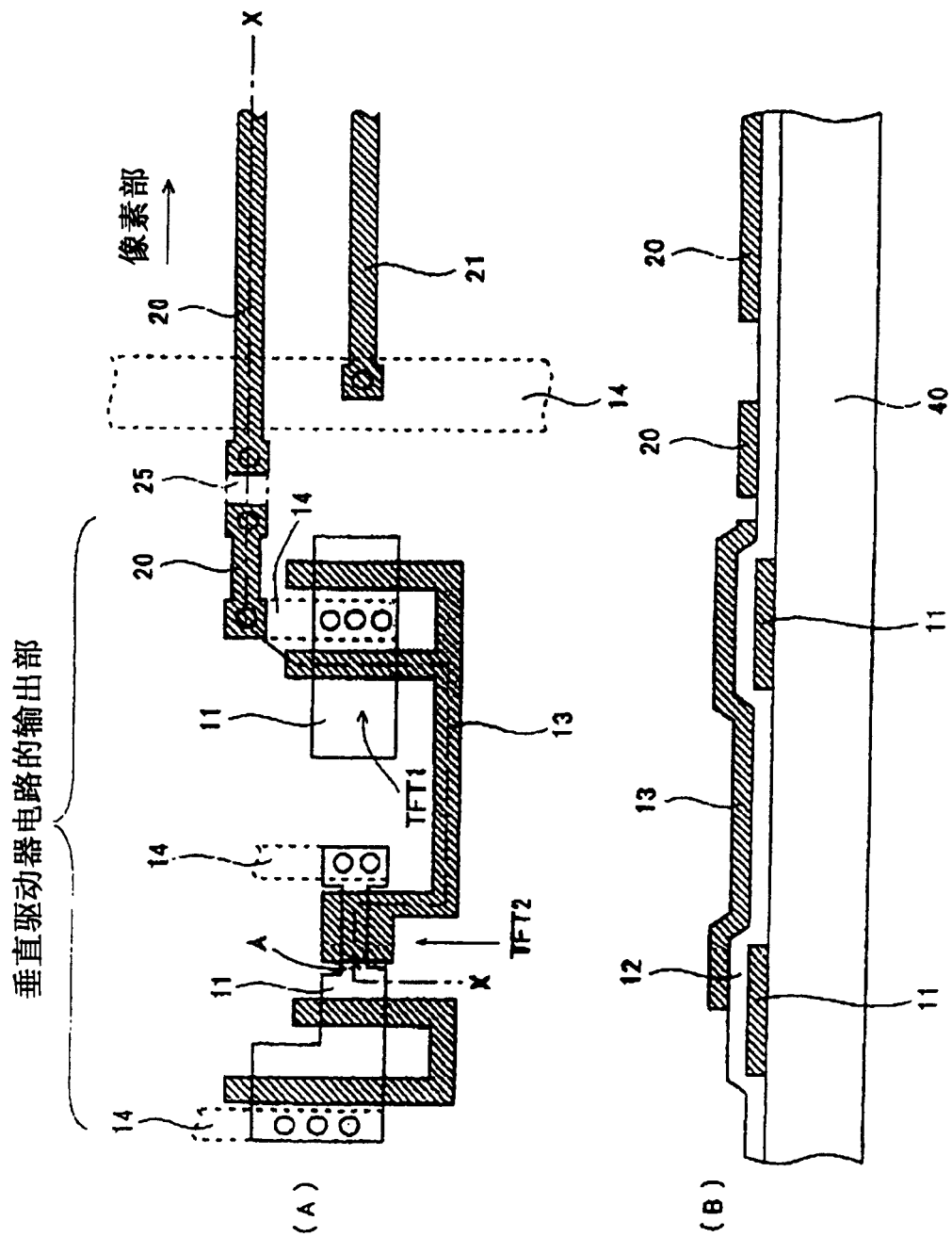


图2

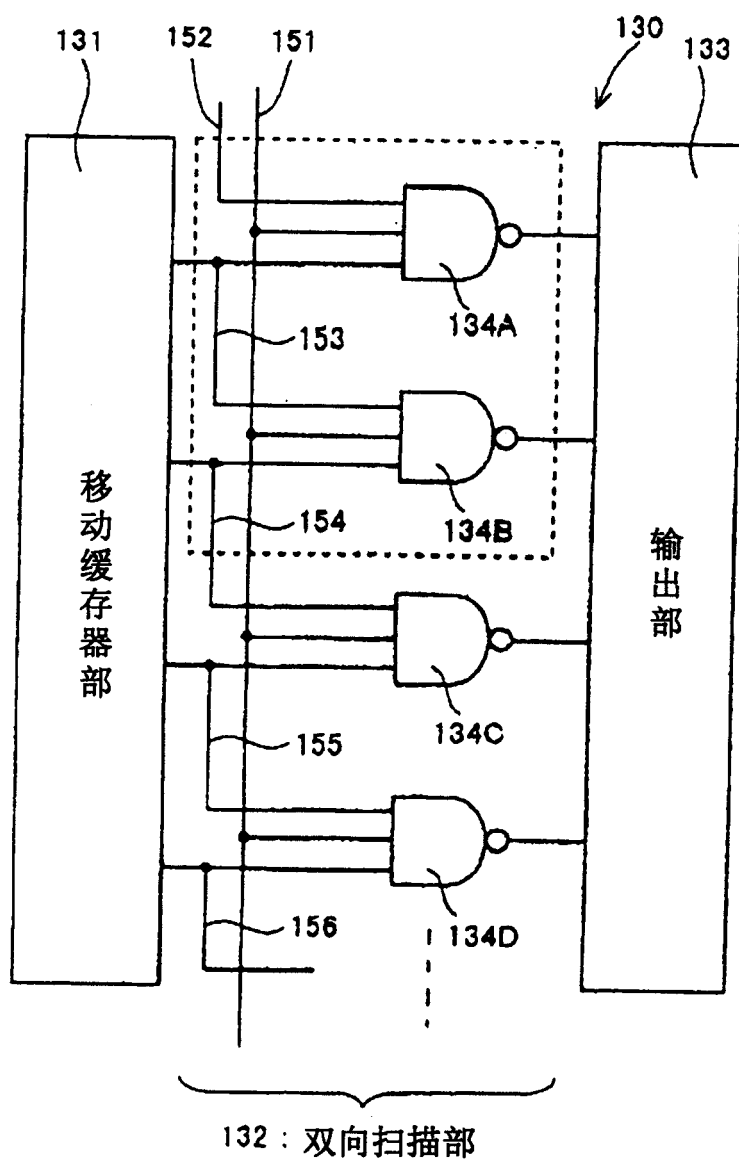


图3

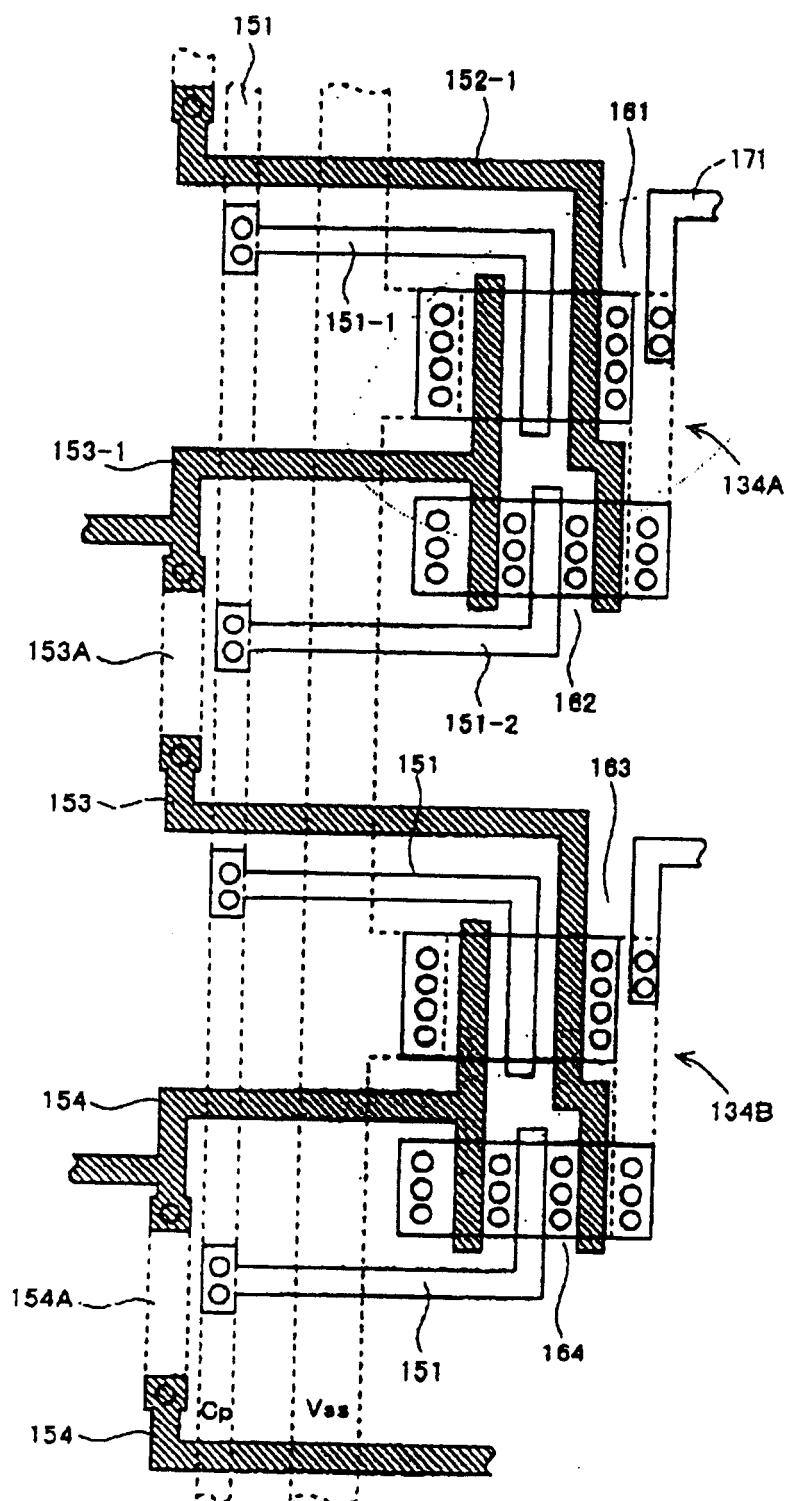


图4

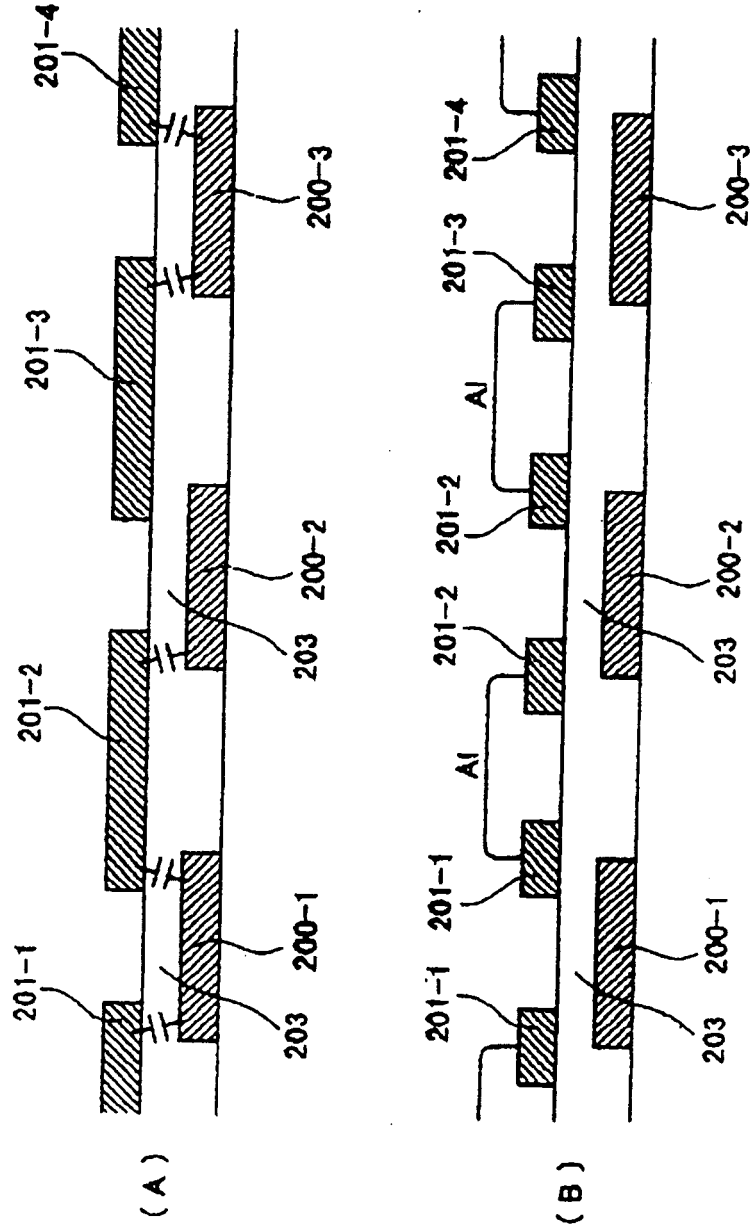


图5

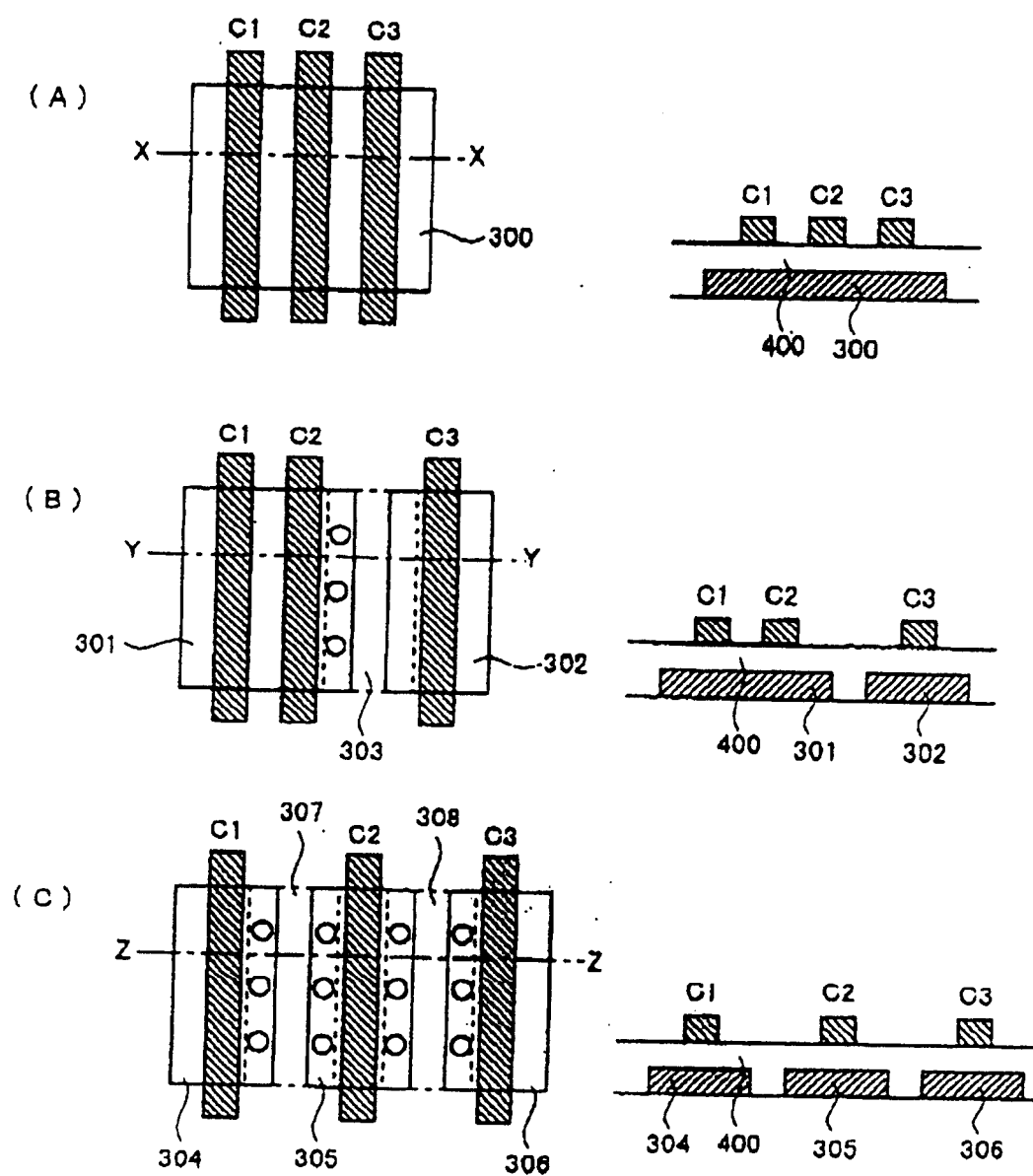


图6

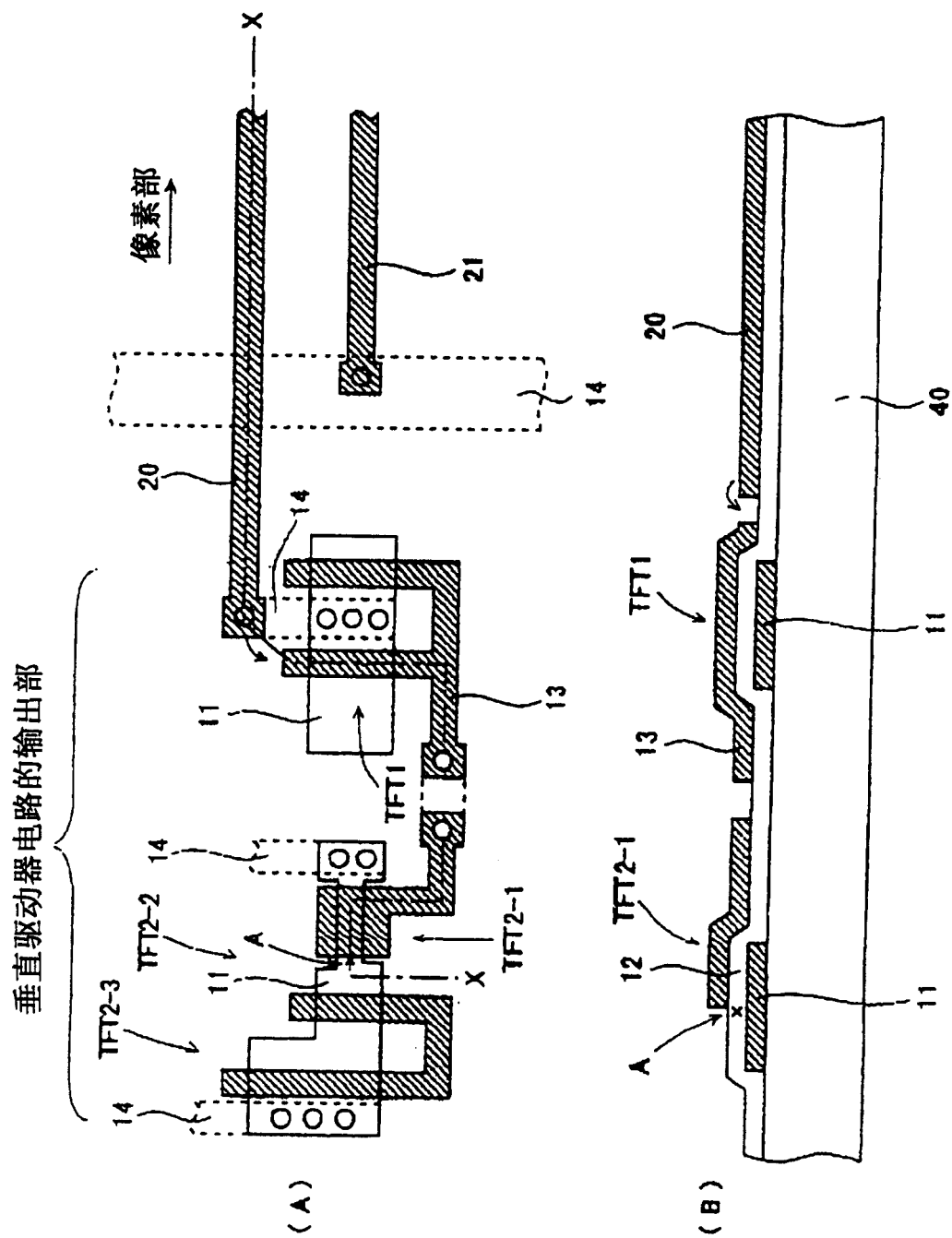


图7

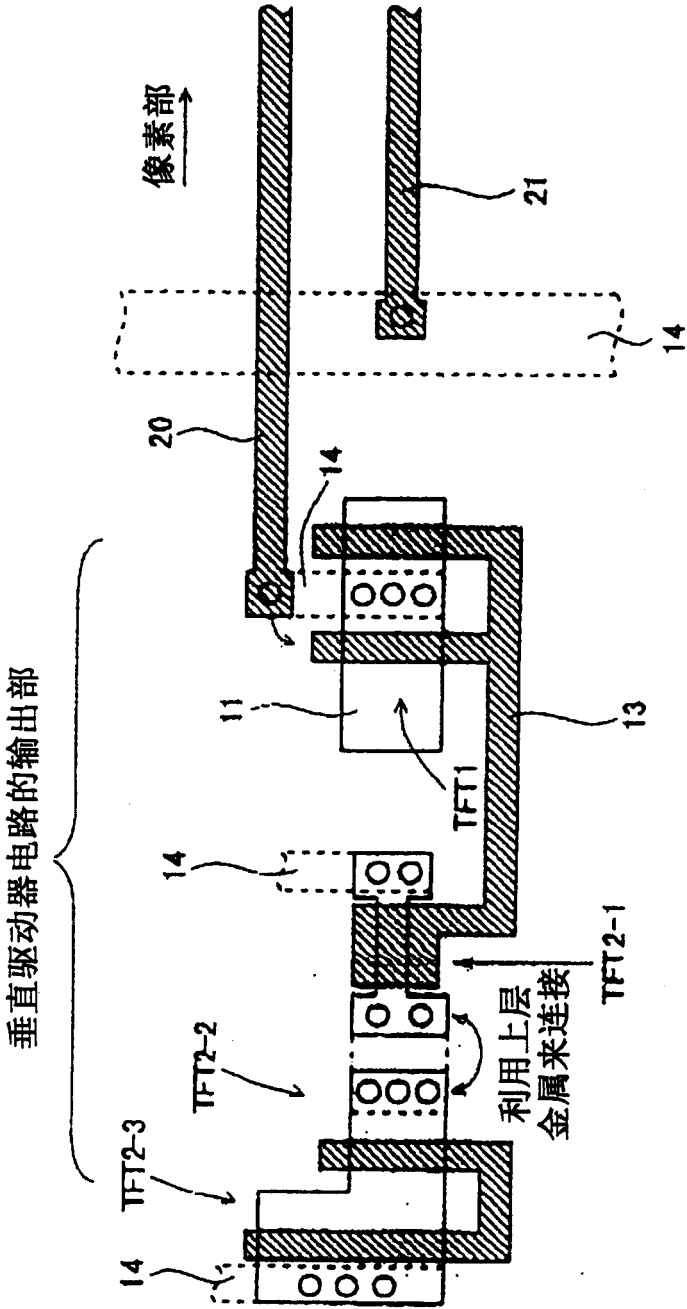


图8

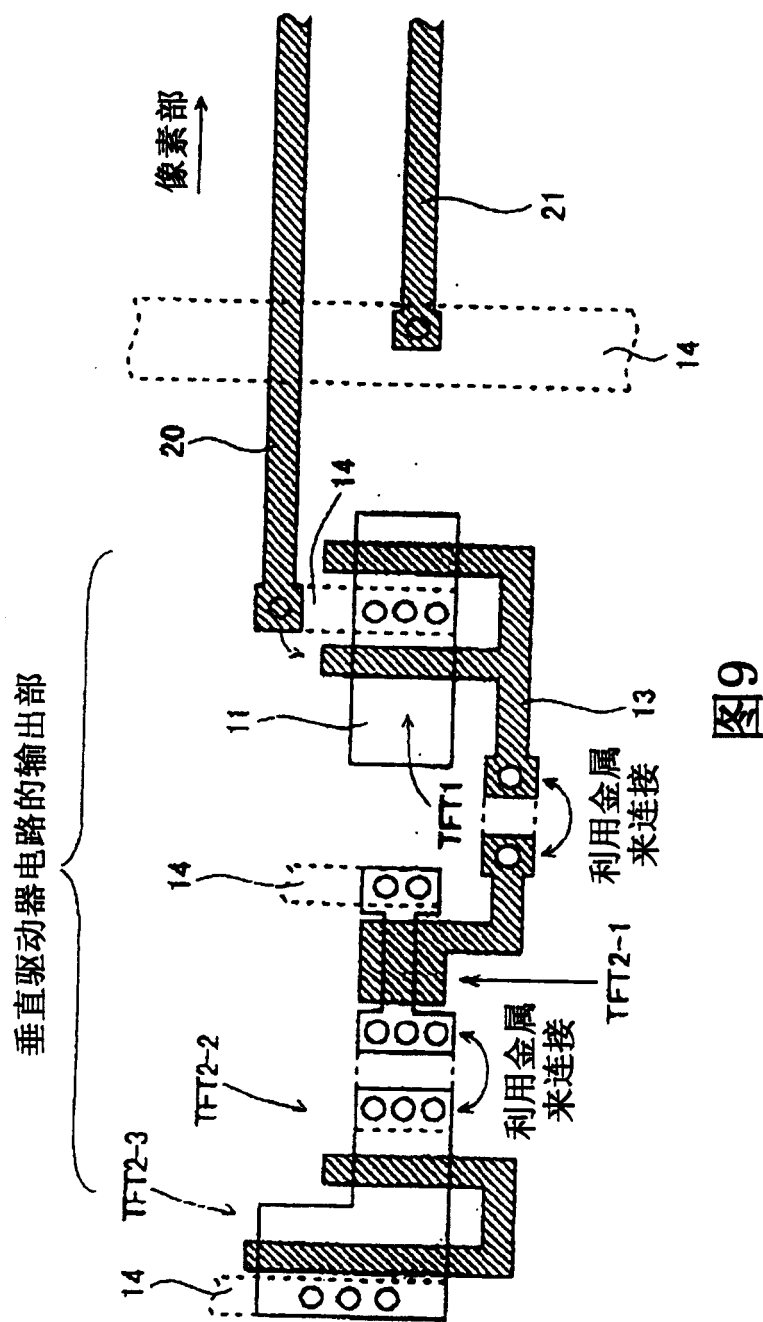


图9

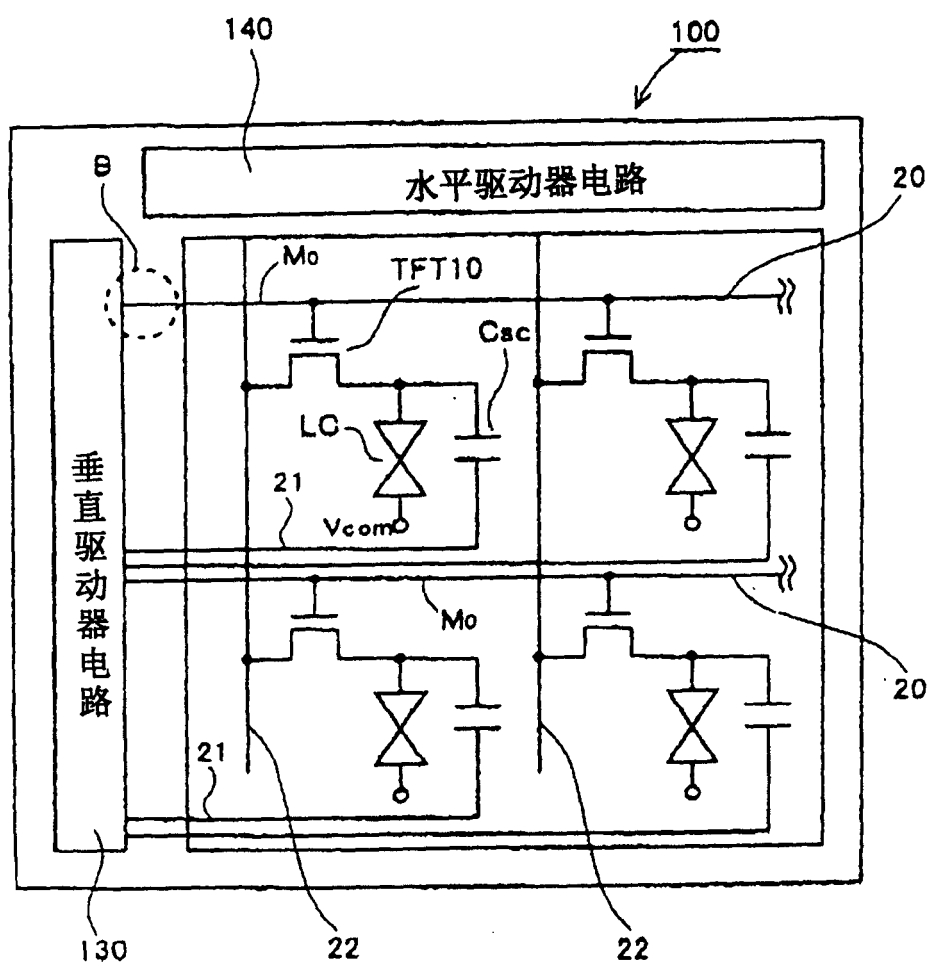


图10

专利名称(译)	显示装置		
公开(公告)号	CN1499276A	公开(公告)日	2004-05-26
申请号	CN200310113461.1	申请日	2003-11-11
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	濑川泰生 青田雅明 山田努		
发明人	濑川泰生 青田雅明 山田努		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1345 G02F1/1362 G09F9/00 G09F9/30 G09G3/20 G09G3/36 H01L29/786 H01L51/50 G02F1/136 H01L21/336		
CPC分类号	G02F1/1345 G02F1/136286		
代理人(译)	程伟		
优先权	2002326413 2002-11-11 JP		
其他公开文献	CN1268977C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种显示装置，其目的在于防止在显示装置中产生薄膜晶体管的闸极绝缘层的绝缘破坏或绝缘漏泄。其中，在闸极线(20)到达垂直驱动器电路(130)的输出部的中途，将闸极线(20)予以分割，并利用上层的金属配线(25)连接分割后的两条闸极线(20、20)。闸极线(20)由例如钼(Mo)或铬(Cr)所形成。而金属配线(25)由铝所形成。由于闸极线(20)经过分割，因此在制造液晶显示装置的过程中蓄积在闸极线(20)的电荷，不会在薄膜晶体管TFT1的闸极配线(13)中产生放电，而得以防止薄膜晶体管TFT2的闸极绝缘层(12)的破坏。

