

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/1343



[12] 发明专利申请公开说明书

[21] 申请号 03122312.5

[43] 公开日 2004 年 4 月 28 日

[11] 公开号 CN 1492273A

[22] 申请日 2003.4.25 [21] 申请号 03122312.5

[30] 优先权

[32] 2002.10.21 [33] KR [31] 0064275/2002

[71] 申请人 LG. 飞利浦 LCD 有限公司

地址 韩国汉城

[72] 发明人 李树雄

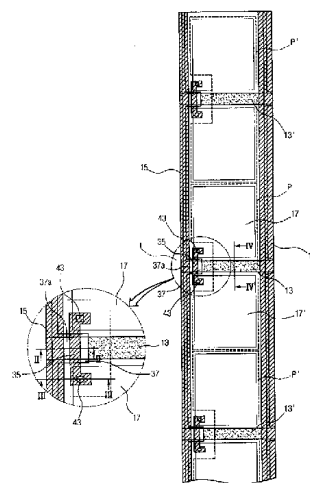
[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 李 辉

权利要求书 3 页 说明书 13 页 附图 23 页

[54] 发明名称 液晶显示器阵列基板及其制造方法

[57] 摘要

一种 LCD 阵列基板，包括：在第一方向设置的多个选通线；在第二方向设置并与多个选通线交叉的多个数据线；形成在选通线和数据线的重叠区域中的半导体层，该半导体层从重叠区域以预定长度在选通线上延伸；与选通线和数据线的重叠区域隔开一定距离并部分地与半导体层接触的漏极，该漏极具有延伸出半导体层和选通线的端部；和设置在选通线的相对两侧并与漏极电连接的一对像素电极。



- 1、一种 LCD 阵列基板，包括：
在第一方向设置的多个选通线；
5 在第二方向设置并与多个选通线交叉的多个数据线；
形成在选通线和数据线的重叠区域中的半导体层，该半导体层从重叠区域以预定长度在选通线上延伸；
与选通线和数据线的重叠区域隔开一定距离并部分地与半导体层接触的漏极，该漏极具有延伸出半导体层和选通线的端部；和
10 设置在选通线的相对两侧并与漏极电连接的一对像素电极。
- 2、根据权利要求 1 的 LCD 阵列基板，其中像素电极对连接到漏极的端部。
- 3、根据权利要求 1 的 LCD 阵列基板，其中每一个像素电极形成在由一对相邻的数据线以及与该数据线对交叉的一个选通线相邻的区域限定的像素区内。
15
- 4、根据权利要求 1 的 LCD 阵列基板，其中像素电极对分别形成为与通过像素区的选通线隔开预定间隔，并且像素电极对相对于像素区限定一个单元像素。
- 5、根据权利要求 1 的 LCD 阵列基板，其中数据线和漏极之间的半导体层部分限定一个沟道，该沟道根据来自选通线的信号允许从数据线向漏极传输信号。
20
- 6、一种 LCD 阵列基板，包括：
在第一方向设置的多个选通线；
在第二方向设置并与多个选通线交叉的多个数据线；
25 形成在选通线和数据线的重叠区域中的半导体层，该半导体层从重叠区域以预定长度在选通线上延伸；
与选通线和数据线的重叠区域隔开一定距离并部分地与半导体层接触的漏极，该漏极具有延伸出选通线侧部的端部；和
与漏极的端部电连接并与选通线的至少一部分重叠的像素电极。

7. 根据权利要求6的LCD阵列基板,其中漏极的端部延伸出半导体层区域。

8. 根据权利要求6的LCD阵列基板,其中像素区由一对相邻的数据线以及与该数据线对交叉的一个选通线相邻的区域限定。

5 9. 根据权利要求6的LCD阵列基板,其中像素区被限定为与通过像素区的选通线重叠,使得像素电极在选通线上延伸但不在半导体层上延伸。

10. 根据权利要求6的LCD阵列基板,其中选通线和像素电极用做一个存储电容器的第一和第二电极。

11. 根据权利要求6的LCD阵列基板,其中数据线和漏极之间的半导体层部分限定一个沟道,该沟道根据来自选通线的信号允许从数据线向漏极传输信号。

12. 一种LCD阵列基板的制造方法,包括以下步骤:

在基板上形成多个选通线;

15 在其上形成了选通线的基板上依次形成栅极绝缘膜和半导体层;

在半导体层上形成多个数据线和漏极;

在具有数据线、漏极、选通线和半导体层的基板的整个表面上形成钝化层;

在形成在漏极两端的钝化层中形成接触孔;和

20 形成通过接触孔与漏极电连接的一对像素电极。

13. 根据权利要求12的制造方法,其中半导体层被构图以便形成在选通线和数据线的重叠区域中,并进一步从数据线在选通线上延伸。

14. 根据权利要求12的制造方法,其中像素电极对形成在由一对相邻的数据线以及与该数据线对交叉的一个选通线相邻的区域限定的像素区内。

25 15. 根据权利要求14的制造方法,其中像素电极对形成为与通过像素区的选通线在向上和向下方向上隔开预定间隔。

16. 根据权利要求12的制造方法,其中漏极的两端延伸出半导体层。

17. 一种LCD阵列基板的制造方法,包括以下步骤:

- 在基板上形成多个选通线；
在其上形成了选通线的基板上依次形成栅极绝缘膜和半导体层；
在半导体层上形成多个数据线和漏极；
在具有数据线、漏极、选通线和半导体层的基板的整个表面上形成
- 5 钝化层；
在形成在漏极两端的钝化层中形成接触孔；和
形成通过接触孔与漏极电连接并与一个对应选通线重叠的像素电极。
- 18、根据权利要求 17 的制造方法，其中半导体层被构图以便形成在
- 10 选通线和数据线的重叠区域中，并进一步从数据线延伸到选通线上。
- 19、根据权利要求 17 的制造方法，其中像素区由一对相邻的数据线以及与该数据线对交叉的一个选通线相邻的区域限定。
- 20、根据权利要求 17 的制造方法，其中像素区被限定为与通过像素区的选通线重叠，使得像素电极延伸到选通线上但不延伸到半导体层上。
- 15 21、根据权利要求 17 的制造方法，其中漏极的两端延伸出半导体层。
22. 根据权利要求 1 的 LCD 阵列基板，其中多个数据线和多个选通线基本上以直角交叉。

液晶显示器阵列基板及其制造方法

5 技术领域

本发明涉及液晶显示器 (LCD)，特别是涉及 LCD 阵列基板及其制造方法，在该基板中，薄膜晶体管区域设置在单元像素的中心侧部分上，数据线和选通线 (gate line) 代替源极和栅极。

10 背景技术

通常，液晶显示器通过其中的液晶材料的光学各向异性和偏振来操作。由于液晶材料包括各具有薄和长结构的液晶分子，因此液晶材料根据液晶分子的排列具有方向性。因此，可以通过向液晶施加外部电场而控制液晶分子的排列方向。随着通过施加电场改变了液晶分子的排列方向，调制由液晶材料的光学各向异性造成的光偏振以显示图像信息。

液晶材料可以分成具有正介电各向异性的正 (+) 液晶和具有负介电各向异性的负 (-) 液晶，这取决于其电性质。具有正介电各向异性的液晶分子被排列成，使得它们的长轴与施加电场的方向平行，而具有负介电各向异性的液晶分子被排列成，使得它们的长轴与施加电场的方向垂直。

目前，由于其高分辨率和优异的移动图像再现能力，而广泛地使用其中薄膜晶体管和连接到薄膜晶体管的像素电极被设置成矩阵结构的有源矩阵 LCD。下面将评述作为 LCD 的主要元件的液晶板的结构。

图 1 是普通 LCD 的部分分解透视图。参见图 1，普通彩色 LCD 包括上基板 5 和下基板 22。上基板 5 包括黑底 6、包括红 (R)、绿 (G) 和蓝 (B) 子滤色器的滤色器 7、以及形成在滤色器 7 上的透明公共电极 18。下基板 22 包括像素区 (P)、形成在像素区 (P) 上的像素电极 17 和包括开关元件 (T) 的阵列互连线。在上基板 5 和下基板 22 之间插入液晶层 15，如上所述。

下基板 22 被称为“阵列基板”。在下基板 22 上，以矩阵结构设置作为开关元件的多个薄膜晶体管，形成选通线 13 和数据线 15 以与多个薄膜晶体管交叉。像素区 (P) 由选通线 13 和与选通线 13 交叉的数据线 15 确定。形成在像素区 (P) 上的像素电极 17 由透明导电材料如具有优异透光性的氧化铟锡 (ITO) 构成。当像素电极 17 上的液晶层 14 的液晶分子根据从薄膜晶体管施加的信号电压排列以控制通过液晶层 14 的光量时，按照上述构成的 LCD 11 显示图像。

而且，上述构成的 LCD 阵列基板 22 是通过淀积工艺、光刻工艺（以下称为“光学处理”）、刻蚀工艺等形成的。光学工艺利用了以下原理，即当光刻胶（‘PR’）暴露于光时，发生化学反应以改变 PR 的性质。在光学工艺中，光通过所希望图形的掩模选择地照射到 PR 上，由此形成与掩模相同的图形。光学工艺包括在其上涂敷对应一般图像膜的光刻胶的 PR 涂敷步骤、采用掩模将光选择地照射到 PR 上的曝光步骤、以及除去 PR 的曝光部分以形成图形的显影步骤。

图 2 是常规 LCD 阵列基板的像素的部分放大平面图。参见图 2，由一对选通线 13 和与选通线对 13 交叉的一对数据线 15 确定像素区 (P)。在数据线 15 和选通线 13 交叉的位置，形成具有栅极 31、源极 33 和漏极 35 的薄膜晶体管 (T)。源极 33 和漏极 35 在栅极 31 上互相分开预定间隔，并且有源沟道（半导体层）37a 暴露于源极 33 和漏极 35 之间。

在扫描脉冲施加于薄膜晶体管 (T) 的栅极 31 和栅极 31 的电压升高时，薄膜晶体管 (T) 被接通。此时，如果液晶驱动电压经过薄膜晶体管 (T) 的漏区和源区从数据线 13 施加于液晶材料，则包括液晶电容和存储电容的像素电容改变。通过重复上述操作，对应于每帧时间视频信号的电压被重复施加于 LCD 板的前表面的像素电容上。最后，如果任意像素被薄膜晶体管打开，则被打开的像素使来自下光源的光通过。

图 3A-3D 是示意地表示图 2 的制造 LCD 阵列基板的工艺流程的平面图和剖视图，在图 3A-3D 中，剖视图是沿着图 2 的线 I-I’ 截取的。这里，虽然图 3 表示通过采用四个掩模的工艺形成阵列基板，该阵列基板可以通过采用五个掩模的工艺形成。如果通过采用五个掩模的工艺形成阵列

基板，则可以不在数据线 15 下面形成半导体层 37。

图 3A 对应第一掩模步骤，其中淀积金属如铜等并构图以形成选通线 13 和栅极 31。接着，在其上形成选通线 13 等的基板上淀积栅极绝缘膜 32 和非晶半导体（硅）层 37'、掺杂杂质的非晶半导体（硅）层 36' 和导电金属层 33'。

图 3B 对应第二掩模步骤，其中导电金属层 33' 被构图以形成与选通线 13 交叉的数据线 15、以预定面积从数据线 15 突出地形成的源极 33、以及与源极 33 分开预定间隔的漏极 35。接着，采用构图金属层做刻蚀停止层刻蚀暴露的掺杂杂质非晶硅 36'，以便非晶硅层 37' 暴露于数据线和漏极之间。

图 3C 对应第三掩模步骤，其中电绝缘材料的钝化层 41 形成在其上形成数据线 15 等的基板上。钝化层 41 被构图形成用于漏极 35 的漏接触孔 43。在除了栅极 31、源极 33 和漏极 35 的上部、选通线 13 的上部、和数据线 15 的上部以外的像素区（P）上除去钝化层 41 的部分。在构图钝化层 41 时，钝化层 41 下面的半导体层 37 和栅极绝缘膜 32 被同时构图。因而，在被构图的钝化层 41 下面，半导体层 37 被刻蚀成与钝化层 41 相同的图形。

图 3D 对应第四掩模步骤，其中形成通过漏极接触孔 43 与漏极 35 接触的像素电极 17。

这样，通过前述工艺形成了常规阵列基板，并且阵列基板的屏幕尺寸（screen size）大于在光学工艺中使用的曝光掩模的屏幕尺寸。于是，在曝光步骤期间，阵列基板的屏幕分为多个曝光区（shots）并重复曝光，并且随着近年来大尺寸 LCD 的批量生产，这个重复处理进一步被普及。然而，曝光设备的精度限制使 LCD 的图像质量由于在曝光区之间的失准产生的接缝缺陷（stitch failure）而降低。

而且，在通过采用图 3B 的掩模步骤构图导电金属层而形成确定与选通线、源极和与源极分开一定间隔的漏极交叉的像素区的数据线的情况下，曝光设备等的精度限制使掩模不精确地符合预定规格，因此某种程度地偏离准确位置。结果是，产生了栅极和源极/漏极不规则地重叠每个

像素区的覆盖缺陷，因此 LCD 的图像质量下降。

参见图 4，详细说明在 LCD 中图像质量下降的现象。图 4A-4C 表示根据源极/漏极与栅极的接触面积的接缝/重叠缺陷。

在图 4A-4C 中，接缝缺陷是在相同层上的曝光区之间的对准度不恒
5 定时产生的问题，并且重叠缺陷是由于不同层之间的掩模的失准产生的问题。然而，由于接缝缺陷的结果与失准缺陷的结果相同，因此它们的说明参考相同的图 4B 和 4C。

图 4A 是其中没有产生接缝/重叠 (stitch/overlay) 缺陷的薄膜晶体管区域的平面图和剖面图。

10 参见图 4A，由于栅极 31 和源极 33 之间以及栅极 31 和漏极 35 之间存在重叠区域而产生寄生电容 C_{gs} 和 C_{gd} 。当薄膜晶体管导通时，寄生电容使液晶电压改变了 ΔV ，因此在初始施加电压和施加于液晶的电压之间产生电压差。 ΔV 由下列等式 1 近似表示。

$$\Delta V = \frac{C_{gd}}{C_{gd} + C_{LC} + C_{ST}} \Delta V_g \quad (1)$$

15 其中 C_{gd} 是寄生电容， C_{LC} 是液晶电容， C_{ST} 是存储电容，并且 ΔV_g 是导通和截止状态的栅极电压 V_{gh} 和 V_{gl} 之间的电压差。

这样，由于电压差 ΔV ，当显示图像时产生图像不利地变暗和变亮的现象，即闪烁。在操作 LCD 的同时，通过把公共电压从数据信号电压的中心移动 ΔV ，以便删除直流 (dc) 分量，由此可克服闪烁。换言之，如
20 果在各个像素中产生的 ΔV 恒定，通过把公共电压移动一个恒定量可以克服闪烁。

如图 4A 所示，如果多个像素中相对于各个薄膜晶体管区域的寄生电容是恒定的，则可以解决这个问题。然而，如果由于接缝和/或重叠缺陷而使多个像素中相对于各个薄膜晶体管区域的寄生电容不恒定，则通过
25 把公共电压 (V_{com}) 移动一个恒定量不能克服闪烁。

图 4B 和 4C 是产生接缝/重叠缺陷的薄膜晶体管区域的平面图和剖面图。

如果产生接缝缺陷 (即曝光区之间的失准) 或重叠缺陷 (即在不同层之间产生掩模失准)，则在栅极 31 和源极 33 之间的重叠区域与栅极 31

和漏极 35 之间的重叠区域之间产生差异。因此产生寄生电容 C_{gs} 和 C_{gd} 之间的差。换言之，如图 4B 所示，在漏极 35 的侧面向着源极 33 的侧面失准的状态中，栅极和漏极之间的电容 C_{gd} 变大。同时，如图 4C 所示，在源极 33 的侧面向着漏极 35 失准的状态中，栅极和漏极之间的电容 C_{gd} 变小。

5 如上所述，如果在每个像素区域中产生寄生电容之间的差，这表示电容 C_{gd} 改变 ΔV ， ΔV 的值变得不恒定，因此象常规技术那样只通过把公共电压 (V_{com}) 移动一个恒定量不可能解决闪烁问题。因此，由 LCD 阵列基板的常规制造方法制造的阵列基板在克服由接缝和/或重叠缺陷产生的 LCD 的图像失衡问题上有困难。

10

发明内容

相应地，本发明涉及 LCD 阵列基板及其制造方法，其基本上解决了由于相关技术的限制和缺点造成的一个问题或多个问题。

15 本发明的一个目的是提供 LCD 阵列基板及其制造方法，其去除了由于重叠和接缝缺陷产生的寄生电容的改变。

本发明的附加特征和优点部分地体现在下面的文字说明中，另一部分对于阅读了下面说明的本领域普通技术人员来说是显而易见的，或者可以从本发明的实施中学习到。通过在文字说明和权利要求书以及附图中特别指出的结构可实现和达到本发明的目的和其它优点。

20 为实现这些和其它优点并根据本发明的目的，如这里所实施和广泛说明的，LCD 阵列基板包括：在第一方向设置的多个选通线；在第二方向设置以与多个选通线交叉的多个数据线；形成在选通线和数据线的重叠区域的半导体层，该半导体层从该重叠区域以预定长度在选通线上延伸；与选通线和数据线的重叠区域隔开一定距离并部分地与半导体层接触的漏极，该漏极具有延伸出半导体层和选通线的端部；和设置在选通线的相对两侧并与漏极电连接的一对像素电极。

25

在另一个方面，LCD 阵列基板包括：在第一方向设置的多个选通线；在第二方向设置以与多个选通线交叉的多个数据线；形成在选通线和数据线的重叠区域的半导体层，该半导体层从该重叠区域以预定长度在选

通线上延伸；与选通线和数据线的重叠区域隔开一定距离并部分地与半导体层接触的漏极，该漏极具有延伸出选通线侧部的端部；和与漏极的端部电连接并与选通线的至少一部分重叠的像素电极。

在本发明的另一方面中，LCD 阵列基板的制造方法包括以下步骤：在基板上形成多个选通线；在其上形成选通线的基板上依次形成栅极绝缘膜和半导体层；在半导体层上形成多个数据线和漏极；在具有数据线、漏极、选通线和半导体层的基板的整个表面上形成钝化层；在漏极的两端上形成的钝化层中形成接触孔；以及形成通过接触孔与漏极电连接的一对像素电极。

在本发明的另一方面，LCD 阵列基板的制造方法包括以下步骤：在基板上形成多个选通线；在其上形成选通线的基板上依次形成栅极绝缘膜和半导体层；在半导体层上形成多个数据线和漏极；在具有数据线、漏极、选通线和半导体层的基板的整个表面上形成钝化层；在漏极的两端上形成的钝化层中形成接触孔；以及形成通过接触孔与漏极电连接并与对应的一个选通线重叠的像素电极。

应该理解，前面一般性的说明和下面本发明的详细说明都是示意性的和解释性的并用于提供所要求保护的本发明的进一步解释。

附图说明

被包含以提供本发明的进一步理解并结合构成本申请的一部分的附图示出了本发明的实施例，并与文字说明一起用于解释本发明的原理。在附图中：

图 1 是普通液晶显示器的部分分解的透视图；

图 2 是常规 LCD 阵列基板的像素的部分放大平面图；

图 3A-3D 是表示用于制造图 2 的 LCD 阵列基板的工艺流程的平面和剖面图，其中剖面图是沿着图 2 的线 I-I' 截取的；

图 4A-4C 表示在图 2 的 LCD 阵列基板中根据与栅极接触的源极/漏极的接触区域的接缝/重叠缺陷的平面图和剖面图，其中剖面图是沿着线 I-I' 截取的；

图 5 是根据本发明一个示例实施例的 LCD 阵列基板的部分放大平面图；

图 6A-6E 是示意性地表示为获得图 5 的 LCD 阵列基板的工艺流程的平面图和剖面图，其中剖面图是沿着图 5 的线 II-II' 和 III-III' 截取的；

图 7 是根据本发明另一示例实施例的 LCD 阵列基板的部分放大平面图；

图 8A-8E 是示意性地表示为获得图 7 的 LCD 阵列基板的工艺流程的平面图和剖面图，其中剖面图是沿着图 7 的线 V-V' 和 VI-VI' 截取的；

图 9A 和 9B 是沿着图 5 的线 V-V' 和图 7 的线 VII-VII' 截取的剖面图；和

图 10A-10E 表示根据本发明克服接缝/重叠缺陷的薄膜晶体管结构的放大平面图。

具体实施方式

下面参照附图中的例子详细说明本发明的优选实施例。

图 5 是根据本发明一个示例实施例的 LCD 阵列基板的部分放大平面图。

参见图 5，LCD 阵列基板的单元像素形成在由在水平方向互相相邻的一对数据线 15、15' 以及与数据线对 15、15' 交叉的选通线 13 的上部区域和下部区域限定的像素区 (P) 中。在数据线 15 和选通线 13 交叉的部位形成薄膜晶体管 (T)。这里，上部区域和下部区域表示按照以下方式设计的区域，即，由选通线 13 限定的像素区 (P) 不与由在向上和向下方向上与选通线 13 相邻的选通线 13' 限定的另一像素区 P' 重叠。

而且，薄膜晶体管 (T) 包括在交叉点的选通线 13 和数据线 15、以及与数据线 15 分开预定距离的漏极 35。在交叉点的选通线 13 和数据线 15 之间，形成半导体层 37。半导体层 37 在选通线 13 上突出预定量。在交叉点的选通线 13 和数据线 15 直接用做薄膜晶体管的栅极和源极。而且，数据线 15 和漏极 35 在形成在选通线 13 上的半导体层 37 上互相分

开预定间隔。在数据线 15 和漏极 35 之间露出的部分半导体层 37 用做从数据线 15 向漏极 35 传输信号的沟道 37a。

漏极 35 形成为使得其两端位于半导体层 37 的外部并分别与一对像素电极 17、17' 连接。像素电极对 17、17' 形成在上述像素区 (P) 内，
5 并与选通线 13 和在水平方向互相相邻的数据线 15、15' 隔开预定间隔，由此形成单个单元像素。

更详细地说，随着扫描脉冲施加于薄膜晶体管 (T) 的选通线 13 上并且薄膜晶体管 (T) 导通，液晶驱动电压经过薄膜晶体管 (T) 的沟道 37a 和漏极 35 从数据线 13 施加于像素电极对 17、17' 上。此时，相同的
10 液晶驱动电压分别施加于像素电极对 17、17'，这表示像素电极对 17、17' 用做一个单元像素。

图 6A-6E 是表示图 5 的 LCD 阵列基板的制造流程的示意平面图和剖面图。此处，剖面图是沿着图 5 的线 II-II' 和线 III-III' 截取的。图 6 表示该阵列基板通过采用五个掩模的工艺形成，但是该阵列基板可以通过采用四个掩模的工艺形成。而且，图 6 表示半导体层 37 形成在数据线 15、15' 的下面。然而，在不形成薄膜晶体管 (T) 的数据线 15、15' 的下面可以不形成半导体层 37。
15

图 6A 对应第一掩模步骤，其中淀积金属如铜等并构图以形成选通线 13。接着，在其上形成选通线 13 的基板上形成栅极绝缘膜 32 和非晶硅层 37'。
20

图 6B 对应第二掩模步骤，其中构图非晶硅层 37' 以形成有源线，即半导体层 37。此时，半导体层 37 被构图以便形成在选通线 13 和要在后面步骤中形成的数据线 15 的交叉点。此处，如图 6B 所示，半导体层 37 在垂直方向在选通线 13 上突出预定量。或者，半导体层 37 可以形成在
25 数据线 15 下面的区域中以及构图区域中，这是为了克服在数据线 15 由钼 (Mo) 等构成时粘接力下降的缺陷。相应地，在数据线 15 由不会在粘接性上出现问题的铬 (Cr) 等构成的情况下，不需要相对于数据线 15 下面的区域对半导体层 37 构图。但是，图 6B 显示相对于数据线 15 下面的区域对半导体层 37 构图。

图 6C 对应第三掩模步骤，其中在半导体层 37 上形成导电金属层并构图以形成数据线 15 和漏极 35。数据线 15 形成得与选通线 13 垂直交叉，并且漏极形成为与数据线 15 隔开一定距离。在选通线 13 和数据线 15 的交叉点和在漏极 35 下面形成半导体层 37。而且，在数据线 15 和漏极之间露出的半导体层 37 形成用于从数据线向漏极 35 传输信号的沟道。此外，在形成漏极 35 时，漏极 35 的两端被构图以便不与半导体层 37 重叠而是位于半导体层 37 的外部。

如果进行采用四个掩模的工艺，则可以把图 6B 和 6C 中示出的使用第二掩模和第三掩模的步骤组合成单一步骤。这种方法是通过以下步骤进行的：淀积栅极绝缘膜、非晶硅层、掺杂杂质的非晶硅层和导电金属层，并构图导电金属层以形成与选通线交叉的数据线、以及与数据线隔开一定间隔的漏极，并用构图金属层做为刻蚀停止层，刻蚀露出的掺杂杂质的非晶硅层，以便非晶硅层在数据线和漏极之间露出。根据上述四个掩模的工艺，在数据线 15、15' 的下面形成半导体层 37。

接下来，图 6D 对应第四掩模步骤，其中在其上形成了数据线 15 和漏极 35 的基板上形成绝缘材料的钝化层 41。钝化层 41 被构图以在漏极 35 的两端形成漏极接触孔 43，并且除了选通线 13 和漏极 35 的上部以及选通线 13 和数据线 15 的上部之外，除去像素区 (P) 上的钝化层 41。

最后，图 6E 对应第五掩模步骤，其中形成通过漏极 35 的两端的接触孔 43 与漏极 35 接触的像素电极对 17、17'。此时，像素电极对 17、17' 分别形成为与通过像素区 (P) 的选通线 13 在向上和向下方向上分别隔开预定间隔，以相对于像素区 (P) 形成单一像素。换言之，相同的液晶驱动电压施加于像素电极对 17、17'。

图 7 是根据本发明另一示例实施例的 LCD 阵列基板的部分放大平面图。

比较图 7 的结构与图 5 的结构，可以看出其间的差别。例如，图 5 中所示的像素电极对 17、17' 形成得与通过像素区 (P) 的选通线 13 隔开一定间隔，图 7 中的像素电极 19 不与选通线 13 分开，而是与通过像素区 (P) 的选通线 13 的上部以预定部分重叠。借此，可以形成每单元

像素的存储电容器。

参见图 7, LCD 阵列基板的单元像素形成在由在水平方向互相相邻的一对数据线 15、15' 以及与数据线对 15、15' 交叉的选通线 13 的上部区域和下部区域限定的像素区 (P) 中。在数据线 15 和选通线 13 的交叉点
5 形成薄膜晶体管 (T)。这里, 上部区域和下部区域表示按以下方式设计的区域: 由选通线 13 限定的像素区 (P) 不与由在向上和向下的方向上与选通线 13 相邻的选通线 13' 限定的另一像素区 P' 重叠。

薄膜晶体管 (T) 包括在交叉点的选通线 13 和数据线 15、以及和数据线 15 分开预定距离的漏极 35。在交叉点的选通线 13 和数据线 15 之间
10 形成半导体层 37。半导体层 37 在选通线 37 上突出预定量。而且, 数据线 15 和漏极 35 在形成在选通线 13 上的半导体层 37 上互相分开预定间隔。在数据线 15 和漏极 35 之间具有露出部分的半导体层 37 用做从数据线 15 向漏极输送信号的沟道 37a。此外, 漏极 35 形成为使得其两端位于
15 半导体层 37 的外部并分别与像素电极 19 的两边缘部分电连接。

像素电极 19 形成得以预定部分与选通线 13 重叠, 但不与像素区 (P) 内的半导体层 37 重叠。在像素区 (P) 内以预定部分互相重叠的选通线
13 和像素电极 19 用做存储电容器的第一和第二电极。

考虑到以矩阵结构排列的单元像素区的尺寸, 在各个单元像素中形成的存储电容器的电容是可控制的。在本发明的情况下, 通过控制像素
20 区 (P) 内的选通线 13 和像素电极 19 之间的重叠区域, 可以适当控制存储电容器的电容。

图 8A-8E 是示意性的表示图 7 的 LCD 阵列基板的制造流程的平面图和剖面图, 其中剖面图是沿着图 7 的线 V-V' 和 VI-VI' 截取的。这里, 通过采用五个掩模的工艺形成阵列基板, 但是可以通过采用四个掩模的
25 工艺形成阵列基板。而且, 图 8 示出了半导体层 37 形成在数据线 15、15' 的下面。但是, 半导体层 37 可以不形成在不形成薄膜晶体管 (T) 的数据线 15、15' 的下面。此外, 图 8A-8E 所示内容与图 6A-6E 在工艺步骤上相似, 除了像素电极对 (图 6E) 不分开形成而是像素电极 19 (图 8E) 与通过像素区的选通线的上部以预定部分重叠之外。相应地, 省略了图

8A-图 8E 的说明。

下面参照图 9 详细说明分别在图 5 和 7 中所示的示例实施例之间的差别。图 9A 和 9B 是沿着图 5 的线 IV-IV' 和图 7 的线 VII-VII' 截取的剖面图。通过图 9A 和 9B, 很容易区别出这两个实施例之间的差别。

5 例如, 图 9A 示出了在图 5 中所示示例实施例中的通过像素区 (P) 的选通线 13 以及在向上和向下方向上与选通线 13 隔开的像素电极对 17、17' 的剖面图。由于与从数据线接收信号的漏极的两端连接的像素电极对 17、17' 相对于每个单元像素分开并接收相同信号, 因此它们形成一个信号像素。为此, 虽然漏极两端之一是断开的, 但是由于另一端仍然
10 连接, 因此可以克服点缺陷。

接着, 图 9B 示出了在图 7 的另选实施例中的形成为与通过像素区 (P) 的一部分选通线 13 重叠但不与像素区 (P) 内的半导体层重叠的像素电极 19 的剖面图。此处, 以预定量在像素区 (P) 内互相重叠的选通线 13 和像素电极 19 用做存储电容器的第一和第二电极。相应地, 通过改变在
15 像素区 (P) 内的选通线 13 和像素电极 19 之间的重叠面积, 可以控制存储电容器的电容。

在图 9A 和 9B 中, 标记 32 和 41 分别表示栅极绝缘膜和钝化膜。上述实施例是通过图 6 和 8 的工艺形成的。然后, 根据通过上述工艺制造的本发明的阵列基板, 可以克服由光刻曝光设备中的精度限制造成的接
20 缝和/或重叠缺陷。下面将介绍接缝和重叠缺陷。

通常, 阵列基板的显示尺寸大于光刻处理中使用的曝光掩模的尺寸。因此, 在曝光步骤期间, 阵列基板的整个区域被分成多个曝光区并重复曝光。在这种情况下, 由于曝光设备具有其精度限制, 因此可能产生曝光区之间的失准。接缝现象表示这种失准。而且, 在选通线上形成数据
25 线和源极/漏极时, 由于曝光设备的精度限制等使掩模不完全符合, 而是变形。因此在每个像素区选通线和漏极可能不规则地重叠。这称为重叠缺陷。

如果在现有技术中发生接缝或重叠缺陷, 则将使每个像素区的寄生电容不同, 因此 LCD 的图像质量下降。然而, 根据本发明的实施例的结

构，即使发生接缝和/或重叠缺陷（例如，即使曝光区和/或掩模失准），由于在每个像素区的薄膜晶体管区内形成不允许寄生电容改变的足够的余量，因此可以克服这个缺陷。

在图 5 和 7 中所示的各个实施例中，由于放大的薄膜晶体管区域互相一致并且上述接缝和/或重叠缺陷在薄膜晶体管区域中是有问题的，因此将参照图 10A-10E 通过本发明的实施例中的放大薄膜晶体管区域介绍克服接缝和/或重叠缺陷的过程。图 10A-10E 表示通过根据本发明的薄膜晶体管结构克服接缝和/或重叠缺陷的技术。

这里，接缝缺陷是在同一层上的曝光区之间的对准度不恒定时产生的问题，重叠缺陷是由于不同层之间的掩模的失准产生的问题。然而，由于结果（例如薄膜晶体管区域内的寄生电容在每个像素区改变的现象）是相同的，因此不再分开说明。

图 10A 是薄膜晶体管区域的平面图和剖面图（沿着线 VIII-VIII' 截取的）。

参见图 10A，由于在选通线 13 和数据线 15 之间存在重叠部分（S1）和在选通线 15 和漏极 35 之间存在重叠部分（S2），因此产生寄生电容（ C_{gd} ）。当薄膜晶体管导通时，寄生电容使液晶电压改变 ΔV ，因此在初始施加电压和液晶施加电压之间产生电压差。 ΔV 可近似由下列等式 2 表示：

$$\Delta V = \frac{C_{gd}}{C_{gd} + C_{LC} + C_{ST}} \Delta V_g \quad (2)$$

其中， C_{gd} 是寄生电容， C_{LC} 是液晶电容， C_{ST} 是存储电容， ΔV_g 是导通和截止状态下的栅极电压 V_{gh} 和 V_{gl} 之间的电压差。

这样，由于电压差 ΔV ，发生图像不利地变暗和变亮的现象（即闪烁）。可以通过将公共电压（ V_{com} ）从数据信号电压的中心移动 ΔV 来克服闪烁，以便当 LCD 工作时消除直流（dc）分量。换言之，在各个像素中产生的 ΔV 恒定的情况下，可通过把公共电压调节一个恒定量来克服闪烁。

因而，如图 10A 所示，如果多个像素中的相对于各个薄膜晶体管区域的寄生电容是恒定的，则可以解决这个问题。然而，如果由于接缝和/或重叠缺陷而使多个像素中的相对于各个薄膜晶体管区域的寄生电容不

恒定，则通过把公共电压（Vcom）调节一个恒定量不能克服闪烁问题。为克服这个问题，在每个像素区的薄膜晶体管区域内形成足够的余量，使得即使发生接缝和/或重叠缺陷，即曝光区和/或掩模失准，寄生电容也不会改变。

- 5 图 10B 和 10C 表示由于接缝和/或重叠缺陷，使得数据线 15 和漏极 35 被构图为向左边和右边偏置，图 10D 和图 10E 表示由于接缝和/或重叠缺陷，使得数据线 15 和漏极 35 被构图为向上和向下方向偏置。

参见图 10B-10E，根据本发明的结构，虽然产生接缝和/或重叠缺陷和曝光区和/或掩模失准，在选通线 13 和数据线 15 之间以及选通线 13
10 和漏极 35 之间的重叠区域（S1、S2）中也不产生差别，因此相对于像素区（P）的寄生电容之间的差也不存在。

根据本发明的薄膜晶体管结构，由于因接缝和/或重叠缺陷而不产生每个像素区的寄生电容的差，因此只通过把公共电压（Vcom）调节一个恒定量就可以克服闪烁问题。因而，LCD 阵列基板的制造工艺制造的阵列
15 基板可以解决由于接缝和/或重叠缺陷产生的 LCD 图像失衡问题。

如上所述，在根据本发明的 LCD 阵列基板及其制造方法中，消除了可能由于接缝和/或重叠缺陷而在每个像素的薄膜晶体管区域中形成的寄生电容的差，因此可以使与 LCD 的点相关的图像质量缺陷最小化。此外，在制造大尺寸 LCD 时，在不需要任何附加工艺的情况下可以克服接
20 缝和/或重叠缺陷。

对于本领域技术人员来说可以对本发明做各种修改和改变。这样，本发明应该覆盖落入所附权利要求书及其等同物范围内的本发明的各种修改和改变。

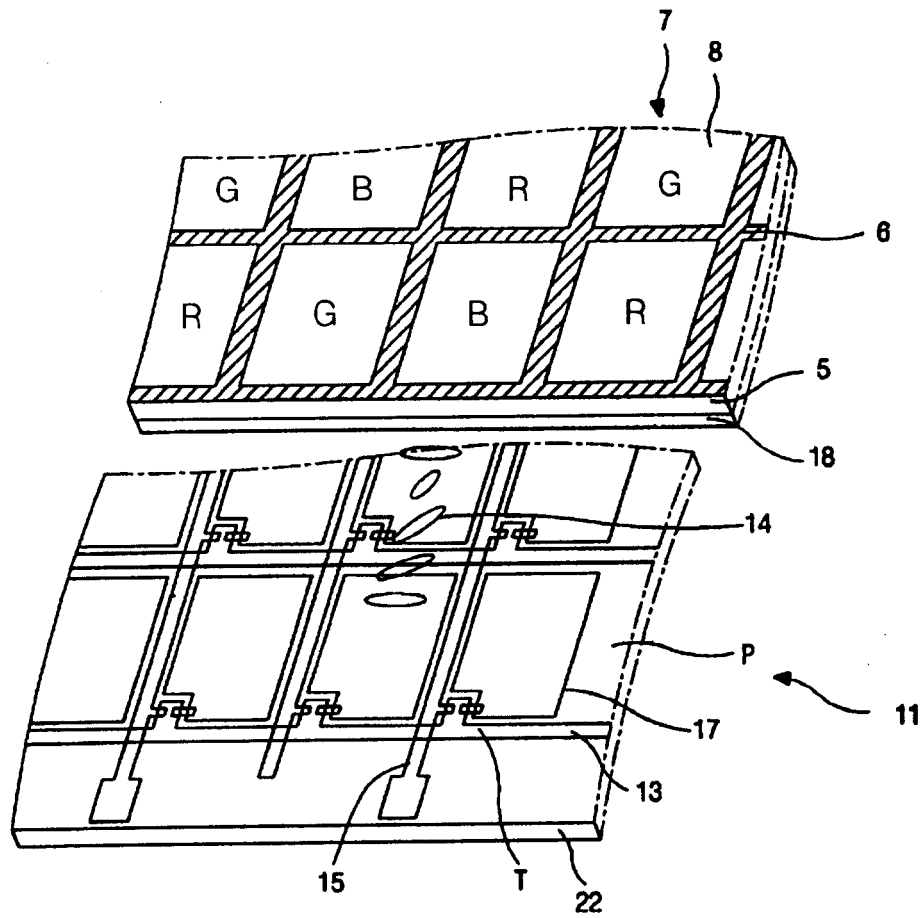


图 1
现有技术

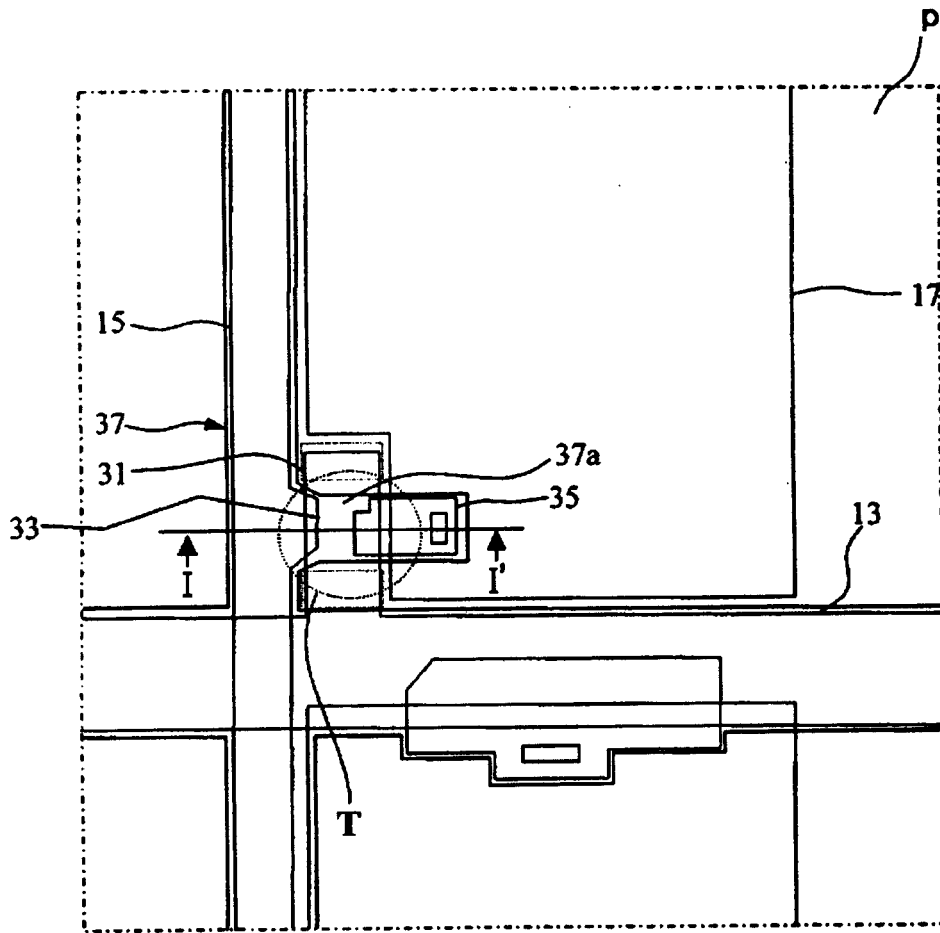


图 2
现有技术

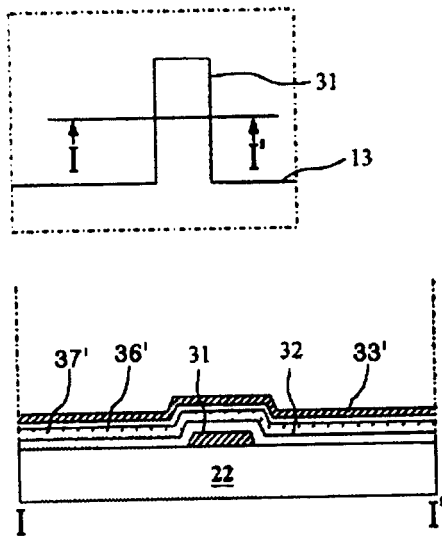


图 3A
现有技术

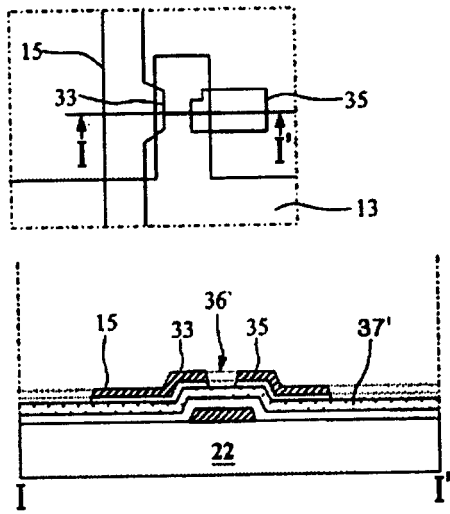


图 3B
现有技术

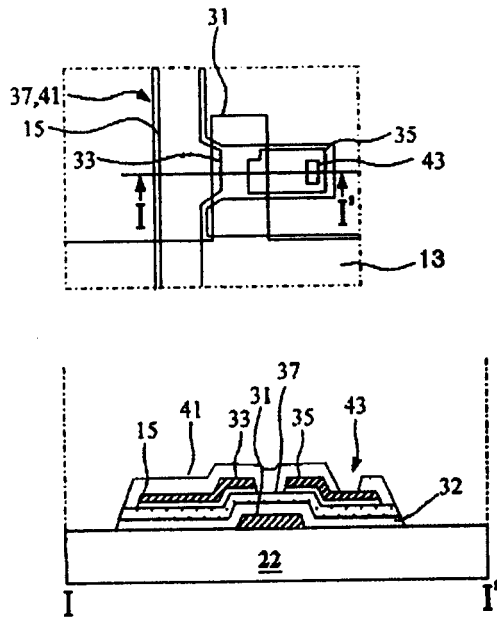


图 3C
现有技术

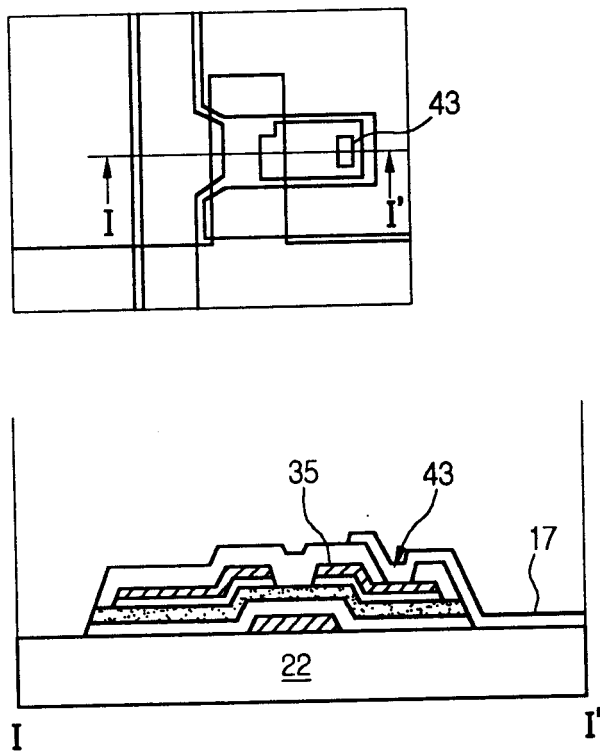


图 3D
现有技术

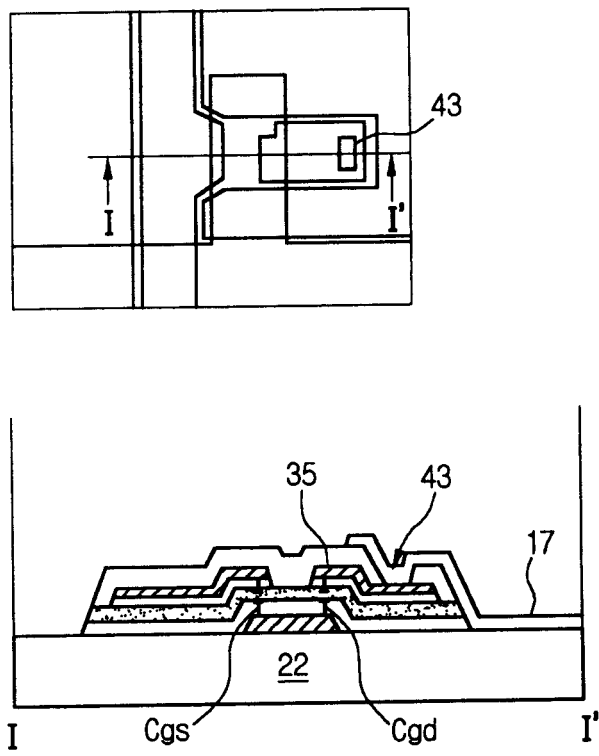


图 4A
现有技术

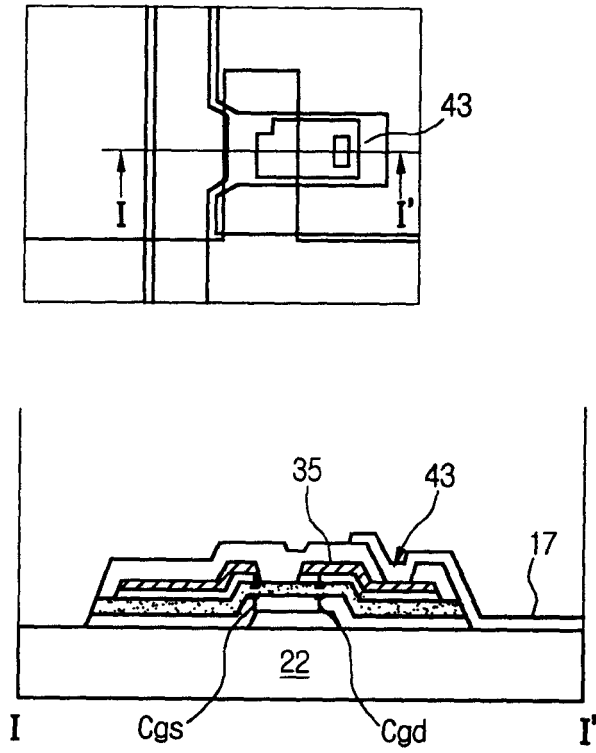


图 4B
现有技术

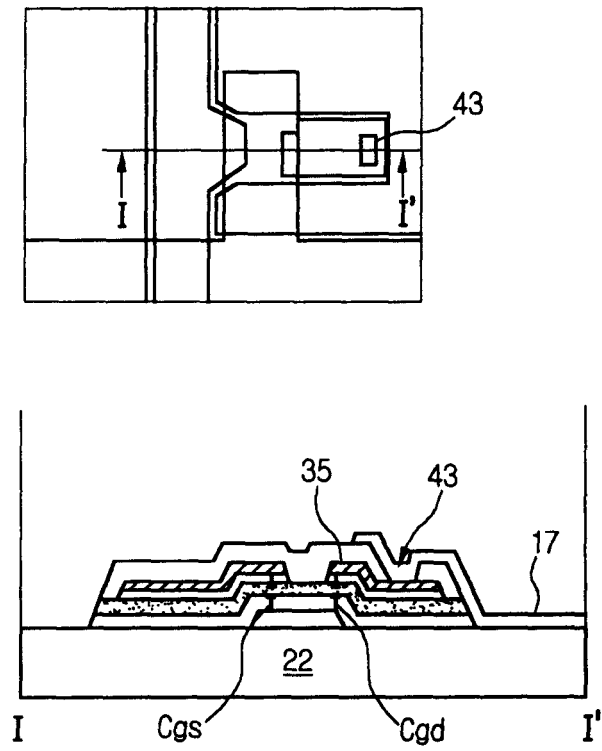


图 4C
现有技术

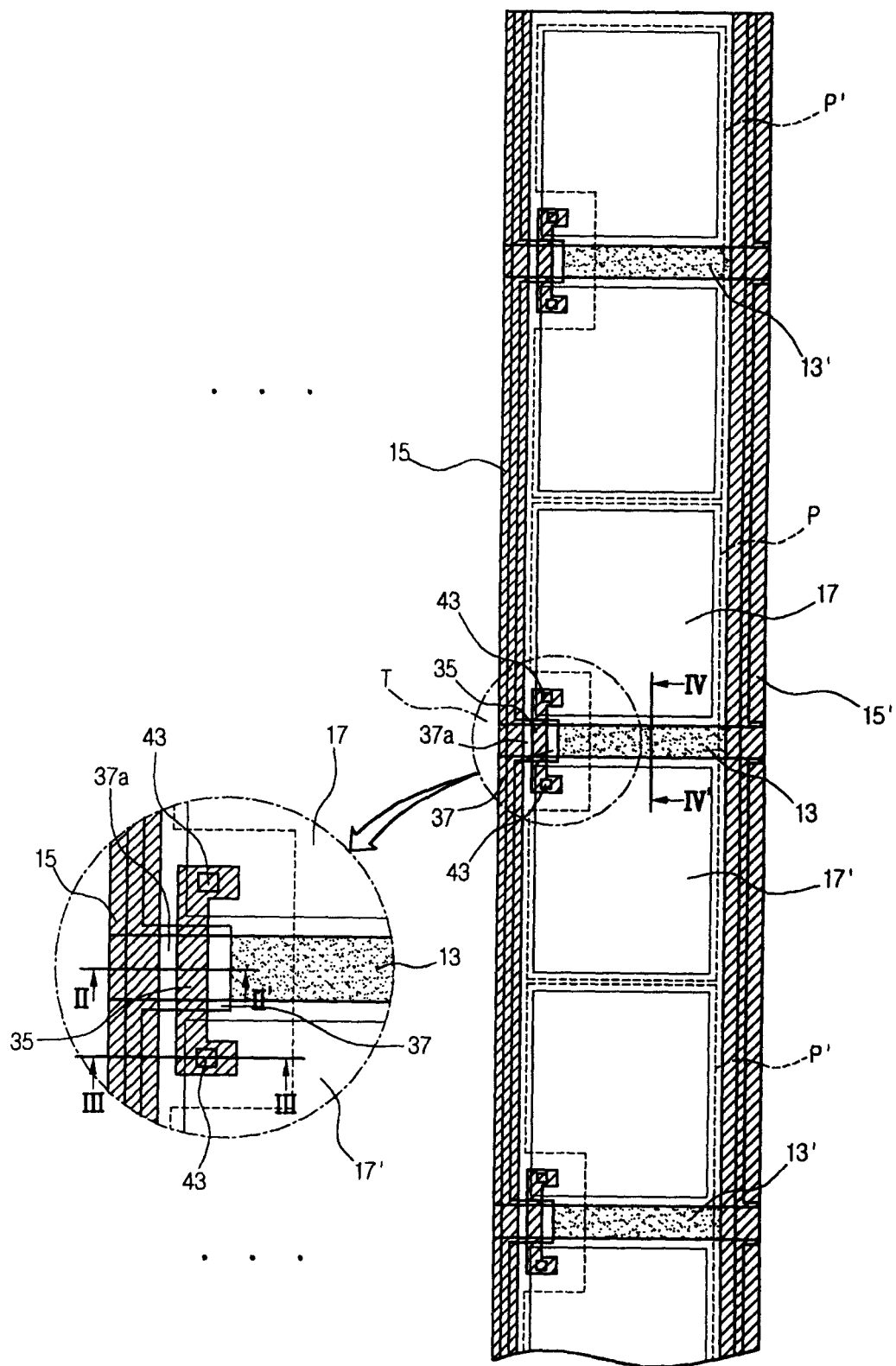


图 5

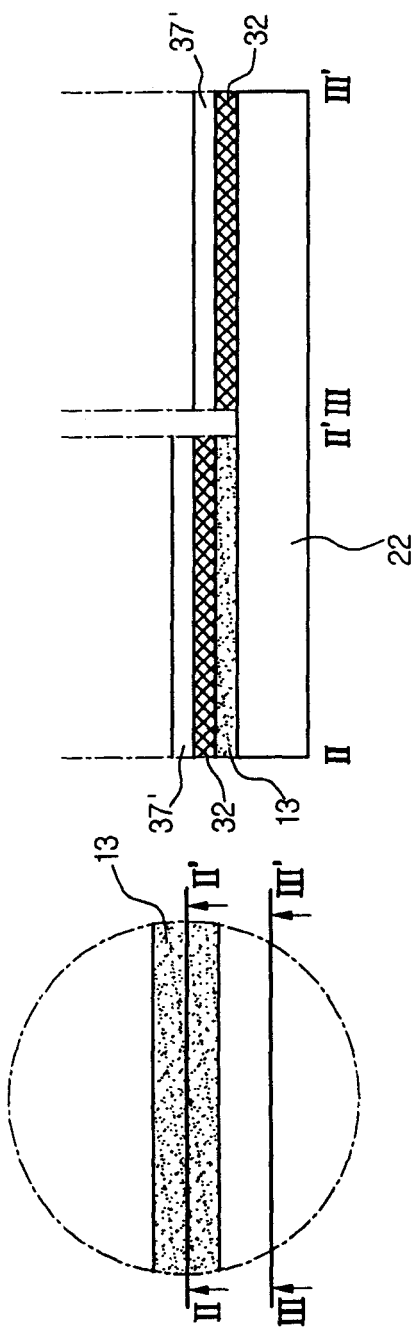


图 6A

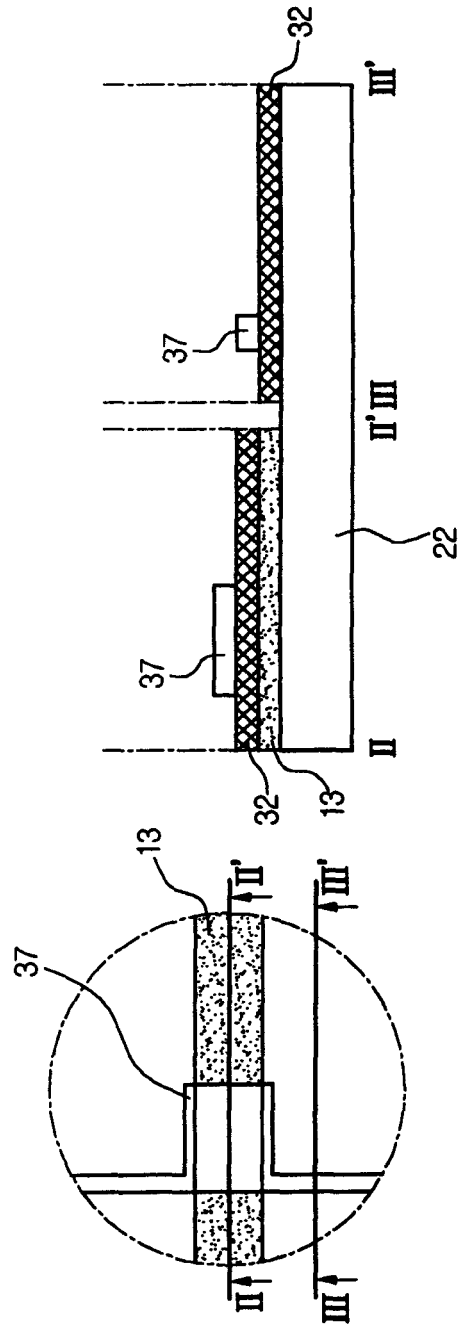


图 6B

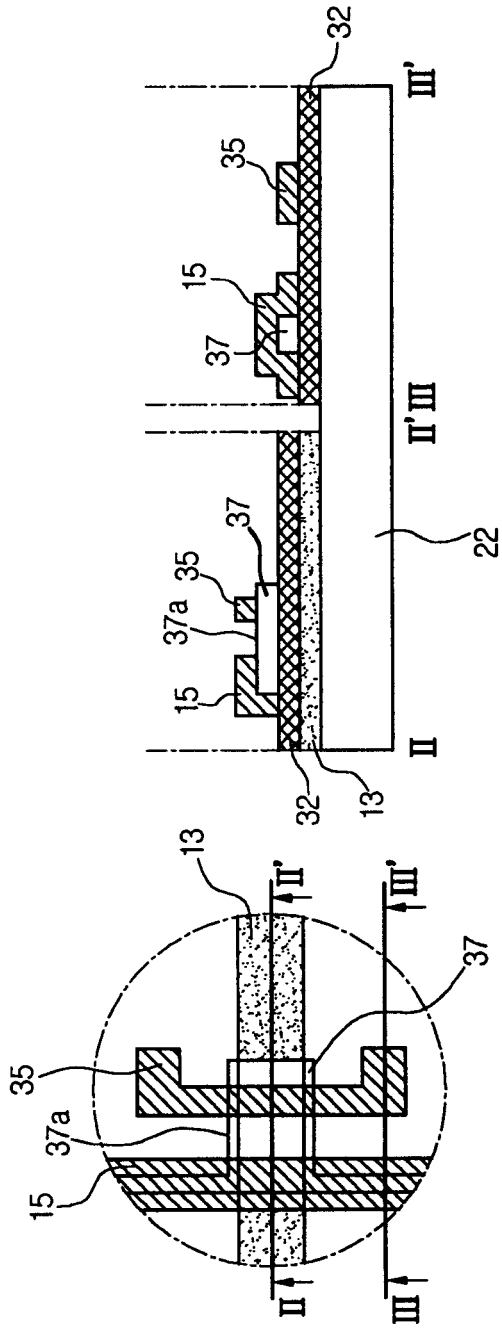


图 6C

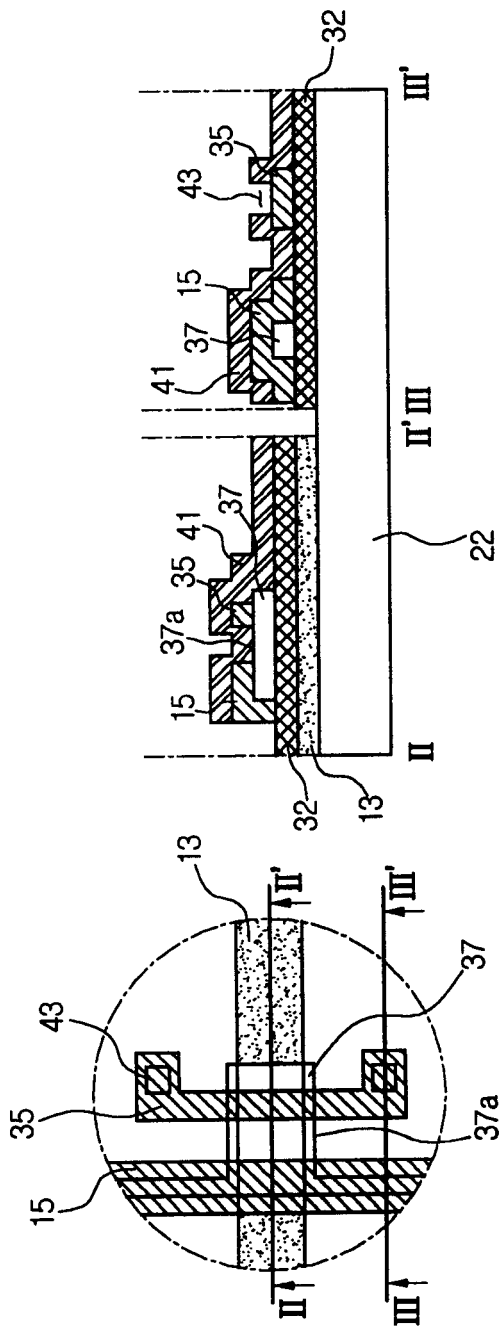


图 6D

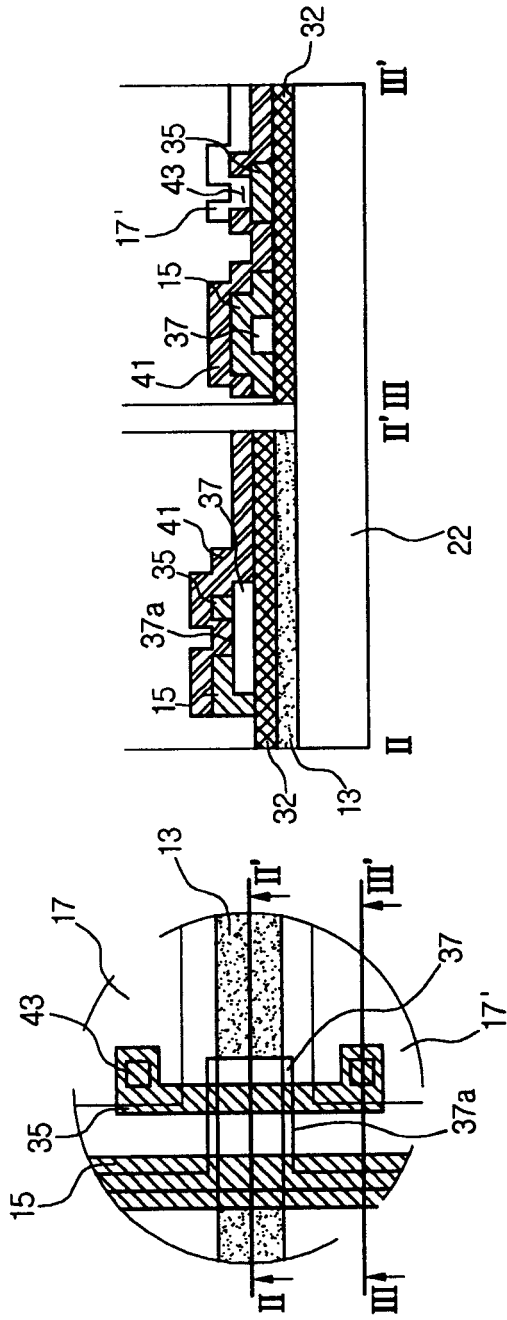


图 6E

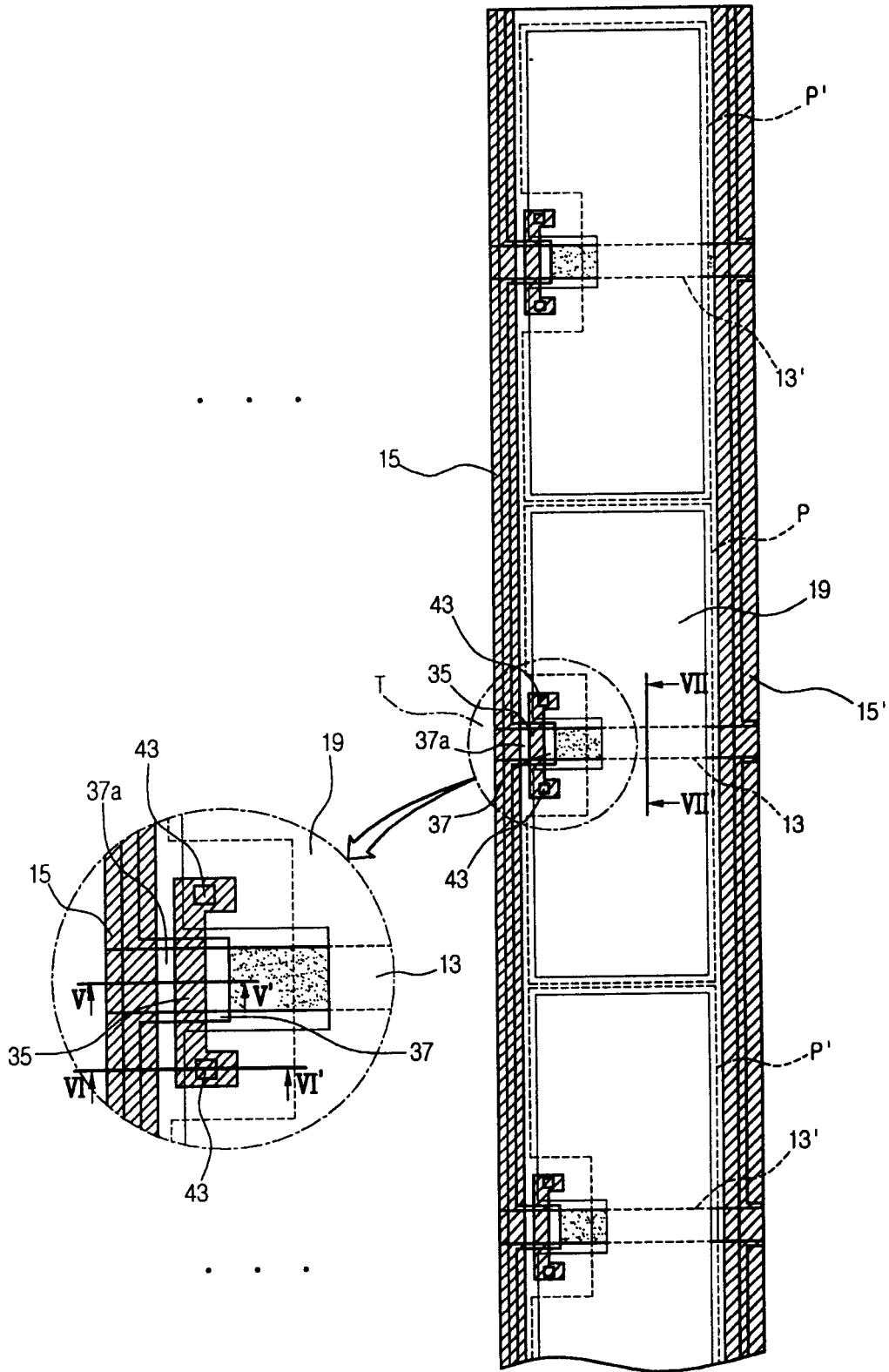


图 7

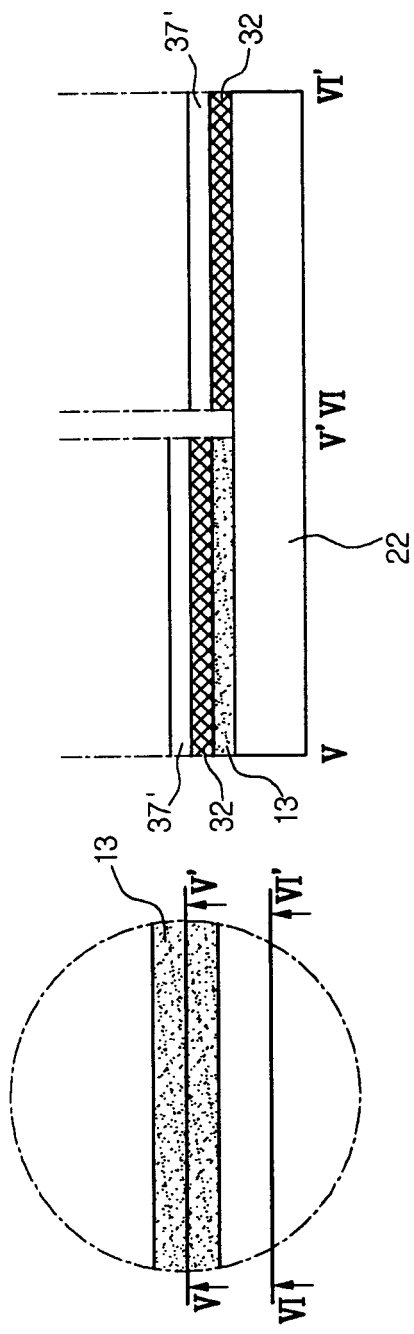


图 8A

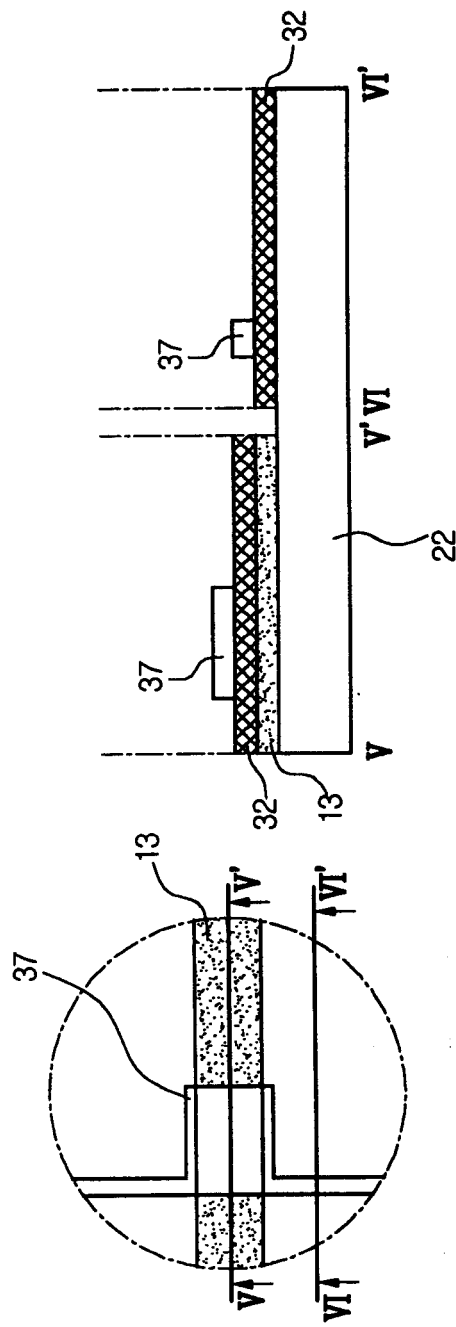


图 8B

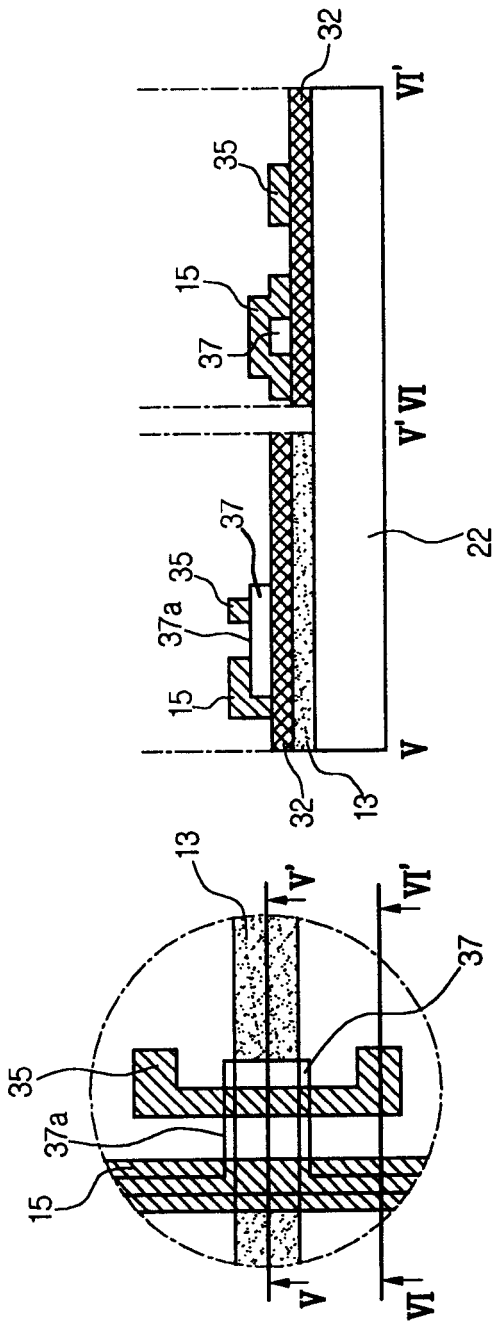


图 8C

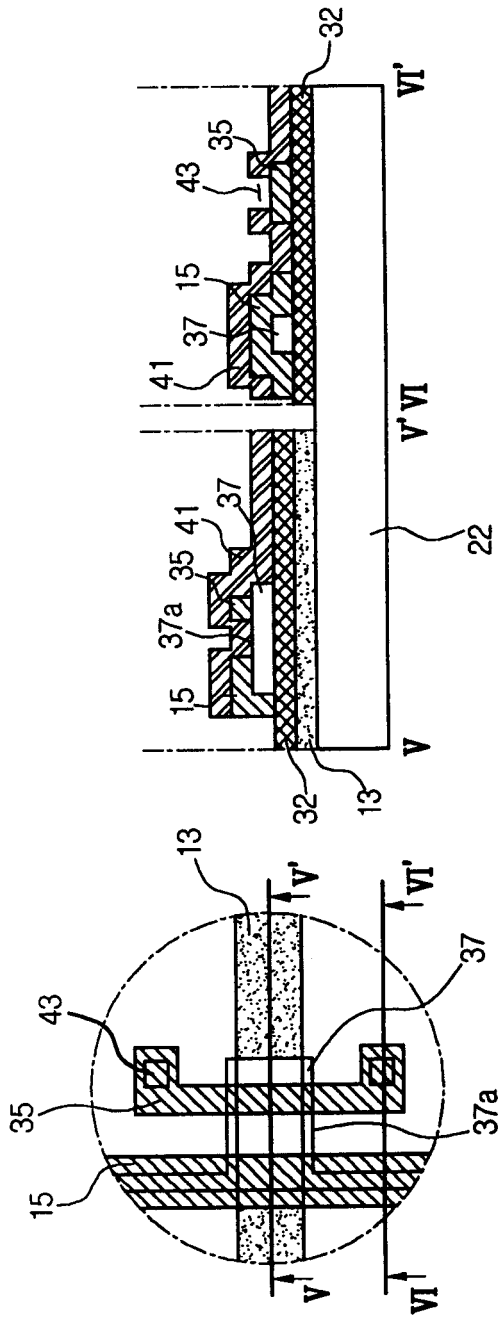


图 8D

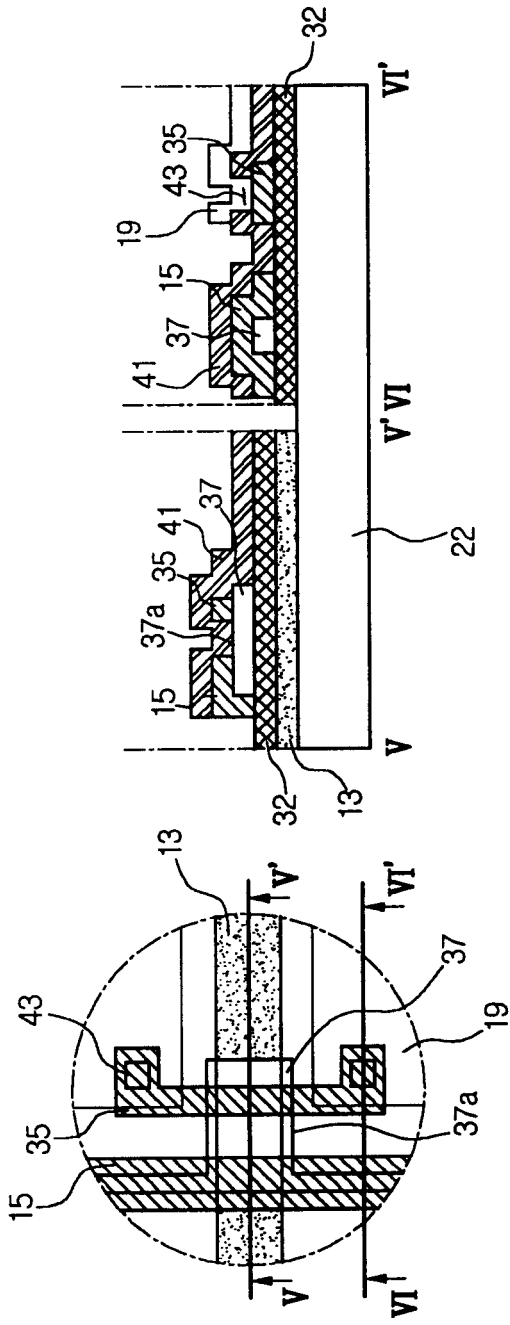


图 8E

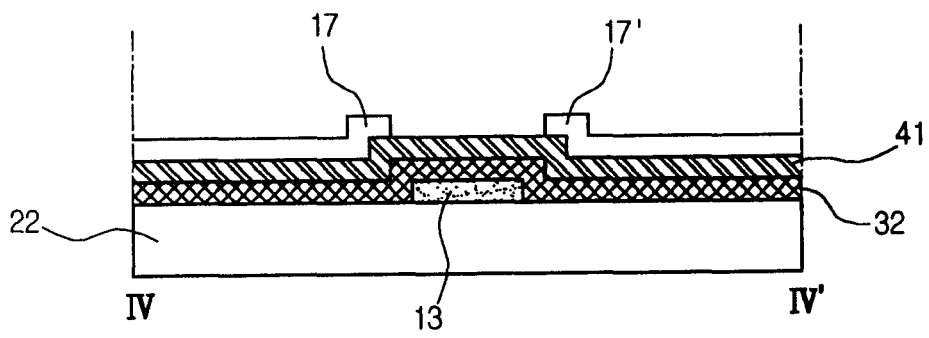


图 9A

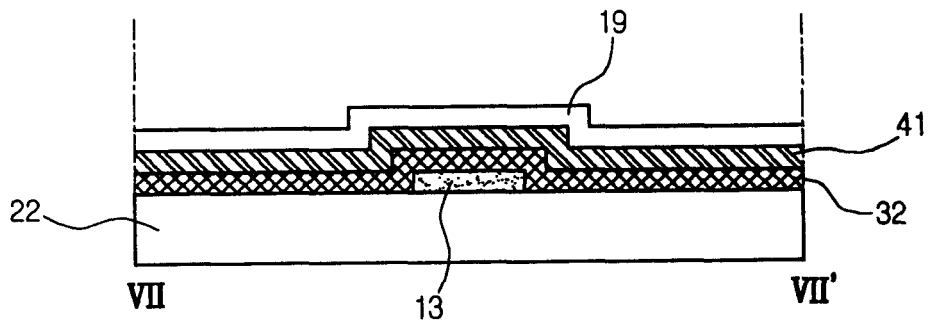


图 9B

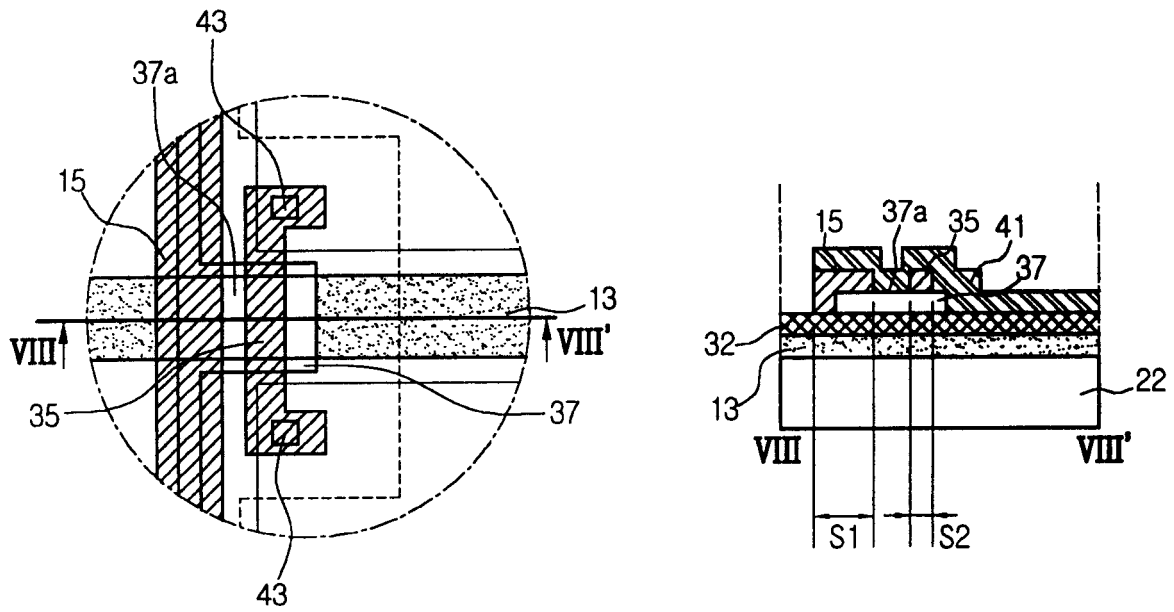


图 10A

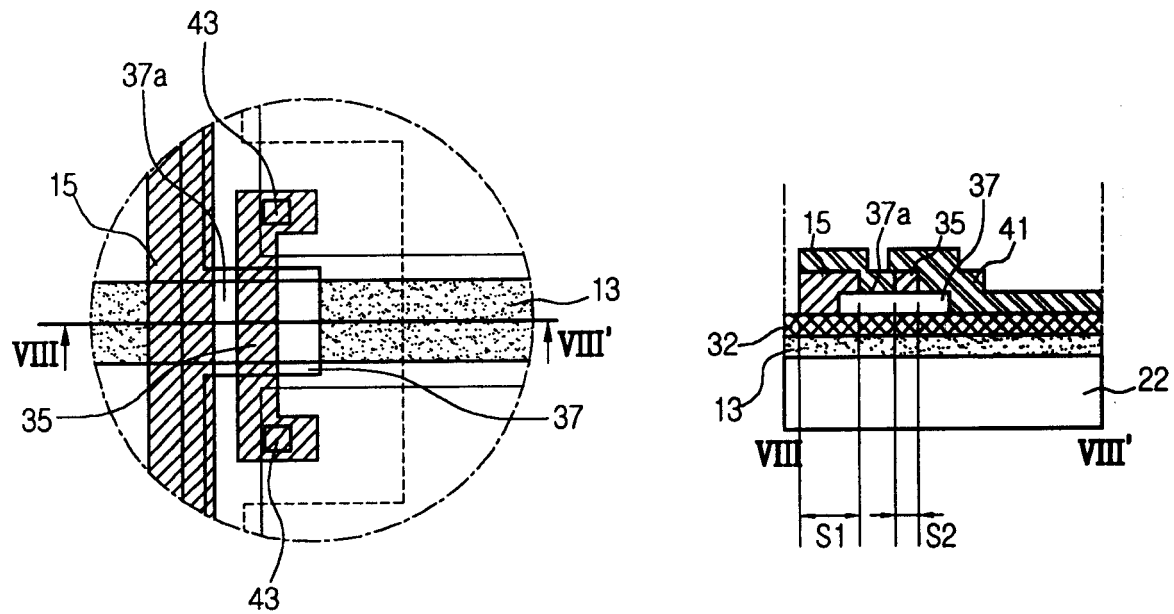


图 10B

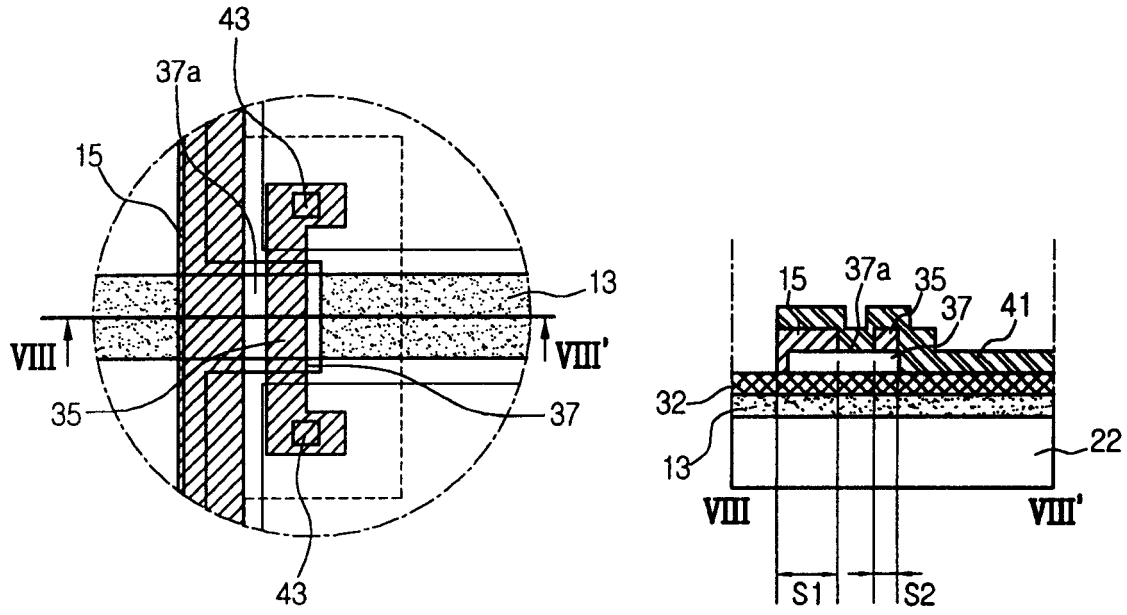


图 10C

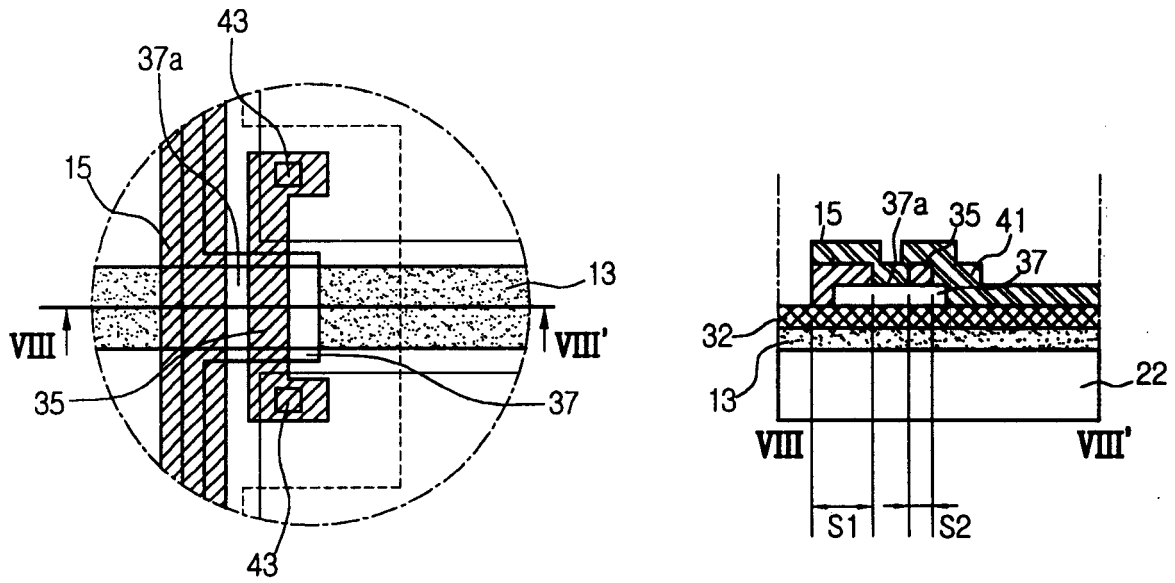


图 10D

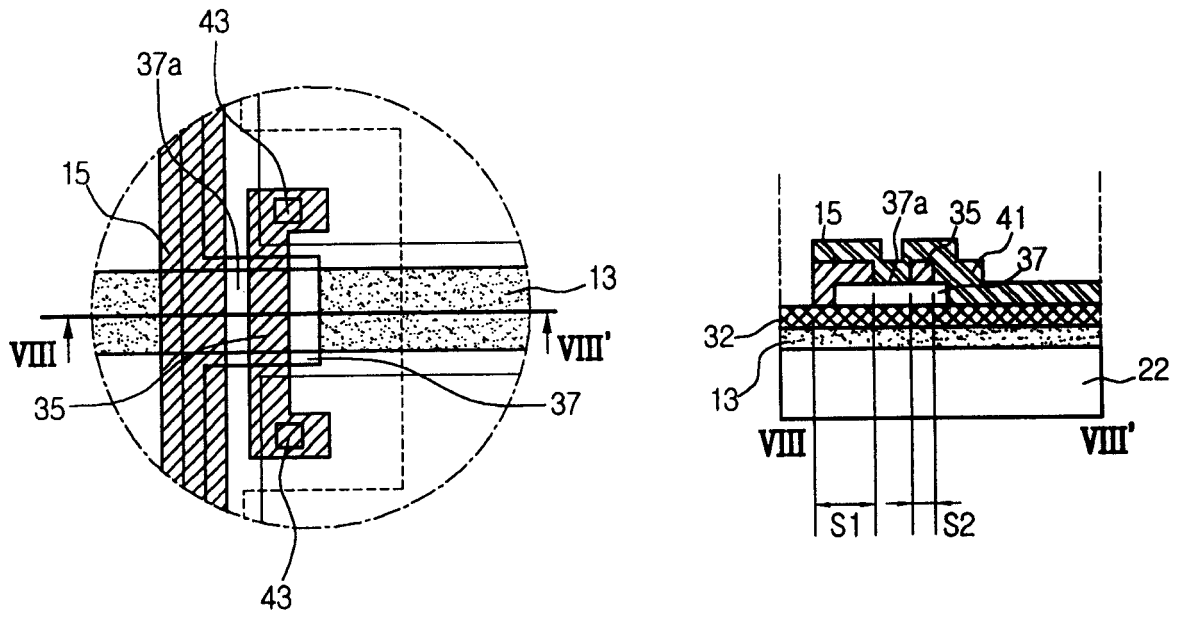


图 10E

专利名称(译)	液晶显示器阵列基板及其制造方法		
公开(公告)号	CN1492273A	公开(公告)日	2004-04-28
申请号	CN03122312.5	申请日	2003-04-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD有限公司		
当前申请(专利权)人(译)	LG.飞利浦LCD有限公司		
[标]发明人	李树雄		
发明人	李树雄		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1362 H01L29/786 G02F1/1343		
CPC分类号	G02F1/136286 G02F2201/123 H01L29/41733		
代理人(译)	李辉		
优先权	1020020064275 2002-10-21 KR		
其他公开文献	CN100442130C		
外部链接	Espacenet SIPO		

摘要(译)

一种LCD阵列基板，包括：在第一方向设置的多个选通线；在第二方向设置并与多个选通线交叉的多个数据线；形成在选通线和数据线的重叠区域中的半导体层，该半导体层从重叠区域以预定长度在选通线上延伸；与选通线和数据线的重叠区域隔开一定距离并部分地与半导体层接触的漏极，该漏极具有延伸出半导体层和选通线的端部；和设置在选通线的相对两侧并与漏极电连接的一对像素电极。

