

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 03153752.9

[45] 授权公告日 2007 年 2 月 21 日

[11] 授权公告号 CN 1301426C

[22] 申请日 2003.8.19 [21] 申请号 03153752.9

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹市科学工业园区

[72] 发明人 王炯宾

[56] 参考文献

CN1363853A 2002.8.14

CN1088315A 1994.6.22

US6444484B2 2002.9.3

CN1304055A 2001.7.18

US2002/0075421A1 2002.6.20

CN1188299A 1998.7.22

US2002/0167633A1 2002.11.14

EP0842196A1 1993.12.10

JP10-104577A 1998.4.24

审查员 曾毅

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 王占梅

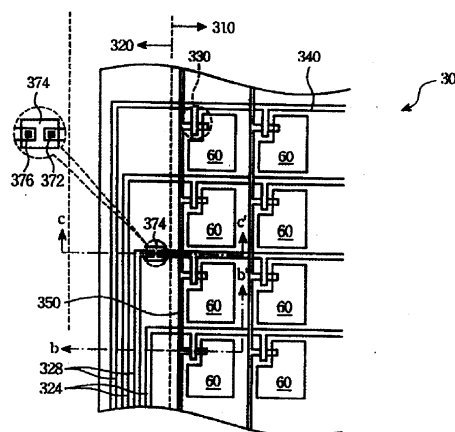
权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称

窄边框设计的液晶显示面板及其制作方法

[57] 摘要

一种窄边框设计的液晶显示面板及其制作方法，包括一玻璃基板、多个第一导线、一介电层与多个第二导线。玻璃基板上表面可区分为一显示区域与一包围显示区域的边框区域，多个像素组件是阵列分布于显示区域上，且每一像素组件包括一薄膜晶体管以为控制。第一导线是制作于边框区域上，用以控制一部分上述薄膜晶体管的开关，而介电层是制作于边框区域上，并且覆盖上述第一导线，同时，第二导线是制作于介电层上，用以控制其余上述薄膜晶体管的开关。



1、一种窄边框设计的液晶显示面板，至少包括：

一玻璃基板，该玻璃基板的上表面可区分为一显示区域与一边框区域，多个像素组件是阵列分布于该显示区域上，且每一该像素组件包括有一薄膜晶体管以控制该像素组件的显示，而该边框区域是包围该显示区域；其特征是：

多个第一导线，制作于该边框区域上，并连接一部分薄膜晶体管的闸极线，以控制该部分薄膜晶体管的开关；

一介电层，制作于该边框区域上，且覆盖该第一导线；以及

多个第二导线，制作于该介电层上，并连接其余部分薄膜晶体管的闸极线，以控制其余部分薄膜晶体管的开关。

2、根据权利要求1所述的窄边框设计的液晶显示面板，其特征是：该第一导线与该薄膜晶体管的闸极是位于同一层金属层，并且，该第二导线与该薄膜晶体管的源极与漏极是位于同一层金属层。

3、根据权利要求1所述的窄边框设计的液晶显示面板，其特征是：该些第一导线与该些第二导线是沿着该显示区域的边缘，以一定间隔制作于该边框区域上。

4、根据权利要求1所述的窄边框设计的液晶显示面板，其特征是：该介电层是一氮化硅层。

5、一种平面显示面板的制作方法，该平面显示面板包括有多个薄膜晶体管控制各像素的显示，该制作方法至少包括下列步骤：

制作多个闸极线与多个第一导线于一玻璃基板上，且该些第一导线是连接一部分该些闸极线；

制作一介电层于该玻璃基板上，且覆盖该些闸极线与该些第一导线；以及

制作多个源极、多个漏极与多个第二导线于该介电层上，且该些第二导线是连接其余的该些闸极线。

6、根据权利要求5所述的窄边框设计的液晶显示面板的制作方法，其特征是：制作该闸极线与该第一导线的步骤包括：

制作一第一金属层于该玻璃基板上；以及

蚀刻该第一金属层以形成该些闸极线与该些第一导线，且该些第一导线是连接一部分该些闸极线。

7、根据权利要求5所述的窄边框设计的液晶显示面板的制作方法，其特征是：制作该第二导线的步骤包括：

制作一第二金属层于该介电层上；

蚀刻该第二金属层以形成该些源极、该些漏极与该些第二导线；

制作一保护层于该介电层上，并且覆盖该些源极、该些漏极与该些第二导线；

蚀刻该保护层，形成多个窗口以暴露该些第二导线与其余的该些闸极线；以及

制作多个连接结构于该保护层上，并填入该些窗口之中，使该些第二导线分别连接其余的该些闸极线。

8、根据权利要求5所述的窄边框设计的液晶显示面板的制作方法，其特征是：该玻璃基板可区分为一显示区域与一边框区域，该闸极线是制作于该显示区域上，该第一导线与该第二导线制作于该边框区域上，且该边框区域是包围该显示区域。

9、根据权利要求5所述的窄边框设计的液晶显示面板的制作方法，其特征是：该些第一导线与该些第二导线是沿着该显示区域的边缘，以一定间隔制作于该边框区域上。

10、根据权利要求5所述的窄边框设计的液晶显示面板的制作方法，其特征是：该介电层是以氮化硅材料制作。

窄边框设计的液晶显示面板及其制作方法

技术领域

本发明涉及一种液晶显示面板，特别是关于一种缩小液晶显示面板边框宽度，以提高显示范围的窄边框设计的液晶显示面板及其制作方法。

背景技术

液晶显示面板 (liquid crystal display, LCD) 是藉由驱动液晶分子转向，改变液晶层的透光度以达到显示的目的。为了驱动液晶分子转向，在液晶层的上下分别制作有一电极层，以提供驱动液晶分子所需的一驱动电压。其中，下电极层是一具低功函数 (Low Work Function) 的金属导电电极，作为电子发射层，下电极层材料可以是锂 (Li)、镁 (Mg)、钙 (Ca)、铝 (Al)、银 (Ag)、铟 (In) 等及其合金，其厚度一般约为 100~400 奈米。而上电极层是一透明导电层，以作为空穴发射层。目前最常使用的透明导电材料为铟锡氧化物 (ITO)。

请参照图 1，显示一典型液晶显示面板 1，包括一彩色面板 10 与一薄膜晶体管面板 30，一液晶层 20 是夹合于彩色面板 10 与薄膜晶体管面板 30 之间。在薄膜晶体管面板 30 的上表面制作有一薄膜晶体管阵列，其中，每一薄膜晶体管是连接有一像素电极，并且，在彩色面板 10 的下表面，制作有一共同电极。藉由共同电极与像素电极间的电位差，以驱动液晶层 20 内液晶分子转向。

请参照图 2A，此图是一典型薄膜晶体管面板 30 的俯视图。此薄膜晶体管面板 30 的上表面可区分为一矩形显示区域 310 与一边框区域 320。矩形显示区域 310 是位于此薄膜晶体管面板 30 的中央位置，而边框区域 320 包围此矩形显示区域 310。请参照图 2B 与图 2C，图 2B 对应于图 2A 中的位置 D，而图 2C 是对应于图 2B a-a' 切割线的剖面示意图。一薄膜晶体管 330 阵列是制作于矩形显

示区域 310 上。同一列薄膜晶体管 330 的闸极是以一闸极线 340 相连，同一行薄膜晶体管 330 的源极是以一信号线 350 相连，并且，每一薄膜晶体管 330 的漏极分别连接有一像素电极 60。此外，多个金属导线 322 是制作于边框区域 320 上，并且，每一金属导线 322 分别连接至一上述闸极线 340。藉此，一闸极驱动电路 360 可通过金属导线 322 控制闸极线 340 的扫描时序。

一般而言，为了简化制程，各个薄膜晶体管 330 的闸极、闸极线 340、以及金属导线 322，是制作于同一层金属层。然而，受到微影制程的分辨率以及制程环境中污染微粒的尺寸的限制，在各金属导线 322 间必须具有一定间隔，以避免产生短路。因此，在薄膜晶体管面板上必须预留足够的边框区域 320 以容纳上述金属导线 322，而导致显示区域 310 的尺寸受到限制，无法进一步加大。

有鉴于此，本发明提出一种新的窄边框设计的液晶显示面板，以降低边框区域的宽度，并藉以提高液晶显示面板中，显示区域所占的比例。

发明内容

本发明是提出一种可藉由降低边框区域的宽度，达到缩小显示面板尺寸的窄边框设计的液晶显示面板及其制作方法。

实现本发明的窄边框设计的液晶显示面板的技术方案如下：

一种窄边框设计的液晶显示面板，至少包括：

一玻璃基板，该玻璃基板的上表面可区分为一显示区域与一边框区域，多个像素组件是阵列分布于该显示区域上，且每一该像素组件包括有一薄膜晶体管以控制该像素组件的显示，而该边框区域是包围该显示区域；

多个第一导线，制作于该边框区域上，用以控制一部分该些薄膜晶体管的开关；

一介电层，制作于该边框区域上，且覆盖该第一导线；以及

多个第二导线，制作于该介电层上，用以控制其余的该薄膜晶体管的开关。

所述的窄边框设计的液晶显示面板，其特征是：该第一导线与该薄膜晶体

管的闸极是位于同一层金属层，并且，该第二导线与该薄膜晶体管的源极与漏极是位于同一层金属层。

所述的窄边框设计的液晶显示面板，其特征是：该些第一导线与该些第二导线是沿着该显示区域的边缘，以一定间隔制作于该边框区域上。

所述的窄边框设计的液晶显示面板，其特征是：该介电层是一氮化硅层。

本发明还提供一种平面显示面板的制作方法，该平面显示面板包括有多个薄膜晶体管控制各像素的显示，该制作方法至少包括下列步骤：

制作多个闸极线与多个第一导线于一玻璃基板上，且该些第一导线是连接一部分该些闸极线；

制作一介电层于该玻璃基板上，且覆盖该些闸极线与该些第一导线；以及

制作多个源极、多个漏极与多个第二导线于该介电层上，且该些第二导线是连接其余的该些闸极线。

所述的窄边框设计的液晶显示面板的制作方法，其特征是：制作该闸极线与该第一导线的步骤包括：

制作一第一金属层于该玻璃基板上；以及

蚀刻该第一金属层以形成该些闸极线与该些第一导线，且该些第一导线是连接一部分该些闸极线。

所述的窄边框设计的液晶显示面板的制作方法，其特征是：制作该第二导线的步骤包括：

制作一第二金属层于该介电层上；

蚀刻该第二金属层以形成该些源极、该些漏极与该些第二导线；

制作一保护层于该介电层上，并且覆盖该些源极、该些漏极与该些第二导线；

蚀刻该保护层，形成多个窗口以暴露该些第二导线与其余的该些闸极线；
以及

制作多个连接结构于该保护层上，并填入该些窗口之中，使该些第二导线

分别连接其余的该些闸极线。

所述的窄边框设计的液晶显示面板的制作方法，其特征是：该玻璃基板可区分为一显示区域与一边框区域，该闸极线是制作于该显示区域上，该第一导线与该第二导线制作于该边框区域上，且该边框区域是包围该显示区域。

所述的窄边框设计的液晶显示面板的制作方法，其特征是：该些第一导线与该些第二导线是沿着该显示区域的边缘，以一定间隔制作于该边框区域上。

所述的窄边框设计的液晶显示面板的制作方法，其特征是：该介电层是以氮化硅材料制作。

本发明所揭露的平面显示面板，至少包括一玻璃基板、多个第一导线、一介电层与多个第二导线。在玻璃基板上表面可区分为一显示区域与一边框区域，多个像素组件是阵列分布于显示区域上，边框区域是包围显示区域，并且，每一像素组件包括有一薄膜晶体管以控制像素组件的显示。

第一导线是制作于边框区域上，用以控制一部分上述薄膜晶体管的开关，而介电层是制作于边框区域上，并且覆盖上述第一导线，同时，第二导线是制作于介电层上，用以控制其余上述薄膜晶体管的开关。

本发明的优点在于：

相较于传统液晶显示面板的边框设计，本发明的设计具有下列特色：

当所需要的闸极线数量为 n ，传统的边框设计中，必须制作数量为 n 的金属导线，而本发明的边框设计，利用制作于不同金属层的第一导线与第二导线，取代原有金属导线的功能，因此，所需第一导线与第二导线的数量均为 $n/2$ 。此外，在相同制程条件的情况下，在各金属导线之间、各第一导线之间、以及各第二导线之间，必须保持一预定距离以防止产生短路。因此，藉由本发明的边框设计，可以降低边框宽度至原有的一半。

在本发明的液晶显示面板中，由于边框的宽度降低，相对的，增加了液晶显示面板的显示范围尺寸以及显示区域所占的比例。

关于本发明的优点与精神可以藉由以下的具体实施例并结合附图的详述，

将得到进一步的了解。

附图说明

图 1 是一习知液晶显示面板的示意图。

图 2A、B 与 C 是一习知薄膜晶体管面板的示意图。

图 3A 至 D 是本发明薄膜晶体管面板一较佳实施例的示意图。

图 4A 至 D 是本发明薄膜晶体管面板制作流程一较佳实施例的示意图。

具体实施方式

以下所示，是本发明液晶显示面板一较佳实施例。请参照图 1，一液晶显示面板 1 包括一彩色面板 10 与一薄膜晶体管面板 30，一液晶层 20 是夹合于彩色面板 10 与薄膜晶体管面板 30 之间。在薄膜晶体管面板 30 的上表面制作有一薄膜晶体管阵列，每一薄膜晶体管是连接有一像素电极，并且，在彩色面板 10 的下表面，制作有一共同电极。藉由共同电极与像素电极间的电位差，驱动液晶层 20 内液晶分子转向。

请参照图 3A，薄膜晶体管面板 30 的上表面可区分为一矩形显示区域 310 与一边框区域 320。其中，矩形显示区域 310 位于薄膜晶体管面板 30 的中央位置，并且，边框区域 320 包围此矩形显示区域 310。请参照图 3B，是对应于图 3A 中的位置 E。一薄膜晶体管阵列是制作于矩形显示区域 310 上。同一列薄膜晶体管 330 的闸极是以一闸极线 340 相连，同一行薄膜晶体管 330 的源极是以一信号线 350 相连，并且，每一薄膜晶体管的漏极分别连接有一像素电极 60。

请参照图 3B 与图 3C，其中，图 3C 是对应于图 3B b-b'切割线的剖面示意图。多个第一导线 324，是沿着上述矩形显示区域的边缘，制作于边框区域 320 上，并且，一介电层 326 是制作于边框区域 320 上，覆盖上述第一导线 324。此外，多个第二导线 328，是沿着矩形显示区域的边缘，制作于介电层 326 上，一保护层 341 是制作于第二导线 328 与介电层 326 之上。上述第一导线 324 是

连接有一部分的闸极线 340，而上述第二导线 328 是连接其余的闸极线 340。藉此，一闸极驱动电路 360 可通过上述第一导线 324 与第二导线 328 控制闸极线 340 的扫描时序。

值得注意的是，第二导线 328 与闸极线 340 是制作于不同的金属层。请参看图 3D，是对应于图 3B c-c'切割线。在第二导线 328 与闸极线 340 之间必须通过一连接结构使二者相连，此连接结构包括第一插塞 372、导电连线 374 与第二插塞 376。上述第一插塞 372 是贯穿介电层 326 与保护层 341，而第二插塞 376 是贯穿保护层 341。导电连线 374 是制作于介电层 341 的上表面，并通过上述第一插塞 372 与第二插塞 376，分别连接闸极线 340 与第二导线 328。就一较佳实施例而言，此导电连线 374 与像素电极 60 是制作于同一导电层，而一般常以铟锡氧化物制作。反之，由于第一导线 324 与闸极线 340 是制作于同一金属层，即无此问题存在。

请参看图 4A 至图 4D，显示本发明薄膜晶体管面板 30 制作流程的一较佳实施例。首先，如图 4A 所示，沉积一金属层于一玻璃基材上，并且蚀刻制作多个第一导线 324、多个闸极线 340 与薄膜晶体管阵列的多个闸极 331。同一列的闸极 331 是连接有一闸极线 340，并且，一部分的闸极线 340 是连接至该些第一导线 324。随后，制作一介电层 326 于玻璃基材上，覆盖上述第一导线 324、闸极线 340 与闸极 331。请参看图 4B，接着沉积一金属层于介电层 326 上，并蚀刻此金属层，制作多个第二导线 328、多个信号线 350 与薄膜晶体管 330 阵列的多个源、漏极 332 与 333。并且，每一第二导线 328 是对应一未连接有第一导线 324 的闸极线 340。

随后，请参看图 4C，制作一保护层 341 于玻璃基材上，覆盖上述第二导线 328、信号线 350 与源漏极 332 与 333，并且在保护层 341 中制作开口 327 与 329，分别用以暴露第二导线 328 与相对应的闸极线 340。最后，请参看图 4D，制作一氧化铟锡层于保护层 341 上，并且填入上述开口 327 与 329 中，随后，蚀刻此氧化铟锡层，制作多个像素电极 60 与多个连接结构，并且，每一连接结构具

有一第一插塞 372、一导电连线 374 与一第二插塞 376，藉以连接第二导线 328 与相对应的闸极线 340。

在较佳实施例的情况下，第一导线 324 与第二导线 328 均平行于矩形显示区域 310 的边缘分布，同时，介电层 326 可以选用氮化硅作为沉积材料，以在第一导线 324 与第二导线 328 间达到良好的隔离效果。为避免第一导线 324 与第二导线 328 中的信号传递，影响矩形显示区域 310 内的正常显示。最内侧第一导线 324 与矩形显示区域 310 边缘的间隔，是大于相邻二第一导线 324 的间隔，并且，最内侧第二导线 328 与矩形显示区域 310 边缘的间隔，是大于相邻二第二导线 328 的间隔。同时，为避免第一导线 324 与第二导线 328 的信号传递受到外围环境的影响，最外侧第一导线 324 与边框区域 320 外缘的间隔，是大于相邻二第一导线 324 的间隔，并且，最外侧第二导线 328 与边框区域 320 外缘的间隔，是大于相邻二第二导线 328 的间隔。

请参照图 3A，第一导线 324 与第二导线 328 是制作于边框区域 320 的左侧长边。然而，若有其它设计上的需求，上述第一导线 324 与第二导线 328 亦可以制作于边框区域 320 的右侧长边与上下短边。此外，上述第一导线 324 与第二导线 328 不仅限于连接闸极线 340，其它制作于薄膜晶体管面板 30 上的线路亦可以通过第一导线 324 与第二导线 328 进行讯号传递。

以上所述是利用较佳实施例详细说明本发明，而非限制本发明的范围，而且熟知此类技艺人士皆能明了，适当而作些微的改变及调整，仍将不失本发明的要义所在，亦不脱离本发明的精神和范围。

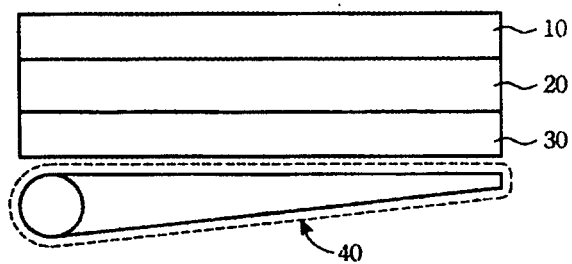


图 1

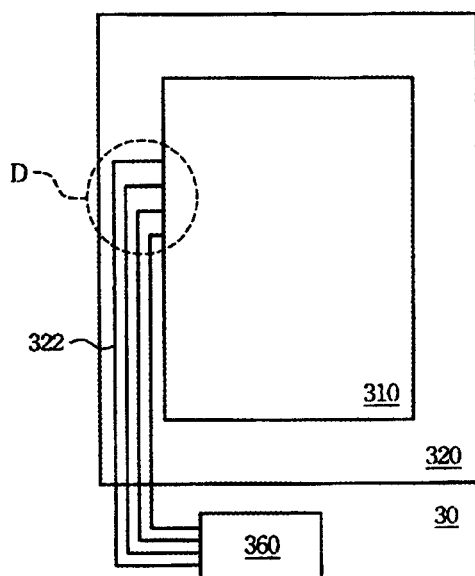


图 2A

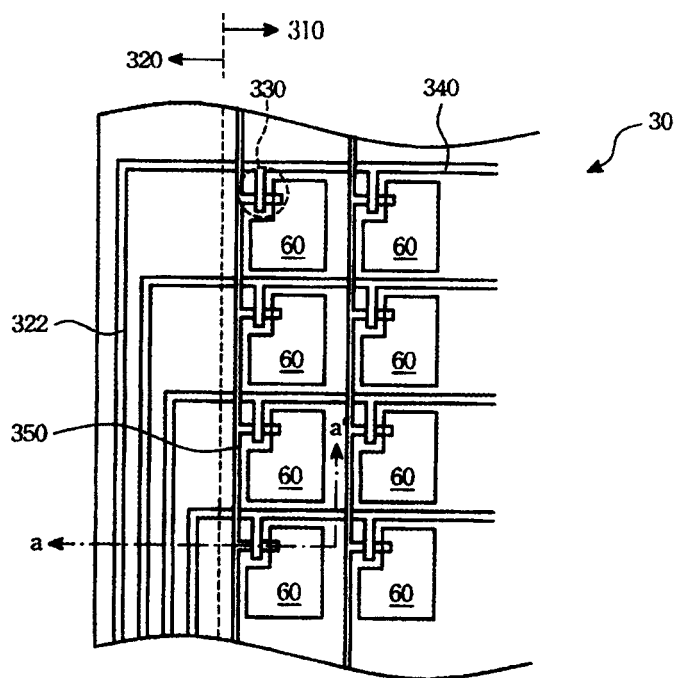


图 2B

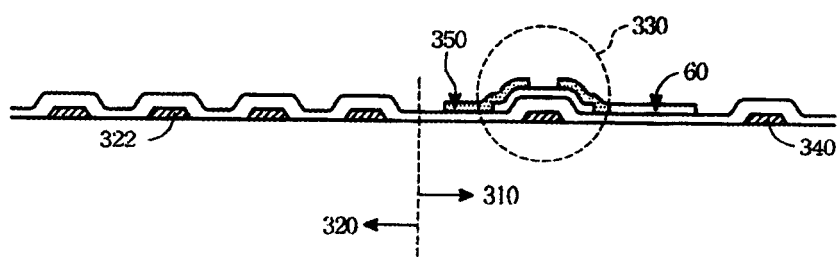


图 2C

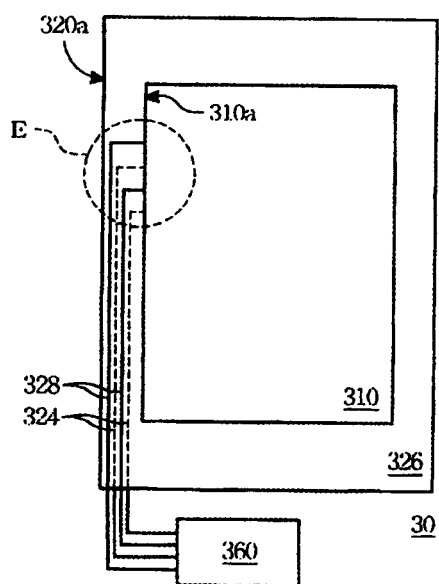


图 3A

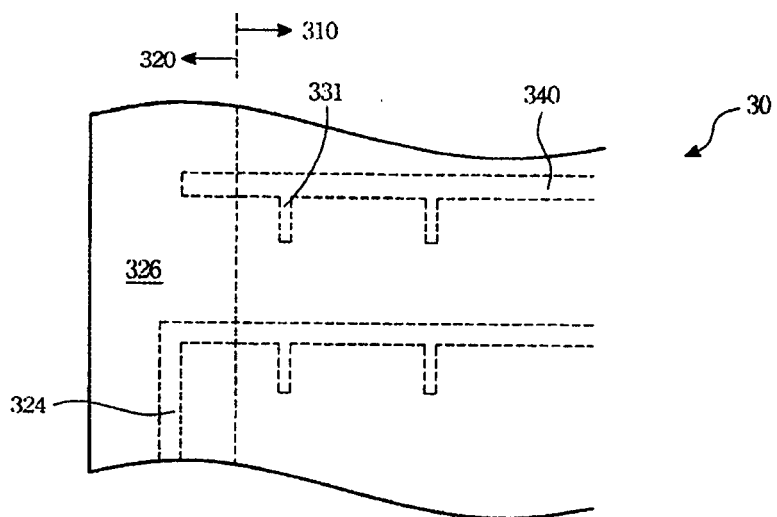


图 4A

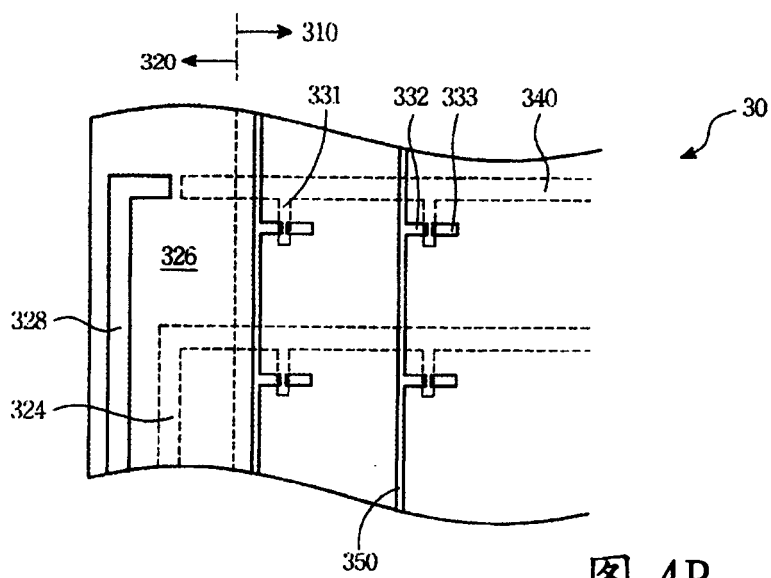


图 4B

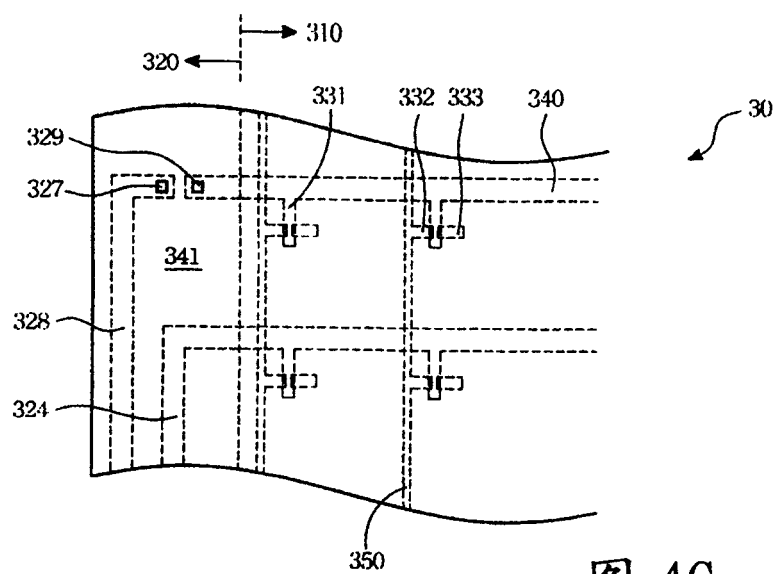


图 4C

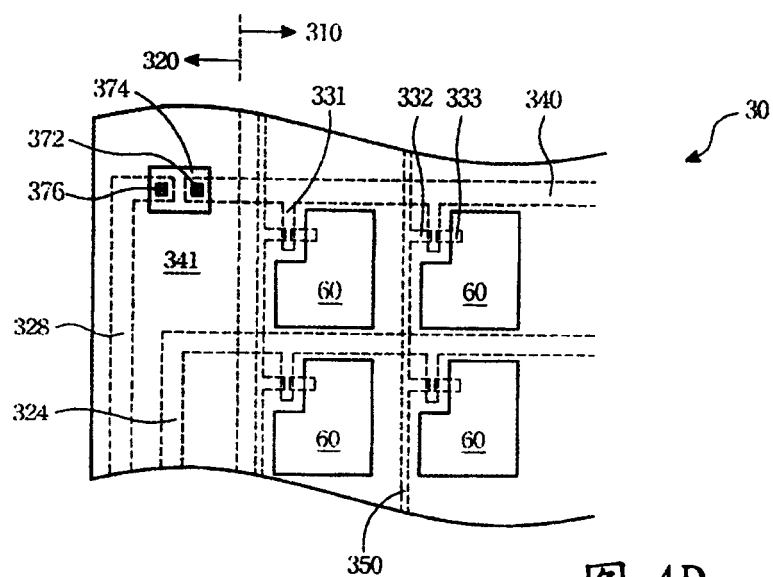


图 4D

专利名称(译)	窄边框设计的液晶显示面板及其制作方法		
公开(公告)号	CN1301426C	公开(公告)日	2007-02-21
申请号	CN03153752.9	申请日	2003-08-19
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	王炯宾		
发明人	王炯宾		
IPC分类号	G02F1/133 G02F1/136 H01L29/786		
其他公开文献	CN1584712A		
外部链接	Espacenet SIPO		

摘要(译)

一种窄边框设计的液晶显示面板及其制作方法，包括一玻璃基板、多个第一导线、一介电层与多个第二导线。玻璃基板上表面可区分为一显示区域与一包围显示区域的边框区域，多个像素组件是阵列分布于显示区域上，且每一像素组件包括一薄膜晶体管以为控制。第一导线是制作于边框区域上，用以控制一部分上述薄膜晶体管的开关，而介电层是制作于边框区域上，并且覆盖上述第一导线，同时，第二导线是制作于介电层上，用以控制其余上述薄膜晶体管的开关。

