



(12) 发明专利申请

(10) 申请公布号 CN 102654986 A

(43) 申请公布日 2012. 09. 05

(21) 申请号 201110381991. 9

(22) 申请日 2011. 11. 25

(71) 申请人 京东方科技股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 合肥京东方光电科技有限公司

(72) 发明人 马睿 邵贤杰 王国磊 胡明  
林炳仟 涂志中

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/36 (2006. 01)

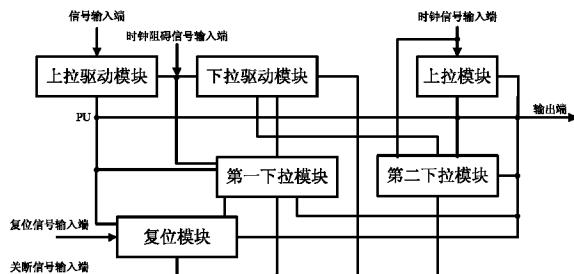
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

移位寄存器的级、栅极驱动器、阵列基板以及显示装置

(57) 摘要

本发明公开了一种移位寄存器的级、栅极驱动器、阵列基板、以及显示装置,涉及液晶显示技术领域。该级包括:上拉模块、第一下拉模块、第二下拉模块、上拉驱动模块、下拉驱动模块以及复位模块,其中,第一下拉模块,根据时钟阻碍信号输入端输入的信号以及复位信号输入端输入的信号,向所述输出端输出关断信号;第二下拉模块,根据所述时钟信号输入端输入的信号,向所述输出端输出关断信号;信号输入端输入的信号与所述时钟信号输入端输入的信号相位相同,所述时钟信号输入端输入的信号与所述时钟阻碍信号输入端输入的信号相位相反。本发明的装置可以有效地避免因栅极偏置应力导致的阈值电压漂移缺陷,且能够减少输出电压的噪声。



1. 一种移位寄存器的级,其特征在于,该级包括:

上拉模块,根据信号输入端输入的信号以及时钟信号输入端输入的信号,向输出端输出驱动信号;

第一下拉模块,根据时钟阻碍信号输入端输入的信号以及复位信号输入端输入的信号,向所述输出端输出关断信号;

第二下拉模块,根据所述时钟信号输入端输入的信号,向所述输出端输出关断信号;

上拉驱动模块,根据所述信号输入端输入的信号驱动所述上拉模块;

下拉驱动模块,根据所述时钟阻碍信号输入端输入的信号以及复位信号输入端输入的信号,驱动所述第一下拉模块以及第二下拉模块;

复位模块,根据所述复位信号输入端输入的信号对上拉节点以及所述输出端进行复位;

所述信号输入端输入的信号与所述时钟信号输入端输入的信号相位相同,所述时钟信号输入端输入的信号与所述时钟阻碍信号输入端输入的信号相位相反。

2. 如权利要求1所述的移位寄存器的级,其特征在于,所述第二下拉模块进一步包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及电容,所述第一薄膜晶体管的栅极与所述上拉节点相连,所述第一薄膜晶体管的漏极与所述电容的一个极相连,所述第一薄膜晶体管的源极与关断信号输入端相连;所述电容的另一个极与所述时钟信号输入端相连;所述第二薄膜晶体管的栅极与所述第三薄膜晶体管的栅极相连,且连接点连接至所述电容与所述第一薄膜晶体管的漏极相连的所述极,所述第二薄膜晶体管的漏极与所述上拉节点相连,所述第二薄膜晶体管的源极与所述关断信号输入端相连,所述第三薄膜晶体管的漏极与所述输出端相连,所述第三薄膜晶体管的源极与所述关断信号输入端相连。

3. 如权利要求2所述的移位寄存器的级,其特征在于,所述信号输入端输入的信号为前一级输出端输出的信号。

4. 如权利要求2所述的移位寄存器的级,其特征在于,所述复位信号输入端输入的信号为后一级输出端输出的信号。

5. 一种栅极驱动器,其特征在于,该栅极驱动器包括由多个权利要求1-4任一项所述的级构成的移位寄存器,所述移位寄存器的每个级的输入信号为上一级的输出信号,每个级的复位信号为下一级的输入信号。

6. 一种栅极驱动器,其特征在于,对于所述栅极驱动器的移位寄存器中的每一级,当其信号输入端为低电平,且时钟信号输入端为高电平时,向上拉节点以及输出端传输关断信号。

7. 如权利要求6所述的栅极驱动器,其特征在于,对于所述栅极驱动器的移位寄存器中的每一级,

当所述信号输入端为高电平,且时钟阻碍信号输入端为高电平时,所述输出端输出低电平;

当所述信号输入端为低电平,且所述时钟阻碍信号输入端为低电平时,所述输出端输出高电平;

当所述信号输入端为低电平,所述时钟阻碍信号输入端为高电平,且复位信号输入端为高电平时,所述输出端输出低电平;

当所述信号输入端为低电平,且所述时钟信号输入端为高电平时,所述输出端输出低电平;

当所述信号输入端为低电平,且所述时钟阻碍信号输入端为高电平时,所述输出端输出低电平;

所述信号输入端输入的信号与所述时钟信号输入端输入的信号相位相同,所述时钟信号输入端输入的信号与所述时钟阻碍信号输入端输入的信号相位相反。

8. 一种阵列基板,其特征在于,该阵列基板包括:基板、形成在所述基板显示区域的有源阵列、以及设置在所述基板一侧的权利要求 5 所述的栅极驱动器。

9. 一种显示装置,其特征在于,该装置包括:权利要求 8 所述的阵列基板。

## 移位寄存器的级、栅极驱动器、阵列基板以及显示装置

### 技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种移位寄存器的级、栅极驱动器、阵列基板、以及显示装置。

### 背景技术

[0002] 液晶显示器 (Liquid Crystal Display, LCD) 具有重量轻,厚度薄以及低功耗等优点,广泛应用于电视、手机、显示器等电子产品中。

[0003] LCD 是由水平和垂直两个方向的像素矩阵构成的,其进行显示时,通过栅极驱动电路输出栅极输入信号,逐行扫描各像素。LCD 的驱动主要包括栅极驱动器和数据驱动器,数据驱动器将输入的显示数据及时钟信号定时顺序锁存,转换成模拟信号后输入到液晶面板的数据线,栅极驱动器将输入时钟信号经过移位寄存器转换,切换成开启 / 关断电压,顺次施加到液晶面板的栅极线上。栅极驱动器中的移位寄存器用于产生扫描栅线中的扫描信号。

[0004] 移位寄存器是一种常见的半导体器件,经常使用在 LCD 中。LCD 中的移位寄存器是 n 级 (n-stage) 移位寄存器。在 LCD 中每一个栅线与移位寄存器的一个级电连接。LCD 在工作时,与每一个栅线对应连接的级一次向面板输出驱动信号。

[0005] 图 1 为现有的移位寄存器的级的示意图。如图 1 所示,该移位寄存器的级包括:上拉模块,复位模块,上拉驱动模块,下拉模块,下拉驱动模块。

[0006] 上拉模块,由薄膜晶体管 (Thin Film Transistor, TFT) M3 构成,当 TFT M3 被上拉节点 PU 打开时,时钟信号输入端 CLK 输入的信号向输出端 OUTPUT 输出信号,其栅极由上拉节点 PU 控制,源极连于 CLK,漏极与 OUTPUT 相连。

[0007] 复位模块,由 TFT M2 以及 TFT M4 构成,当由复位信号输入端 RESET 输入的复位信号即下一级的输出信号到来的时候,TFT M2、TFT M4 打开,对于上拉节点 PU 和 OUTPUT 进行复位,将其信号进行下拉至关断电压。TFT M2 的栅极由 RESET 控制,漏极与上拉节点 PU 相连,源极与关断信号输入端 VSS 相连;TFT M4 的栅极由 RESET 控制,漏极与 OUTPUT 相连,源极与 VSS 相连。

[0008] 上拉驱动模块,由 TFT M1、TFT M13、以及电容 C1 构成,信号输入端 INPUT 输入信号和时钟阻碍信号输入端 CLKB 的时钟阻碍信号同相位,当输入信号和时钟阻碍信号到来的时候,TFT M1、TFT M13 打开,对 C1 的一个极板进行充电,使得上拉节点 PU 为高电位,并且使得 TFT M3 处于导通状态,当下一时刻 CLK 输入的时钟信号到来的时候,由于自举效应 (bootstrapping),使得上拉节点 PU(即为 TFT M3 的栅极) 电位变得更高,从而产生了阈值电压补偿的效果。TFT M1 的漏极和栅极相连,都与 INPUT 相连,源极与上拉节点 PU 相连;TFT M13 的栅极由时钟阻碍信号控制,漏极与 INPUT 相连,源极与上拉节点 PU 相连;C1 一端与上拉节点 PU 点相连,另一端与 OUTPUT 相连。

[0009] 下拉模块,由 TFT M10、TFT M11、以及 TFT M12 构成, TFT M12 由时钟阻碍信号控制,当 CLKB 高电位到来时, TFT M12 管导通,对于 OUTPUT 进行下拉,降低其输出噪声,保证

输出信号的稳定性。TFTM10、以及 TFT M11 晶体管由下拉驱动模块中的节点 PD 控制,当 PD 节点为高电位时, TFT M10 和 TFT M11 导通,从而对上拉节点 PU 点和 OUTPUT 进行下拉,降低其输出噪声,保证输出信号的稳定性。M12 管的栅极与 CLKB 相连,源极连接 VSS,漏极连接 OUTPUT。

[0010] 下拉驱动模块,由 TFT M5、TFT M6、TFT M8、以及 TFT M9 构成,主要控制节点 PD 电位的输出,从而驱动下拉模块的工作。

[0011] 图 2 为现有的移位寄存器的时序图。如图 2 所示,上述移位寄存器的工作原理如下:

[0012] 第一阶段, INPUT 为高电平, CLKB 也为高电平的时候, INPUT 信号为上一级的输出信号,TFT M1 管导通;CLKB 为高电位, TFT M13 导通, INPUTU 的高电位信号给 C1 进行充电,使得上拉节点 PU 节点的电位被拉高,同时也会使得 TFT M8、及 TFT M6 管打开,CLKB 的高电位同样也会让 TFT M9、及 TFT M5 导通,通过对晶体管尺寸的设计,可以使得这个时刻节点 PD 的电位为低电位,使得 TFT M10 及 TFT M11 关断,不让这两个管子进行下拉,从而保证信号的稳定性输出。

[0013] 第二阶段,当 INPUT 为低电平, CLKB 也是低电平的时候, TFT M1 及 TFT M13 管关断,上拉节点 PU 继续保持高电位,TFT M3 保持开启状态。这时候 CLK 为高电位,此时,上拉节点 PU 由于自举效应 (bootstrapping) 放大上拉节点 PU 的电压,最终向 OUTPUT 传输驱动信号。

[0014] 第三阶段,时钟阻碍信号 CLKB 为高电平,复位端信号 RESET 也为高电平。其中,RESET 为下一级 OUTPUT 的输出信号。CLKB 高电平信号导通 TFT M9 及 TFT M5,使得节点 PD 为高电位,导通 TFT M10 及 TFT M11,从而对上拉节点 PU 节点和 OUTPUT 进行传输关断信号;复位信号输入端 RESET 的高电平信号导通 TFT M2 及 TFT M4,使其对上拉节点 PU 节点和 OUTPUT 进行传输关断信号。

[0015] 第四阶段, CLK 为高电平。此时, TFT M3 关断, CLK 的高电位信号就不会传输到 OUTPUT, OUTPUT 的输出信号保持上一时刻的低电位信号继续输出。

[0016] 第五阶段,CLKB 为高电平。此时,CLKB 的高电位导通 TFT M9、TFT M5、及 TFT M12,从而使得节点 PD 为高电位,进一步导通 TFTM10 及 TFT M11,向 OUTPUT 和上拉节点 PU 传输关断信号。

[0017] 之后,第一阶段重新开始前,第四阶段和第五阶段依次重复。

[0018] 在现有的技术中,时钟输入信号 CLK 和时钟阻碍信号 CLKB 都是 27V 左右的高压。因此由上述的工作原理可知,按照理想的逻辑时序的情况下,当 CLK 的输入信号的高电位到来时,由于 TFT 栅漏的耦合电容的耦合作用,使得上拉节点 PU 产生耦合电压,进而产生输出信号的噪声。如图 2 的所示,当 CLK 的高电位到来时,除了复位信号 RESET 高电位到来的时候外,其他时刻 CLKB 都为低电位,节点 PD 电位随 CLKB 的电位一样,也为低电位,使得 TFT M10 及 TFT M11 关断,不能使其对上拉节点 PU 和 OUTPUT 的噪声进行放电,逐级产生更大的噪声。栅极驱动器的每级移位寄存器都是彼此相关的,本级的输出不仅要作为下一级的信号的输入,也要作上一级的复位信号,因此,每一级都将影响整个移位寄存器的正常工作。

[0019] 在实际的移位寄存器设计中,通过对 TFT M6、TFT M5、TFT M8 及 TFT M9 晶体管尺寸的设计,可以使得节点 PD 在 INPUT 的高电位和 CLKB 高电位同时到来时,保持为低电位,

关断 TFT M10 及 TFT M11 管,从而保证正确的输出信号输出;节点 PD 在 INPUT 的低电位和 CLKB 高电位到来时,将节点 PD 设计为高电位,导通 TFT M10 及 TFT M11,从而可以到达对上拉节点 PU 和 OUTPUT 的传输正确的关断信号;节点 PD 在 INPUT 的低电位和 CLKB 低电位到来时,将节点 PD 设计为半高电位,导通 TFT M10 及 TFT M11,从而可以对时钟输入信号 CLK 产生的耦合电压进行下拉,减小上拉节点和输出端的噪声。此种设计的优点是不用更改现在移位寄存器电路图,但缺点是如果采用这种方案,节点 PD 设计为高电位和半高电位,都会使得 TFT M10 及 TFT M11,处于长期导通的状态。TFT 的阈值电压随加在其栅极上的电压以及栅极电压施加的时间关系很大,在长时间栅极加压下, TFT 的阈值电压会发生很大的漂移,从而使得用于栅极驱动器的移位寄存器寿命大大减小,从而影响整个栅极驱动器的正常工作。

## 发明内容

[0020] (一) 要解决的技术问题

[0021] 本发明要解决的技术问题是:提供一种可以有效地避免因栅极偏置应力导致的阈值电压漂移缺陷,且能够减少输出电压的噪声的移位寄存器的级、栅极驱动器、阵列基板、以及显示装置。

[0022] (二) 技术方案

[0023] 为解决上述问题,本发明提供了一种移位寄存器的级,该级包括:上拉模块,根据信号输入端输入的信号以及时钟信号输入端输入的信号,向输出端输出驱动信号;第一下拉模块,根据时钟阻碍信号输入端输入的信号以及复位信号输入端输入的信号,向所述输出端输出关断信号;第二下拉模块,根据所述时钟信号输入端输入的信号,向所述输出端输出关断信号;上拉驱动模块,根据所述信号输入端输入的信号驱动所述上拉模块;下拉驱动模块,根据所述时钟阻碍信号输入端输入的信号以及复位信号输入端输入的信号,驱动所述第一下拉模块以及第二下拉模块;复位模块,根据所述复位信号输入端输入的信号对上拉节点以及所述输出端进行复位;所述信号输入端输入的信号与所述时钟信号输入端输入的信号相位相同,所述时钟信号输入端输入的信号与所述时钟阻碍信号输入端输入的信号相位相反。

[0024] 优选地,所述第二下拉模块进一步包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管以及电容,所述第一薄膜晶体管的栅极与所述上拉节点相连,所述第一薄膜晶体管的漏极与所述电容的一个极相连,所述第一薄膜晶体管的源极与关断信号输入端相连;所述电容的另一个极与所述时钟信号输入端相连;所述第二薄膜晶体管的栅极与所述第三薄膜晶体管的栅极相连,且连接点连接至所述电容与所述第一薄膜晶体管的漏极相连的所述极,所述第二薄膜晶体管的漏极与所述上拉节点相连,所述第二薄膜晶体管的源极与所述关断信号输入端相连,所述第三薄膜晶体管的漏极与所述输出端相连,所述第三薄膜晶体管的源极与所述关断信号输入端相连。

[0025] 优选地,所述信号输入端输入的信号为前一级输出端输出的信号。

[0026] 优选地,所述复位信号输入端输入的信号为后一级输出端输出的信号。

[0027] 本发明还提供了一种栅极驱动器,该栅极驱动器包括由多个上述的级构成的移位寄存器,所述移位寄存器的每个级的输入信号为上一级的输出信号,每个级的复位信号为

下一级的输入信号。

[0028] 本发明还提供了一种栅极驱动器,对于所述栅极驱动器的移位寄存器中的每一级,当其信号输入端为低电平,且时钟信号输入端为高电平时,向上拉节点以及信号输出端传输关断信号。

[0029] 优选地,对于所述栅极驱动器的移位寄存器中的每一级,当所述信号输入端为高电平,且时钟阻碍信号输入端为高电平时,所述输出端输出低电平;当所述信号输入端为低电平,且所述时钟阻碍信号输入端为低电平时,所述输出端输出高电平;当所述信号输入端为低电平,所述时钟阻碍信号输入端为高电平,且复位信号输入端为高电平时,所述输出端输出低电平;当所述信号输入端为低电平,且所述时钟信号输入端为高电平时,所述输出端输出低电平;当所述信号输入端为低电平,且所述时钟阻碍信号输入端为高电平时,所述输出端输出低电平;所述信号输入端输入的信号与所述时钟信号输入端输入的信号相位相同,所述时钟信号输入端输入的信号与所述时钟阻碍信号输入端输入的信号相位相反。

[0030] 本发明还提供了一种阵列基板,该阵列基板包括:基板、形成在所述基板显示区域的有源阵列、以及设置在所述基板一侧的上述的栅极驱动器。

[0031] 本发明还提供了一种显示装置,该装置包括:上述的阵列基板。

### [0032] (三) 有益效果

[0033] 本发明在现有的移位寄存器的级的基础上增加一个下拉模块,可以减小薄膜晶体管阈值电压的漂移,减小输出电压的噪声,从而提高移位寄存器的级、整个移位寄存器、栅极驱动器、阵列基板乃至液晶显示装置的工作寿命,进而保证高可靠性的输出工作信号。此外,在原有移位寄存器的级的基础上,当时钟信号 CLK 到来时,对上拉节点 PU 的耦合电压进行放电,使其噪声下降,同时也对输出节点进行放电,从而使得输出信号噪声降低,增加移位寄存器的级、整个移位寄存器、栅极驱动器、阵列基板乃至液晶显示装置的稳定性。

## 附图说明

[0034] 图 1 为现有的移位寄存器的级的电路原理图;

[0035] 图 2 为现有的移位寄存器的逻辑时序图;

[0036] 图 3 为依照本发明一种实施方式的移位寄存器的级的结构框图;

[0037] 图 4 为依照本发明一种实施方式的移位寄存器的级的电路原理图;

[0038] 图 5 为依照本发明一种实施方式的移位寄存器的级的第二下拉模块的电路原理图。

## 具体实施方式

[0039] 本发明提出的移位寄存器的级、栅极驱动器、阵列基板、以及显示装置,结合附图及实施例详细说明如下。

[0040] 本发明的核心思想在于:通过增加一个下拉模块,在原有移位寄存器的级的基础上,当时钟输入信号 CLK 到来时,对上拉节点 PU 的耦合电压(即上拉节点 PU 的噪声)进行放电,使其噪声下降,同时也对输出端进行放电,从而降低输出信号噪声,增加移位寄存器的级稳定性;同时,通过增加的该下拉模块,减少原有的下拉模块的 TFT 处于导通状态的时间,减少其栅极偏置应力的施加时间,从而延长原有的 TFT 的工作寿命,进而延长移位寄存

器的级、整个移位寄存器、栅极驱动器、阵列基板乃至液晶显示装置的寿命。

[0041] 如图 3-4 所示,依照本发明一种实施方式的移位寄存器的级包括:上拉模块、第一下拉模块、第二下拉模块、上拉驱动模块、下拉驱动模块以及复位模块。其中,上拉模块、第一下拉模块、上拉驱动模块、下拉驱动模块以及复位模块与图 1 所示的现有的移位寄存器的级中的相应部分相同。

[0042] 上拉模块根据信号输入端 INPUT 输入的信号以及时钟信号输入端 CLK 输入的信号,向输出端 OUTPUT 输出驱动信号。

[0043] 第一下拉模块,根据时钟阻碍信号输入端 CLKB 输入的信号以及复位信号输入端 RESET 输入的信号,向输出端 OUTPUT 输出关断信号。

[0044] 上拉驱动模块,根据信号输入端 INPUT 输入的信号驱动上拉模块。

[0045] 在本实施方式的移位寄存器的级中增加了一个下拉模块,即:第二下拉模块,根据时钟信号输入端 CLK 输入的信号,向输出端 OUTPUT 输出关断信号。

[0046] 下拉驱动模块,根据时钟阻碍信号输入端 CLKB 输入的信号以及复位信号输入端 RESET 输入的信号,驱动第一下拉模块以及第二下拉模块。

[0047] 在本实施方式的移位寄存器的级中,INPUT 输入的信号与 CLK 输入的信号相位相同,CLK 输入的信号与 CLKB 输入的信号相位相反。此外,INPUT 输入的信号为前一级 OUTPUT 输出的信号,RESET 输入的信号为后一级 OUTPUT 输出的信号。

[0048] 如图 5 所示,第二下拉模块进一步包括:第一薄膜晶体管 M14、第二薄膜晶体管 M7、第三薄膜晶体管 M15 以及电容 C2,第一 TFT M14 的栅极与上拉节点 PU 相连,第一 TFT M14 的漏极与电容 C2 的一个极相连,第一 TFT M14 的源极与关断信号输入端 VSS 相连;电容 C2 的另一个极与时钟信号输入端 CLK 相连;第二 TFT M7 的栅极与第三 TFT M15 的栅极相连,且连接点 PD2 连接至电容 C2 与第一 TFT M14 的漏极相连的极,第二 TFT M7 的漏极与上拉节点 PU 相连,第二 TFT M7 的源极与关断信号输入端 VSS 相连,第三 TFT M15 的漏极与输出端 OUTPUT 相连,第三 TFT M15 的源极与关断信号输入端 VSS 相连。

[0049] 结合图 2 所示的移位寄存器的时序图,进一步说明第二下拉模块的作用:

[0050] (1) 当信号输入端 INPUT 输入的信号为高电平时,输入信号的高电平给电容 C1 充电,拉高上拉节点 PU 的电位,导通第一 TFT M14,将节点 PD2 的电压下拉至关断信号电平,从而关断第二 TFT M7 和第三 TFT M15;当输入信号端 INPUT 输入信号进入下一时刻变为低电平,时钟信号输入端 CLK 输入信号为高电平时,上拉节点 PU 继续保持高电位,导通第一 TFT M14,将节点 PD2 的电压下拉至关断信号电平,从而关断第二 TFT M7 和第三 TFT M15,从而保证输出的驱动信号正确。

[0051] (2) 当过了上述(1)中的这两个时刻后,每当时钟信号输入端 CLK 的输入信号高电位到来的时候,CLK 信号通过电容 C2 可以使 PD2 节点的电位升高,导通第二 TFT M7 和第三 TFT M15,对上拉节点 PU 和输出端 OUTPUT 传输关断信号,对于时钟信号输入端 CLK 得高电平产生的耦合噪声进行放电,从而保证输出信号的正确性;同时可以使这个时刻节点 PD1(图 2 中的节点 PD)的电位为低电位,关断 TFT M10 及 TFT M11,减小 TFT M10 及 TFT M11 栅极偏置应力的施加时间,大大的延长其工作寿命,进而延长移位寄存器的级的工作寿命。

[0052] 本发明还提供了一种栅极驱动器,该栅极驱动器包括由多个上述级所构成的移位寄存器,且该移位寄存器的每个级的输入信号为上一级的输出信号,每个级的复位信号为

下一级的输入信号。

[0053] 本发明还提供了一种上述栅极驱动器,对于栅极驱动器的移位寄存器中的每一级,当其信号输入端为低电平,且时钟信号输入端为高电平时,向上拉节点以及信号输出端传输关断信号,另外,进一步如图 2 中所示:

[0054] 当信号输入端为高电平,且时钟阻碍信号输入端为高电平时,输出端输出低电平;

[0055] 当信号输入端为低电平,且时钟阻碍信号输入端为低电平时输出端输出高电平;

[0056] 当信号输入端为低电平,时钟阻碍信号输入端为高电平,且复位信号输入端为高电平时,输出端输出低电平;

[0057] 当信号输入端为低电平,且时钟信号输入端为高电平时,输出端输出低电平;

[0058] 当信号输入端为低电平,时钟阻碍信号输入端为高电平时,输出端输出低电平;

[0059] 其中,信号输入端输入的信号与时钟信号输入端输入的信号相位相同,时钟信号输入端输入的信号与时钟阻碍信号输入端输入的信号相位相反。

[0060] 本发明还提供了一种阵列基板,该阵列基板包括:基板、形成在基板显示区域的有源阵列、以及设置在基板一侧的上述栅极驱动器。

[0061] 本发明还提供了一种显示装置,该装置包括上述的阵列基板。

[0062] 对于栅极驱动器、阵列基板、以及显示装置的其它构成部分均为本领域所公知的,在此不做赘述,也不应作为对本发明的限制。

[0063] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

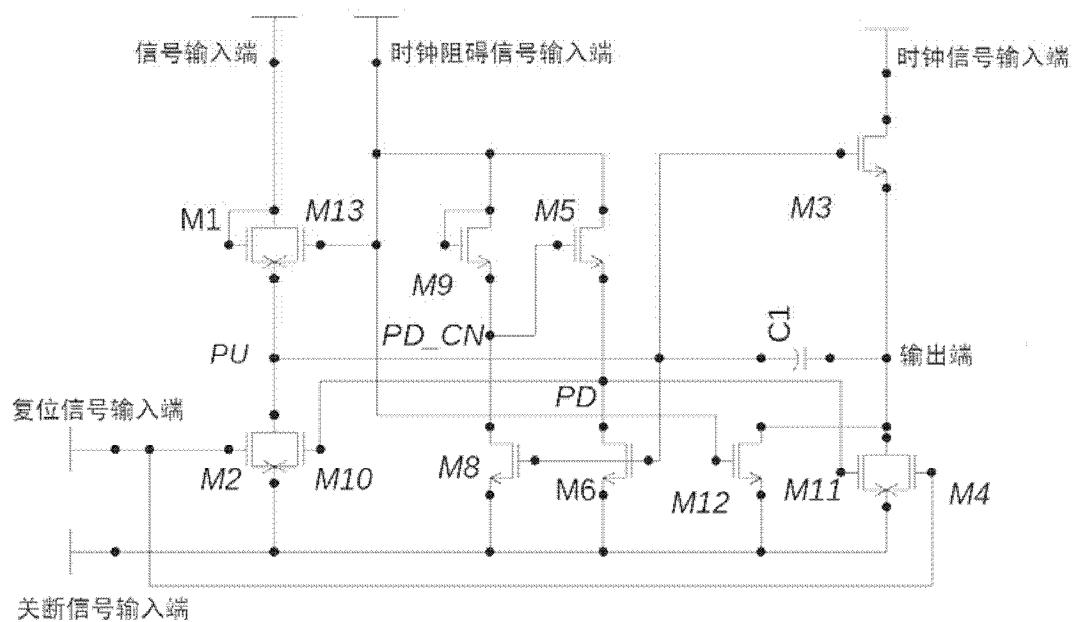


图 1

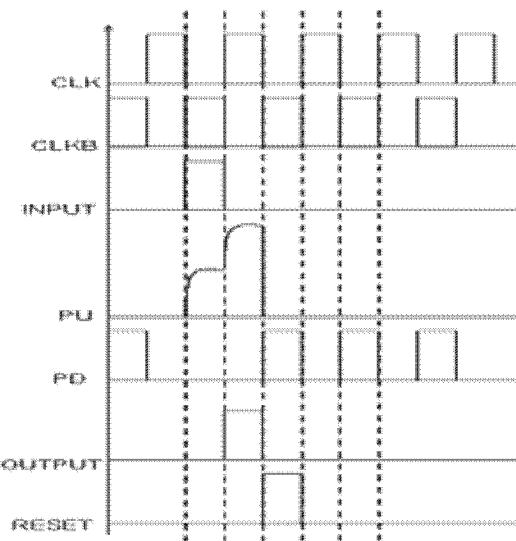


图 2

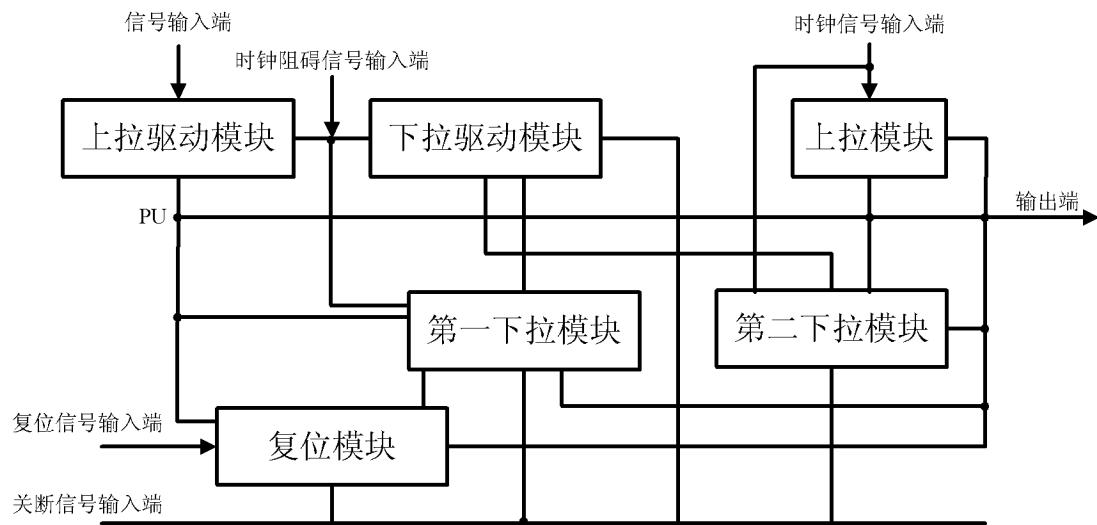


图 3

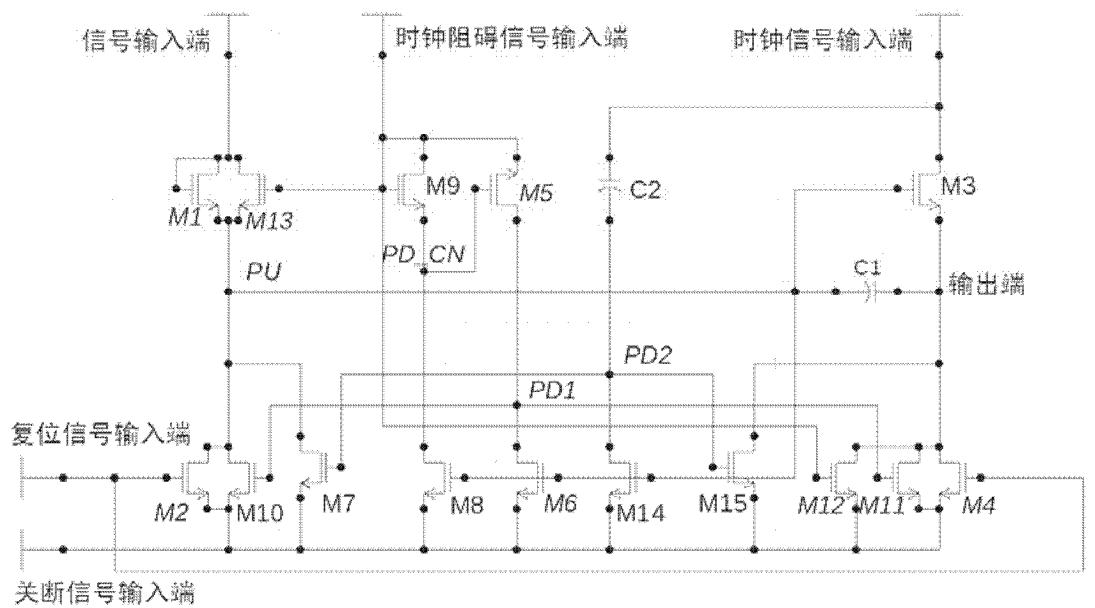


图 4

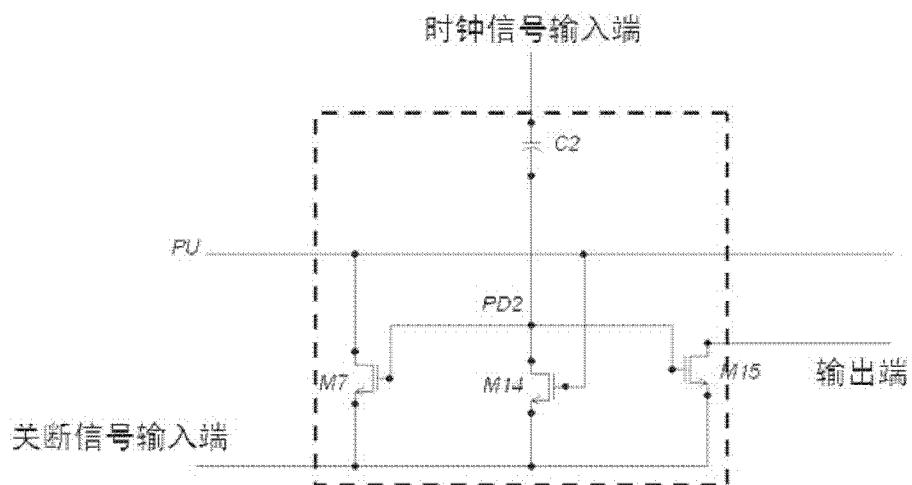


图 5

专利名称(译)	移位寄存器的级、栅极驱动器、阵列基板以及显示装置		
公开(公告)号	<a href="#">CN102654986A</a>	公开(公告)日	2012-09-05
申请号	CN201110381991.9	申请日	2011-11-25
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	马睿 邵贤杰 王国磊 胡明 林炳仟 涂志中		
发明人	马睿 邵贤杰 王国磊 胡明 林炳仟 涂志中		
IPC分类号	G09G3/36		
CPC分类号	G11C19/28 H03K5/00		
代理人(译)	王莹		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

## 摘要(译)

本发明公开了一种移位寄存器的级、栅极驱动器、阵列基板、以及显示装置，涉及液晶显示技术领域。该级包括：上拉模块、第一下拉模块、第二下拉模块、上拉驱动模块、第一下拉驱动模块、第二下拉驱动模块以及复位模块，其中，第一下拉模块，根据时钟阻碍信号输入端输入的信号以及复位信号输入端输入的信号，向所述输出端输出关断信号；第二下拉模块，根据所述时钟信号输入端输入的信号，向所述输出端输出关断信号；信号输入端输入的信号与所述时钟信号输入端输入的信号相位相同，所述时钟信号输入端输入的信号与所述时钟阻碍信号输入端输入的信号相位相反。本发明的装置可以有效地避免因栅极偏置应力导致的阈值电压漂移缺陷，且能够减少输出电压的噪声。

