

(12) 发明专利申请

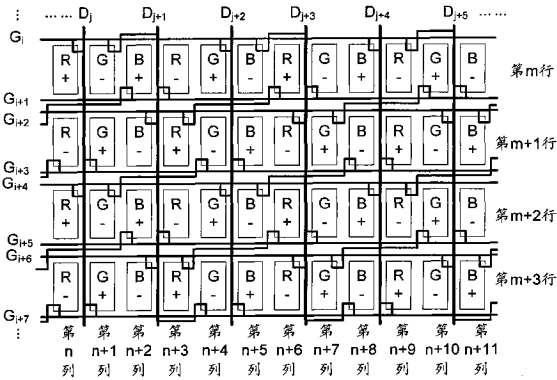
(10) 申请公布号 CN 102455552 A
(43) 申请公布日 2012. 05. 16

(21) 申请号 201010518930. 8
(22) 申请日 2010. 10. 19
(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
(72) 发明人 商广良
(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205
代理人 刘芳
(51) Int. Cl.
G02F 1/1362 (2006. 01)
G02F 1/133 (2006. 01)

权利要求书 1 页 说明书 7 页 附图 7 页

(54) 发明名称
液晶显示器

(57) 摘要
本发明提供一种液晶显示器, 包括: 阵列基板, 所述阵列基板上形成有栅线、数据线和像素电极; 同列的第奇数行像素电极连接在该列两侧的数据线中的一条, 第偶数行像素电极连接在该列两侧的数据线中的另一条; 同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制, 每条栅线控制的像素电极位于同一行; 相邻两行像素电极之间有两条栅线; 两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制, 并且分别连接两条相邻数据线中的一条。本发明能够解决现有技术中液晶显示器功耗大的问题。



1. 一种液晶显示器,包括阵列基板,其特征在于,所述阵列基板上形成有栅线、数据线和像素电极;

同列的第奇数行像素电极由该列两侧的数据线中的一条输入数据信号,第偶数行像素电极由该列两侧的数据线中的另一条输入数据信号;

同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制,每条栅线控制的像素电极位于同一行;相邻两行像素电极之间有两条栅线;

两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,并且分别由两条相邻数据线中的一条输入数据信号。

2. 根据权利要求1所述的液晶显示器,其特征在于,同一行像素电极中,同一条数据线两侧的两个相邻的像素电极由同一条栅线控制。

3. 根据权利要求1所述的液晶显示器,其特征在于,还包括数据线驱动模块,分别与各条数据线连接,用于在一帧时间内,向第奇数条数据线输入第一极性的数据信号,向第偶数条数据线输入第二极性的数据信号;并在相邻的下一帧时间内,向第奇数条数据线输入第二极性的数据信号,向第偶数条数据线输入第一极性的数据信号。

4. 一种液晶显示器,包括阵列基板,其特征在于,所述阵列基板上形成有栅线、数据线和像素电极;

同一列像素电极中,相邻两个像素电极组成一组,第奇数组像素电极由该列像素电极两侧的数据线中的一条输入数据信号,第偶数组像素电极由该列两侧的数据线中的另一条输入数据信号;

同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制,每条栅线控制的像素电极位于同一行;相邻两行像素电极之间有两条栅线;

两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,并分别由所述两条相邻数据线中的一条输入数据信号。

5. 根据权利要求4所述的液晶显示器,其特征在于,同一行像素电极中,同一条数据线两侧的两个相邻的像素电极由同一条栅线控制。

6. 根据权利要求4或5所述的液晶显示器,其特征在于,还包括数据线驱动模块,分别与各条数据线连接,用于在一帧时间内,向第奇数条数据线输入第一极性的数据信号,向第偶数条数据线输入第二极性的数据信号;并在相邻的下一帧时间内,向第奇数条数据线输入第二极性的数据信号,向第偶数条数据线输入第一极性的数据信号。

液晶显示器

技术领域

[0001] 本发明实施例涉及液晶显示技术领域,尤其涉及一种液晶显示器。

背景技术

[0002] 如图 1 所示为现有技术中液晶显示器的阵列基板的结构示意图,该液晶显示器的阵列基板包括栅线、数据线和像素电极 1。图 1 中示出了阵列基板的一部分,没有示出的部分与已示出的部分结构类似。将图 1 中示出的栅线分别标记为 G_i 、 G_{i+1} 、 G_{i+2} 、 G_{i+3} 、 G_{i+4} 、 G_{i+5} 、 G_{i+6} 和 G_{i+7} ,将图 1 中示出的数据线分别标记为 D_j 、 D_{j+1} 、 D_{j+2} 、 D_{j+3} 、 D_{j+4} 和 D_{j+5} 。

[0003] 图 1 所示的结构中,相邻两列像素电极由同一条数据线输入数据信号;同一行中,与同一条数据线连接的两个像素电极 1 分别由该行像素电极 1 两侧的两条栅线中的一条控制。通过这种结构的阵列基板,使得液晶显示器达到较好的光学均匀性,图 1 所示,同一行中,两列像素电极 1 组成一组,每组中的两个像素电极 1 上的信号的极性相同,而相邻两组的像素电极 1 上的信号的极性相反;同一列中,任意两个相邻像素电极上的信号的极性相反。

[0004] 所谓极性是指液晶显示器的像素电极上施加的电压与公共电极上施加的电压之间的电压差是正极性(本领域中也称作+极性)还是负极性(本领域中也称作-极性)。液晶分子是由像素电极和公共电极上的电压差来驱动的,电压差的极性不同,液晶分子的扭转方向不同,从而可以避免液晶分子老化。通常,像素电极上的电压大于公共电极上的电压时,输入到像素电极上的数据信号的极性为+;像素电极上的电压小于公共电极上的电压时,输入到像素电极上的数据信号的极性为-。

[0005] 如图 2 所示为图 1 所示阵列基板的驱动信号示意图,将各条栅线上输入的信号标记为 GL_i 、 GL_{i+1} 、 GL_{i+2} 、 GL_{i+3} 、 GL_{i+4} 、 GL_{i+5} 、 GL_{i+6} 和 GL_{i+7} ,公共电极上输入的信号标记为 V_{com} ,第奇数条数据线输出的信号标记为 $DATA_ODD$,第偶数条数据线输出的信号标记为 $DATA_EVEN$ 。 $DATA_ODD$ 和 $DATA_EVEN$ 用于表示数据线上的信号的极性。

[0006] 图 1 所示的结构中,为了达到较好的光学均匀性,在每一帧中,数据线上的信号的极性需要不停变化。例如,当栅线 G_i 输出高电平,即栅线 G_i 打开时,第 m 行像素电极的第奇数列像素电极上输入数据信号,第奇数条数据线上的数据信号极性为+,第偶数条数据线上的数据信号极性为-。当栅线 G_{i+1} 输出高电平时,即栅线 G_{i+1} 打开时,第 m 行的第偶数列像素电极上输入数据信号,为了实现如图 1 所示的像素电极上的信号的极性设置,需要将第奇数条数据线上的数据信号极性变为-,第偶数条数据线上的数据信号极性变为+。当栅线 G_{i+2} 输出高电平时,第 $m+1$ 行的第奇数列像素电极上输入数据信号,为了实现如图 1 所示的像素电极上的信号的极性设置,各条数据线上的数据信号极性不变。当栅线 G_{i+3} 输出高电平时,第 $m+1$ 行的第偶数个像素电极上输入数据信号,为了如图 1 所示的像素电极上的信号的极性设置,需要将各条数据线上的数据信号极性反转。

[0007] 图 1 所示的这种液晶显示器,如果要达到较好的光学均匀性,每条数据线上的数据信号的极性需要不断变化,数据信号极性的频繁变化会带来很大功耗。例如,将一个数据

信号的电压从 -6 伏变到 +9 伏所需的功耗,要远远大于将一个数据信号的电压从 +6 伏变到 +9 伏所需的功耗。

发明内容

[0008] 本发明提供一种液晶显示器,用于解决现有技术中液晶显示器功耗较大的问题。

[0009] 本发明提供了一种液晶显示器,阵列基板上形成有栅线、数据线和像素电极;

[0010] 同列的第奇数行像素电极由该列两侧的数据线中的一条输入数据信号,第偶数行像素电极由该列两侧的数据线中的另一条输入数据信号;

[0011] 同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制,每条栅线控制的像素电极位于同一行;相邻两行像素电极之间有两条栅线;

[0012] 两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,并且分别由两条相邻数据线中的一条输入数据信号。

[0013] 本发明实施例还提供了一种液晶显示器,包括阵列基板,所述阵列基板上形成有栅线、数据线和像素电极;

[0014] 同一列像素电极中,相邻两个像素电极组成一组,第奇数组像素电极由该列像素电极两侧的数据线中的一条输入数据信号,第偶数组像素电极由该列两侧的数据线中的另一条输入数据信号;

[0015] 同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制,每条栅线控制的像素电极位于同一行;相邻两行像素电极之间有两条栅线;

[0016] 两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,并分别由所述两条相邻数据线中的一条输入数据信号。

[0017] 本发明各实施例提供的液晶显示器,同列的第奇数行像素电极由该列两侧的数据线中的一条输入数据信号,第偶数行像素电极由该列两侧的数据线中的另一条输入数据信号;并且,两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,分别由两条相邻数据线中的一条输入数据信号。这样,由同一条数据线输入数据信号的各个像素电极交错排布,任意相邻两个像素点的极性均不相同,具有很好的光学均匀性,而且在一帧内各条数据线输出的信号的极性无需改变,能够减小液晶显示器的功耗。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0019] 图 1 所示为现有技术中液晶显示器的阵列基板的结构示意图;

[0020] 图 2 所示为图 1 所示阵列基板的驱动信号示意图;

[0021] 图 3 所示为本发明液晶显示器第一实施例的结构示意图;

[0022] 图 4 所示为本发明液晶显示器第二实施例的结构示意图;

[0023] 图 5 所示为本发明液晶显示器第 x 帧的驱动信号示意图;

[0024] 图 6 所示为本发明液晶显示器第 $x+1$ 帧的驱动信号示意图；

[0025] 图 7 所示为图 4 所示液晶显示器各个像素电极极性反转后的示意图；

[0026] 图 8 所示为本发明液晶显示器第三实施例的结构示意图。

具体实施方式

[0027] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0028] 如图 3 所示为本发明液晶显示器第一实施例的结构示意图，该液晶显示器包括阵列基板，阵列基板上形成有栅线、数据线和像素电极 1，图 3 中示出了阵列基板的一部分，没有示出的部分与已示出的部分结构类似。将图 3 中示出的栅线分别标记为 G_i 、 G_{i+1} 、 G_{i+2} 、 G_{i+3} 、 G_{i+4} 、 G_{i+5} 、 G_{i+6} 和 G_{i+7} ，将图 3 中示出的数据线分别标记为 D_j 、 D_{j+1} 、 D_{j+2} 、 D_{j+3} 、 D_{j+4} 和 D_{j+5} ，图 3 中示出的纵向排列的像素电极分别称为第 n 列像素电极、第 $n+1$ 列像素电极、第 $n+2$ 列像素电极、第 $n+3$ 列像素电极、第 $n+4$ 列像素电极、第 $n+5$ 列像素电极、第 $n+6$ 列像素电极、第 $n+7$ 列像素电极、第 $n+8$ 列像素电极、第 $n+9$ 列像素电极、第 $n+10$ 列像素电极、第 $n+11$ 列像素电极。

[0029] 图 3 中，同列的第奇数行像素电极由该列两侧的数据线中的一条输入数据信号，第偶数行像素电极由该列两侧的数据线中的另一条输入数据信号；同行的像素电极两两一组交替地分别由位于该行像素电极两侧的两条栅线中的一条控制，每条栅线控制的像素电极位于同一行；相邻两行像素电极之间有两条栅线；两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制，并分别连接由两条相邻数据线中的一条输入数据信号。

[0030] 例如，第 m 行中的第 n 列像素电极和第 $n+2$ 列像素电极均由数据线 D_{j+1} 输入数据信号，第 m 行中的第 $n+1$ 列像素电极和第 $n+3$ 列像素电极均由数据线 D_j 输入数据信号。对于第 m 行像素电极来说，数据线 D_j 和 D_{j+1} 之间的两个像素电极，一个由栅线 G_i 控制，另一个由栅线 G_{i+1} 控制；数据线 D_{j+1} 和 D_{j+2} 之间的两个像素电极，一个由栅线 G_{i+1} 控制，另一个由栅线 G_i 控制。

[0031] 图 3 中，同一行像素电极中，同一条数据线两侧的两个相邻的像素电极由同一条栅线控制。例如，第 m 行像素电极中，数据线 D_j 两侧的两个像素电极均由栅线 G_i 控制。数据线 D_{j+1} 两侧的两个像素电极均由栅线 G_{i+1} 控制。同一行像素电极中，同一条数据线两侧的两个相邻的像素电极也可以分别由该行像素电极两侧的两条栅线中的一条控制。

[0032] 如图 4 所示为本发明液晶显示器第二实施例的结构示意图，该实施例在如图 3 所示的实施例的基础上增加了数据线驱动模块 2，该数据线驱动模块分别与各条数据线连接，用于在在一帧时间内，向第奇数条数据线输入第一极性的数据信号，向第偶数条数据线输入第二极性的数据信号；并在相邻的下一帧时间内，向第奇数条数据线输入第二极性的数据信号，向第偶数条数据线输入第一极性的数据信号。

[0033] 如图 5 和图 6 所示分别为本发明液晶显示器第 x 帧和第 $x+1$ 帧的驱动信号示意图， x 为自然数；如图 7 所示为图 4 所示液晶显示器各个像素电极极性反转后的示意图。图

5 和图 6 中各条栅线输出的信号与图 2 相同,公共电极上输入的信号也与图 2 中相同。图 5 和图 6 中信号 DATA_ODD 与 DATA_EVEN 与图 2 不同;图 5 和所示的信号 DATA_ODD 与 DATA_EVEN,在一帧中保持相同的极性,而图 2 所示的 DATA_ODD 与 DATA_EVEN 的极性则在一帧中频繁改变。图 5 和图 6 相比,信号 DATA_ODD 与 DATA_EVEN 的极性分别相反。

[0034] 之所以出现图 5、图 6 和图 2 的区别,是由图 1 与图 4 所示液晶显示器阵列基板的结构差异决定的。下面结合图 4、图 5、图 6 和图 7,以相邻的两帧为例,说明本发明液晶显示器的工作原理。需要说明的是,由于图 5 中示出的是液晶显示器的局部图,其他部分的类似结构没有示出,下面介绍原理的过程中主要针对已示出部分介绍,未示出部分的原理与已示出部分一致。

[0035] (1) 第 x 帧(参见图 4 和图 5)

[0036] 栅线 G_i 打开时(以 G_i 输出高电平为例),第 m 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号,其中,第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为+,第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为-。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为+,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为-。

[0037] 栅线 G_{i+1} 输出高电平时,第 m 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号,其中,第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为+,第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为-。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为+,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为-。

[0038] 栅线 G_{i+2} 输出高电平时,第 $m+1$ 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号,其中,第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为-,第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号为的极性+。数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为+,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为-。

[0039] 栅线 G_{i+3} 输出高电平时,第 $m+1$ 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号,其中,第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为-,第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为+。数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为+,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为-。

[0040] 栅线 G_{i+4} 输出高电平时,第 $m+2$ 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号,其中,第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为+,第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为-。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为+,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为-。

[0041] 栅线 G_{i+5} 输出高电平时,第 $m+2$ 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号,其中,第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为+,第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为-。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为+,数据线 D_{j+1} 、

D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $-$ 。

[0042] 栅线 G_{i+6} 输出高电平时, 第 $m+3$ 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号, 其中, 第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为 $-$, 第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为 $+$ 。数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $+$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $-$ 。

[0043] 栅线 G_{i+7} 输出高电平时, 第 $m+3$ 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号, 其中, 第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为 $-$, 第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为 $+$ 。相应地, 数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $+$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $-$ 。

[0044] 在第 x 帧中, 各条数据线的极性都没有发生改变, 在第 $x+1$ 帧中, 各条数据线的极性发生改变, 使得各个像素电极上的极性得以反转。

[0045] (2) 第 $x+1$ 帧 (参见图 6 和图 7)

[0046] 栅线 G_i 输出高电平时, 第 m 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号, 其中, 第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为 $-$, 第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为 $+$ 。相应地, 数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0047] 栅线 G_{i+1} 输出高电平时, 第 m 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号, 其中, 第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为 $-$, 第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为 $+$ 。相应地, 数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0048] 栅线 G_{i+2} 输出高电平时, 第 $m+1$ 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号, 其中, 第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为 $+$, 第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为 $-$ 。相应地, 数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0049] 栅线 G_{i+3} 输出高电平时, 第 $m+1$ 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号, 其中, 第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为 $+$, 第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为 $-$ 。相应地, 数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0050] 栅线 G_{i+4} 输出高电平时, 第 $m+2$ 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号, 其中, 第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为 $-$, 第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为 $+$ 。相应地, 数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$, 数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0051] 栅线 G_{i+5} 输出高电平时,第 $m+2$ 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号,其中,第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为 $-$,第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为 $+$ 。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0052] 栅线 G_{i+6} 输出高电平时,第 $m+3$ 行像素电极中的第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列和第 $n+11$ 列像素电极上输入数据信号,其中,第 $n+2$ 列、第 $n+6$ 列和第 $n+10$ 列像素电极上的数据信号的极性为 $+$,第 $n+3$ 列、第 $n+7$ 列和第 $n+11$ 列像素电极上的数据信号的极性为 $-$ 。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0053] 栅线 G_{i+7} 输出高电平时,第 $m+3$ 行像素电极中的第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列和第 $n+9$ 列像素电极上输入数据信号,其中,第 n 列、第 $n+4$ 列和第 $n+8$ 列像素电极上的数据信号的极性为 $+$,第 $n+1$ 列、第 $n+5$ 列和第 $n+9$ 列像素电极上的数据信号的极性为 $-$ 。相应地,数据线 D_j 、 D_{j+2} 、 D_{j+4} 输出的数据信号的极性为 $-$,数据线 D_{j+1} 、 D_{j+3} 、 D_{j+5} 输出的数据信号的极性为 $+$ 。

[0054] 与现有技术中的液晶显示器相比,本发明各实施例提供的液晶显示器,同列的第奇数行像素电极由该列两侧的数据线中的一条输入数据信号,第偶数行像素电极由该列两侧的数据线中的另一条输入数据信号;并且,两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,分别由两条相邻数据线中的一条输入数据信号。这样,由同一条数据线输入数据信号的各个像素电极交错排布,任意相邻两个像素点的极性均不相同,具有很好的光学均匀性,而且在一帧内各条数据线输出的信号的极性无需频繁改变,能够减小液晶显示器的功耗。另外,在整个画面中,稍亮或稍暗的像素电极相间隔,使整个画面的显示效果均匀化,避免了闪烁等现象发生。

[0055] 如图 8 所示为本发明液晶显示器第三实施例的结构示意图,该液晶显示器的结构包括:同一列像素电极中,相邻两个像素电极组成一组,第奇数组像素电极由该列像素电极两侧的数据线中的一条输入数据信号,第偶数组像素电极由该列两侧的数据线中的另一条输入数据信号;同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制,每条栅线控制的像素电极位于同一行;相邻两行像素电极之间有两条栅线;两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制,并分别由两条相邻数据线中的一条输入数据信号。

[0056] 第三实施例与第一实施例的区别之处在于:第三实施例中,同一列像素电极中,相邻两个像素电极组成一组,每一组中的两个像素电极由相同的数据线输入数据信号;第一实施例中,同一列像素电极中,任意相邻两个像素电极均由不同的数据线输入数据信号。

[0057] 图 8 所示的实施例中,同一行像素电极中,任意相邻两个像素电极的极性均不相同;同一列像素电极中,属于同一组、由同一条数据线输入数据信号的两个像素电极的极性相同,任意相邻两个组的像素电极的极性不同。

[0058] 图 8 所示的这种结构中,光学均匀性与前述实施例相比稍差,然而这种结构在驱动时也可以保证各条数据线的极性在一帧中保持不变,达到减小功耗的目的。

[0059] 对于图 8 所示的实施例中,同一行像素中,同一条数据线两侧的两个相邻的像素

电极也可以分别由该行像素电极两侧的两条栅线中的一条控制。

[0060] 如图8所示的液晶显示器中也可以包括如图4所示的数据线驱动模块2,数据线驱动模块的驱动方式与前述各实施例基本相同。

[0061] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

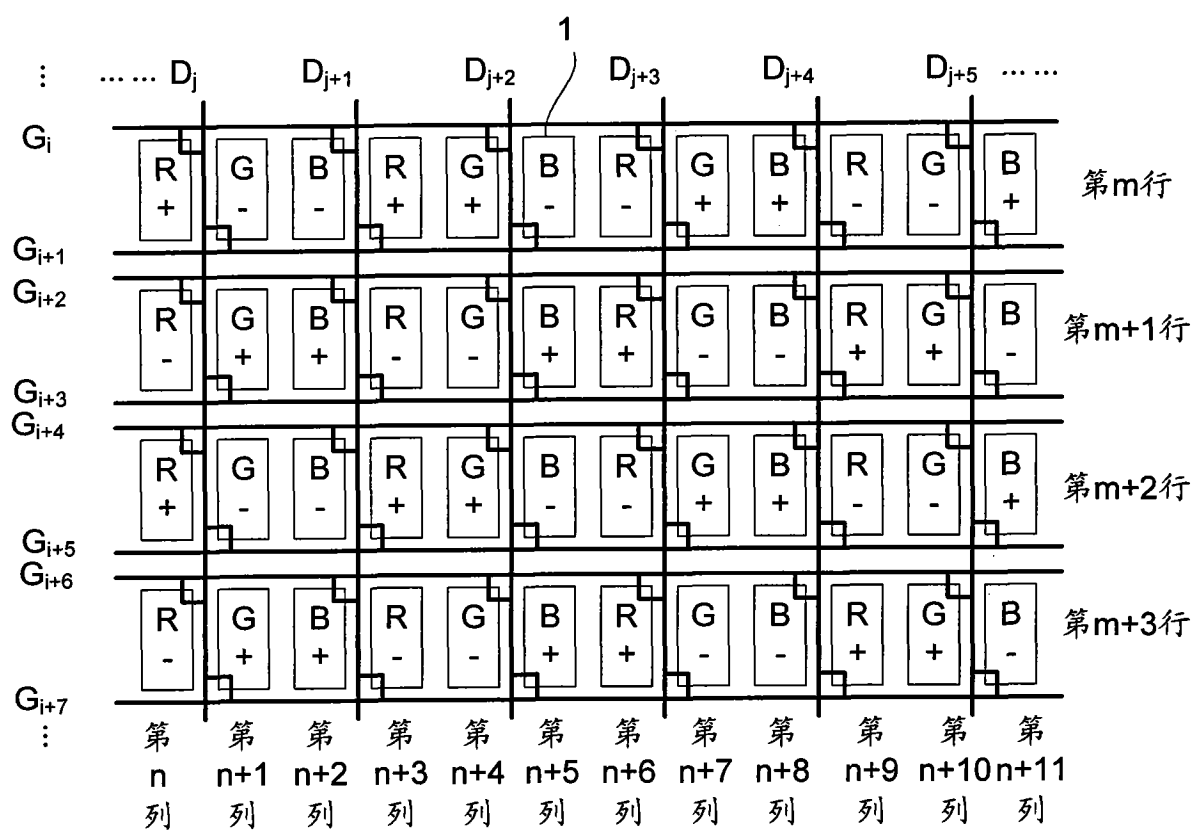


图 1

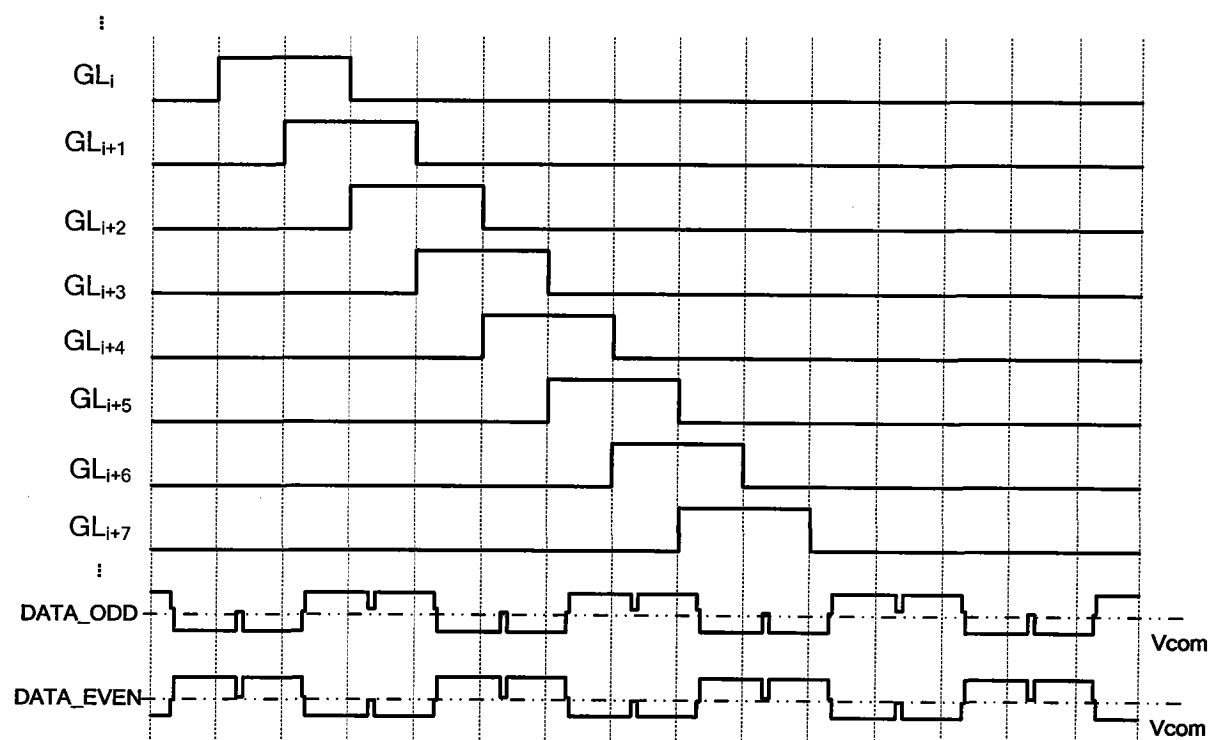


图 2

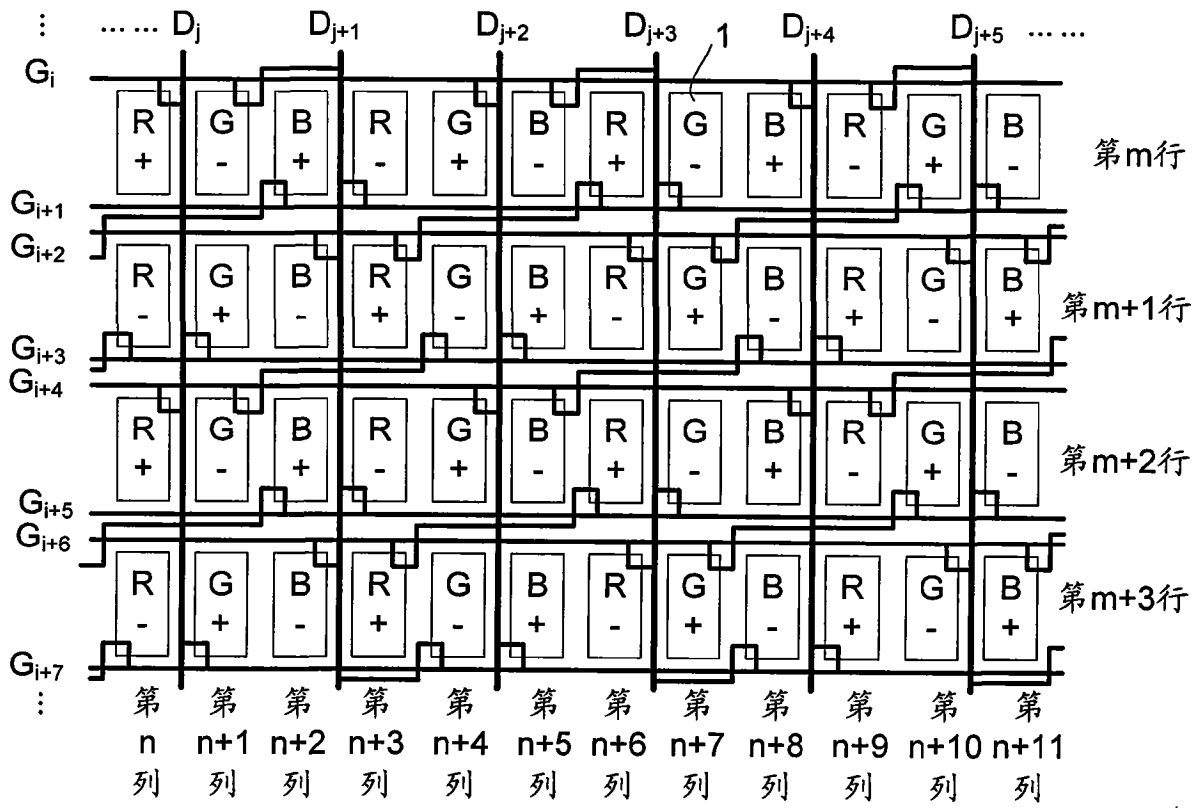


图 3

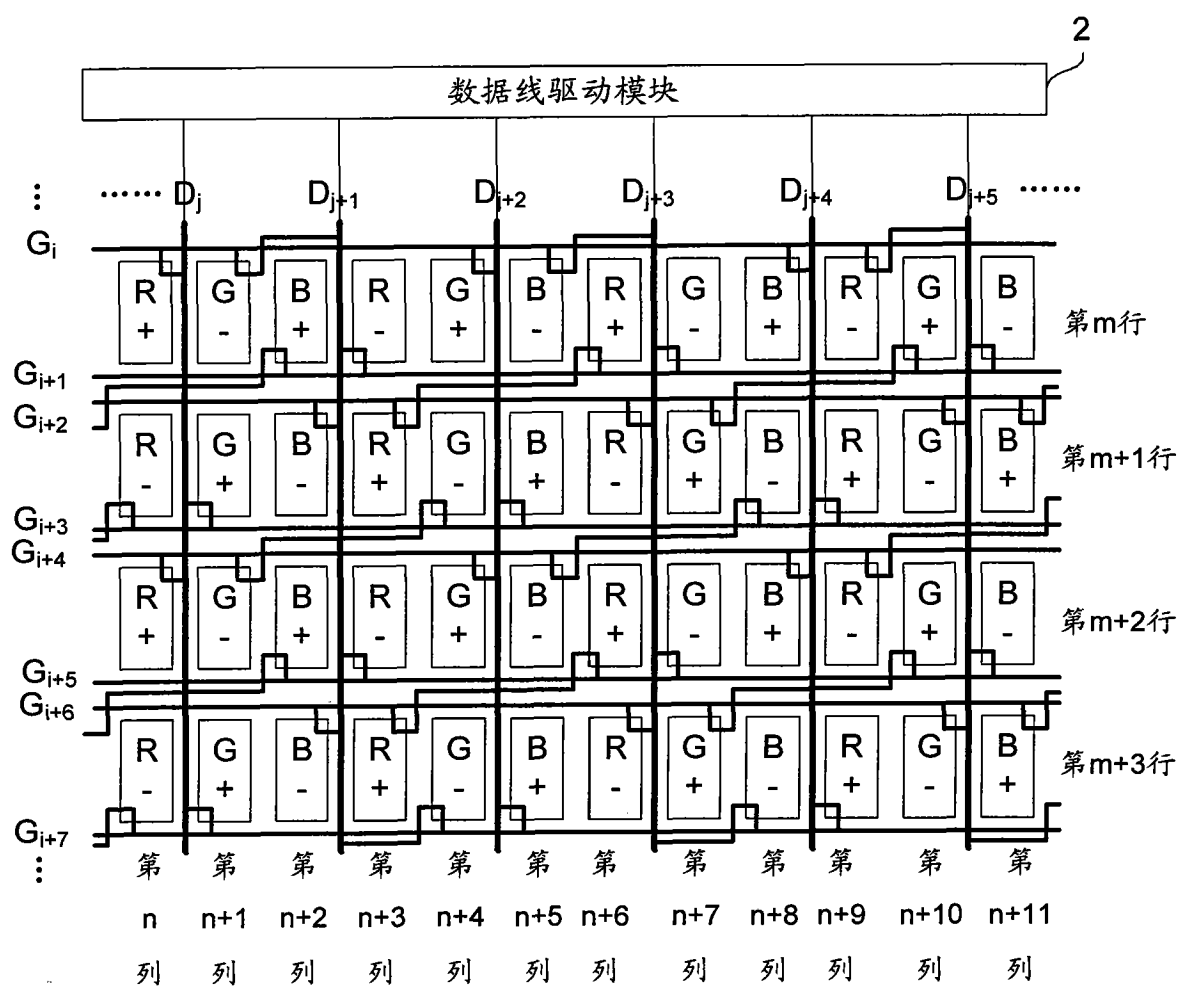


图 4

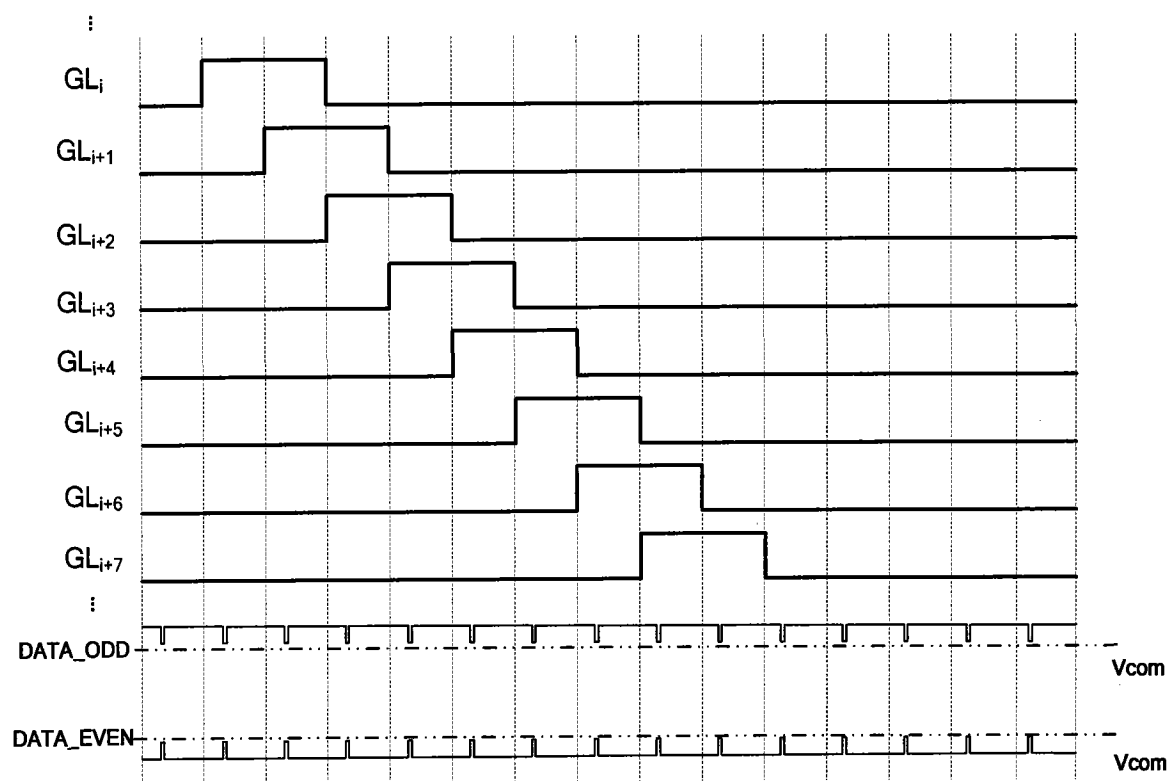


图 5

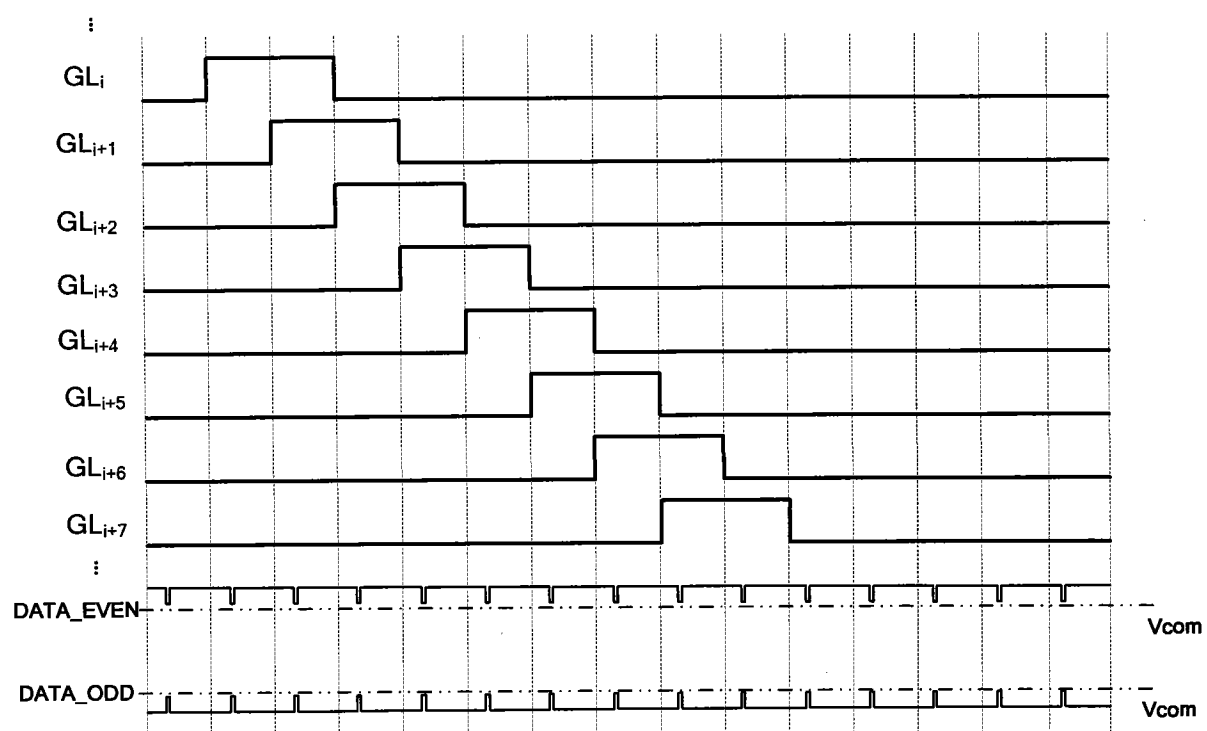


图 6

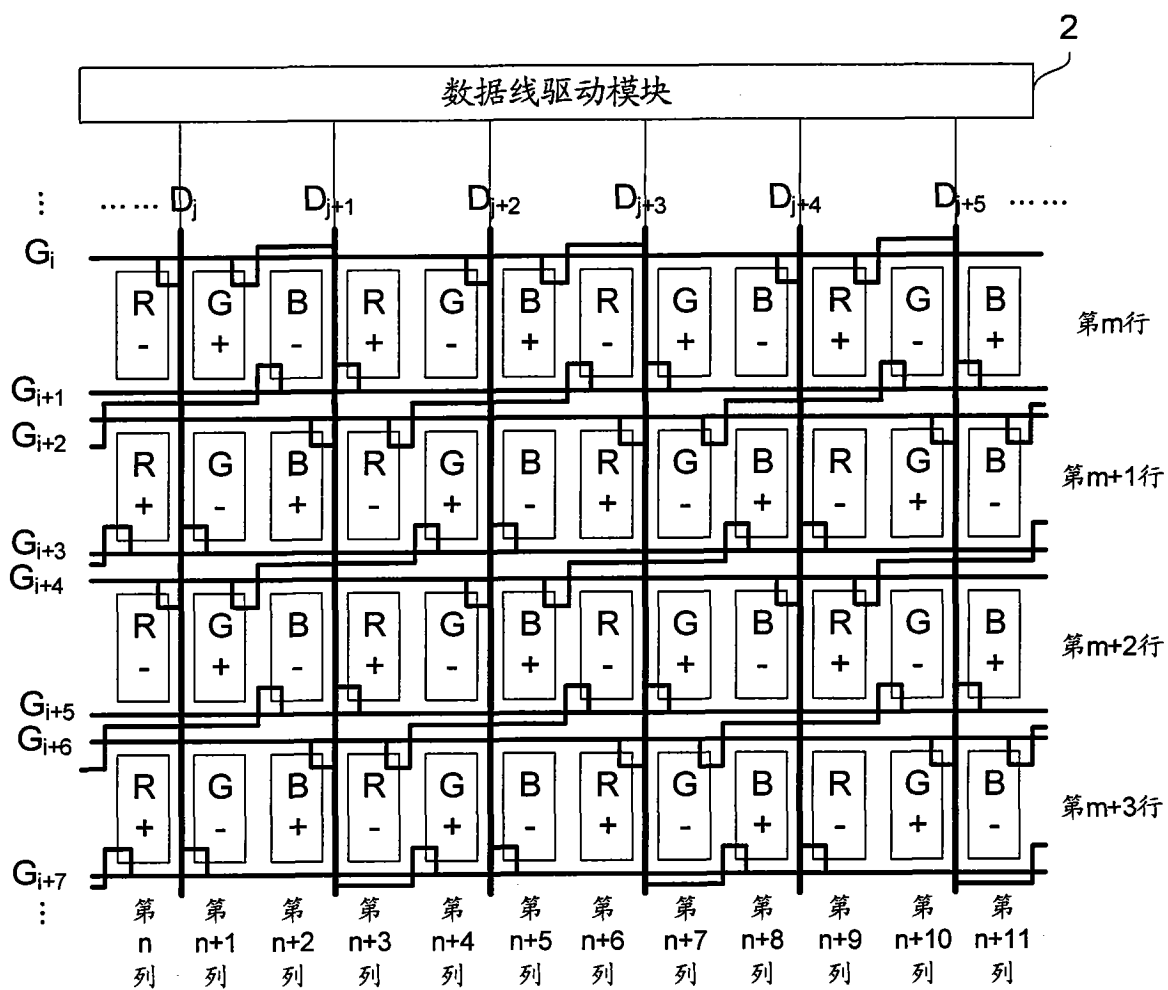


图 7

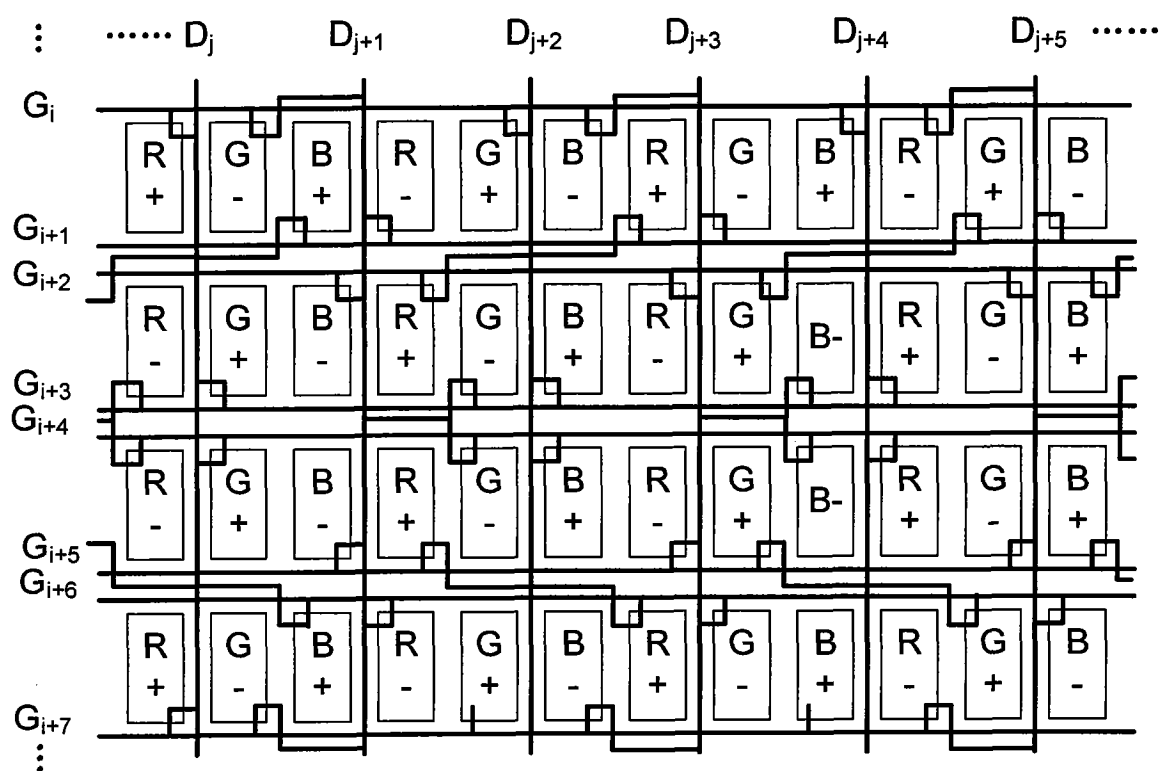


图 8

专利名称(译)	液晶显示器		
公开(公告)号	CN102455552A	公开(公告)日	2012-05-16
申请号	CN201010518930.8	申请日	2010-10-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	商广良		
发明人	商广良		
IPC分类号	G02F1/1362 G02F1/133		
CPC分类号	G09G3/3648 G09G2330/021 G09G2310/0205 G09G3/3614 G09G3/36 G09G2300/0426		
代理人(译)	刘芳		
其他公开文献	CN102455552B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示器，包括：阵列基板，所述阵列基板上形成有栅线、数据线和像素电极；同列的第奇数行像素电极连接在该列两侧的数据线中的一条，第偶数行像素电极连接在该列两侧的数据线中的另一条；同行的像素电极分别由位于该行像素电极两侧的两条栅线中的一条控制，每条栅线控制的像素电极位于同一行；相邻两行像素电极之间有两条栅线；两条相邻数据线之间的两个同行且相邻的像素电极分别由该行像素电极两侧的两条栅线中的一条控制，并且分别连接两条相邻数据线中的一条。本发明能够解决现有技术中液晶显示器功耗大的问题。

