



(12) 发明专利申请

(10) 申请公布号 CN 102054456 A

(43) 申请公布日 2011. 05. 11

(21) 申请号 201110027647. X

(22) 申请日 2011. 01. 24

(30) 优先权数据

099139733 2010. 11. 18 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 孙志豪

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

G09G 3/36 (2006. 01)

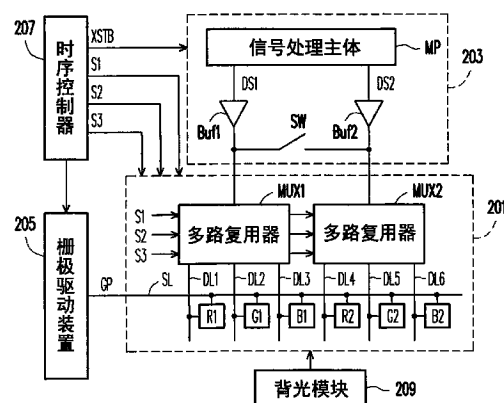
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

液晶显示器及其源极驱动装置与面板的驱动方法

(57) 摘要

本发明公开了一种液晶显示器及其源极驱动装置与面板的驱动方法。本发明在源极驱动装置的输出缓冲器在驱动像素前,选择驱动极性匹配的两数据串以进行电荷分享。如此一来,源极驱动装置的输出缓冲器在驱动像素过程中所耗费的功率就会比较低,从而达到省电的目的。



1. 一种源极驱动装置,其特征在于,包括:

一信号处理主体,用以提供至少两数据串,其中每一数据串具有多个数据信号;

至少两缓冲器,耦接该信号处理主体,用以反应于一载入信号而分别地接收并缓冲输出该两数据串;以及

至少一开关,耦接于该两缓冲器的输出端之间,用以于该两缓冲器缓冲输出该两数据串之前,反应于该载入信号而导通,

其中,该两数据串中所有数据信号的数量的一半分别对应到一正驱动极性,而该两数据串中所有数据信号的数量的一半分别对应到一负驱动极性。

2. 根据权利要求1所述的源极驱动装置,其特征在于,该两缓冲器反应于该载入信号的一上升沿或一下降沿而分别地接收并缓冲输出该两数据串。

3. 根据权利要求1所述的源极驱动装置,其特征在于,该开关于该两缓冲器缓冲输出该两数据串之前,反应于该载入信号的一初始致能期间而导通。

4. 一种液晶显示器,其特征在于,包括:

一液晶显示面板;以及

一源极驱动装置,耦接该液晶显示面板,且该源极驱动装置包括:

一信号处理主体,用以提供至少两数据串,其中每一数据串具有多个数据信号;

至少两缓冲器,耦接该信号处理主体,用以反应于一载入信号而分别地接收并缓冲输出该两数据串;以及

至少一开关,耦接于该两缓冲器的输出端之间,用以于该两缓冲器缓冲输出该两数据串之前,反应于该载入信号而导通,

其中,该两数据串中所有数据信号的数量的一半分别对应到一正驱动极性,而该两数据串中所有数据信号的数量的一半分别对应到一负驱动极性。

5. 根据权利要求4所述的液晶显示器,其特征在于,该液晶显示面板包括:

至少一条扫描线;

多条数据线;

多个像素,对应地耦接该扫描线与这些数据线;以及

至少两多路复用器,耦接该两缓冲器与这些数据线,用以协同于该两缓冲器而传导该两缓冲器所缓冲输出的该两数据串的每一数据信号至对应的数据线上。

6. 根据权利要求5所述的液晶显示器,其特征在于,更包括:

一栅极驱动装置,耦接该液晶显示面板,用以提供一扫描信号至该扫描线;

一时序控制器,耦接该源极驱动装置与该栅极驱动装置,用以至少提供该载入信号,并且协同地控制该源极驱动装置与该栅极驱动装置的运作;以及

一背光模块,用以提供该液晶显示面板所需的背光源。

7. 根据权利要求5所述的液晶显示器,其特征在于,该液晶显示面板为一低温多晶硅液晶显示面板。

8. 根据权利要求4所述的液晶显示器,其特征在于,该两缓冲器反应于该载入信号的一上升沿或一下降沿而分别地接收并缓冲输出该两数据串。

9. 根据权利要求4所述的液晶显示器,其特征在于,该开关于该两缓冲器缓冲输出该两数据串之前,反应于该载入信号的一初始致能期间而导通。

10. 一种液晶显示面板的驱动方法,其特征在于,包括:
产生至少两数据串,其中每一数据串具有多个数据信号;
反应于一载入信号而利用两缓冲器以分别地接收并缓冲输出该两数据串;以及
于缓冲输出该两数据串之前,反应于该载入信号而连接该两缓冲器的输出端,
其中,该两数据串中所有数据信号的数量的一半分别对应到一正驱动极性,而该两数据串中所有数据信号的数量的一半分别对应到一负驱动极性。
11. 根据权利要求 10 所述的液晶显示器的驱动方法,其特征在于,该两缓冲器反应于该载入信号的一上升沿或一下降沿而分别地接收并缓冲输出该两数据串。
12. 根据权利要求 10 所述的液晶显示器的驱动方法,其特征在于,该两缓冲器的输出端反应于该载入信号的一初始致能期间而连接在一起。

液晶显示器及其源极驱动装置与面板的驱动方法

技术领域

[0001] 本发明涉及一种平面显示技术,且特别是有关于一种液晶显示器及其源极驱动装置与面板的驱动方法。

背景技术

[0002] 低温多晶硅 (low-temperature polysilicon, LTPS) 是新一代薄膜电晶体液晶显示器 (thin film transistor liquid crystal display, TFT-LCD) 的制造流程。与传统非晶硅 (amorphous-Si) 显示器最大差异在于以 LTPS 所制成的显示面板,其不但反应速度较快,而且又具备有高亮度与高解析度等优点。

[0003] 图 1 绘示为传统 LTPS TFT-LCD 的驱动示意图。请参照图 1,传统的 LTPSTFT-LCD 的源极驱动装置 (source driving apparatus) 的输出缓冲器 (outputbuffer)Buf 会在扫描线 SL 所接收的扫描信号 GP 的禁能期间 (disable period),反应于多路复用器 (multiplexer)MUX 的运作而分时 / 依序输出三个数据信号至数据线 DL1 ~ DL3 上,借以对应地驱动像素 (pixel)R、G、B。

[0004] 更清楚来说,多路复用器 MUX 的三个选择端所分别接收的选择信号 S1 ~ S3 会在载入信号 XSTB 的下降沿 (falling edge) 而依序被触发。其中,当选择信号 S1 被触发时,源极驱动装置的输出缓冲器 Buf 会通过多路复用器 MUX 而提供对应的数据信号至数据线 DL1,借以驱动像素 R;当选择信号 S2 被触发时,源极驱动装置的输出缓冲器 Buf 会通过多路复用器 MUX 而提供对应的数据信号至数据线 DL2,借以驱动像素 G;以及当选择信号 S3 被触发时,源极驱动装置的输出缓冲器 Buf 会通过多路复用器 MUX 而提供对应的数据信号至数据线 DL3,借以驱动像素 B。

[0005] 以点反转 (dot inversion) 或行反转 (column inversion) 的驱动方式而言,在 LTPS TFT-LCD 的第 N 个画面期间,提供至数据线 DL1 ~ DL3 上的数据信号的驱动极性例如可以分别为正 (+)、负 (-)、正 (+),而于 LTPS TFT-LCD 的第 N+1 个画面期间,提供至数据线 DL1 ~ DL3 上的数据信号的驱动极性则会分别转换为负 (-)、正 (+)、负 (-)。换言之,在 LTPS TFT-LCD 的两相邻画面期间,提供至数据线 DL1 ~ DL3 上的数据信号的驱动极性不是从正 (+) 转变到负 (-),就是从负 (-) 转变到正 (+)。可见得,源极驱动装置的输出缓冲器 Buf 在驱动像素 R、G、B 的过程中会耗费比较大的功率。

发明内容

[0006] 有鉴于此,本发明提出一种液晶显示器及其源极驱动装置与面板的驱动方法,其得以降低源极驱动装置的输出缓冲器在驱动像素的过程中耗费比较低的功率。

[0007] 本发明提供一种源极驱动装置,其包括信号处理主体、至少两缓冲器,以及至少一开关。其中,信号处理主体用以提供至少两数据串,其中每一数据串具有多个数据信号,且所述两数据串中所有数据信号的数量的一半分别对应到一正驱动极性,而所述两数据串中所有数据信号的数量的一半分别对应到一负驱动极性。两缓冲器耦接信号处理主体,用

以反应于一载入信号而分别地接收并缓冲输出所述两数据串。开关耦接于两缓冲器的输出端之间,用以于两缓冲器缓冲输出所述两数据串之前,反应于所述载入信号而导通。

[0008] 本发明另提供一种液晶显示器,其包括液晶显示面板与前述所提供的源极驱动装置。

[0009] 本发明更提供一种液晶显示面板的驱动方法,其包括:产生至少两数据串,其中每一数据串具有多个数据信号,且所述两数据串中所有数据信号的数量的一半分别对应到一正驱动极性,而所述两数据串中所有数据信号的数量的一半分别对应到一负驱动极性;反应于一载入信号而利用两缓冲器以分别地接收并缓冲输出所述两数据串;以及于缓冲输出所述两数据串之前,反应于所述载入信号而连接两缓冲器的输出端。

[0010] 基于上述,本发明在源极驱动装置的输出缓冲器在驱动像素前,选择驱动极性匹配的两数据串以进行电荷分享。如此一来,源极驱动装置的输出缓冲器在驱动像素过程中所耗费的功率就会比较低,从而达到省电的目的。

[0011] 应了解的是,上述一般描述及以下具体实施方式仅为例示性及阐释性的,其并不能限制本发明所欲主张的范围。

附图说明

[0012] 下面的所附附图是本发明的说明书的一部分, 绘示了本发明的示例实施例, 所附附图与说明书的描述一起说明本发明的原理。

[0013] 图1绘示为传统LTPS TFT-LCD的驱动示意图；

[0014] 图2绘示为本发明一实施例的液晶显示器(LCD)20的系统示意图:

[0015] 图3绘示为本发明一实施例的液晶显示面板201的驱动示意图:

[0016] 图4绘示为本发明另一实施例的液晶显示器40的系统示意图：

[0017] 图5绘示为本发明一实施例的液晶显示面板的驱动方法流程图。

[0018] 其中,附图标记

[0019] 20、40:液晶显示器 201、201':液晶显示面板

[0020] 203、203':源极驱动装置 205:栅极驱动装置

[0021] 207:时序控制器 209:背光模块

[0022] Buf、Buff ~ Buf3 :缓冲器 MP :信号处理主体

[0023] GP:扫描信号 XSTB:载入信号

[0024] IEP: 载入信号的初始致能期间 R、G、B、R1 ~ R3、G1 ~ R3、B1 ~ B3: 像素

[0025] DL1 ~ DL9:数据线 DS1 ~ DS3:数据串

[0026] SL:扫描线 MUX、MUX1 ~ MUX3:多路复用器

[0027] SW:开关 S1 ~ S3:多路复用器的选择信号

[0028] S501 ~ S505:本发明一实施例的液晶显示面板的驱动方法流程图

具体实施方式

[0029] 现将详细参考本发明的实施例,并在附图中说明所述实施例的实例。另外,凡可能之处,在附图式实施方式中使用相同标号的元件 / 构件代表相同或类似部分。

[0030] 图2绘示为本发明一实施例的液晶显示器(LCD)20的系统示意图。请参照图2,

液晶显示器 20 包括有液晶显示面板 (display panel) 201、源极驱动装置 (source driving apparatus) 203、栅极驱动装置 (gate driving apparatus) 205、时序控制器 (timing controller, T-con) 207, 以及背光模块 (backlight module) 209。其中, 液晶显示面板 201 最佳实施例是采用低温多晶硅液晶显示面板 (LTPS display panel)。

[0031] 在本实施例中, 源极驱动装置 203 耦接液晶显示面板 201, 且其包括有信号处理主体 (signal processing body) MP、至少两缓冲器 (buffer) Buff 与 Buf2, 以及至少一开关 (switch) SW。信号处理主体 MP 用以提供至少两数据串 (datastring) DS1 与 DS2, 且每一数据串 DS1 与 DS2 又具有多个数据信号。其中, 数据串 DS1 与 DS2 中所有数据信号的数量的一半分别对应到正驱动极性, 而另一半则分别对应到负驱动极性。

[0032] 缓冲器 Buff 与 Buf2 耦接信号处理主体 MP, 用以反应于时序控制器 207 所提供的载入信号 XSTB 的上升沿 (rising edge) 或下降沿 (falling edge) 而分别地接收并缓冲输出数据串 DS1 与 DS2。换言之, 信号处理主体 MP 会反应于时序控制器 207 所提供的载入信号 XSTB 的上升沿或下降沿而分别提供数据串 DS1 与 DS2 给缓冲器 Buff 与 Buf2。而且, 开关 SW 耦接于缓冲器 Buff 与 Buf2 的输出端之间, 用以于缓冲器 Buf1 与 Buf2 缓冲输出数据串 DS1 与 DS2 之前, 反应于时序控制器 207 所提供的载入信号 XSTB 的初始致能期间 (initial enable period, IEP) 而导通。

[0033] 另一方面, 液晶显示面板 201 包括有至少一条扫描线 SL、多条数据线 (便于说明而仅绘示 6 条数据线 DL1 ~ DL6)、多个像素 (便于说明而仅绘示同一列的 6 个像素 R1、G1、B1、R2、G2、B2), 以及至少两多路复用器 MUX1 与 MUX2。从图 2 可以清楚地看出, 像素 R1、G1、B1、R2、G2、B2 会耦接扫描线 SL 与分别的数据线 DL1 ~ DL6。而且, 多路复用器 MUX1 与 MUX2 耦接缓冲器 Buff 与 Buf2 以及数据线 DL1 ~ DL6, 用以协同于 (coordinate with) 缓冲器 Buf1 与 Buf2 而传导缓冲器 Buff 与 Buf2 所缓冲输出的数据串 DS1 与 DS2 的每一数据信号至对应的数据线 DL1 ~ DL6 上。

[0034] 另外, 栅极驱动装置 205 耦接液晶显示面板 201, 用以提供扫描信号 GP 至扫描线 SL。再者, 时序控制器 207 耦接源极驱动装置 203 与栅极驱动装置 205, 用以至少提供载入信号 XSTB 给源极驱动装置 203, 并且协同地控制源极驱动装置 203 与栅极驱动装置 205 的运作。除此之外, 背光模块 209 用以提供液晶显示面板 201 所需的背光源 (backlight source)。

[0035] 于此, 若以点反转或行反转的驱动方式来驱动液晶显示面板 201 的话, 则表示信号处理主体 MP 在液晶显示器 20 的第 N 个画面期间, 必须提供具有驱动极性例如分别为正 (+)、负 (-)、正 (+) 的 3 个数据信号的数据串 DS1, 以及提供具有驱动极性分别为负 (-)、正 (+)、负 (-) 的 3 个数据信号的数据串 DS2。接着, 在液晶显示器 20 的第 N+1 个画面期间, 必须转为提供具有驱动极性分别为负 (-)、正 (+)、负 (-) 的 3 个数据信号的数据串 DS1, 以及提供具有驱动极性分别为正 (+)、负 (-)、正 (+) 的 3 个数据信号的数据串 DS2。

[0036] 基此, 图 3 绘示为本发明一实施例的液晶显示面板 201 的驱动示意图。请合并参照图 2 与图 3, 源极驱动装置 203 的输出缓冲器 Buf1 会在扫描线 SL 所接收的扫描信号 GP 的禁能期间, 反应于多路复用器 MUX1 的运作而分时 / 依序输出具有驱动极性分别为正 (+)、负 (-)、正 (+) 的 3 个数据信号至数据线 DL1 ~ DL3 上, 借以对应地驱动像素 R1、G1、B1。相似地, 源极驱动装置 203 的输出缓冲器 Buf2 亦会在扫描线 SL 所接收的扫描信号 GP 的禁能期

间,反应于多路复用器 MUX2 的运作而分时 / 依序输出具有驱动极性分别为负 (-)、正 (+)、负 (-) 的 3 个数据信号至数据线 DL4 ~ DL6 上,借以对应地驱动像素 R2、G2、B2。

[0037] 更清楚来说,多路复用器 MUX1 与 MUX2 的三个选择端所分别接收的选择信号 S1 ~ S3(由时序控制器 207 所提供)会在载入信号 XSTB 的下降沿而依序被触发(亦如图 3 所示),当然亦可设计成在载入信号 XSTB 的上升沿而依序被触发,一切端视实际设计需求而定。其中,当选择信号 S1 被触发时,源极驱动装置 203 的输出缓冲器 Buf1 与 Buf2 会分别通过多路复用器 MUX1 与 MUX2 而提供具有驱动极性分别为正 (+) 与负 (-) 的 2 个数据信号至数据线 DL1 与 DL4 上,借以对应地驱动像素 R1 与 R2。

[0038] 另外,当选择信号 S2 被触发时,源极驱动装置 203 的输出缓冲器 Buff 与 Buf2 会分别通过多路复用器 MUX1 与 MUX2 而提供具有驱动极性分别为负 (-) 与正 (+) 的 2 个数据信号至数据线 DL2 与 DL5 上,借以对应地驱动像素 G1 与 G2。再者,当选择信号 S3 被触发时,源极驱动装置 203 的输出缓冲器 Buf1 与 Buf2 会分别通过多路复用器 MUX1 与 MUX2 而提供具有驱动极性分别为正 (+) 与负 (-) 的 2 个数据信号至数据线 DL3 与 DL6 上,借以对应地驱动像素 B1 与 B2。

[0039] 于此,请先回顾现有技术所公开的内容与图 1,亦即:以点反转或行反转的驱动方式而言,在 LTPS TFT-LCD 的第 N 个画面期间,提供至数据线 DL1 ~ DL3 上的数据信号的驱动极性例如可以分别为正 (+)、负 (-)、正 (+),而于 LTPS TFT-LCD 的第 N+1 个画面期间,提供至数据线 DL1 ~ DL3 上的数据信号的驱动极性则会分别转换为负 (-)、正 (+)、负 (-)。换言之,在 LTPS TFT-LCD 的两相邻画面期间,提供至数据线 DL1 ~ DL3 上的数据信号的驱动极性不是从正 (+) 转变到负 (-),就是从负 (-) 转变到正 (+)。可见得,源极驱动装置的输出缓冲器 Buf 在驱动像素 R、G、B 的过程中会耗费比较大的功率。

[0040] 有鉴于此,为了解决这样的问题,在本实施例中,当液晶显示器 20 从第 N 个画面期间进入至第 N+1 个画面期间时,源极驱动装置 203 的输出缓冲器 Buff 与 Buf2 在驱动像素 R1、G1、B1、R2、G2、B2 前,会先反应于载入信号 XSTB 的初始致能期间 IEP 而将开关 SW 导通(开关 SW 的控制信号可以通过先将选择信号 S1 反向后再与载入信号 XSTB 进行及运算后而获得),借以使得缓冲器 Buf1 与 Buf2 的输出端连接在一起。与此同时,再同时触发选择信号 S1 ~ S3 以使多路复用器 MUX1 与 MUX2 的输入端与输出端都连接至已连接在一起的缓冲器 Buf1 与 Buf2 的输出端。

[0041] 再加上,由于此时像素 R1、G1、B1、R2、G2、B2 已被开启 / 致能,所以像素 R1、G1、B1、R2、G2、B2 于液晶显示器 20 的第 N 个画面期间所储存的电荷就会进行分享,而电荷中和后的结果将会到达至一个中间电位。以至于,源极驱动装置 203 的输出缓冲器 Buff 与 Buf2 再对像素 R1、G1、B1、R2、G2、B2 进行驱动时,就会从此中间电位开始驱动至偏向正或负驱动极性的电位,而非如以往从偏向正驱动极性的电位开始驱动至偏向负驱动极性的电位,或者从偏向负驱动极性的电位开始驱动至偏向正驱动极性的电位。由此可知,源极驱动装置 203 的输出缓冲器 Buff 与 Buf2 在驱动像素 R1、G1、B1、R2、G2、B2 过程中所耗费的功率就会比较低,从而达到省电的目的。

[0042] 另外,图 4 绘示为本发明另一实施例的液晶显示器 40 的系统示意图。请合并参照图 2 与图 4,液晶显示器 40 包括有液晶显示面板 201'、源极驱动装置 203'、栅极驱动装置 205、时序控制器 207,以及背光模块 209。其中,图 4 与图 2 所示的液晶显示器 40 与 20 相

异之处在于图 4 的液晶显示器 40 适于以双点反转 (two dot inversion) 或双行反转 (two column inversion) 的驱动方式所驱动。因此,在源极驱动装置 203' 中多出了一个缓冲器 Buf3,而且开关 SW 改为耦接于缓冲器 Buff 与 Buf3 的输出端之间。另外,在液晶显示面板 201' 中多出了一个多路复用器 MUX3、3 条数据线 DL7 ~ DL9,以及 3 个像素 R3、G3、B3。

[0043] 于此,由于以双点反转或双行反转的驱动方式来驱动液晶显示面板 201',所以信号处理主体 MP 在液晶显示器 40 的第 N 个画面期间,必须提供具有驱动极性例如分别为正 (+)、正 (+)、负 (-) 的 3 个数据信号的数据串 DS1、提供具有驱动极性分别为负 (-)、正 (+)、正 (+) 的 3 个数据信号的数据串 DS2,以及提供具有驱动极性例如分别为负 (-)、负 (-)、正 (+) 的 3 个数据信号的数据串 DS3。接着,在液晶显示器 40 的第 N+1 个画面期间,必须转为提供具有驱动极性分别为负 (-)、负 (-)、正 (+) 的 3 个数据信号的数据串 DS1、提供具有驱动极性分别为正 (+)、负 (-)、负 (-) 的 3 个数据信号的数据串 DS2,以及提供具有驱动极性分别为正 (+)、正 (+)、负 (-) 的 3 个数据信号的数据串 DS3。

[0044] 相似地,液晶显示面板 201' 的驱动示意图仍可如图 3 所示。请合并参照图 3 与图 4,源极驱动装置 203' 的输出缓冲器 Buff 会在扫描线 SL 所接收的扫描信号 GP 的禁能期间,反应于多路复用器 MUX1 的运作而分时 / 依序输出具有驱动极性分别为正 (+)、正 (+)、负 (-) 的 3 个数据信号至数据线 DL1 ~ DL3 上,借以对应地驱动像素 R1、G1、B1。另外,源极驱动装置 203' 的输出缓冲器 Buf2 会在扫描线 SL 所接收的扫描信号 GP 的禁能期间,反应于多路复用器 MUX2 的运作而分时 / 依序输出具有驱动极性分别为负 (-)、正 (+)、正 (+) 的 3 个数据信号至数据线 DL4 ~ DL6 上,借以对应地驱动像素 R2、G2、B2。再者,源极驱动装置 203' 的输出缓冲器 Buf3 会在扫描线 SL 所接收的扫描信号 GP 的禁能期间,反应于多路复用器 MUX3 的运作而分时 / 依序输出具有驱动极性分别为负 (-)、负 (-)、正 (+) 的 3 个数据信号至数据线 DL7 ~ DL9 上,借以对应地驱动像素 R3、G3、B3。

[0045] 更清楚来说,多路复用器 MUX1 ~ MUX3 的三个选择端所分别接收的选择信号 S1 ~ S3 (由时序控制器 207 所提供) 会在载入信号 XSTB 的下降沿而依序被触发 (亦如图 3 所示),当然亦可设计成在载入信号 XSTB 的上升沿而依序被触发,一切端视实际设计需求而定。其中,当选择信号 S1 被触发时,源极驱动装置 203' 的输出缓冲器 Buff ~ Buf3 会分别通过多路复用器 MUX1 ~ MUX3 而提供具有驱动极性分别为正 (+)、负 (-)、负 (-) 的 3 个数据信号至数据线 DL1、DL4、DL7 上,借以对应地驱动像素 R1 ~ R3。

[0046] 另外,当选择信号 S2 被触发时,源极驱动装置 203' 的输出缓冲器 Buff ~ Buf3 会分别通过多路复用器 MUX1 ~ MUX3 而提供具有驱动极性分别为正 (+)、正 (+)、负 (-) 的 3 个数据信号至数据线 DL2、DL5、DL8 上,借以对应地驱动像素 G1 ~ G3。再者,当选择信号 S3 被触发时,源极驱动装置 203' 的输出缓冲器 Buff ~ Buf3 会分别通过多路复用器 MUX1 ~ MUX3 而提供具有驱动极性分别为负 (-)、正 (+)、正 (+) 的 3 个数据信号至数据线 DL3、DL6、DL9 上,借以对应地驱动像素 B1 ~ B3。

[0047] 相似地,当液晶显示器 40 从第 N 个画面期间进入至第 N+1 个画面期间时,源极驱动装置 203' 的输出缓冲器 Buff ~ Buf3 在驱动像素 R1 ~ R3、G1 ~ G3、B1 ~ B3 前,会先反应于载入信号 XSTB 的初始致能期间 IEP 而将开关 SW 导通 (开关 SW 的控制信号可以通过先将选择信号 S1 反向后再与载入信号 XSTB 进行及运算后而获得),借以使得缓冲器 Buf1 与 Buf3 的输出端连接在一起。与此同时,再同时触发选择信号 S1 ~ S3 以使多路复用器 MUX1

与 MUX3 的输入端与输出端都连接至已连接在一起的缓冲器 Buff 与 Buf3 的输出端。如此一来,则可达到与上一实施例类似的省电功效。

[0048] 由此可知,在上述的实施例中,源极驱动装置的输出缓冲器在驱动像素前,驱动极性匹配的两数据串会进行电荷分享,亦即:正驱动极性的个数与负驱动极性的个数相同的两数据串会进行电荷分享(charge-sharing)。如此一来,源极驱动装置的输出缓冲器在驱动像素过程中所耗费的功率就会比较低。

[0049] 基于上述实施例所公开的内容,图 5 绘示为本发明一实施例的液晶显示面板的驱动方法流程图。请参照图 5,本实施例的液晶显示面板的驱动方法包括:产生至少两数据串(步骤 S501),其中每一数据串具有多个数据信号,且该两数据串中所有数据信号的数量的一半分别对应到正驱动极性,而另一半则分别对应到负驱动极性;反应于载入信号的上升沿或下降沿而利用两缓冲器以分别地接收并缓冲输出该两数据串(步骤 S503);以及于缓冲输出该两数据串之前,反应于载入信号的初始致能期间而连接两缓冲器的输出端(步骤 S505)。

[0050] 综上所述,本发明在源极驱动装置的输出缓冲器在驱动像素前,选择驱动极性匹配的两数据串以进行电荷分享。如此一来,源极驱动装置的输出缓冲器在驱动像素过程中所耗费的功率就会比较低,从而达到省电的目的。

[0051] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

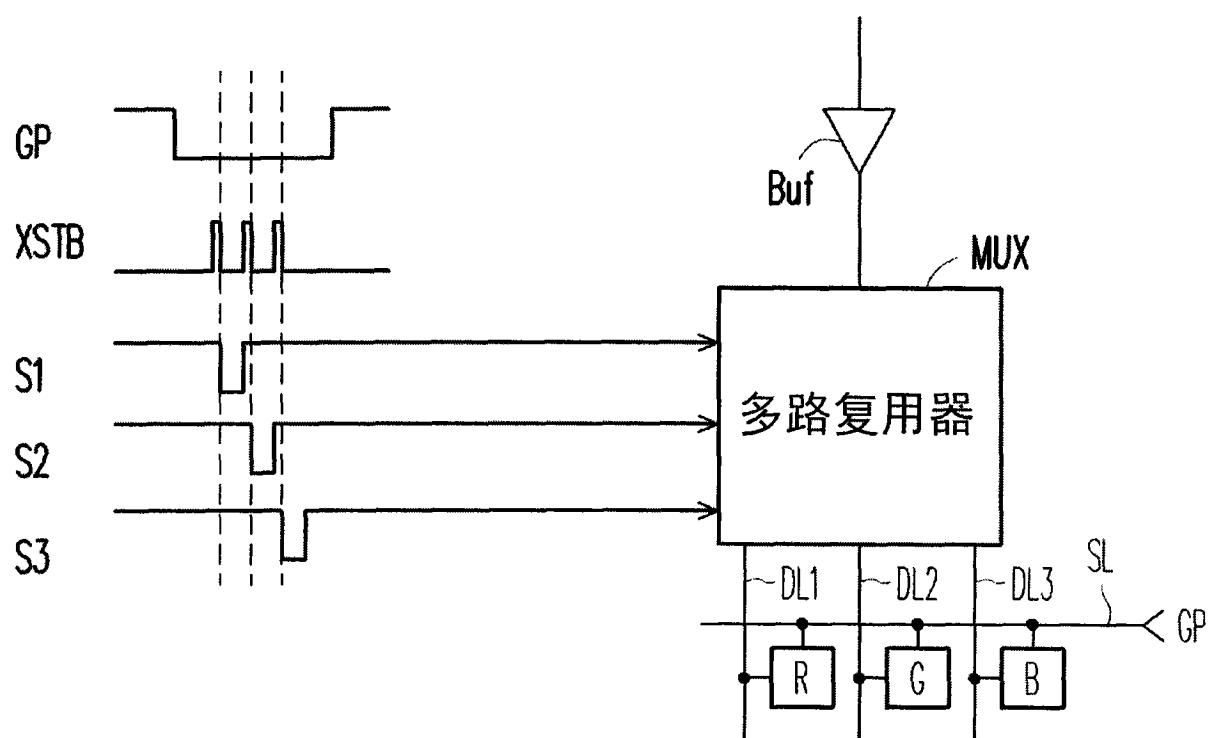


图 1

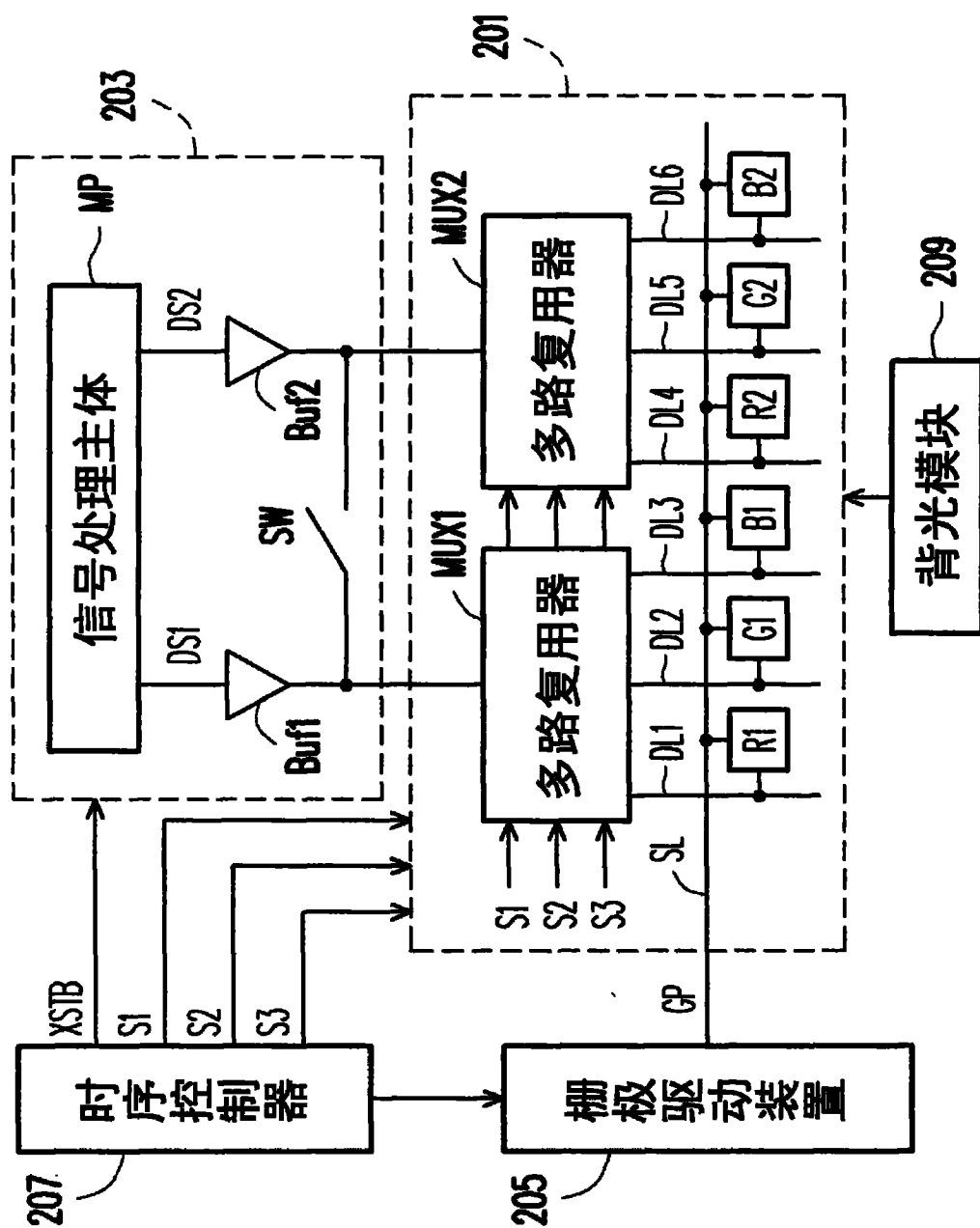


图 2

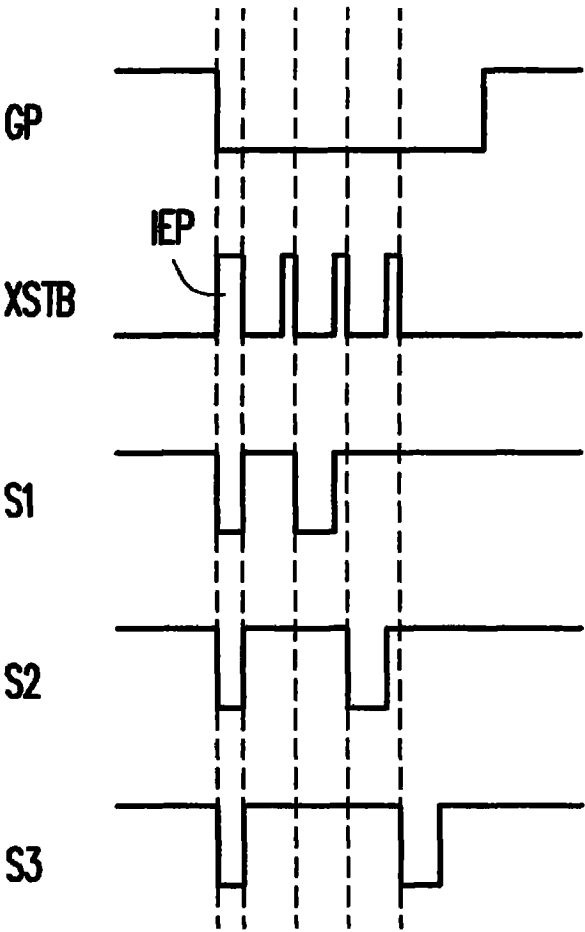


图 3

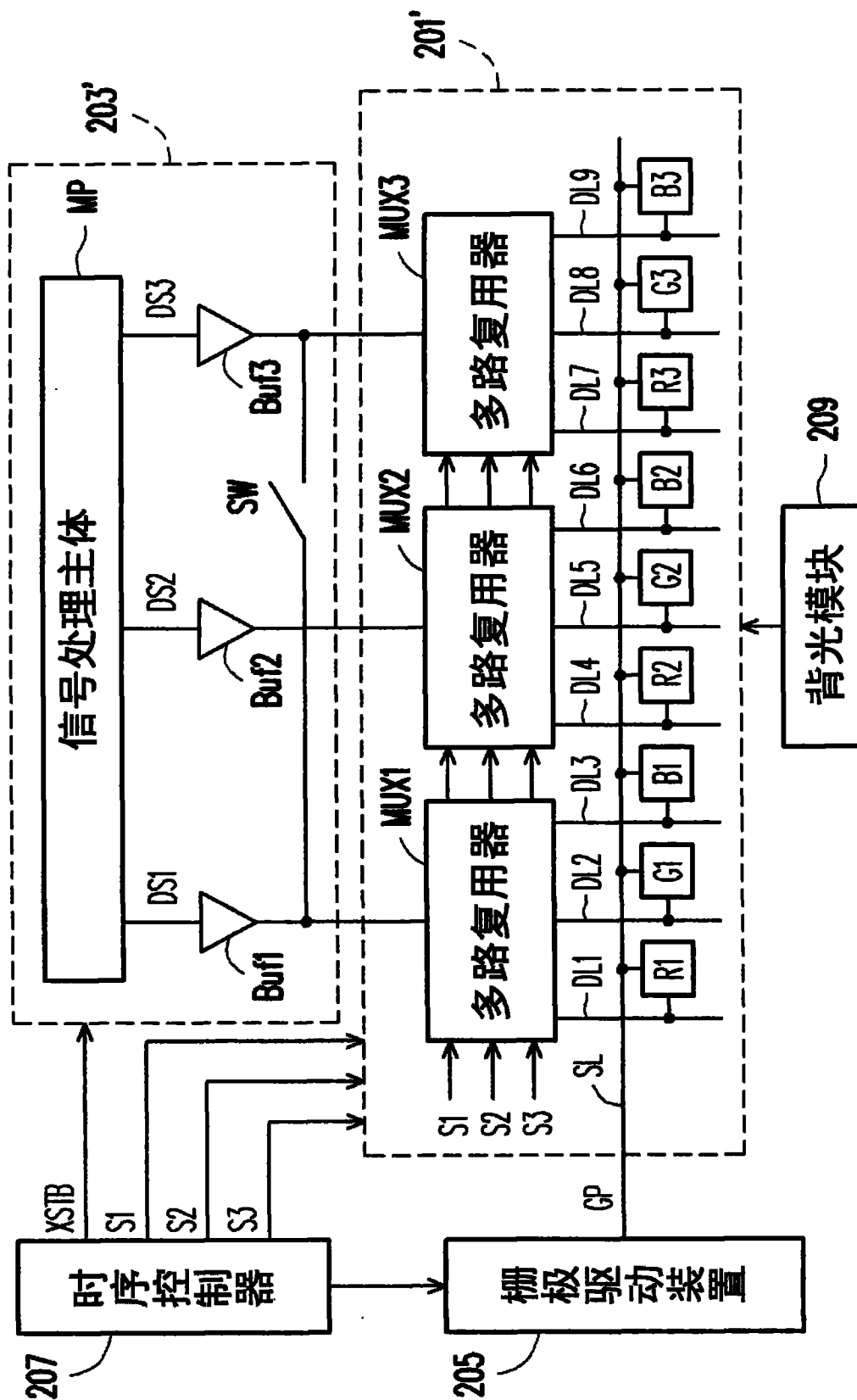


图 4

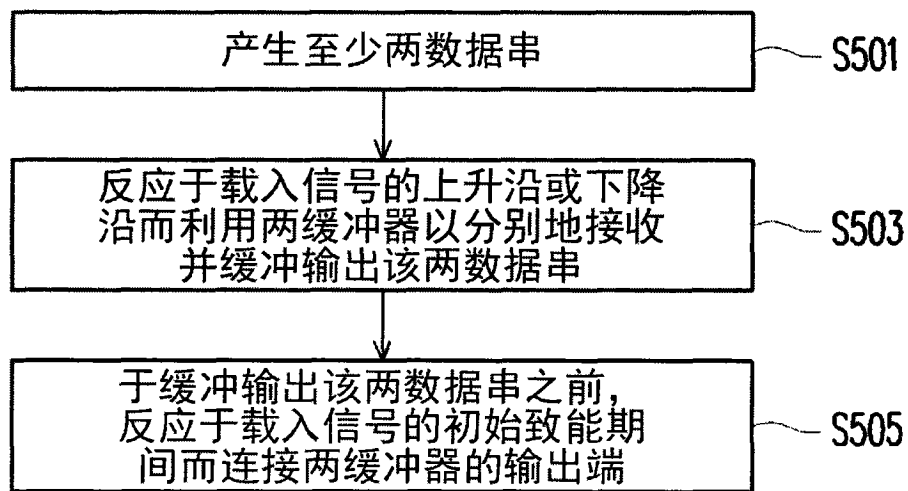


图 5

专利名称(译)	液晶显示器及其源极驱动装置与面板的驱动方法		
公开(公告)号	CN102054456A	公开(公告)日	2011-05-11
申请号	CN201110027647.X	申请日	2011-01-24
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	孙志豪		
发明人	孙志豪		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0248 G09G2310/0297 G09G2330/021		
优先权	099139733 2010-11-18 TW		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器及其源极驱动装置与面板的驱动方法。本发明在源极驱动装置的输出缓冲器在驱动像素前，选择驱动极性匹配的两数据串以进行电荷分享。如此一来，源极驱动装置的输出缓冲器在驱动像素过程中所消耗的功率就会比较低，从而达到省电的目的。

