



(12) 发明专利

(10) 授权公告号 CN 101930714 B

(45) 授权公告日 2013. 02. 13

(21) 申请号 200910247120. 0

CN 101042479 A, 2007. 09. 26,

(22) 申请日 2009. 11. 30

审查员 罗朋

(30) 优先权数据

10-2009-0056065 2009. 06. 23 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 裴珍晟 闵雄基 崔秉辰 李东学

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101216649 A, 2008. 07. 09,

US 2004/0239602 A1, 2004. 12. 02,

CN 101042479 A, 2007. 09. 26,

CN 101226722 A, 2008. 07. 23,

权利要求书 1 页 说明书 11 页 附图 12 页

(54) 发明名称

液晶显示器

(57) 摘要

本发明公开了一种液晶显示器。该液晶显示器包括：位于上基板和下基板之间的液晶层、根据 m/2 条数据线和 2n 条选通线的交叉结构以矩阵形式设置的 m×n 个液晶单元、以及分别连接到 m×n 个液晶单元的薄膜晶体管；数据驱动电路，其响应于极性控制信号向所述数据线提供数据电压；选通驱动电路，其向所述选通线顺序地提供选通脉冲；以及 POL 逻辑电路，其控制极性控制信号使得所述极性控制信号的相位每帧周期改变。

	R	G	B	R	G	B	R	G
第1帧	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
第2帧	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
第3帧	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
第4帧	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+

1. 一种液晶显示器,该液晶显示器包括:

液晶显示面板,其包括位于所述液晶显示面板的上基板和下基板之间的液晶层、根据  $m/2$  条数据线和  $2n$  条选通线的交叉结构以矩阵形式设置的  $m \times n$  个液晶单元、以及分别连接到  $m \times n$  个液晶单元的薄膜晶体管 TFT,其中  $m$  和  $n$  是正整数;

数据驱动电路,其响应于极性控制信号向所述数据线提供数据电压;

选通驱动电路,其向所述选通线顺序地提供选通脉冲;以及

POL 逻辑电路,其控制极性控制信号使得所述极性控制信号的相位每帧周期改变,

其中所述液晶单元包括位于奇数数据线的左侧的第一液晶单元、位于奇数数据线的右侧的第二液晶单元、位于偶数数据线的左侧的第三液晶单元、以及位于偶数数据线的右侧的第四液晶单元,

其中所述 TFT 包括:

第一 TFT,其响应于向奇数选通线提供的第一选通脉冲从奇数数据线向第一液晶单元的像素电极提供数据电压;

第二 TFT,其响应于向偶数选通线提供的第二选通脉冲从奇数数据线向第二液晶单元的像素电极提供数据电压;

第三 TFT,其响应于第二选通脉冲从偶数数据线向第三液晶单元的像素电极提供数据电压;以及

第四 TFT,其响应于第一选通脉冲从偶数数据线向第四液晶单元的像素电极提供数据电压,

其中所述 POL 逻辑电路顺序地输出第一到第四极性控制信号以产生所述极性控制信号,

其中第一极性控制信号按顺序具有  $1/2$  水平周期的高逻辑电平、 $1/2$  水平周期的低逻辑电平、 $1/2$  水平周期的高逻辑电平、 $1$  水平周期的低逻辑电平、 $1/2$  水平周期的高逻辑电平、 $1/2$  水平周期的低逻辑电平、以及  $1/2$  水平周期的高逻辑电平,

其中第二极性控制信号按顺序具有  $1/2$  水平周期的高逻辑电平、 $1$  水平周期的低逻辑电平、 $1/2$  水平周期的高逻辑电平、 $1/2$  水平周期的低逻辑电平、 $1$  水平周期的高逻辑电平、以及  $1/2$  水平周期的低逻辑电平。

2. 根据权利要求 1 所述的液晶显示器,其中所述 POL 逻辑电路顺序地执行以下操作:在第  $(4i+1)$  帧周期中产生第一极性控制信号,在第  $(4i+2)$  帧周期中产生其相位不同于第一极性控制信号的相位的第二极性控制信号,在第  $(4i+3)$  帧周期中产生其相位与第一极性控制信号的相位相反的第三极性控制信号,并且在第  $(4i+4)$  帧周期中产生其相位与第二极性控制信号的相位相反的第四极性控制信号,其中  $i$  是包括零的正整数。

## 液晶显示器

### 背景技术

[0001] 本文献的实施方式涉及一种能够改善显示质量的液晶显示器。

### 技术领域

[0002] 本申请要求 2009 年 6 月 23 日提交的韩国专利申请 No. 10-2009-0056065 的优先权,此处以引证的方式并入其全部内容,就像在此进行了完整阐述一样。

[0003] 有源矩阵型液晶显示器利用薄膜晶体管 (TFT) 作为开关元件来显示运动图像。因为有源矩阵型液晶显示器的外形薄,有源矩阵型液晶显示器已经应用于电视机以及例如办公设备和计算机的便携式设备中的显示设备。因此,阴极射线管 (CRT) 迅速地被有源矩阵型液晶显示器代替。

[0004] 液晶显示器以反转方式进行驱动,在该反转方式中相邻的液晶单元的极性被反转,相邻的液晶单元的极性每一个帧周期被反转,以减少直流 (DC) 偏移并且减少液晶的劣化。如果具有预定极性的数据电压被长时间地主要提供到液晶单元,则可能发生图像粘滞。当液晶单元被重复充入具有相同极性的数据电压时所产生的图像粘滞被称为 DC 图像粘滞。例如,当数据电压以隔行方式被提供到液晶单元时,发生 DC 图像粘滞。在隔行方式中,数据电压在奇数帧周期中被提供到奇数水平线的液晶单元,数据电压在偶数帧周期中被提供到偶数水平线的液晶单元。作为 DC 图像粘滞的另一示例,如果相同图像以特定速度移动或滚动,则相同极性的电压根据滚动画面的尺寸和滚动速度 (移动速度) 之间的关系而在液晶单元上重复地积累。因此,可能发生 DC 图像粘滞。对应于本申请,用于减少 DC 图像粘滞和闪烁的极性控制方法的示例详细地公开在以下韩国专利申请中:No. 10-2007-035126(2007. 4. 10),10-2007-0004251(2007. 1. 15),10-2007-0004246(2007. 1. 15),10-2007-0008895(2007. 1. 29),10-2007-0037936(2007. 4. 18),10-2007-0047787(2007. 5. 16),10-2007-0053959(2007. 6. 1),10-2007-0052679(2007. 5. 30),10-2007-0062238(2007. 6. 25),和 10-2007-0064561(2007. 6. 28),并且公开在以下美国专利申请中:No. 12/003,585(2007. 12. 28),12/003,666(2007. 12. 28),和 12/003,746(2007. 12. 31) 中公开,此处以引证的方式并入上述申请的全部内容。

[0005] 已经开发了一种面板 (在下文被称为双速率驱动 (double rate driving,DRD) 面板) 以降低液晶显示器的电路成本,在该面板中通过将相同显示线上的相邻的 TFT 连接到相同的数据线来减少数据驱动电路的数据线的数量和输出通道的数量。根据通过对包括 DRD 面板的液晶显示器采用上述极性控制方法而获得的实验结果,出现了 30Hz 闪烁,行方向上的闪烁,列方向上的闪烁、红、绿和蓝之一被明显显示的颜色失真等问题。因此,在包括 DRD 面板的液晶显示器中仍需要能够减少 DC 图像粘滞、闪烁、颜色失真等的技术。

### 发明内容

[0006] 本文献的实施方式提供了一种能够改善显示质量的液晶显示器。

[0007] 在一方面,一种液晶显示器包括:液晶显示面板,其包括位于所述液晶显示面板的上基板和下基板之间的液晶层、根据  $m/2$  条数据线和  $2n$  条选通线的交叉结构以矩阵形式设置的  $m \times n$  个液晶单元、以及分别连接到  $m \times n$  个液晶单元的薄膜晶体管 (TFT),其中  $m$  和  $n$  是正整数;数据驱动电路,其响应于极性控制信号向所述数据线提供数据电压;选通驱动电路,其向所述选通线顺序地提供选通脉冲;以及 POL 逻辑电路,其控制极性控制信号使得所述极性控制信号的相位每帧周期改变。

[0008] 所述液晶单元包括位于奇数数据线的左侧的第一液晶单元、位于奇数数据线的右侧的第二液晶单元、位于偶数数据线的左侧的第三液晶单元、以及位于偶数数据线的右侧的第四液晶单元。

[0009] 所述 TFT 包括:第一 TFT,其响应于向奇数选通线提供的第一选通脉冲从奇数数据线向第一液晶单元的像素电极提供数据电压;第二 TFT,其响应于向偶数选通线提供的第二选通脉冲从奇数数据线向第二液晶单元的像素电极提供数据电压;第三 TFT,其响应于第二选通脉冲从偶数数据线向第三液晶单元的像素电极提供数据电压;以及第四 TFT,其响应于第一选通脉冲从偶数数据线向第四液晶单元的像素电极提供数据电压。

[0010] 所述 POL 逻辑电路顺序地输出第一到第四极性控制信号以产生所述极性控制信号。

[0011] 所述 POL 逻辑电路顺序地执行以下操作:在第  $(4i+1)$  帧周期中产生第一极性控制信号,在第  $(4i+2)$  帧周期中产生其相位不同于第一极性控制信号的相位的第二极性控制信号,在第  $(4i+3)$  帧周期中产生其相位与第一极性控制信号的相位相反的第三极性控制信号,并且在第  $(4i+4)$  帧周期中产生其相位与第二极性控制信号的相位相反的第四极性控制信号,其中  $i$  是包括零的正整数。

[0012] 第一极性控制信号按顺序具有  $1/2$  水平周期的高逻辑电平、 $1/2$  水平周期的低逻辑电平、 $1/2$  水平周期的高逻辑电平、 $1$  水平周期的低逻辑电平、 $1/2$  水平周期的高逻辑电平、 $1/2$  水平周期的低逻辑电平、以及  $1/2$  水平周期的高逻辑电平。第二极性控制信号按顺序具有  $1/2$  水平周期的高逻辑电平、 $1$  水平周期的低逻辑电平、 $1/2$  水平周期的高逻辑电平、 $1/2$  水平周期的低逻辑电平、 $1$  水平周期的高逻辑电平、以及  $1/2$  水平周期的低逻辑电平。

## 附图说明

[0013] 附图被包括在本说明书中以提供对本文献的进一步理解,并结合到本说明书中且构成本说明书的一部分,附图示出了本发明的实施方式,且与说明书一起用于解释本发明的原理。在附图中:

[0014] 图 1 是例示根据实施方式的液晶显示器的框图;

[0015] 图 2 是详细例示像素阵列的等效电路图;

[0016] 图 3 和图 4 是详细例示数据驱动电路的电路图;

[0017] 图 5 和图 6 是详细例示 POL 逻辑电路的电路图;

[0018] 图 7 是极性控制信号的波形图;

[0019] 图 8 是极性响应于第一极性控制信号而被控制的数据电压、以及与数据电压同步的选通脉冲的波形图;

[0020] 图 9 例示在第一到第四帧周期中充入有数据电压的液晶单元的数据极性,其中该

数据电压的极性响应于第一到第四极性控制信号而被控制；

[0021] 图 10 是例示当隔行数据输入到液晶显示器时 DC 图像粘滞的产生原理的波形图；

[0022] 图 11 例示向用于减少 DC 图像粘滞的液晶单元和向与用于减少闪烁的液晶单元相邻的液晶单元中的每一个提供的数据电压的极性的变化；

[0023] 图 12 是例示当隔行数据通过图 11 所示的液晶单元输入到液晶显示器时不出现 DC 图像粘滞的原理的波形图；以及

[0024] 图 13 和图 14 例示可应用于实施方式的双速率驱动 (DRD) 面板的各种示例。

## 具体实施方式

[0025] 下面将详细描述实施方式，其示例在附图中例示。

[0026] 如图 1 和图 2 所示，根据实施方式的液晶显示器包括液晶显示面板 100、定时控制器 101、POL 逻辑电路 102、数据驱动电路 103、以及选通驱动电路 104。

[0027] 液晶显示面板 100 包括彼此相对设置的上玻璃基板和下玻璃基板，液晶层夹在上玻璃基板和下玻璃基板之间。液晶显示面板 100 包括显示视频数据的像素阵列 10。像素阵列 10 包括根据液晶显示面板 100 的  $m/2$  条数据线 D1 到  $D_{m/2}$  和  $2n$  条选通线 G1 到  $G_{2n}$  的交叉结构以矩阵形式设置的  $m \times n$  个液晶单元  $C_{lc}$ ，其中  $m$  和  $n$  是正整数。 $m \times n$  个液晶单元  $C_{lc}$  包括  $m$  个列（或  $m$  个垂直显示线），之上液晶单元  $C_{lc}$  沿数据线的方向设置，以及  $n$  个行（或  $n$  个水平显示线），之上液晶单元  $C_{lc}$  沿选通线的方向设置。根据通过薄膜晶体管 (TFT) 而施加到像素电极 1 的数据电压和通过 TFT 而施加到公共电极 2 的公共电压  $V_{com}$  之间的电压差而产生的电场，像素阵列 10 的  $m \times n$  个液晶单元  $C_{lc}$  被充入数据电压，接着利用存储电容器  $C_{st}$  在预定时间段内保持在该数据电压以由此显示图像。

[0028] 像素阵列 10 包括  $m/2$  条数据线 D1 到  $D_{m/2}$ 、 $2n$  条选通线 G1 到  $G_{2n}$ 、 $m \times n$  个像素电极 1、分别连接到像素电极 1 的  $m \times n$  个 TFT、以及分别连接到像素电极 1 的  $m \times n$  个存储电容器  $C_{st}$ 。同一条线的左侧和右侧的相邻 TFT 连接到同一条数据线。图 2 例示了 TFT 和数据线之间的连接结构。连接到选通线 G1 到  $G_{2n}$  的选通驱动电路 104 可以直接形成在液晶显示面板 100 的下玻璃基板的位于像素阵列 10 外侧的非显示表面上。在此情况下，像素阵列 10 和选通驱动电路 104 可通过同一薄膜工序同时形成在液晶显示面板 100 的下玻璃基板上。

[0029] 黑底、滤色器、以及公共电极 2 形成在液晶显示面板 100 的上玻璃基板上。在诸如扭曲向列 (TN) 模式和垂直对准 (VA) 模式的垂直电场驱动方式下，公共电极 2 形成在上玻璃基板上。在诸如共面切换 (IPS) 模式和边缘场切换 (FFS) 模式的水平电场驱动方式下，公共电极 2 和像素电极 1 形成在下玻璃基板上。

[0030] 偏振板分别附接到液晶显示面板 100 的上、下玻璃基板。用于设定液晶的预倾角的配向膜分别形成在上、下玻璃基板上。

[0031] 可应用于本实施方式的液晶显示面板 100 可通过任何液晶模式以及 TN、VA、IPS、FFS 模式来实现。根据本实施方式的液晶显示器可通过任何类型的液晶显示器来实现，包括背光式液晶显示器、透射反射式液晶显示器、以及反射式液晶显示器。背光单元在背光式液晶显示器和透射反射式液晶显示器中是必需的。背光单元可实现为侧光式背光单元或直下式背光单元。在侧光式背光单元中，多个光源与导光板的侧面相对地设置，多个光学片设置

在液晶显示面板 100 和导光板之间。在直下式背光单元中,多个光学片和散射板堆叠在液晶显示面板 100 下方,多个光源设置在散射板下方。背光单元的光源可使用热阴极荧光灯 (HCFL)、冷阴极荧光灯 (CCFL)、外部电极荧光灯 (EEFL)、以及发光二极管 (LED) 中的一种或至少两种。

[0032] 在图 2 中,位于奇数数据线  $D1, D3, \dots, D_{m/2-1}$  中的每一条的左侧的液晶单元  $C1c$  和 TFT 被分别称为第一液晶单元和第一 TFT  $T1$ ;位于奇数数据线  $D1, D3, \dots, D_{m/2-1}$  中的每一条的右侧的液晶单元  $C1c$  和 TFT 被分别称为第二液晶单元和第二 TFT  $T2$ ;位于偶数数据线  $D2, D4, \dots, D_{m/2}$  中的每一条的左侧的液晶单元  $C1c$  和 TFT 被分别称为第三液晶单元和第三 TFT  $T3$ ;位于偶数数据线  $D2, D4, \dots, D_{m/2}$  中的每一条的右侧的液晶单元  $C1c$  和 TFT 被分别称为第四液晶单元和第四 TFT  $T4$ 。

[0033] 响应于来自奇数选通线  $G1, G3, \dots, G_{2n-1}$  的选通脉冲 (或扫描脉冲),第一 TFT  $T1$  中的每一个从奇数数据线  $D1, D3, \dots, D_{m/2-1}$  向第一液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第一 TFT  $T1$  中的每一个中,栅极连接到奇数选通线  $G1, G3, \dots, G_{2n-1}$ ,漏极连接到奇数数据线  $D1, D3, \dots, D_{m/2-1}$ ,源极连接到第一液晶单元中的每一个的像素电极 1。响应于来自偶数选通线  $G2, G4, \dots, G_{2n}$  的选通脉冲,第二 TFT  $T2$  中的每一个从奇数数据线  $D1, D3, \dots, D_{m/2-1}$  向第二液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第二 TFT  $T2$  中的每一个中,栅极连接到偶数选通线  $G2, G4, \dots, G_{2n}$ ,漏极连接到奇数数据线  $D1, D3, \dots, D_{m/2-1}$ ,源极连接到第二液晶单元中的每一个的像素电极 1。响应于来自偶数选通线  $G2, G4, \dots, G_{2n}$  的选通脉冲,TFT  $T3$  中的每一个从偶数数据线  $D2, D4, \dots, D_{m/2}$  向第三液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第三 TFT  $T3$  中的每一个中,栅极连接到偶数选通线  $G2, G4, \dots, G_{2n}$ ,漏极连接到偶数数据线  $D2, D4, \dots, D_{m/2}$ ,源极连接到第三液晶单元中的每一个的像素电极 1。响应于来自奇数选通线  $G1, G3, \dots, G_{2n-1}$  的选通脉冲,TFT  $T4$  中的每一个从偶数数据线  $D2, D4, \dots, D_{m/2}$  向第四液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第四 TFT  $T4$  中的每一个中,栅极连接到奇数选通线  $G1, G3, \dots, G_{2n-1}$ ,漏极连接到偶数数据线  $D2, D4, \dots, D_{m/2}$ ,源极连接到第四液晶单元中的每一个的像素电极 1。

[0034] 连接到奇数数据线  $D1, D3, \dots, D_{m/2-1}$  的液晶单元的数据充入顺序和连接到偶数数据线  $D2, D4, \dots, D_{m/2}$  的液晶单元的数据充入顺序根据第一到第四 TFT  $T1$  到  $T4$  和数据线  $D1$  到  $D_{m/2}$  之间的连接关系而颠倒 (reversed)。换句话说,连接到奇数数据线  $D1, D3, \dots, D_{m/2-1}$  的液晶单元的数据充入顺序 (即充入方向) 和连接到偶数数据线  $D2, D4, \dots, D_{m/2}$  的数据充入顺序 (即充入方向) 彼此对称。

[0035] 如果数据电压被提供到数据线  $D1$  到  $D_{m/2}$ ,并且与数据电压同步的选通脉冲被顺序地提供到选通线  $G1$  到  $G_{2n}$ ,则分别位于奇数数据线  $D1, D3, \dots, D_{m/2-1}$  的左侧和右侧的第  $(4i+1)$  列的第一液晶单元 (其中“ $i$ ”是包括零的正整数) 和第  $(4i+2)$  列的第二液晶单元以图 2 所示的 Z 字形充入顺序 CS1 顺序地被充入数据电压。更具体地,位于第  $(i+1)$  行上的第  $(4i+1)$  列的第一液晶单元被充入数据电压,接着位于第  $(i+1)$  行上的第  $(4i+1)$  列的第一液晶单元的右侧的第  $(4i+2)$  列的第二液晶单元被充入数据电压。随后,位于第  $(i+2)$  行上的第  $(4i+1)$  列的第一液晶单元被充入数据电压,接着位于第  $(i+2)$  行上的第  $(4i+1)$  列的第一液晶单元的右侧的第  $(4i+2)$  列的第二液晶单元被充入数据电压。

[0036] 如果数据电压被提供到数据线 D1 到  $D_{m/2}$ , 并且与数据电压同步的选通脉冲被顺序地提供到选通线 G1 到  $G_{2n}$ , 则分别位于偶数数据线 D2, D4, ...,  $D_{m/2}$  的左侧和右侧的第  $(4i+3)$  列的第三液晶单元和第  $(4i+4)$  列的第四液晶单元以图 2 所示的 Z 字形充入顺序 CS2 顺序地被充入数据电压。更具体地, 位于第  $(i+1)$  行上的第  $(4i+4)$  列的第四液晶单元被充入数据电压, 接着位于第  $(i+1)$  行上的第  $(4i+4)$  列的第四液晶单元的左侧的第  $(4i+3)$  列的第三液晶单元被充入数据电压。随后, 第  $(i+2)$  行上的第  $(4i+4)$  列的第四液晶单元被充入数据电压, 接着位于第  $(i+2)$  行上的第  $(4i+4)$  列的第四液晶单元的左侧的第  $(4i+3)$  列的第三液晶单元被充入数据电压。

[0037] 定时控制器 101 通过诸如低压差分信令 (LVDS) 接口和转换最小化差分信令 (TMDS) 接口的接口, 从系统板 105 接收诸如垂直同步信号  $V_{sync}$ 、水平同步信号  $H_{sync}$ 、数据使能信号 DE、以及点时钟 CLK 的定时信号, 以产生用于控制数据驱动电路 103、选通驱动电路 104、以及 POL 逻辑电路 102 中的每一个的操作定时的控制信号。定时控制器 101 通过微型 LVDS 接口向数据驱动电路 103 的源驱动集成电路 (IC) 串行传输数字视频数据 RGB。定时控制器 101 利用定时信号  $V_{sync}$ 、 $H_{sync}$ 、DE 和 CLK 产生用于控制数据驱动电路 103 的数据定时控制信号以及用于控制选通驱动电路 104 的选通定时控制信号。定时控制器 101 可基于  $(60 \times j)$  Hz 的帧率 (其中“j”是等于或大于 2 的正整数) 将数据定时控制信号和选通定时控制信号中的每一个的频率相乘, 使得以 60Hz 的帧率输入的数字视频数据能够以  $(60 \times j)$  Hz 的帧率在液晶显示面板 100 的像素阵列 10 中再现。

[0038] 从定时控制器 101 输出的控制信号包括选通起始脉冲 GSP、选通移位时钟 GSC、选通输出使能信号 GOE、源起始脉冲 SSP、源采样时钟 SSC、源输出使能信号 SOE、以及基准极性控制信号 POL。选通起始脉冲 GSP 指示在显示一个画面的 1 个垂直周期中扫描操作的起始水平行。选通移位时钟 GSC 是输入到选通驱动电路 104 内部的移位寄存器以使选通起始脉冲 GSP 顺序地移位的定时控制信号。选通移位时钟 GSC 具有对应于 TFT 的导通周期的脉冲宽度。选通输出使能信号 GOE 指示选通驱动电路 104 的输出。源起始脉冲 SSP 指示将显示数据的 1 个水平行上的起始像素。源采样时钟 SSC 指示数据驱动电路 103 内部的锁存器基于上升沿或下降沿的数据操作。源输出使能信号 SOE 指示数据驱动电路 103 的输出。基准极性控制信号 POL 指示将被提供到液晶显示面板 100 的液晶单元 Clc 的数据电压的极性。每“i”个水平周期, 基准极性控制信号 POL 的逻辑电平被反转。如果定时控制器 101 通过微型 LVDS 接口向数据驱动电路 103 传输数据, 则可省去源起始脉冲 SSP 和源采样时钟 SSC。

[0039] POL 逻辑电路 102 接收选通起始脉冲 GSP、源输出使能信号 SOE、以及基准极性控制信号 POL, 以顺序地输出第一到第四极性控制信号 POL1 到 POL4。第一到第四极性控制信号 POL1 到 POL4 各具有不同相位以防止图像粘滞和闪烁。POL 逻辑电路 102 可在各帧中输出相同的基准极性控制信号 POL。

[0040] 数据驱动电路 103 在定时控制器 101 的控制下锁存数字视频数据 RGB。响应于来自 POL 逻辑电路 102 的第一到第四极性控制信号 POL1 到 POL4, 数据驱动电路 103 将锁存的数字视频数据 RGB 转换为模拟正和负伽玛补偿电压, 以产生正和负数据电压。数据驱动电路 103 向数据线 D1 到  $D_{m/2}$  提供正和负数据电压。

[0041] 选通驱动电路 104 包括多个选通驱动 IC。选通驱动 IC 中的每一个包括移位寄存器、用于将移位寄存器的输出信号转换为适用于液晶单元的 TFT 驱动的摆动宽度的电平转

换器、以及连接在电平转换器和选通线 G1 到 G2n 之间的输出缓冲器。选通驱动电路 104 顺序地输出具有约 1/2 水平周期的宽度的与正或负数据电压同步的选通脉冲。

[0042] POL 逻辑电路 102 可安装在定时控制器 101 内部或安装在数据驱动电路 103 的源驱动 IC 内部。

[0043] 系统板 105 包括广播信号接收电路、外部设备接口电路、图形处理电路、存储器等。系统板 105 从接收自外部设备的广播信号或视频源中提取视频数据,将该视频数据转换为数字视频数据以向定时控制器 101 提供该数字视频数据。输入到系统板 105 的隔行广播信号在奇数帧周期中仅存在于奇数行,在偶数帧周期中仅存在于偶数行。因此,如果系统板 105 接收隔行广播信号,则系统板 105 利用存储在系统板 105 的存储器中的数据的平均值或黑数据值,在奇数帧周期中产生偶数行的数据,在偶数帧周期中产生奇数行的数据。系统板 105 向定时控制器 101 提供数字视频数据和定时信号 Vsync、Hsync、DE、以及 CLK,并且向模块电源电路(未示出)提供电力。模块电源电路调整从系统板 105 接收的电压,以产生驱动模块电源电路的数字电路所需的电压和液晶显示面板 100 的驱动电压。

[0044] 图 3 和图 4 是详细例示数据驱动电路 103 的源驱动 IC 的电路图。

[0045] 如图 3 和图 4 所示,源驱动 IC 中的每一个向 k 条数据线 D1 到 Dk 提供数据电压,其中 k 是小于 m/2 的正整数。源驱动 IC 中的每一个包括移位寄存器 31、数据寄存器 32、第一锁存器 33、第二锁存器 34、数模转换器(DAC)35、电荷共享电路 36、以及输出电路 37。

[0046] 移位寄存器 31 使来自定时控制器 101 的源采样时钟 SSC 移位以产生采样时钟。接着,源驱动 IC 的移位寄存器 31 向下一个源驱动 IC 的移位寄存器 31 传输进位信号 CAR。数据寄存器 32 暂时地存储被定时控制器 101 划分的奇数数字视频数据 RGBodd 和偶数数字视频数据 RGBeven,并且向第一锁存器 33 提供奇数数字视频数据 RGBodd 和偶数数字视频数据 RGBeven。响应于从移位寄存器 31 顺序地接收的采样时钟,第一锁存器 33 采样和锁存奇数数字视频数据 RGBodd 和偶数数字视频数据 RGBeven。接着,第一锁存器 33 向第二锁存器 34 同时输出锁存的奇数和偶数数字视频数据 RGBodd 和 RGBeven。第二锁存器 34 锁存从第一锁存器 33 接收的数字视频数据。接着,源驱动 IC 的第二锁存器 34 和另一源驱动 IC 的第二锁存器 34 在源输出使能信号 SOE 的低逻辑周期中同时输出锁存的数字视频数据。

[0047] 如图 4 所示,DAC 35 包括接收正伽玛基准电压 GH 的 P 解码器 41、接收负伽玛基准电压 GL 的 N 解码器 42、以及响应于极性控制信号 POL/POL1 到 POL4,选择 P 解码器 41 的输出和 N 解码器 42 的输出的复用器 43。P 解码器 41 对从第二锁存器 34 接收的数字视频数据进行解码,以输出对应于解码后的数字视频数据的灰度级的正伽玛补偿电压。N 解码器 42 对从第二锁存器 34 接收的数字视频数据进行解码,以输出对应于解码后的数字视频数据的灰度级的负伽玛补偿电压。响应于极性控制信号 POL/POL1 到 POL4,复用器 43 交替地选择正伽玛补偿电压和负伽玛补偿电压,并且输出所选择的正或负伽玛补偿电压作为模拟正或负数据电压。在源输出使能信号 SOE 的高逻辑周期中,电荷共享电路 36 将数据驱动电路的相邻的数据输出通道短路,以输出相邻的数据电压的平均值作为电荷共享电压。或者,在源输出使能信号 SOE 的高逻辑周期中,电荷共享电路 36 向数据输出通道提供公共电压 Vcom,以减少正数据电压和负数据电压中的每一个的急剧变化。输出电路 37 包括缓冲器以减少向数据线 D1 到 Dk 提供的正/负数据电压的信号衰减,其中 k 是小于 m/2 的正整数。

[0048] 图 5 和图 6 是详细例示 POL 逻辑电路 102 的电路图。图 7 是从 POL 逻辑电路 102

顺序输出的第一到第四极性控制信号 POL1 到 POL4 的波形图。

[0049] 如图 5 和图 6 所示, POL 逻辑电路 102 包括帧计数器 51、行计数器 52、POL 产生电路 53、以及复用器 54。

[0050] 帧计数器 51 对在一个帧周期中产生一次并与帧周期的开始同时产生的选通起始脉冲 GSP 进行计数, 以输出指示将在液晶显示面板 100 上显示的图像的帧周期的数量的帧计数信息 Fcnt。行计数器 52 对源输出使能信号 SOE 和选通输出使能信号 GOE (其每一个在每约 1/2 水平周期中产生) 中的一个的时钟进行计数, 以输出指示将在液晶显示面板 100 上显示的水平周期的数量的行计数信息 Lcnt。从定时控制器 101 的内部产生器产生的时钟可被用作向帧计数器 51 和行计数器 52 提供的定时信号。然而, 因为时钟具有高频率, 定时控制器 101 和 POL 逻辑电路 102 之间的电磁干扰 (EMI) 可能增加。在另一方面, 因为选通起始脉冲 GSP 和源输出使能信号 SOE (其每一个具有小于时钟频率的频率并且从定时控制器 101 的内部产生器产生) 被分别输入到帧计数器 51 和行计数器 52, 定时控制器 101 和 POL 逻辑电路 102 之间的 EMI 的增加可被降低。

[0051] POL 产生电路 53 包括第一 POL 产生电路 61、第二 POL 产生电路 62、第一和第二反相器 63 和 64、以及复用器 65。如图 7 所示, 第一 POL 产生电路 61 根据行计数信息 Lcnt 切换输出信号, 以产生用于控制在第一帧周期中充入液晶单元 C1c 的数据电压的极性的第一极性控制信号 POL1。第一极性控制信号 POL1 按顺序具有 1/2 水平周期 1/2H 的高逻辑电平 (+)、1/2 水平周期 1/2H 的低逻辑电平 (-)、1/2 水平周期 1/2H 的高逻辑电平 (+)、1 水平周期 1H 的低逻辑电平 (-)、1/2 水平周期 1/2H 的高逻辑电平 (+)、1/2 水平周期 1/2H 的低逻辑电平 (-)、以及 1/2 水平周期 1/2H 的高逻辑电平 (+)。第一反相器 63 使第一极性控制信号 POL1 反相, 以产生用于控制在第三帧周期中充入液晶单元 C1c 的数据电压的极性的第三极性控制信号 POL3。第二 POL 产生电路 62 根据行计数信息 Lcnt 切换输出信号, 以产生用于控制在第二帧周期中充入液晶单元 C1c 的数据电压的极性的第二极性控制信号 POL2。第二极性控制信号 POL2 按顺序具有 1/2 水平周期 1/2H 的高逻辑电平 (+)、1 水平周期 1H 的低逻辑电平 (-)、1/2 水平周期 1/2H 的高逻辑电平 (+)、1/2 水平周期 1/2H 的低逻辑电平 (-)、1 水平周期 1H 的高逻辑电平 (+)、以及 1/2 水平周期 1/2H 的低逻辑电平 (-)。第二反相器 64 使第二极性控制信号 POL2 反相, 以产生用于控制在第四帧周期中充入液晶单元 C1c 的数据电压的极性的第四极性控制信号 POL4。

[0052] 复用器 65 根据帧计数信息 Fcnt 顺序地在第  $(4i+1)$  个帧周期进行第一极性控制信号 POL1 的输出、在第  $(4i+2)$  个帧周期进行第二极性控制信号 POL2 的输出、在第  $(4i+3)$  个帧周期进行第三极性控制信号 POL3 的输出、以及在第  $(4i+4)$  个帧周期进行第四极性控制信号 POL4 的输出。

[0053] 复用器 54 的控制端可连接到 POL 逻辑电路 102 的可选管脚 (optionpin)。接地电平电压 GND 或电源电压 Vcc 可被施加到 POL 逻辑电路 102 的可选管脚。响应于 POL 逻辑电路 102 的可选管脚的电压或选择控制信号 SEL (图 5 中所示), 复用器 54 选择基准极性控制信号 POL 或来自 POL 产生电路 53 的极性控制信号 POL1 到 POL4。POL 逻辑电路 102 的可选管脚连接到复用器 54 的控制端, 接地电平电压 GND 或电源电压 Vcc 可被选择性地施加到 POL 逻辑电路 102 的可选管脚。例如, 如果接地电平电压 GND 被施加到 POL 逻辑电路 102 的可选管脚, 则低逻辑电平的电压被施加到复用器 54 的控制端, 因而复用器 54 输出基准极性

控制信号 POL。在另一方面,如果电源电压  $V_{cc}$  被施加到 POL 逻辑电路 102 的可选管脚,则高逻辑电平的电压被施加到复用器 54 的控制端。换句话说,高逻辑电平“1”的选择控制信号 SEL 被施加到复用器 54 的控制端,因而 POL 产生电路 53 输出第一到第四极性控制信号 POL1 到 POL4。响应于通过用户接口输入的用户选择信号或根据数据分析结果,选择控制信号 SEL 可从系统板 105 或定时控制器 101 自动产生。因而,复用器 54 可响应于用户选择信号或根据数据分析结果而操作。

[0054] 图 8 是例示在第一帧周期中响应于第一极性控制信号 POL1 而产生的数据电压的示例的波形图。

[0055] 如图 8 所示,响应于第一极性控制信号 POL1,数据驱动电路 103 向奇数数据线  $D1, D3, \dots, D_{m/2-1}$  按以下顺序并顺序地提供正数据电压 (+R、+G、+B)、负数据电压 (-R、-G、-B)、正数据电压 (+R、+G、+B)、负数据电压 (-R、-G、-B)、负数据电压 (-R、-G、-B)、正数据电压 (+R、+G、+B)、负数据电压 (-R、-G、-B)、以及正数据电压 (+R、+G、+B)。响应于第一极性控制信号 POL1,数据驱动电路 103 向偶数数据线  $D2, D4, \dots, D_{m/2}$  顺序地提供数据电压,该数据电压的极性与向奇数数据线  $D1, D3, \dots, D_{m/2-1}$  提供的数据电压的极性相反。选通驱动电路 104 顺序地产生与正 / 负数据电压同步的约 1/2 水平周期的选通脉冲。

[0056] 响应于向奇数选通线  $G1, G3, \dots, G_{2n-1}$  提供的第一选通脉冲,第一 TFT T1 中的每一个从奇数数据线  $D1, D3, \dots, D_{m/2-1}$  向第一液晶单元中的每一个的像素电极 1 提供数据电压。响应于向偶数选通线  $G2, G4, \dots, G_{2n}$  提供的第二选通脉冲,第二 TFT T2 中的每一个从奇数数据线  $D1, D3, \dots, D_{m/2-1}$  向第二液晶单元中的每一个的像素电极 1 提供数据电压。响应于第二选通脉冲,第三 TFT T3 中的每一个从偶数数据线  $D2, D4, \dots, D_{m/2}$  向第三液晶单元中的每一个的像素电极 1 提供数据电压。响应于第一选通脉冲,第四 TFT T4 中的每一个从偶数数据线  $D2, D4, \dots, D_{m/2}$  向第四液晶单元中的每一个的像素电极 1 提供数据电压。

[0057] 图 9 例示了在第一到第四帧周期中充入数据电压的液晶单元 C1c 的数据极性,该数据电压的极性响应于第一到第四极性控制信号 POL1 到 POL4 而被控制。因为液晶单元 C1c 被充入其极性响应于第一到第四极性控制信号 POL1 到 POL4 而被控制的数据电压,所以能够显示几乎不出现 DC 图像粘滞、闪烁和颜色失真的图像。

[0058] 在本实施方式中,下面参照图 10 到图 12 描述通过减少隔行图像粘滞和闪烁而获得的效果。

[0059] 假设以与相关技术相同的方式,隔行数据被显示在液晶显示面板上,并且向全部液晶单元 C1c 提供的数据电压的极性在每一帧周期反转。在此情况下,液晶单元 C1c 在奇数帧周期中被充入正数据电压,在偶数帧周期中被充入负数据电压。以隔行方式,因为在奇数帧周期中液晶单元 C1c 被充入正数据电压,所以如图 10 的框所表示,在 4 个帧周期中液晶单元 C1c 的正数据电压的充入量远远大于液晶单元 C1c 的负数据电压的充入量。因此,当提供到全部液晶单元 C1c 的数据电压的极性在每一帧周期反转并且隔行数据被输入到液晶显示器时,因为向全部液晶单元提供的数据电压的两种极性中的一种极性比另一种极性更占主要部分,所以出现 DC 图像粘滞和闪烁。

[0060] 在本实施方式中,通过利用分别具有不同相位的第一到第四极性控制信号 POL1 到 POL4 来控制数据电压的极性,可减少双速率驱动 (DRD) 面板中的 DC 图像粘滞、闪烁以及

颜色失真。如图 7 到图 9、图 11 和图 12 所示,由于第一到第四极性控制信号 POL1 到 POL4,阴影的液晶单元(下文称为第一液晶单元)和与阴影的液晶单元相邻的液晶单元(下文称为第二液晶单元)所充入的数据电压的极性反转循环彼此不同。例如,如图 11 所示,尽管向第一液晶单元提供的数据电压的极性在 2 个帧周期中不反转而保持相同状态,但是向第二液晶单元提供的数据电压的极性在 2 个帧周期中反转一次。因此,通过在 2 个帧周期中向第一液晶单元充入相同极性的数据电压,能够防止 DC 图像粘滞。此外,因为向第二液晶单元提供的数据电压的极性在 2 个帧周期中反转一次,所以第二液晶单元的空间频率增加。因此,能够防止闪烁。在图 12 中可以看到通过第一液晶单元而获得的 DC 图像粘滞的防止效果。当在液晶显示器上显示隔行数据时,向第一液晶单元提供的数据电压的极性每 2 个帧周期反转。结果,因为向第一液晶单元提供的正数据电压的充入量和第一液晶单元的负数据电压的充入量之间几乎不存在差异,所以向第一液晶单元提供的数据电压的两种极性中的一种极性不比另一中极性更占主要部分。因此,即使在液晶显示器上显示隔行数据,向液晶单元提供的数据电压的两种极性中的一种极性不比另一种极性占主要部分。因此,不会出现 DC 图像粘滞。

**[0061]** 可通过第一液晶单元来防止 DC 图像粘滞,但因为每 2 个帧周期将相同极性的数据电压提供到液晶单元,所以可能出现闪烁。因为当在两个帧周期中第一液晶单元被充入相同极性的数据电压时第二液晶单元在两个帧周期中被充入不同极性的数据电压,所以第二液晶单元的空间频率增加。结果,当观察者观看根据本实施方式的液晶显示器时,观察者几乎不会感觉到闪烁。因为观察者用其对变化敏感的肉眼同时看到第一和第二液晶单元,所以观察者将第二液晶单元的空间频率感知为第一液晶单元的空间频率。

**[0062]** DRD 面板可被构造为使得全部液晶单元以图 13 所示的 Z 字形充入顺序而被充入数据电压。此外,DRD 面板可被构造为使得液晶单元以图 14 所示的充入顺序而被充入数据电压。

**[0063]** 在图 13 所示的 DRD 面板中,响应于来自奇数选通线  $G_1, G_3, \dots, G_{2n-1}$  的第一选通脉冲,第一 TFT T1 中的每一个从奇数数据线  $D_1, D_3, \dots, D_{m/2-1}$  向位于奇数数据线  $D_1, D_3, \dots, D_{m/2-1}$  中的每一条的左侧的第一液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第一 TFT T1 中的每一个中,栅极连接到奇数选通线  $G_1, G_3, \dots, G_{2n-1}$ ,漏极连接到奇数数据线  $D_1, D_3, \dots, D_{m/2-1}$ ,源极连接到第一液晶单元中的每一个的像素电极 1。响应于来自偶数选通线  $G_2, G_4, \dots, G_{2n}$  的第二选通脉冲,第二 TFT T2 中的每一个从奇数数据线  $D_1, D_3, \dots, D_{m/2-1}$  向位于奇数数据线  $D_1, D_3, \dots, D_{m/2-1}$  中的每一条的右侧的第二液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第二 TFT T2 中的每一个中,栅极连接到偶数选通线  $G_2, G_4, \dots, G_{2n}$ ,漏极连接到奇数数据线  $D_1, D_3, \dots, D_{m/2-1}$ ,源极连接到第二液晶单元中的每一个的像素电极 1。响应于来自奇数选通线  $G_1, G_3, \dots, G_{2n-1}$  的第一选通脉冲,第三 TFT T3 中的每一个从偶数数据线  $D_2, D_4, \dots, D_{m/2}$  向位于偶数数据线  $D_2, D_4, \dots, D_{m/2}$  中的每一条的左侧的第三液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第三 TFT T3 中的每一个中,栅极连接到奇数选通线  $G_1, G_3, \dots, G_{2n-1}$ ,漏极连接到偶数数据线  $D_2, D_4, \dots, D_{m/2}$ ,源极连接到第三液晶单元中的每一个的像素电极 1。响应于来自偶数选通线  $G_2, G_4, \dots, G_{2n}$  的第二选通脉冲,第四 TFT T4 中的每一个从偶数数据线  $D_2, D_4, \dots, D_{m/2}$  向位于偶数数据线

D2, D4, ..., D<sub>m/2</sub> 中的每一条的右侧的第四液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第四 TFT T4 中的每一个中,栅极连接到偶数选通线 G2, G4, ..., G<sub>2n</sub>, 漏极连接到偶数数据线 D2, D4, ..., D<sub>m/2</sub>, 源极连接到第四液晶单元中的每一个的像素电极 1。

[0064] 在图 14 所示的 DRD 面板中,响应于来自奇数选通线 G1, G3, ..., G<sub>2n-1</sub> 的第一选通脉冲,第一 TFT T1 中的每一个从第 (4i+1) 条数据线 D1, D5, ..., D<sub>m/2-3</sub> 向位于第 (4i+1) 条数据线 D1, D5, ..., D<sub>m/2-3</sub> 中的每一条的左侧的第一液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第一 TFT T1 中的每一个中,栅极连接到奇数选通线 G1, G3, ..., G<sub>2n-1</sub>, 漏极连接到第 (4i+1) 条数据线 D1, D5, ..., D<sub>m/2-3</sub>, 源极连接到第一液晶单元中的每一个的像素电极 1。响应于来自偶数选通线 G2, G4, ..., G<sub>2n</sub> 的第二选通脉冲,第二 TFT T2 中的每一个从第 (4i+1) 条数据线 D1, D5, ..., D<sub>m/2-3</sub> 向位于第 (4i+1) 条数据线 D1, D5, ..., D<sub>m/2-3</sub> 中的每一条的右侧的第二液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第二 TFT T2 中的每一个中,栅极连接到偶数选通线 G2, G4, ..., G<sub>2n</sub>, 漏极连接到第 (4i+1) 条数据线 D1, D5, ..., D<sub>m/2-3</sub>, 源极连接到第二液晶单元中的每一个的像素电极 1。响应于来自偶数选通线 G2, G4, ..., G<sub>2n</sub> 的第二选通脉冲,第三 TFT T3 中的每一个从第 (4i+2) 条数据线 D2, D6, ..., D<sub>m/2-2</sub> 向位于第 (4i+2) 条数据线 D2, D6, ..., D<sub>m/2-2</sub> 中的每一条的左侧的第三液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第三 TFT T3 中的每一个中,栅极连接到偶数选通线 G2, G4, ..., G<sub>2n</sub>, 漏极连接到第 (4i+2) 条数据线 D2, D6, ..., D<sub>m/2-2</sub>, 源极连接到第三液晶单元中的每一个的像素电极 1。响应于来自奇数选通线 G1, G3, ..., G<sub>2n-1</sub> 的第一选通脉冲,第四 TFT T4 中的每一个从第 (4i+2) 条数据线 D2, D6, ..., D<sub>m/2-2</sub> 向位于第 (4i+2) 条数据线 D2, D6, ..., D<sub>m/2-2</sub> 中的每一条的右侧的第四液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第四 TFT T4 中的每一个中,栅极连接到奇数选通线 G1, G3, ..., G<sub>2n-1</sub>, 漏极连接到第 (4i+2) 条数据线 D2, D6, ..., D<sub>m/2-2</sub>, 源极连接到第四液晶单元中的每一个的像素电极 1。响应于来自偶数选通线 G2, G4, ..., G<sub>2n</sub> 的第二选通脉冲,第五 TFT T5 中的每一个从第 (4i+3) 条数据线 D3, D7, ..., D<sub>m/2-1</sub> 向位于第 (4i+3) 条数据线 D3, D7, ..., D<sub>m/2-1</sub> 中的每一条的左侧的第五液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第五 TFT T5 中的每一个中,栅极连接到偶数选通线 G2, G4, ..., G<sub>2n</sub>, 漏极连接到第 (4i+3) 条数据线 D3, D7, ..., D<sub>m/2-1</sub>, 源极连接到第五液晶单元中的每一个的像素电极 1。响应于来自奇数选通线 G1, G3, ..., G<sub>2n-1</sub> 的第一选通脉冲,第六 TFT T6 中的每一个从第 (4i+3) 条数据线 D3, D7, ..., D<sub>m/2-1</sub> 向位于第 (4i+3) 条数据线 D3, D7, ..., D<sub>m/2-1</sub> 中的每一条的右侧的第六液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第六 TFT T6 中的每一个中,栅极连接到奇数选通线 G1, G3, ..., G<sub>2n-1</sub>, 漏极连接到第 (4i+3) 条数据线 D3, D7, ..., D<sub>m/2-1</sub>, 源极连接到第六液晶单元中的每一个的像素电极 1。响应于来自奇数选通线 G1, G3, ..., G<sub>2n-1</sub> 的第一选通脉冲,第七 TFT T7 中的每一个从第 (4i+4) 条数据线 D4, D8, ..., D<sub>m/2</sub> 向位于第 (4i+4) 条数据线 D4, D8, ..., D<sub>m/2</sub> 中的每一条的左侧的第七液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作,在第七 TFT T7 中的每一个中,栅极连接到奇数选通线 G1, G3, ..., G<sub>2n-1</sub>, 漏极连接到第 (4i+4) 条数据线 D4, D8, ..., D<sub>m/2</sub>, 以及源极连接到第七液晶单元中

的每一个的像素电极 1。响应于来自偶数选通线  $G_2, G_4, \dots, G_{2n}$  的第二选通脉冲, 第八 TFT T8 中的每一个从第  $(4i+4)$  条数据线  $D_4, D_8, \dots, D_{m/2}$  向位于第  $(4i+4)$  条数据线  $D_4, D_8, \dots, D_{m/2}$  中的每一条的右侧的第八液晶单元中的每一个的像素电极 1 提供数据电压。为了进行上述操作, 在第八 TFT T8 中的每一个中, 栅极连接到偶数选通线  $G_2, G_4, \dots, G_{2n}$ , 漏极连接到第  $(4i+4)$  条数据线  $D_4, D_8, \dots, D_{m/2}$ , 源极连接到第八液晶单元中的每一个的像素电极 1。

[0065] 在图 13 和图 14 所示的 DRD 面板中, 可响应于图 7 所示的第一到第四极性控制信号 POL1 到 POL4 或基准极性控制信号, 来控制向液晶单元提供的数据电压的极性。在图 13 和图 14 中, 粗实线所表示的箭头指示数据电压的充入顺序。

[0066] 发明人通过实验确认了当其极性利用图 7 所示的极性控制信号而被控制的数据电压被提供到 DRD 面板时 (例如, 如图 13 和图 14 所示的 DRD 面板), DC 图像粘滞减少。然而, 发明人在 DRD 面板中观察到 30Hz 闪烁、行闪烁、列闪烁、以及红色的颜色失真。DRD 面板可包括图 2、13、和 14 所示的像素阵列中的一个。然而, 因为当利用图 7 所示的极性控制信号来控制数据电压的极性时图 2 所示的像素阵列在改善图像质量方面最有利, 所以优选地将图 2 所示的像素阵列应用于 DRD 面板, 以减少 DC 图像粘滞。

[0067] 如上所述, 在根据本实施方式的液晶显示器中, 通过利用 DRD 面板将数据线的数量和数据驱动电路的输出通道的数量减少到  $1/2$ , 能够降低构成液晶显示器的电路的成本。此外, 通过利用分别具有不同相位的极性控制信号来减少 DC 图像粘滞、闪烁、颜色失真, 能够改善 DRD 面板的显示质量。

[0068] 尽管参照多个示例性实施方式描述了实施方式, 应理解的是本领域技术人员可建议落入本公开的原理的范围内的许多其它修改和实施方式。更具体地, 在本公开、附图以及所附的权利要求的范围内, 在主题组合设置的组成部分和 / 或设置中做出各种变型和修改。除了组成部分和 / 或设置中的变型和修改之外, 替换使用对于本领域技术人员也是明显的。

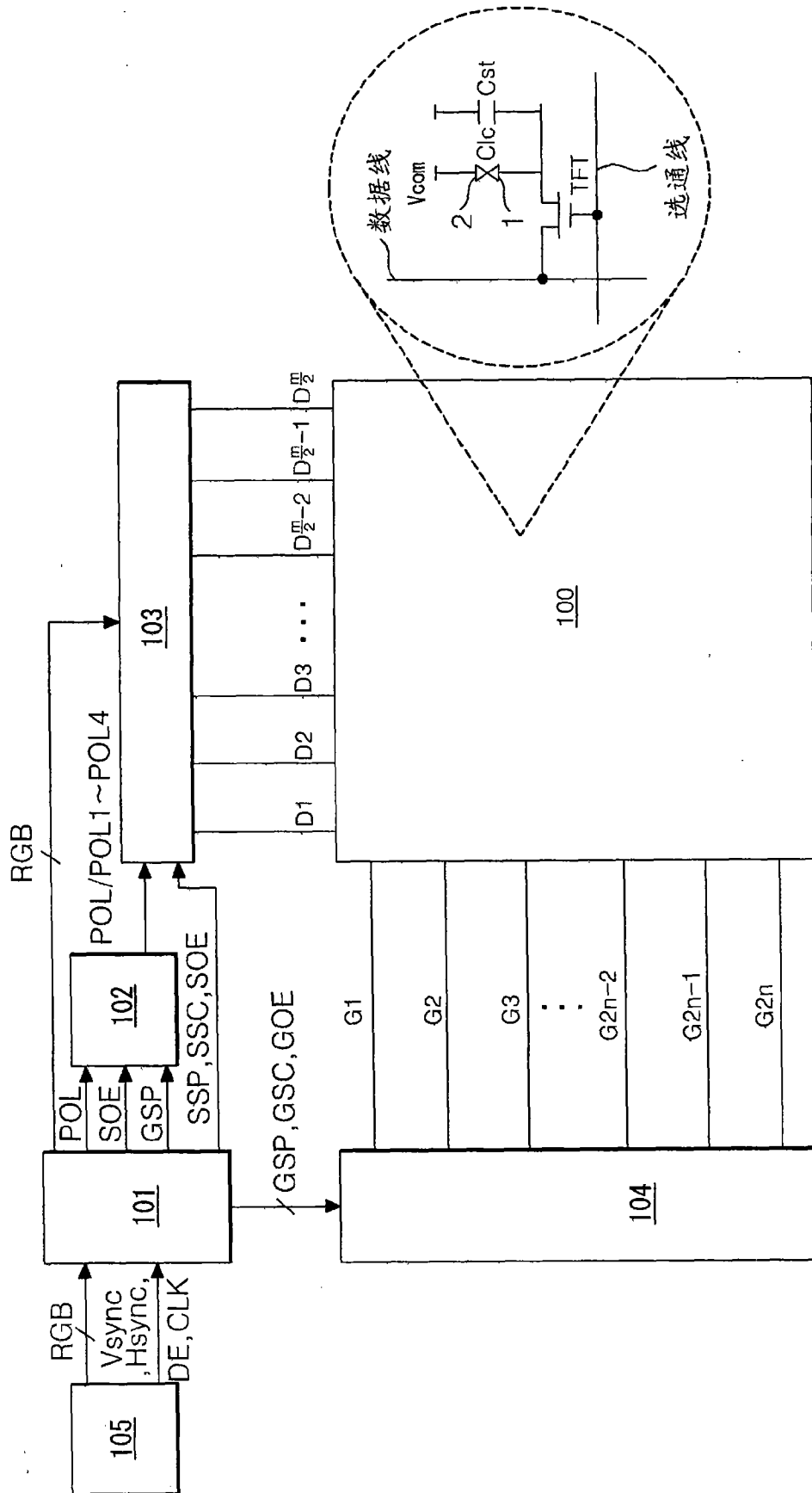


图 1

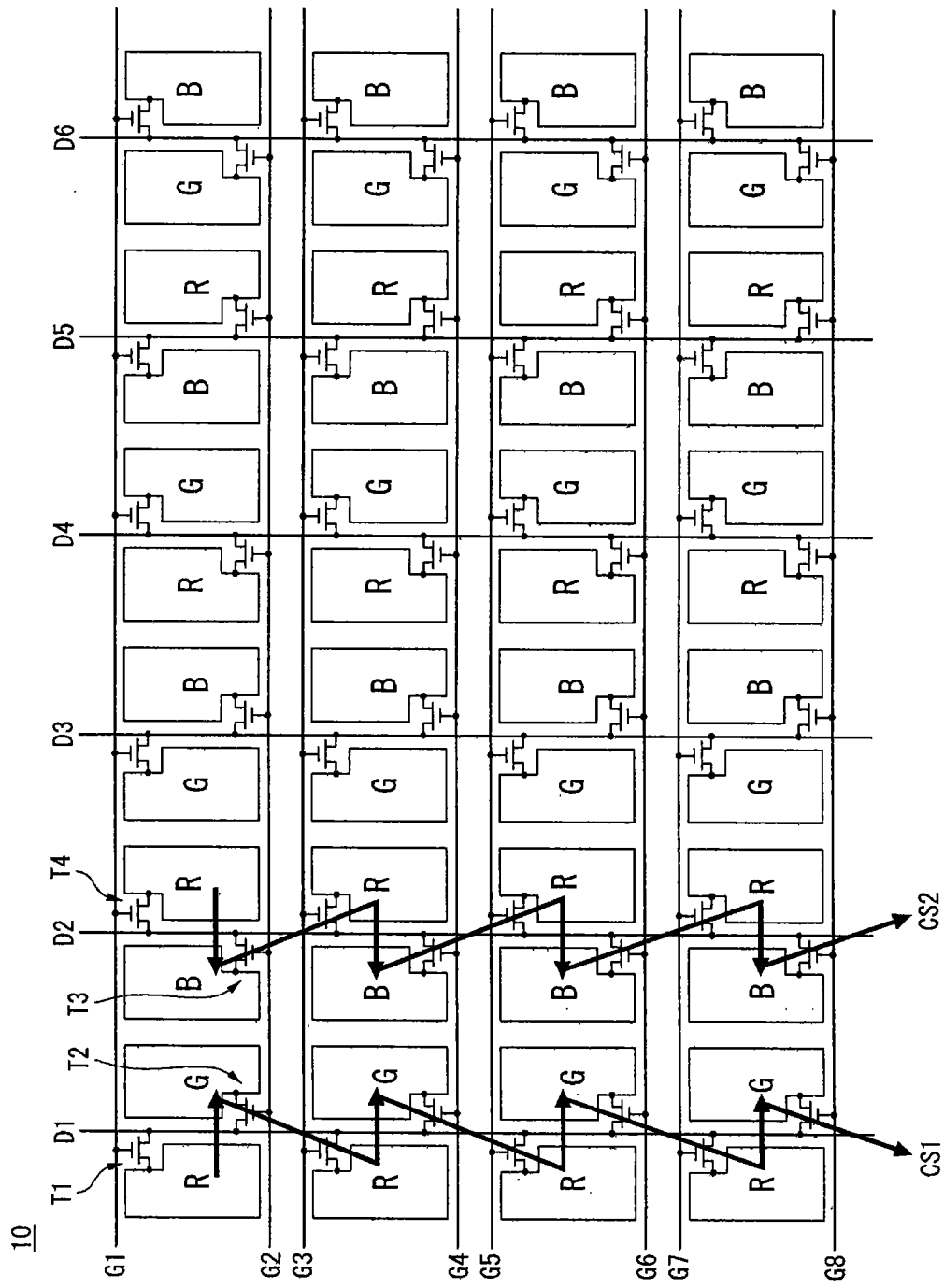


图 2

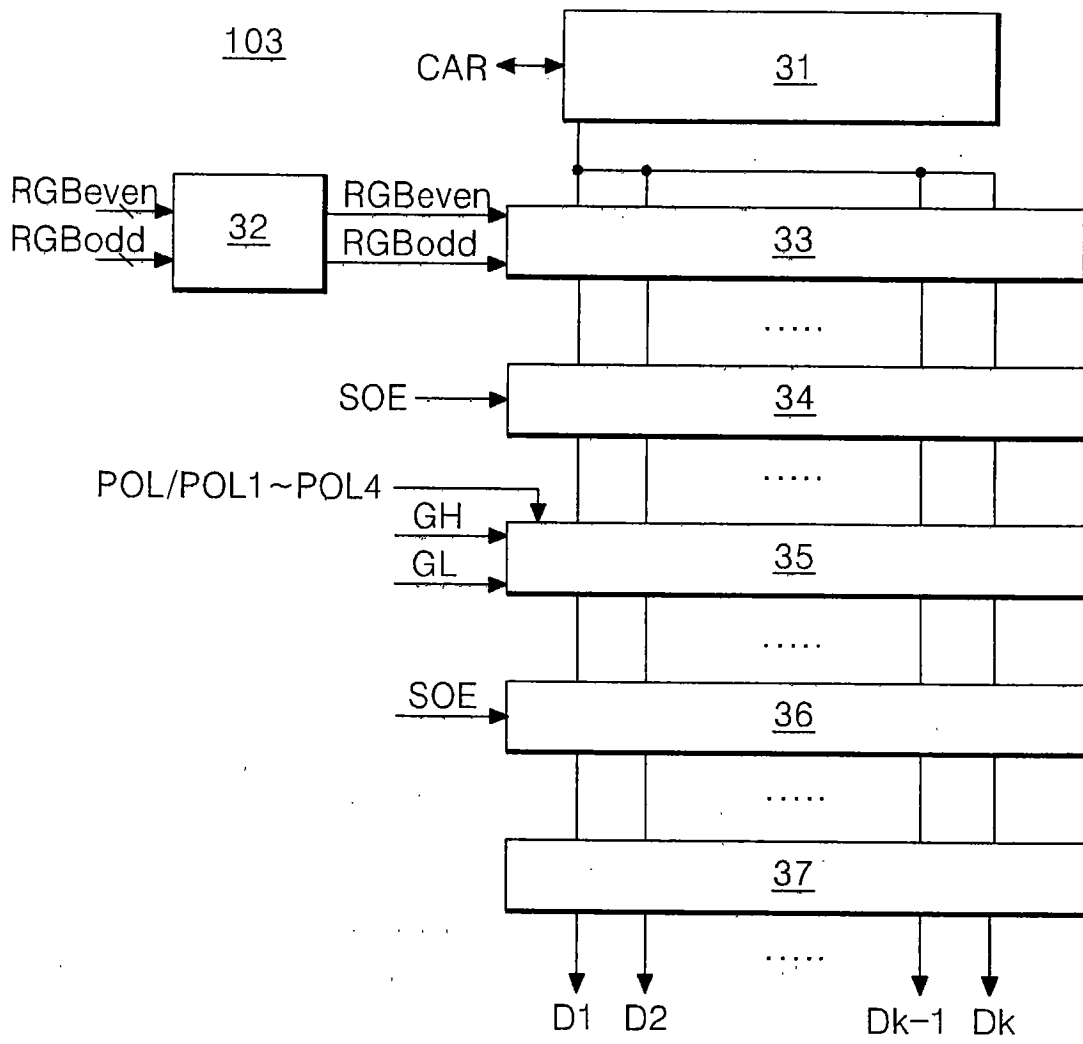


图 3

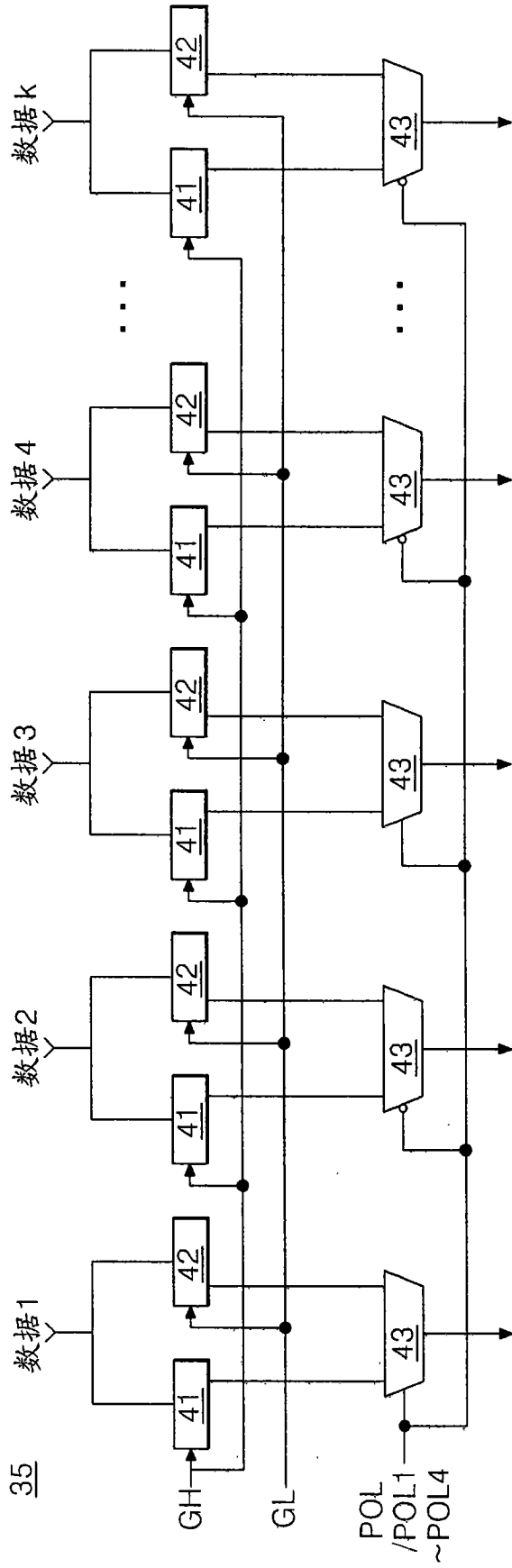


图 4

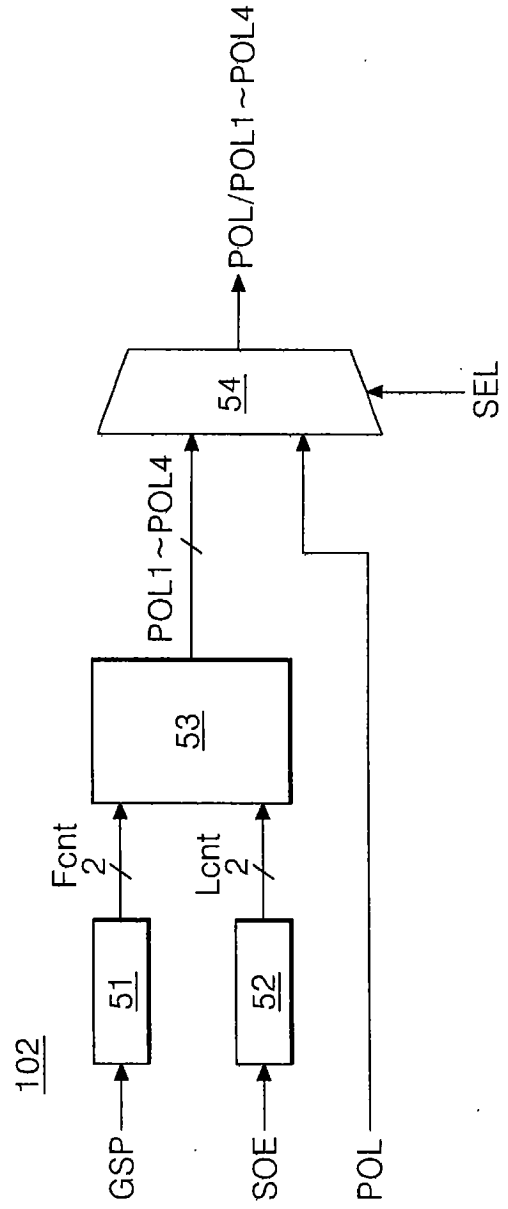


图 5

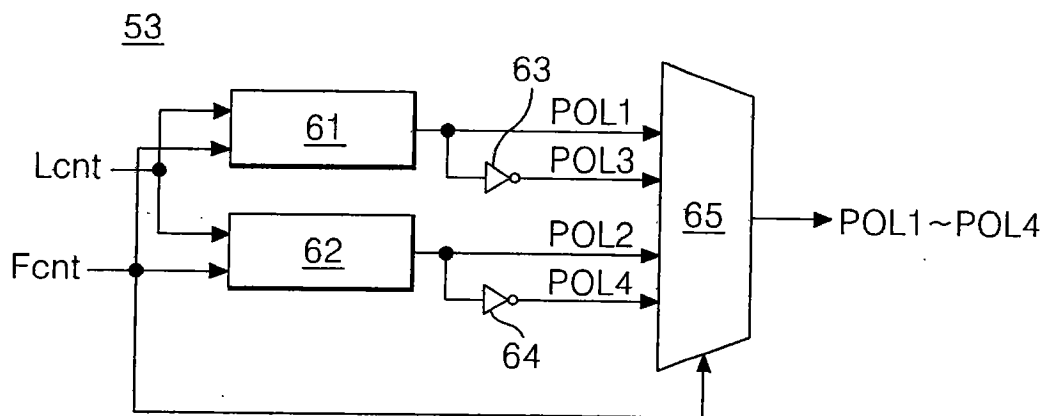


图 6

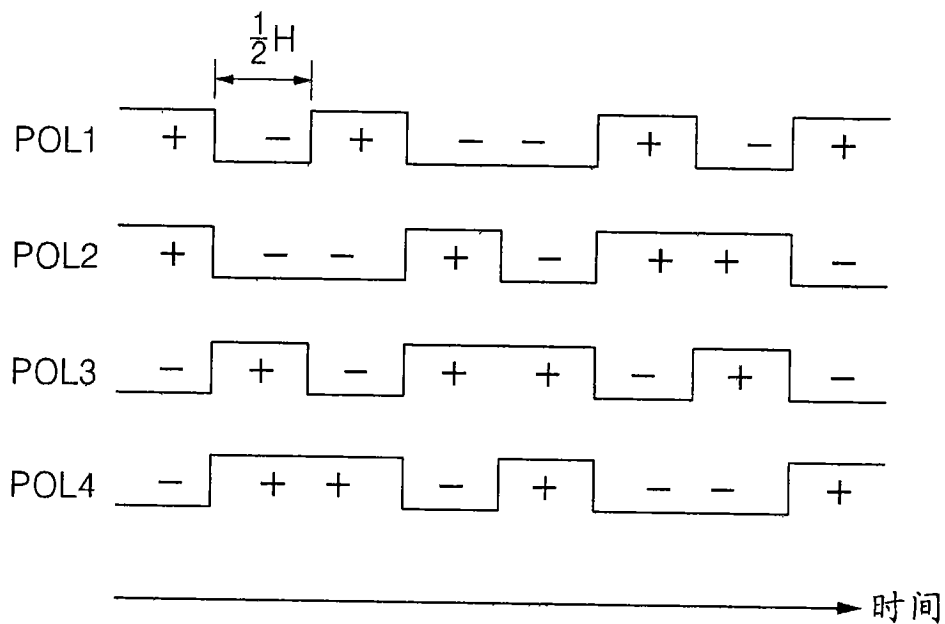


图 7

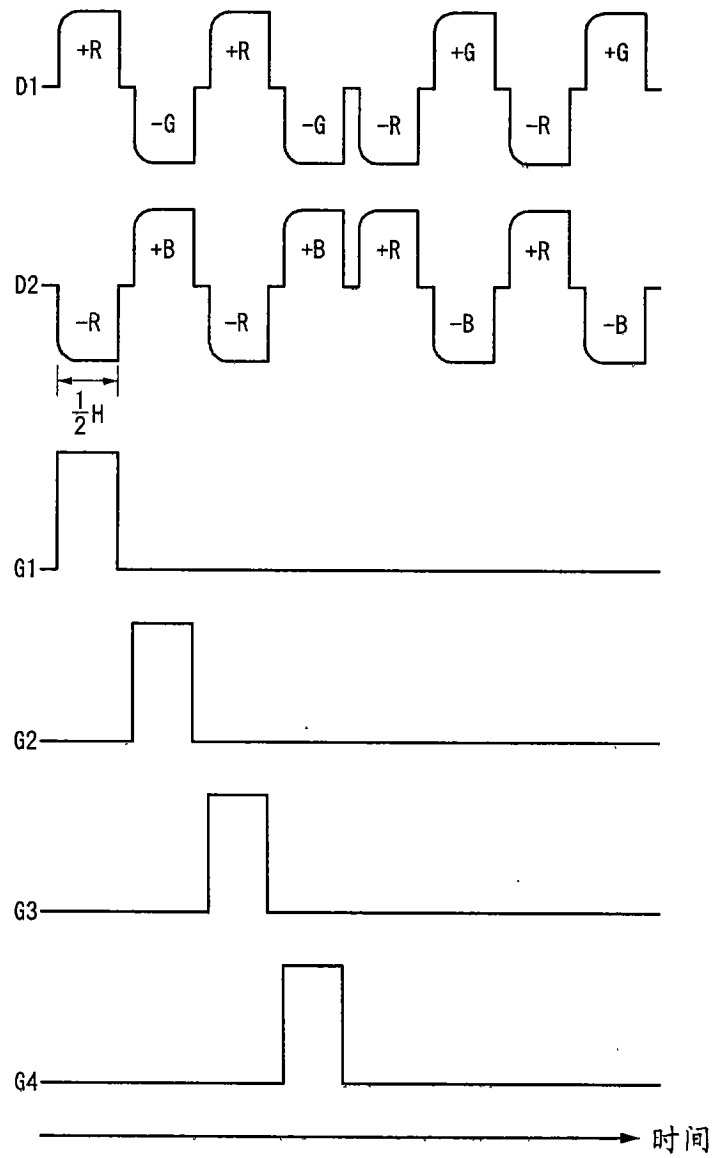


图 8

	G	-	-	+	+	-	+	+	-	+	+	-	-	+	-	-	+
	R	+	+	-	-	+	-	-	+	-	-	+	+	-	+	+	-
	B	-	-	+	+	-	+	+	-	+	+	-	-	+	-	-	+
	G	+	+	-	-	+	-	-	+	-	-	+	+	-	+	+	-
	R	-	-	+	+	-	+	+	-	+	+	-	-	+	-	-	+
	B	+	+	-	-	+	-	-	+	-	-	+	+	-	+	+	-
	G	-	-	+	+	-	+	+	-	+	+	-	-	+	-	-	+
	R	+	+	-	-	+	-	-	+	-	-	+	+	-	+	+	-
		第1帧				第2帧				第3帧				第4帧			

图9

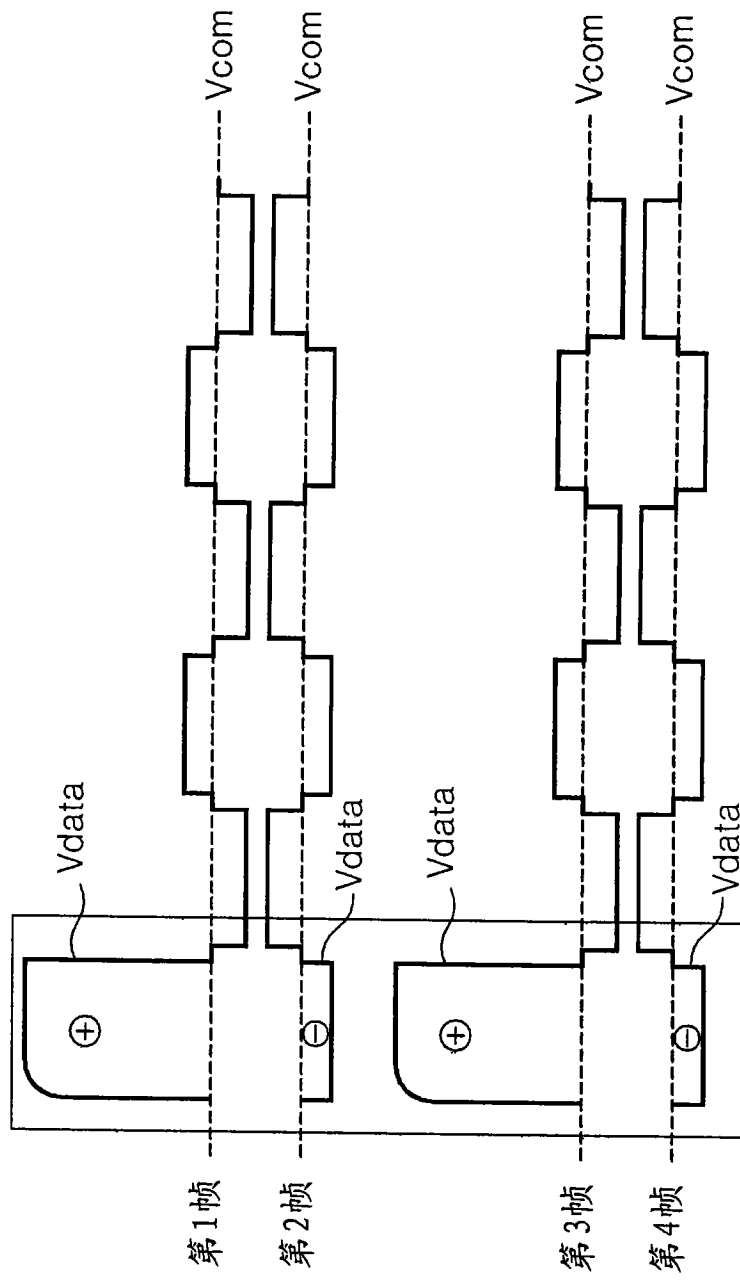


图 10

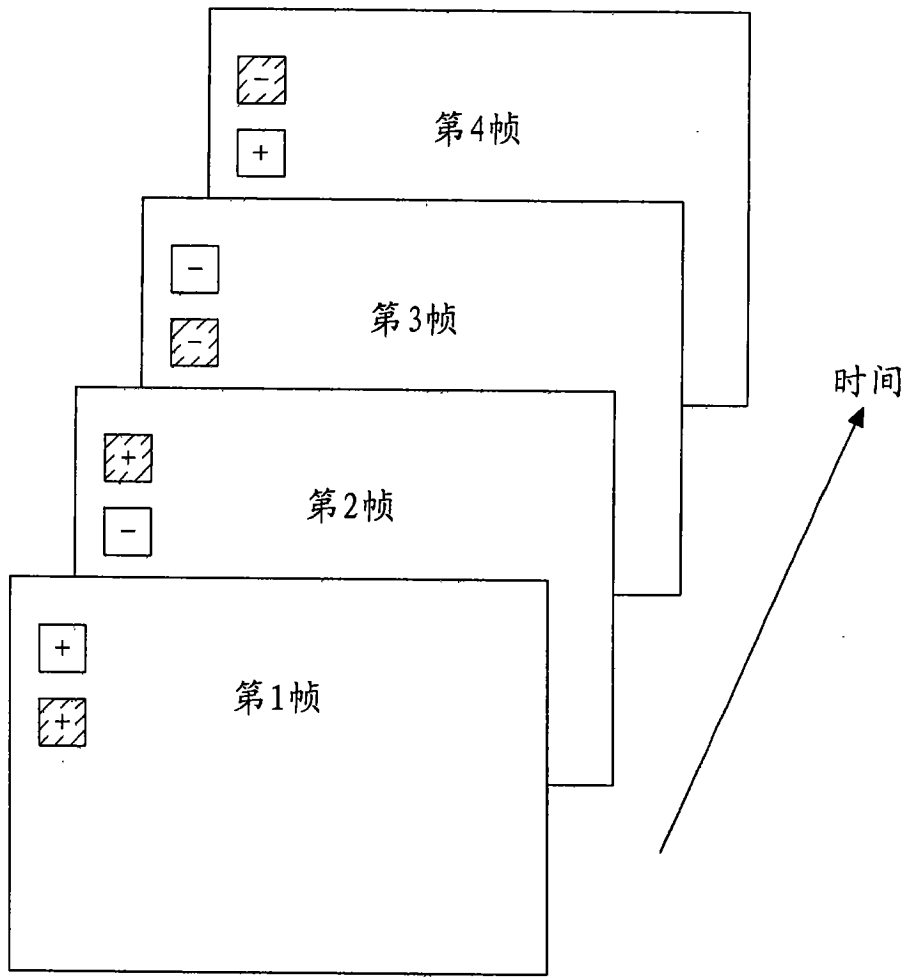


图 11

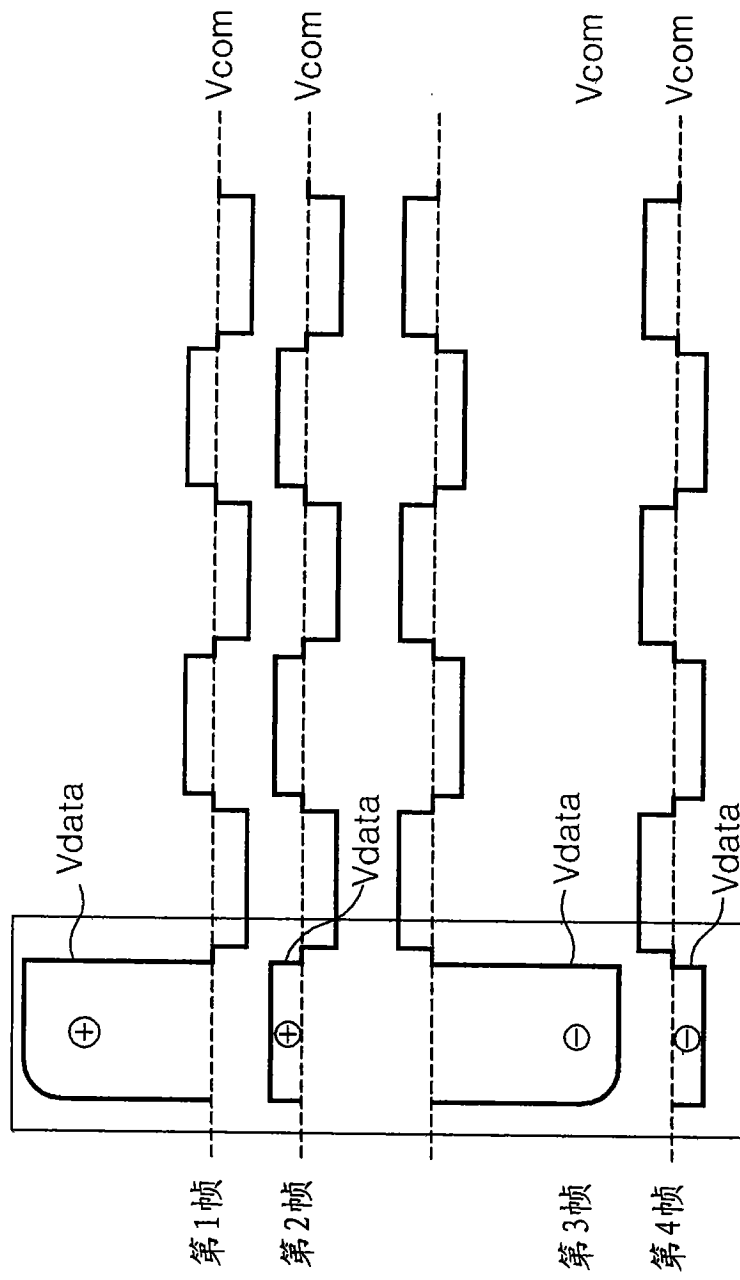


图 12

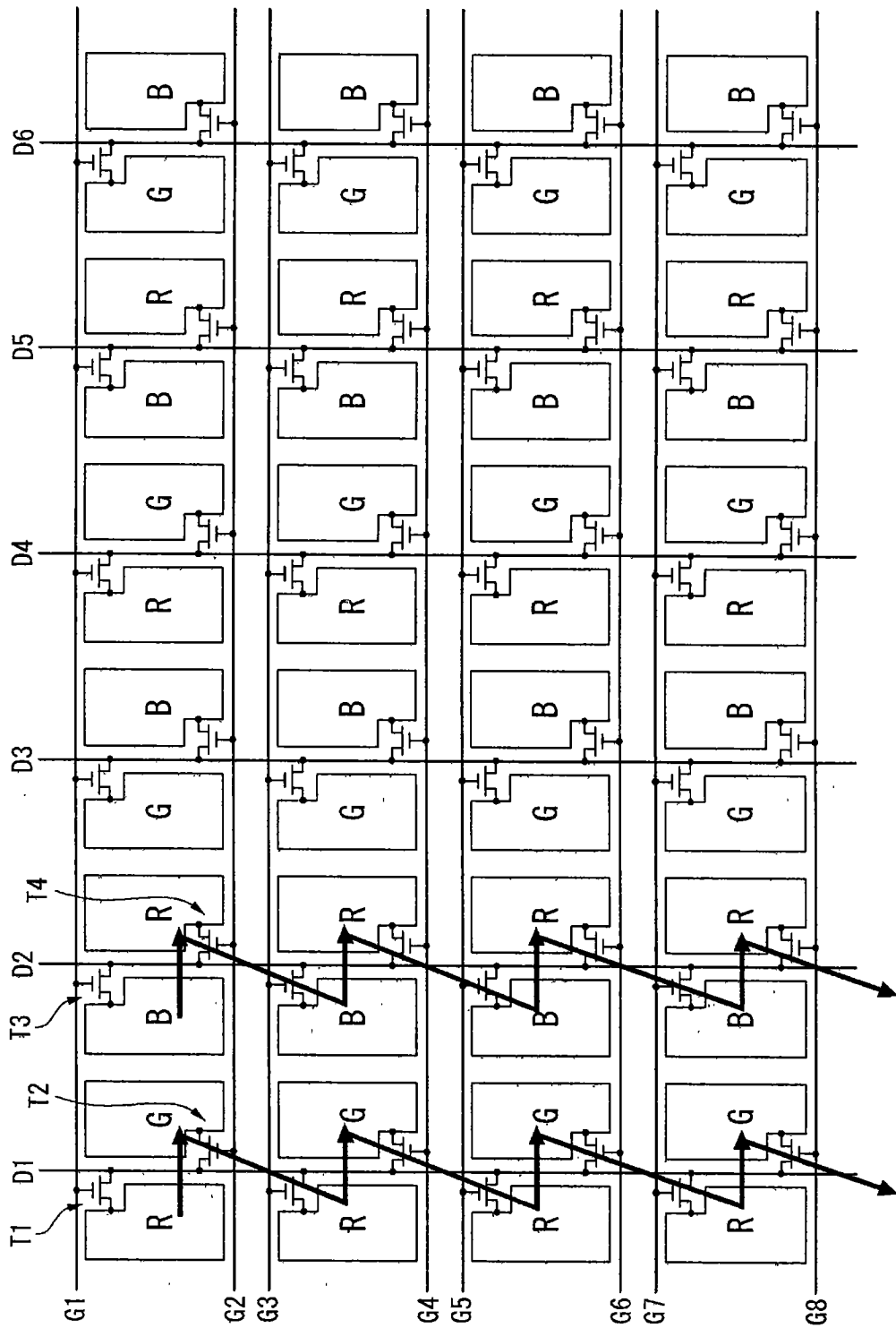


图 13

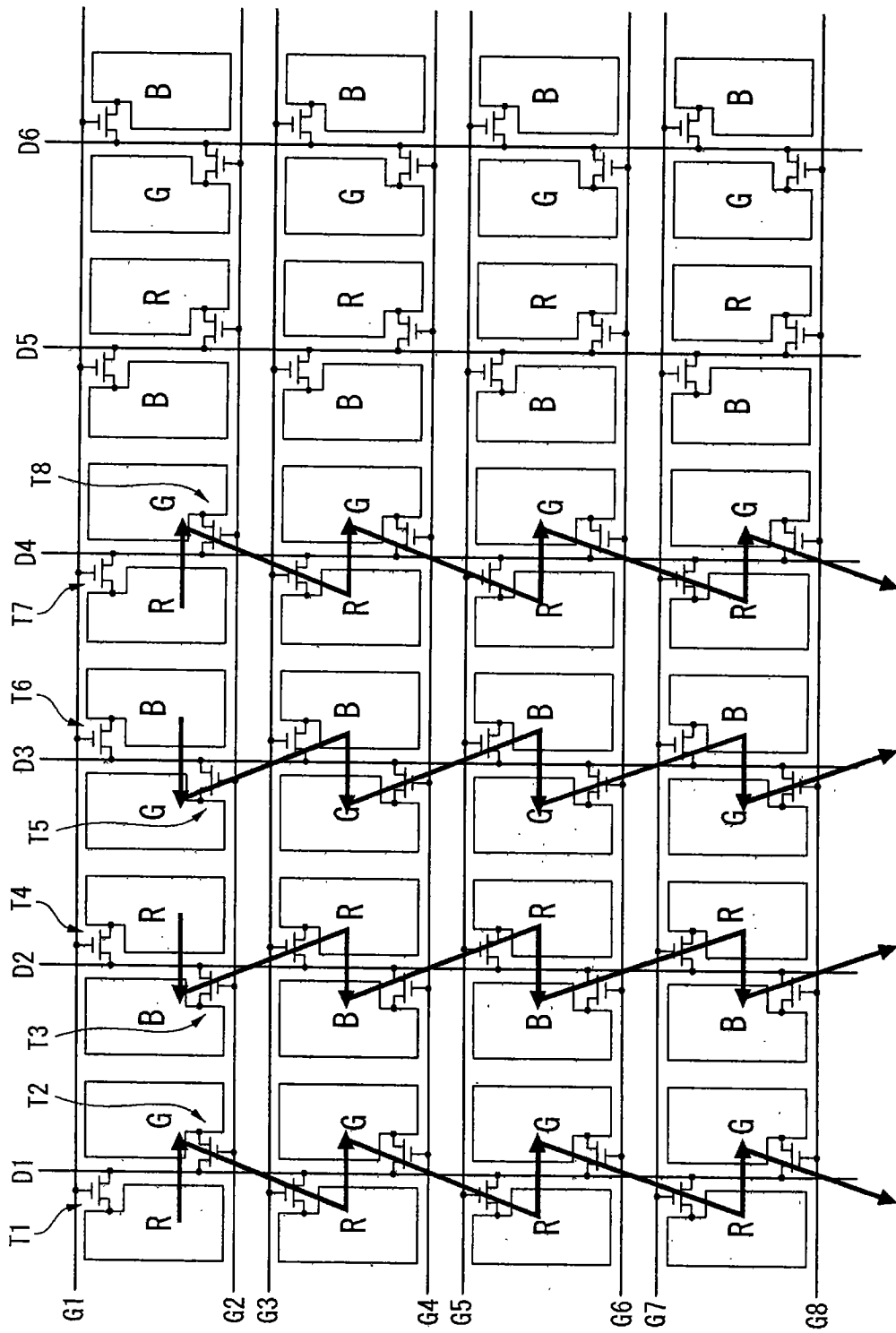


图 14

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">CN101930714B</a>	公开(公告)日	2013-02-13
申请号	CN200910247120.0	申请日	2009-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	裴珍晟 闵雄基 崔秉辰 李东学		
发明人	裴珍晟 闵雄基 崔秉辰 李东学		
IPC分类号	G09G3/36		
CPC分类号	G09G2300/0452 G09G2320/0204 G02F1/1362 G09G2320/0247 G09G3/3688 G09G3/3614 G09G3/36		
代理人(译)	李辉		
审查员(译)	罗朋		
优先权	1020090056065 2009-06-23 KR		
其他公开文献	CN101930714A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种液晶显示器。该液晶显示器包括：位于上基板和下基板之间的液晶层、根据m/2条数据线和2n条选通线的交叉结构以矩阵形式设置的m×n个液晶单元、以及分别连接到m×n个液晶单元的薄膜晶体管；数据驱动电路，其响应于极性控制信号向所述数据线提供数据电压；选通驱动电路，其向所述选通线顺序地提供选通脉冲；以及POL逻辑电路，其控制极性控制信号使得所述极性控制信号的相位每帧周期改变。

	R	G	B	R	G	B	R	G
第1帧	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
第2帧	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
第3帧	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
第4帧	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+