

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/1345 (2006.01)



[12] 发明专利说明书

专利号 ZL 02829099.2

[45] 授权公告日 2008 年 7 月 30 日

[11] 授权公告号 CN 100407018C

[22] 申请日 2002.9.18 [21] 申请号 02829099.2

[30] 优先权

[32] 2002.6.7 [33] KR [31] 2002/31803

[86] 国际申请 PCT/KR2002/001765 2002.9.18

[87] 国际公布 WO2003/104882 英 2003.12.18

[85] 进入国家阶段日期 2004.12.7

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 张钟雄

[56] 参考文献

US6307216B1 2001.10.23

US5754266A 1998.5.19

CN1255740A 2000.6.7

审查员 王志远

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚 彭焱

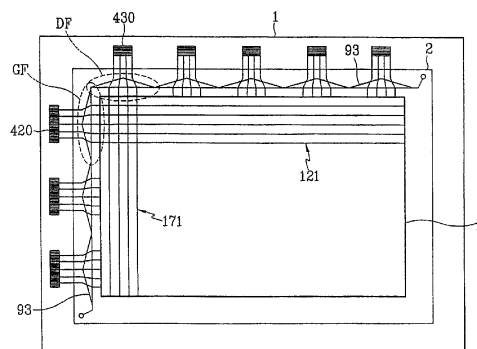
权利要求书 4 页 说明书 11 页 附图 5 页

[54] 发明名称

薄膜晶体管阵列面板

[57] 摘要

本发明提供了一种薄膜晶体管阵列面板，包括：多条栅极线，在绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；多条数据线，与栅极线绝缘交叉并与栅极线绝缘，各数据线包含用于与外部装置连接的焊盘；以及导体，与栅极线和数据线中至少之一重叠，其中栅极线或数据线与导体重叠的距离随着栅极线或数据线长度而减小。因此，将由于信号线长度的差异而致的 RC 延迟差进行补偿，从而减小 RC 延迟差。



1. 一种薄膜晶体管阵列面板，包括：
 - 绝缘基片；
 - 多条栅极线，在所述绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；
 - 多条数据线，与所述栅极线绝缘交叉并与所述栅极线绝缘，各数据线包含用于与外部装置连接的焊盘；以及
 - 导体，与所述栅极线和所述数据线中至少之一重叠，其中所述栅极线或所述数据线与所述导体重叠的距离随着所述栅极线或所述数据线的长度而减小。
2. 根据权利要求1所述的薄膜晶体管阵列面板，其中各数据线包括包含所述焊盘的焊盘区域、显示部、及连接所述显示部和所述焊盘区域的扇出区域，并且所述数据线的所述扇出区域的宽度随所述数据线的所述扇出区域的长度增加而增加。
3. 根据权利要求1所述的薄膜晶体管阵列面板，其中各栅极线包括包含所述焊盘的焊盘区域、显示部、及连接所述显示部和所述焊盘区域的扇出区域，并且所述数据线的所述扇出区域的宽度随所述数据线的所述扇出区域的长度增加而增加。
4. 根据权利要求1所述的薄膜晶体管阵列面板，其中所述导体被施加以共同电极电压。

5. 根据权利要求1所述的薄膜晶体管阵列面板,还包括定位于由所述栅极线和所述数据线的交叉限定的像素区域上的像素电极,其中所述导体包含与所述像素电极相同的层和相同的材料。
6. 根据权利要求1所述的薄膜晶体管阵列面板,其中所述导体与所述栅极线重叠,其中所述导体包含与所述数据线相同的层和相同的材料。
7. 根据权利要求1所述的薄膜晶体管阵列面板,其中所述导体与所述数据线重叠,其中所述导体包含与所述栅极线相同的层和相同的材料。
8. 根据权利要求1所述的薄膜晶体管阵列面板,其中所述导体包括与所述栅极线重叠的第一导电段和与所述数据线重叠的第二导电段,所述第一导电段包含与所述数据线相同的层和相同的材料,而所述第二导电段包含与所述栅极线相同的层和相同的材料。
9. 根据权利要求1所述的薄膜晶体管阵列面板,其中所述导体呈浮动状。
10. 一种薄膜晶体管阵列面板,包括:
 - 绝缘基片;
 - 多条栅极线,在所述绝缘基片上形成,各栅极线包含用于与外部装置连接的焊盘;
 - 栅极绝缘层,在所述栅极线上形成;
 - 多条数据线,在所述栅极绝缘层上形成且与所述栅极线交叉,各数据线包含用于与外部装置连接的焊盘;

钝化层，在所述数据线上形成；以及

导体，设置在扇出区域上，通过所述栅极绝缘层和所述钝化层中至少之一与所述栅极线和所述数据线中至少之一重叠，

其中所述栅极线或所述数据线与所述导体重叠的距离随着所述栅极线或所述数据线长度而减少。

11. 一种薄膜晶体管阵列面板，包括：

绝缘基片；

多条栅极线，在所述绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；

栅极绝缘层，在所述栅极线上形成；

多条数据线，在所述栅极绝缘层上形成且与所述栅极线交叉，各数据线包含用于与外部装置连接的焊盘；

钝化层，在所述数据线上形成；以及

导体，设置在扇出区域上，通过所述栅极绝缘层和所述钝化层中至少之一与所述栅极线重叠；

其中所述栅极线与所述导体重叠的距离随着所述栅极线长度而减少，

其中所述栅极线的 RC 延迟基本上彼此相同。

12. 一种薄膜晶体管阵列面板，包括：

绝缘基片；

多条栅极线，在所述绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；

栅极绝缘层，在所述栅极线上形成；

多条数据线，在所述栅极绝缘层上形成且与所述栅极线交叉，各数据线包含用于与外部装置连接的焊盘；

钝化层，在所述数据线上形成；以及

导体，设置在扇出区域上，通过所述栅极绝缘层和所述钝化层中至少之一与所述数据线重叠；

其中所述数据线与所述导体重叠的距离随着所述数据线长度而减少，

其中所述数据线的 RC 延迟基本上彼此相同。

薄膜晶体管阵列面板

技术领域

本发明涉及一种薄膜晶体管阵列面板，特别是涉及一种包含在显示区域和焊盘区域之间设置有连接信号线和焊盘的连接部的扇出区域的薄膜晶体管阵列面板。

背景技术

通常，将用于液晶显示器或有机电致发光（“EL”）显示器的薄膜晶体管阵列面板（“TFT”）用作以独立方式驱动各像素的电路板。薄膜晶体管阵列面板包括传输扫描信号的扫描信号布线或栅极布线、传输图像信号的图像信号布线或数据布线、与栅极布线和数据布线连接的薄膜晶体管、与薄膜晶体管连接的像素电极、覆盖栅极布线用于绝缘的栅极绝缘层、以及覆盖薄膜晶体管和数据布线用于绝缘的钝化层。薄膜晶体管包括为栅极布线一部分的栅极、形成通道的半导体层、为数据布线一部分的源极和漏极、栅极绝缘层、以及钝化层。薄膜晶体管是一种用于响应来自栅极布线的扫描信号将图像信号从数据布线传输到像素电极的开关元件。

将多个驱动集成电路（“IC”）与薄膜晶体管阵列面板连接用于向栅极线和数据线施加驱动信号。驱动集成电路通过焊盘与栅极线或数据线连接，将该焊盘在狭窄区域集束用于与驱动集成电路连接。相反，位于显示区域的多条栅极线或多条数据线之间的距离由像素的尺寸确定，从而具有比焊盘之间的距离大的值。因此，将多条信号线之间距离逐渐增加的扇出区域设置在焊盘区域和显示区

域之间。扇出区域导致多条信号线之间的长度差异，从而造成多条信号线之间不同的 RC 延迟。RC 延迟差导致图像的差异，从而使像质变差。

发明内容

本发明的目的在于减小薄膜晶体管阵列面板的信号线之间的 RC 延迟差。

为了实现本发明目的，提供了一种具有根据与信号线重叠的长度而变化宽度的导体。

根据本发明的一具体实施例，提供了一种薄膜晶体管阵列面板，包括：绝缘基片；多条栅极线，在绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；多条数据线，与栅极线绝缘交叉并与栅极线绝缘，各数据线包含用于与外部装置连接的焊盘；以及导体，与栅极线和数据线中至少之一重叠，其中栅极线或数据线与导体重叠的距离随着栅极线或数据线的长度而减小。

优选地，各数据线包括包含焊盘的焊盘区域、显示部、及连接显示部和焊盘区域的扇出区域，并且数据线的扇出区域的宽度随数据线的扇出区域的长度增加而增加。优选地，各栅极线包括包含焊盘的焊盘区域、显示部、及连接显示部和焊盘区域的扇出区域，并且数据线的扇出区域的宽度随数据线的扇出区域的长度增加而增加。优选地，导体被施加以共同电极电压。优选薄膜晶体管阵列面板还包括定位于由栅极线和数据线的交叉限定的像素区域上的像素电极，其中导体包含与像素电极基本相同的层和相同的材料。

导体可以与栅极线重叠，其中导体包含与数据线基本相同的层和相同的材料。导体可以与数据线重叠，其中导体包含与栅极线基本相同的层和相同的材料。导体包括与栅极线重叠的第一导电段和

与数据线重叠的第二导电段，第一导电段包含与数据线相同的层和相同的材料，而第二导电段包含与栅极线相同的层和相同的材料。该导体可以呈浮动状。

根据本发明的另一具体实施例，提供了一种薄膜晶体管阵列面板，包括：绝缘基片；多条栅极线，在绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；栅极绝缘层，在栅极线上形成；多条数据线，在栅极绝缘层上形成且与栅极线交叉，各数据线包含用于与外部装置连接的焊盘；钝化层，在数据线上形成；以及导体，设置在扇出区域上，通过栅极绝缘层和钝化层中至少之一与栅极线和数据线中至少之一重叠。

优选的是，栅极线或数据线与导体重叠的距离随着栅极线或数据线长度而减少。优选地，栅极线的 RC 延迟基本上彼此相同，并且数据线的 RC 延迟基本上彼此相同。

附图说明

图 1 是根据本发明实施例的薄膜晶体管阵列面板的布局图；

图 2 是根据本发明第一实施例的薄膜晶体管阵列面板的扇出区域信号线的布局图；

图 3 是根据本发明第二实施例的薄膜晶体管阵列面板的扇出区域信号线的布局图；

图 4 是根据本发明第一及第二实施例的薄膜晶体管阵列面板的扇出区域上信号线的 RC 延迟与传统薄膜晶体管阵列面板相比较的曲线图；

图 5 是根据本发明第三实施例的薄膜晶体管阵列面板的扇出区域中信号线的布局图；

图 6 是根据本发明第四实施例的薄膜晶体管阵列面板的扇出区域中信号线的布局图；

图 7A 是示出根据传统的薄膜晶体管阵列面板的扇出区域中信号线的 RC 延迟的曲线图；

图 7B 是示出根据本发明第三实施例的薄膜晶体管阵列面板的扇出区域中信号线的 RC 延迟的曲线图；

图 7C 是根据本发明第四实施例的薄膜晶体管阵列面板的扇出区域中信号线的 RC 延迟的曲线图；

图 8 是根据本发明第五实施例的薄膜晶体管阵列面板的栅极扇出区域上信号线的截面图；

图 9 是根据本发明第六实施例的薄膜晶体管阵列面板的栅极扇出区域上信号线的截面图；

图 10 是根据本发明第七实施例的薄膜晶体管阵列面板的数据扇出区域上信号线的截面图；以及

图 11 是根据本发明第八实施例的薄膜晶体管阵列面板的数据扇出区域上信号线的截面图。

具体实施方式

为了使本领域技术人员能够实施本发明，现参照附图详细说明本发明的实施例，但是本发明可表现为不同形式，它不局限于在此说明的实施例。

在图中，为了明确表现各层及区域，扩大其厚度来表示，在全篇说明书中对类似元件附上相同的标号，当提到层、膜、区域、或基片等部分在别的元件“之上”时，它是指“直接”位于别的元件之上，也包括其间夹有别的元件的情况，相反，当某个部分“直接”位于别的元件之上时，指其间并无别的元件。

现在，参照附图详细说明根据本发明实施例的用于液晶显示器的面板，其对于本领域技术人员来说容易进行实施。

参照图 1 说明根据本发明的薄膜晶体管阵列面板结构，图 1 示出了包括根据本发明实施例的薄膜晶体管阵列面板的液晶显示器。

包含根据本发明实施例的薄膜晶体管的液晶显示器包括彼此面对的薄膜晶体管阵列面板 1 及滤色器面板 2 以及置于面板 1 和 2 之间的液晶层（未示出）。

就滤色器面板 2 而言，设置多个红、绿、蓝滤色器（未示出）、限定多个像素区域的黑阵（未示出）、以及共同电极（未示出）。

根据本发明实施例的薄膜晶体管阵列面板 1 包括沿横向延伸并传输扫描信号的多条栅极线 121、与栅极线 121 交叉以限定多个像素区域并传输图像信号的多条数据线 171、以矩阵形态定位于像素区域并由诸如氧化铟锡（ITO）和氧化铟锌（IZO）这样的透明导电材料或反射性导电材料组成的像素电极（未示出）、以及定位于栅极线 121 和数据线 171 的交叉部并与栅极线 121 和数据线 171 连接以相应扫描信号控制施加于像素电极的图像信号的薄膜晶体管（未示出）。

此时，薄膜晶体管阵列面板 1 包括用于显示图像的显示区域 D、多个数据焊盘区域和多个扇出区域 GF、以及位于显示区域和焊盘区域之间的 DF。显示区域 D 包括由信号线 121 和 171 的交叉限定

的像素区域。各焊盘区域设置有用将扫描信号从外部装置传输到栅极线 121 的多个栅极焊盘（未示出）或用于将图像信号从外部装置传输到数据线 171 的多个数据焊盘（未示出）。设置各扇出区域用于将栅极线 121 和数据线 171 与集束（clustered）焊盘连接。

尽管在滤色器面板 2 上设置了本实施例中的黑阵和共同电极，可将它们设置在薄膜晶体管阵列面板 1 上。

将焊盘区域与通过外部导线连接（out lead bonding）（OLB）安装的多个栅极驱动集成电路（“IC”）420 和多个数据驱动集成电路 430 连接。在扇出区域 GF 和 DF 上设置多个导体 93 且与栅极线 121 或数据线 171 重叠。将导体 93 与共同电极连接以减小由于扇出区域 GF 和 DF 上信号线 121 和 171 之间长度差而致的 RC 延迟。可供选择地，导体 93 呈浮动状。各导体 93 的宽度根据信号线 121 和 171 长度而变化。即，该宽度随着与导体 93 重叠的信号线 121 和 171 的长度减小而增加。

下面将更详细地说明根据本发明实施例的薄膜晶体管阵列面板的扇出区域。

实施例示出了一种典型的将芯片固定于玻璃（“COG”）型液晶显示器，在此，将栅极驱动集成电路 420 和数据集成电路 430 利用 OLB 直接安装于薄膜晶体管阵列面板 1 上。可供选择地，将驱动集成电路 420 和 430 安装在单独的 TCP 或膜上（带载封装（“TCP”））。

图 2 是根据本发明第一实施例的薄膜晶体管阵列面板扇出区域信号线布局图。

根据本发明第一实施例的薄膜晶体管阵列面板的信号线 121 和 171 宽度彼此相同且信号线 121 和 171 与导体 93 重叠。各导体 93 的宽度在与多条信号线 121 和 171 中最短的一条信号线重叠处最宽

并随与导体 93 重叠的信号线 121 和 171 长度增加而变窄。当将在扇出区域上以一个集成电路连接的一组信号线 L1-Ln 进行对称排列时，导体 93 在中央处最宽且其越接进端部变得越窄。

导体 93 包含由诸如 ITO 或 IZO 这样的透明导电材料组成的与像素电极相同的层。可供选择地，导体 93 优选由铝合金组成。导体 93 可以包含与信号线 121 和 171 相同的层。优选地，与栅极布线 121 重叠的导体 93 包含与数据布线 171 相同的层以由与数据线 171 相同的材料组成，同时，优选地，与数据线 171 重叠的导体 93 包含与栅极线 121 相同的层以由与栅极线 121 相同的材料组成。

将导体 93 通过集成电路 (IC) 的假插头 (dummy pin) 与共同电压连接。

导体 93 和信号线之间电容补偿多条信号线之间的电阻和电容。

图 3 是根据本发明第二实施例的薄膜晶体管阵列面板的扇出区域信号线布局图。

在根据本发明第二实施例的薄膜晶体管阵列面板上设置与信号线 121 和 171 重叠的多个导体 93。与第一实施例相同，各导体 93 的宽度在与多条信号线 121 和 171 中最短的一条信号线重叠处最宽并随与导体 93 重叠的信号线 121 和 171 长度增加而变窄。当将在扇出区域上以一个集成电路连接的一组信号线 L1-Ln 进行对称排列时，导体 93 在中央处最宽且其越接进端部变得越窄。此外，与，将在扇出区域上域一个集成电路连接的一组信号线 L1-Ln 按照与第一实施例相同方式进行对称排列。

不同地，信号线 121 和 171 的宽度以与其长度成比例地提高。与其长度成比例的宽度的增长是为了使信号线 121 和 171 的电阻相等。例如，在扇出区域包含较长部分的高电阻信号线通过这种结构

进行补偿。在具有与根据本实施例的一个集成电路连接的对称排列的信号线 L1-Ln 的扇出区域中，信号线的宽度随靠近中央而增加而随靠近端部而减小。

若形成导体 93 的同时与信号线 121 和 171 长度成比例增加信号线 121 和 171 宽度，导体 93 补偿电容差，同时通过信号线 121 和 171 宽度变化补偿电阻差，以更均匀地形成 RC 延迟。

只改变信号线宽度可以在一定程度上补偿 RC 延迟。然而，由曝光机分辨率产生的信号线之间距离边界值、由蚀刻误差产生的信号线宽度边界值、液晶显示器中按照单元进行截断时可能产生的信号线截断等，这些限制改变信号线宽度。因此，只改变信号线宽度，不能充分补偿信号线之间的 RC 延迟差。

图 4 是根据本发明第一及第二实施例的薄膜晶体管阵列面板扇出区域中信号线 RC 延迟与传统薄膜晶体管阵列面板相比的曲线图。在图 4 中，横轴示出与一个集成电路连接的信号线位置。例如，L1 和 Ln 分别示出了最左端和最右端信号线。

图 4 所示的最低下的曲线示出了无任何补偿 RC 延迟手段的薄膜晶体管阵列面板信号线 RC 延迟。其中间曲线如同第一实施例，示出形成导体 93 时的 RC 延迟，几乎接近直线的最上面曲线如同第二实施例，示出形成导体 93 的同时改变信号线宽度时的 RC 延迟。

由图 4 可知，形成导体 93 的同时改变信号线宽度，以形成均匀的 RC 延迟。

图 5 是根据本发明第三实施例的薄膜晶体管阵列面板的扇出区域的信号线布局图。

根据第三实施例，与一个集成电路连接的信号线 121、171 在扇出区域呈非对称状。如同第一实施例，导体 93 宽度其重叠布线 121、171 长度越长则越窄。在这种原则下，导体 93 形态可以根据扇出区域中信号线 121、171 的排列具有多种形态。

图 6 是根据本发明第四实施例的薄膜晶体管阵列面板的扇出区域信号线布局图。

根据第四实施例，与一个集成电路连接的布线 121、171 在扇出区域呈非对称状。如同第二实施例，导体 93 宽度其重叠的信号线 121、171 长度越长则越窄，信号线 121、171 宽度其长度越长则越宽。在这种原则下，导体 93 形态和信号线宽度变化根据在扇出区域中信号线 121、171 的排列具有多种形态。

图 7A 是示出根据传统的薄膜晶体管阵列面板的扇出区域中信号线的 RC 延迟的曲线图，图 7B 是示出根据本发明第三实施例的薄膜晶体管阵列面板的扇出区域中信号线的 RC 延迟的曲线图，而图 7C 是根据本发明第四实施例的薄膜晶体管阵列面板的扇出区域中信号线的 RC 延迟的曲线图。

如图 7A 所示，当 RC 延迟大幅度改变时，其不连续点在液晶显示器的画面上显示为不连续线，使像质恶化。图 7B 及图 7C 所示，形成导体 93，同时改变信号线宽度，以减少 RC 延迟的变动宽度，防止像质恶化。

下面，参照附图说明根据本发明的扇出区域的截面结构。

图 8 是根据本发明第五实施例的薄膜晶体管阵列面板的栅极扇出区域上信号线的截面图。

在绝缘基片 110 上形成多个栅极线 121，在栅极线 121 上形成栅极绝缘层 140。在栅极绝缘层 140 上形成由数据线（未示出）相同材料组成的导体 93，在导体 93 上形成钝化层 180。钝化层 180 上形成像素电极（未示出）。

图 9 是根据本发明第六实施例的薄膜晶体管阵列面板的栅极扇出区域上信号线的截面图。

第六实施例与第五实施例不同，在钝化层 180 上由与像素电极（未示出）相同材料形成导体 93。

图 10 是根据本发明第七实施例的薄膜晶体管阵列面板的数据扇出区域上信号线的截面图。

由绝缘基片 110、栅极（未示出）相同材料形成导体 93，在导体 93 和栅极线上形成栅极绝缘层 140。在栅极绝缘层 140 上形成多条数据线 171，在数据线 171 上形成钝化层 180。在钝化层 180 上形成像素电极（未示出）。

图 11 是根据本发明第八实施例的薄膜晶体管阵列面板的数据扇出区域上信号线的截面图。

第八实施例与第七实施例不同，在钝化层 180 上由与像素电极（未示出）相同材料形成导体 93。

根据本发明，由于在薄膜晶体管阵列面板的扇出区域上信号线的不同长度而致的 RC 延迟差通过设置导体和微分信号线的宽度进行补偿。

以上所述仅为本发明的优选实施例而已，并不用于限制本发明，对于本领域的技术人员来说，本发明可以有各种更改和变化。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

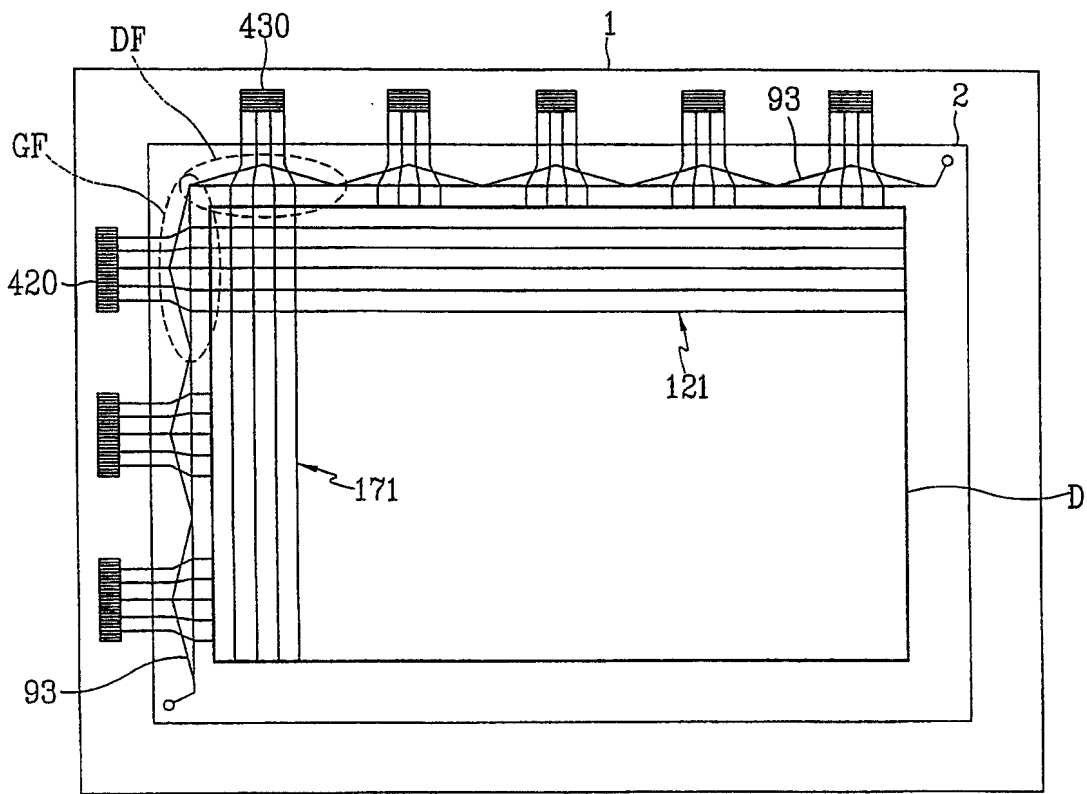


图 1

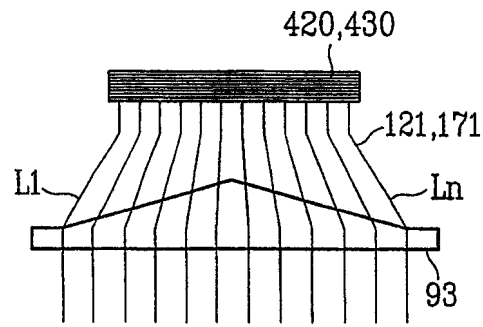


图 2

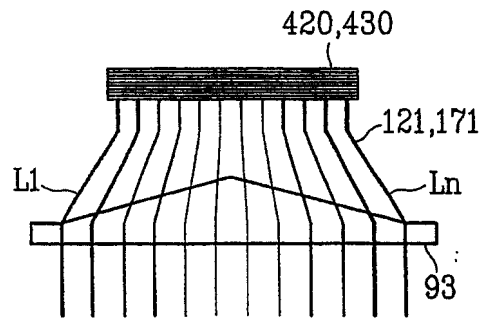


图 3

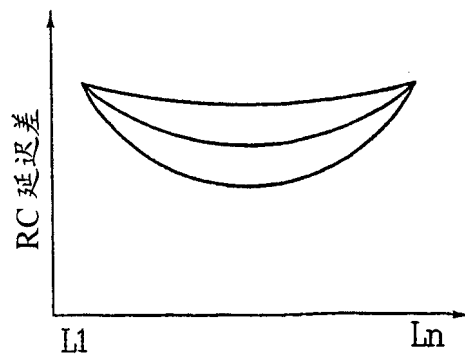


图 4

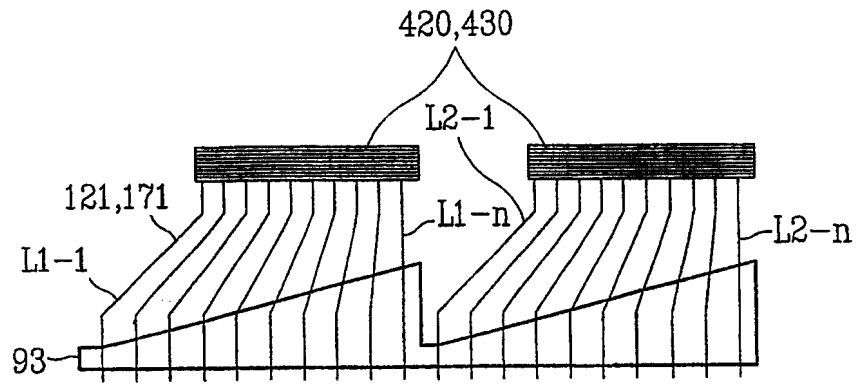


图 5

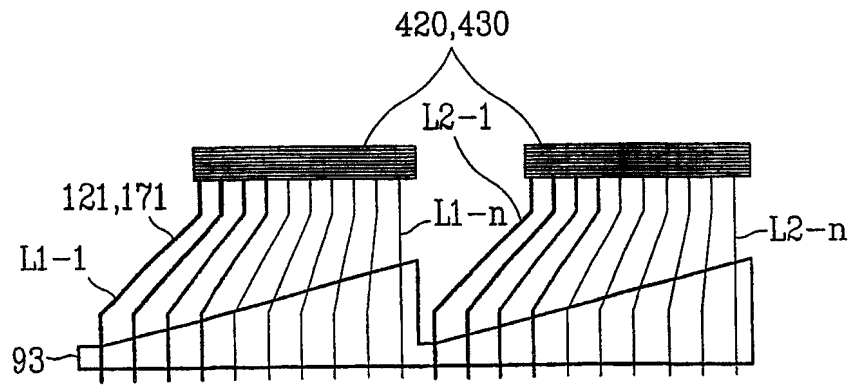


图 6

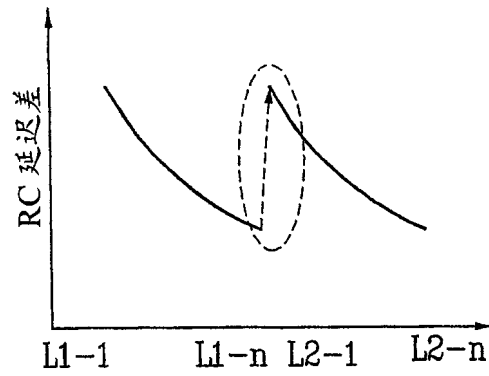


图 7A

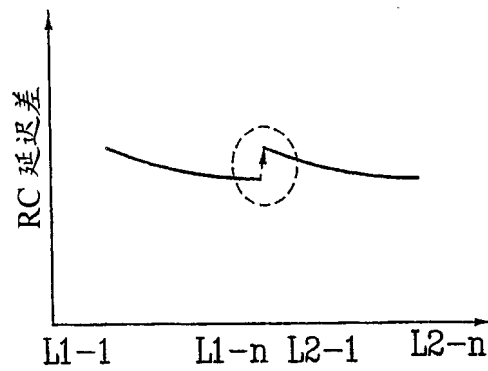


图 7B

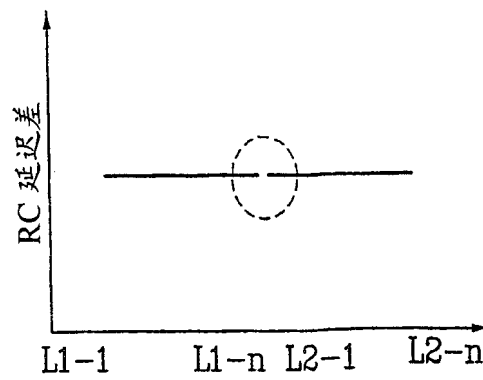


图 7C

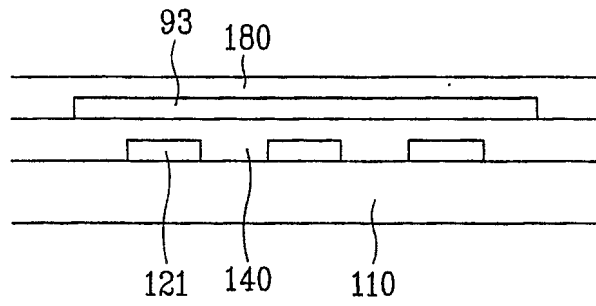


图 8

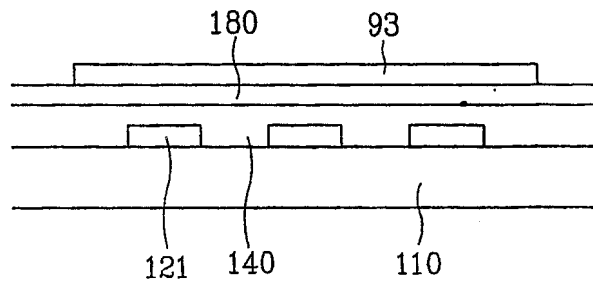


图 9

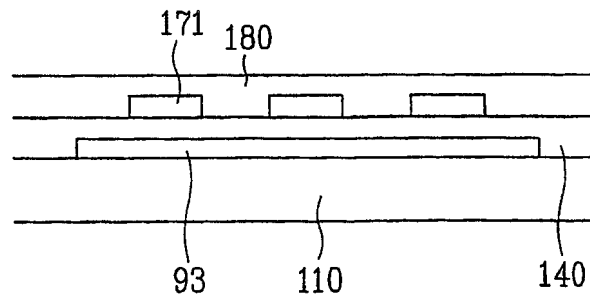


图 10

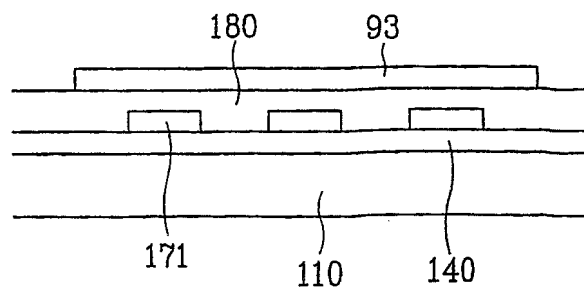


图 11

专利名称(译)	薄膜晶体管阵列面板		
公开(公告)号	CN100407018C	公开(公告)日	2008-07-30
申请号	CN02829099.2	申请日	2002-09-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	张钟雄		
发明人	张钟雄		
IPC分类号	G02F1/1345 G02F1/1368 G09F9/30 G09G3/36 G11C11/34 H01L23/528		
CPC分类号	G09G3/3611 H01L23/528 G02F1/1345 G09G2320/0223 G09G2300/0426 H01L2924/0002 H01L2924/00		
代理人(译)	余刚 彭焱		
审查员(译)	王志远		
优先权	1020020031803 2002-06-07 KR		
其他公开文献	CN1628263A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种薄膜晶体管阵列面板，包括：多条栅极线，在绝缘基片上形成，各栅极线包含用于与外部装置连接的焊盘；多条数据线，与栅极线绝缘交叉并与栅极线绝缘，各数据线包含用于与外部装置连接的焊盘；以及导体，与栅极线和数据线中至少之一重叠，其中栅极线或数据线与导体重叠的距离随着栅极线或数据线长度而减小。因此，将由于信号线长度的差异而致的RC延迟差进行补偿，从而减小RC延迟差。

