

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

G09F 9/35 (2006.01)

H01L 29/786 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510082434.1

[45] 授权公告日 2008 年 7 月 9 日

[11] 授权公告号 CN 100401175C

[22] 申请日 2005.6.30

[21] 申请号 200510082434.1

[30] 优先权

[32] 2004.12.31 [33] KR [31] 10-2004-0118456

[73] 专利权人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 张容豪 金 彬 文秀焕 赵南旭

尹洙荣

[56] 参考文献

JP2002-99263A 2002.4.5

JP2001-228830A 2001.8.24

US2004/0233231A1 2004.11.25

CN1113267C 2003.7.2

JP2002-149126A 2002.5.24

审查员 王志远

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李 辉

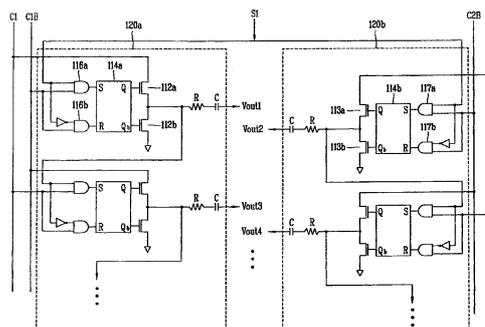
权利要求书 2 页 说明书 11 页 附图 9 页

[54] 发明名称

液晶显示器件

[57] 摘要

一种液晶显示(LCD)器件,包括:液晶板,具有多个由多条选通线和数据线限定的像素,并且具有为每个像素配置薄膜晶体管所形成的像素区;选通驱动单元,其由非晶半导体形成,并形成在所述液晶板上,用于将脉冲宽度大于所述像素区中薄膜晶体管的导通时间的扫描信号输入到所述选通线;以及数据驱动单元,与所述数据线相连接,用于将图像信号输入到所述数据线。



1、一种液晶显示器件，所述液晶显示器件包括：

液晶板，具有由多条选通线和数据线限定的多个像素，并且具有为每个像素配置薄膜晶体管所形成的像素区；

选通驱动单元，其由非晶半导体形成，并形成在所述液晶板上，用于将脉冲宽度大于所述像素区中薄膜晶体管的导通时间的扫描信号输入到所述选通线；以及

数据驱动单元，与所述数据线相连接，用于将图像信号输入到所述数据线，

其中，所述选通驱动单元包括：

用于将扫描信号施加到奇数编号的选通线的第一选通驱动单元；以及用于将扫描信号施加到偶数编号的选通线的第二选通驱动单元。

2、根据权利要求1所述的液晶显示器件，其中所述第一选通驱动单元和第二选通驱动单元分别顺序地输出同步信号。

3、根据权利要求1所述的液晶显示器件，其中从所述第一选通驱动单元和第二选通驱动单元输出的、且施加给相邻选通线的扫描信号具有相互交叠的脉冲宽度。

4、根据权利要求3所述的液晶显示器件，其中施加给相邻选通线的扫描信号具有相互交叠差不多半个周期的脉冲宽度。

5、根据权利要求1所述的液晶显示器件，其中所述第一选通驱动单元和第二选通驱动单元分别包括：

用于输出时钟信号的时钟信号生成单元，以及

多个移位寄存器，其根据从所述时钟信号生成单元输入的时钟信号来产生输出电压。

6、根据权利要求5所述的液晶显示器件，其中所述移位寄存器被提供启动信号。

7、根据权利要求6所述的液晶显示器件，其中输入到第二级之后的所述移位寄存器的启动信号是前一级的输出电压。

8、根据权利要求5所述的液晶显示器件，其中所述第一选通驱动单元和第二选通驱动单元输出具有部分相互交叠的脉冲的时钟信号。

9、根据权利要求1所述的液晶显示器件，其中所述第一选通驱动单元和第二选通驱动单元排列在所述液晶板的两侧，从而将所述信号施加到奇数编号的选通线和偶数编号的选通线。

液晶显示器件

技术领域

本发明涉及一种液晶显示（LCD）器件，更具体地，涉及一种 LCD 器件，能够通过增加施加给选通线的扫描信号的置位脉冲宽度，来防止由于信号降低而引起的劣化（inferiority）。

背景技术

液晶显示（LCD）器件是一种透明的平板显示器件，广泛应用于各种电子装置，诸如移动电话、PDA、笔记本电脑等。由于 LCD 器件具有轻、薄、短、小的特征，并且能够实现高的图像质量，所以在实际生活中有着比其它平板显示器件更多的应用。此外，随着数字 TV、高图像质量的 TV、墙式安装的 TV 需求的日益增加，正在对应用于这些 TV 的大 LCD 进行更加积极地研究。

按照驱动液晶分子的方法将 LCD 器件划分为若干种器件。在该若干种器件中，有源矩阵薄膜晶体管 LCD 器件由于快速响应时间和较少残留图像的原因而被主要使用。

图 1 示出了 TFT LCD 板的结构。如图所示，在液晶板 1 上形成多条水平和垂直排列的用于限定多个像素的选通线 3 和数据线 5。在各个像素中排列有薄膜晶体管，即开关元件，在通过选通线 3 将扫描信号输入到像素时，这些开关元件开关，从而将通过数据线 5 输入的图像信号施加到液晶层 9。附图标记 11 表示存储电容器，用于在下一个扫描信号输入到像素之前维持输入的数据信号。

将来自选通驱动单元 20 的扫描信号施加给选通线 3，同时将来自数据驱动单元 34 的图像信号施加给数据线 5。通常，选通驱动单元 20 和数据驱动单元 34 形成为驱动器集成电路（IC），并且排列在液晶板 1 的外部。然而，近来，正在对选通驱动单元 20 一体形成在液晶板上的 LCD 器

件进行积极的研究。当选通驱动单元 20 一体形成在液晶板 1 上时，可减小该 LCD 器件的体积，而且还可以降低制造成本。

数据驱动单元 34 被安装在用于使液晶板 1 和印刷电路板 36 相连接的柔性电路板 30 上，并且通过数据线 5 将图像信号施加到液晶层 9 上。在印刷电路板 36 上形成有定时控制器和线路。

图 2 示意性地示出了选通驱动单元 20 的结构。如图所示，选通驱动单元 20 具有多个移位寄存器 22。信号顺序地从移位寄存器 22 输出并且施加到选通线 G1 到 Gn。移位寄存器 22 与时钟生成单元 24 相连，从而可以将从时钟生成单元 24 产生的时钟信号施加给移位寄存器 22。将启动电压输入到移位寄存器 22，并且在第一个移位寄存器之后，将前一个移位寄存器的输出信号作为启动电压输入到下一个移位寄存器。

图 3 是一个波形图，示出了输入到移位寄存器的启动信号 S、时钟信号 C1、C2、C3 和 C4，以及从移位寄存器 22 输出的输出电压 Vout1 到 Voutn。当分别将启动信号 S 和时钟信号 C1、C2、C3 和 C4 输入到各级移位寄存器时，各级的移位寄存器 22 输出信号 Vout1 到 Voutn，从而顺序地将这些输出信号施加给选通线。

选通驱动单元与液晶板部分一体形成。即，移位寄存器 22 一体形成在具有液晶板部分的基底上。因此，与在液晶板部分的像素区上形成薄膜晶体管（开关元件）相类似，通过光刻来形成构成移位寄存器 22 的晶体管等。通常通过使用非晶硅来制造晶体管。具有使用非晶硅制造的晶体管的移位寄存器所应用的选通驱动单元存在下面的问题。

当来自移位寄存器 22 的输出电压作为扫描信号施加到像素区中的薄膜晶体管时，该薄膜晶体管导通，同时，从数据驱动单元施加的图像信号通过被导通的薄膜晶体管的沟道对存储电容器充电（charge）。即，在如图 3 所示的矩形波输出电压的第一个周期中（1H，即液晶板的薄膜晶体管导通的周期或将信号施加给像素的时间），信号被施加给液晶层，同时信号对存储电容器充电。

通常，已知非晶硅具有低的场效应迁移率。低的场效应迁移率妨碍了施加给像素区中薄膜晶体管的扫描信号（即移位寄存器的输出电压）

成为良好的矩形波。如图 4 所示，信号上升的时间和信号下降的时间均被延迟，从而在理想的矩形波上形成下降的尾部区域 (tail region)。该矩形波使得薄膜晶体管的导通时间减少，从而降低了图像信号对液晶板充电的有效时间，因此使得 LCD 器件的图像质量恶化。

随着 LCD 器件分辨率的提高，用于充电图像信号的时间减少了。例如，就 QVGA-LCD 器件来说，在一个像素中对图像信号充电的时间大约为 $60\mu\text{sec}$ 。与此相对应的，就具有高分辨率的 XGA-LCD 器件来说，用于在一个像素中对图像信号充电的时间大约为 $20\mu\text{sec}$ 。随着充电时间减少，由低的场效应迁移率引起的扫描信号的降低使得有效充电时间减少得更多。所以，在高分辨率的情况下，LCD 器件的图像质量下降得更多。

为了解决因低的场效应迁移率引起的问题，就不得不将薄膜晶体管制造为具有非常大的尺寸（例如，数千个 μm ）。然而，由于用于形成选通驱动单元的区域被大大增加，该方法实际上是不可能的。

发明内容

因此，本发明的一个目的是提供一种 LCD 器件，能够通过将扫描信号的脉冲宽度增加为超过薄膜晶体管的导通时间，来防止由于信号降低而引起的劣化，该扫描信号通过选通线施加到像素区内的薄膜晶体管。

本发明的另一个目的是提供一种 LCD 器件，在不增加 LCD 尺寸或制造成本的前提下，能够通过将交叠的扫描信号施加给相邻的选通线，来有效地防止由于信号降低而引起的劣化。

为了实现这些和其它的优点并根据本发明的目的，如这里所具体实现和广义描述的，提供了一种 LCD 器件，包括：液晶板，具有多个由多条选通线和数据线限定的像素，并且具有通过为每个像素提供薄膜晶体管所形成的像素区；在液晶板上形成的选通驱动单元，用于将扫描信号输入到所述选通线，所述扫描信号具有大于像素区中薄膜晶体管的导通时间的脉冲宽度；以及连接到数据线的数据驱动单元，用于将图像信号输入到所述数据线。

选通驱动单元包括：用于将扫描信号施加到奇数编号的选通线的第

一选通驱动单元；以及用于将扫描信号施加到偶数编号的选通线的第二选通驱动单元。所述第一选通驱动单元和第二选通驱动单元分别顺序地输出同步信号，并且从所述第一和第二驱动单元输出并施加给相邻选通线的扫描信号的脉冲宽度相互交叠。

第一选通驱动单元和第二选通驱动单元分别包括：用于输出时钟信号的时钟信号生成单元；以及多个移位寄存器，其根据从所述时钟信号生成单元输入的时钟信号来输出输出电压。所述移位寄存器包括：在其输出端上形成的第一和第二晶体管；连接到第一和第二晶体管的每一个栅极的触发器（flip flop）；以及逻辑门，用于接收时钟信号和启动信号并且将这些信号施加到所述触发器。

根据下面结合附图对本发明的详细描述，本发明的前述和其它的目的、特征、方面和优点将变得更加显而易见。

附图说明

所包括的附图用于进一步理解本发明，其结合在此构成说明书一部分，举例说明了本发明的实施例，并且与说明书一起用于解释本发明的原理。

在附图中：

图 1 是示出了一般的液晶显示（LCD）器件的平面图；

图 2 是示出了根据现有技术的 LCD 器件的选通驱动单元的结构框图；

图 3 是示出了图 2 中选通驱动单元的波形图；

图 4 是示出了根据现有技术的来自选通驱动单元的输出电压脉冲的波形图；

图 5 是示出了根据本发明的 LCD 器件的选通驱动单元的波形图；

图 6 是示出了从根据现有技术的选通驱动单元输出的扫描信号脉冲的波形图，以及示出了从根据本发明的选通驱动单元输出的扫描信号脉冲的波形图；

图 7 示出了根据本发明的 LCD 器件；

图 8 是示出了根据本发明的 LCD 器件的选通驱动单元的结构框图；图 9 是示出了根据本发明的 LCD 器件的选通驱动单元的电路图；以及图 10 是示出了图 9 中选通驱动单元的波形图。

具体实施方式

现在将参照附图中示出的示例详细地描述本发明的优选实施例。

为了防止施加到像素区中形成的薄膜晶体管的扫描信号失真（即由于信号降低而引起的输出波的尾部），使用如下的方法。第一，增加薄膜晶体管的尺寸，从而将较低的场效应迁移率的影响减到最小。第二，以多晶硅而不是非晶硅来形成薄膜晶体管，从而增加场效应迁移率。第一种方法实际上是不可能的，因为随着薄膜晶体管尺寸的增加，一体形成在液晶板上的选通驱动单元的尺寸也会增加。第二种方法实际上是可能的但并不很好，这是因为其制造成本高、制造工艺复杂。

本发明通过最简单的方法来防止施加给选通线的扫描信号失真。即，本发明在不使用多晶硅也不增加选通驱动单元尺寸的情况下，来防止施加给选通线的扫描信号失真。

扫描信号的失真减少了薄膜晶体管（即像素区中的开关元件）的导通时间，从而缩短了像素中充电源信号的时间（薄膜晶体管的导通时间）。因此，如果薄膜晶体管的导通时间保持一设定时间，则不需要对半导体层进行结晶或增加薄膜晶体管尺寸。

在本发明中，对薄膜晶体管的导通时间，即施加到薄膜晶体管（像素区中的开关元件）的扫描信号的宽度进行控制，从而完全导通薄膜晶体管一段预定时间，以此防止 LCD 器件的劣化。

图 5 示出了从移位寄存器输出的、且通过选通线施加给像素区中的薄膜晶体管的输出电压（即扫描信号， V_{out1} 、 V_{out2} 、 V_{out3} 和 V_{out4} ）。各个输出电压都被输入到各个选通线，从而对连接到各个选通线的各个薄膜晶体管进行操作。如图所示，将输入到特定选通线的输出电压的脉冲宽度增加为与输入到相邻选通线的信号的脉冲宽度相交叠。因此，即

使信号因非晶半导体的低的场效应迁移率而降低，连接到相应选通线的薄膜晶体管也可以完全导通一段预定时间。同时，增加从时钟生成单元产生的、要输入到移位寄存器的时钟信号的置位脉冲 (set pulse)，使得相邻脉冲相互交叠。

图 6 的波形图示出了施加给液晶板的数据线的源数据、施加给选通线的现有技术中的扫描信号、以及根据本发明的扫描信号。如图所示，为了完全将源信号充电到像素中，必须得将薄膜晶体管的导通持续源信号的一个脉冲宽度 H 。然而，在现有技术中，其脉冲减少了周期 t_1 的扫描信号通过选通线施加到像素区中薄膜晶体管。因此，虽然对于周期 H_1 来说，薄膜晶体管完全导通，但对于周期 t_1 来说，该薄膜晶体管是部分导通的（即薄膜晶体管仅由超过阈值电压的信号导通）。所以，仅有通过薄膜晶体管施加到数据线的一部分源数据输入到像素中。

在本发明中，施加到选通线的扫描信号的脉冲宽度增加了周期 t_2 。周期 t_2 表示信号被降低的时间，其与现有技术中的信号降低的周期 t_1 相同（即 $t_1=t_2$ ）。因此，完整的矩形波脉冲向像素输入了周期 H ，从而像素区中的薄膜晶体管导通了周期 H 。所以，将完整的源信号充电到了像素中。

在本发明中使用非晶半导体的情况下，扫描信号的脉冲宽度差不多增加了被降低的信号宽度（该被降低的信号宽度考虑了由于低的场效应迁移率而引起的信号降低）那么多，从而将像素区内的薄膜晶体管导通了一段所希望的时间，而完全地将源信号充电到像素中。因此，如图 5 所示，交叠的信号被施加到相邻的选通线。

图 7 示出了根据本发明的 LCD 器件。除了驱动单元 120a 和 120b 之外，图 7 所示的 LCD 器件与图 1 中示出的 LCD 器件相同，因此将省略对其的详细的说明。

如图所示，在液晶板 101 的外侧区域上形成两个选通驱动单元 120a 和 120b。选通驱动单元 120a 和 120b 由同一工艺与像素区中的薄膜晶体管一体地形成，并且其中具有非晶半导体的薄膜晶体管。第一选通驱动单元 120a 与在像素区中形成的选通线 103 中的奇数编号的选通线相连，

而第二选通驱动单元 120b 与偶数编号的选通线相连。即，选通线 103 交替地连接到第一选通驱动单元 120a 和第二选通驱动单元 120b，从而扫描信号从选通驱动单元 120a 和 120b 施加到选通线 103。

第一选通驱动单元 120a 和第二选通驱动单元 120b 分别顺序地输出电压（扫描信号）。从第一选通驱动单元 120a 和第二选通驱动单元 120b 输出的输出信号相互交叠，并且将该交叠的信号施加到相邻的选通线 103。

在本发明中，用于将扫描信号施加到选通线的第一选通驱动单元 120a 和第二选通驱动单元 120b 在液晶板的两侧排列。但选通驱动单元的结构和位置并不重要。即，在通过输出脉冲宽度增加了的信号使像素区中薄膜晶体管完全导通一规定时间的条件下，可以形成一个选通驱动单元或者可以形成两个选通驱动单元。同样，在从第一和第二选通驱动单元顺序地输出信号、然后将被交叠的信号施加给选通线的条件下，可以在任意位置放置第一和第二选通驱动单元。

下面参照图 8 来详细地解释第一和第二选通驱动单元 120a 和 120b 的结构。

图 8 是示出了在选通驱动单元 120a 和 120b 上形成的移位寄存器的结构的框图，该选通驱动单元 120a 和 120b 用于将信号输出到像素区的选通线。

如图所示，第一选通驱动单元 120a 和第二选通驱动单元 120b 分别具有多个第一移位寄存器 122a 和第二移位寄存器 122b。信号从第一移位寄存器 122a 和第二移位寄存器 122b 顺序地输出，然后分别施加到奇数编号的选通线 G1 到 G(2n-1) 和偶数编号的选通线 G2 到 G2n。

第一移位寄存器 122a 和第二移位寄存器 122b 分别与第一时钟信号生成单元 124a 和第二时钟信号生成单元 124b 相连，从而第一时钟信号生成单元 124a 和第二时钟信号生成单元 124b 生成的时钟信号施加到第一移位寄存器 122a 和第二移位寄存器 122b。启动信号 S1 和启动信号 S2 分别被输入到第一移位寄存器 122a 和第二移位寄存器 122b。这里，在第一级之后，各个第一移位寄存器 122a 和第二移位寄存器 122b 的前一级

的输出信号作为启动信号输入到下一级。

从第一移位寄存器 122a 和第二移位寄存器 122b 输出的、并施加到选通线 G1 到 G2n 的扫描信号的脉冲宽度差不多增加了像素区中薄膜晶体管的导通时间那么多，从而与相邻的信号部分地交叠。下面将描述用于输出信号的选通驱动单元的移位寄存器。

图 9 是示出了根据本发明的图 8 的选通驱动单元的电路图，其中示出了触发器。为了解释移位寄存器的功能而示出了该触发器，并不表示一个具体的电子元件。因此，可以将术语触发器替换为用于表明功能的合适的术语。

如图 9 所示，第一晶体管 112a 和第二晶体管 112b 与第一选通驱动单元 120a 的第一级移位寄存器的输出端相连。同样，第三晶体管 113a 和第四晶体管 113b 与第二选通驱动单元 120b 的第一级移位寄存器的输出端相连。第一和第二晶体管 112a 和 112b 的各个栅极、以及第三和第四晶体管 113a 和 113b 的各个栅极分别与第一触发器 114a 和第二触发器 114b 的 Q 端和 Qb 端相连。

第一逻辑门 116a 和第二逻辑门 116b 与第一触发器 114a 的 S 和 R 输入端相连，而第三逻辑门 117a 和第四逻辑门 117b 与第二触发器 114b 的 S 和 R 输入端相连。

第一晶体管 112a 和第三晶体管 113a 的各个源极与时钟生成单元(未示出)相连，而时钟信号 C1 和 C2 分别被输入到该源极。输出端与第一晶体管 112a 和第三晶体管 113a 的各个漏极相连，同时与第二晶体管 112b 和第四晶体管 113b 的各个源极相连。此外，第二晶体管 112b 和第四晶体管 113b 的各个漏极接地。时钟信号 C1B 和 C2B 以及启动信号 S1 分别被输入到逻辑门 116a、116b、117a 和 117b，这些逻辑门 116a、116b、117a 和 117b 分别与第一触发器 114a 和第二触发器 114b 的 S 和 R 输入端相连。

图 10 的波形图示出了选通驱动单元 120a 和 120b 的启动信号 S1 和时钟信号 C1、C1B、C2 和 C2B，以及从输出端输出并施加到选通线的输出电压 Vout1、Vout2、Vout3 和 Vout4。在图 10 中，基于第一选通驱动单

元和第二选通驱动单元来示出波形。

如图所示，从第一时钟生成单元（未示出）输出的时钟信号 C1 和 C1B 是对现有技术中的时钟信号增加了 2 倍的信号，并且被同步，从而顺序地施加到第一选通驱动单元的移位寄存器。同样，从第二时钟生成单元（未示出）输出的时钟信号 C2 和 C2B 是对现有技术中的时钟信号增加了 2 倍的信号，并且被同步，从而顺序地施加到第二选通驱动单元 120b 的移位寄存器。从第一选通驱动单元 120a 和第二选通驱动单元 120b 的第一级的移位寄存器输出的高状态信号（即 C1、C2、C1B 和 C2B）的脉冲宽度相互交叠差不多半个周期（即交叠度不限于半个周期）。

下面将详细地描述通过启动信号 S1 及时钟信号 C1、C1B、C2 和 C2B 进行的移位寄存器的操作及其输出波形。

如图 9 所示，在将低状态的启动信号 S1 输入到第一选通驱动单元 120a 的第一级移位寄存器、并且输入低状态的时钟信号 C1 和 C1B 时，这些低信号就被分别施加到第一触发器 114a 的 S 和 R 输入端。因此，第一触发器 114a 保持先前的状态，Q 端输出高信号，而 Qb 端输出低信号。因此，第一晶体管 112a 导通而第二晶体管 112b 截止，从而时钟信号 C1 作为输出电压 Vout1 输出，而该输出电压 Vout1 为低。

然后，如果将高状态的启动信号 S1 和低状态的时钟信号 C1 和 C1B 输入到移位寄存器，则低信号就被分别施加到触发器 114 的 S 和 R 输入端。因此，触发器 114a 保持先前的状态，Q 端输出高信号，而 Qb 端输出低信号。因此，第一晶体管 112a 导通而第二晶体管 112b 截止，从而时钟信号 C1 作为输出电压 Vout1 输出，而该输出电压 Vout1 为低。

然后，如果时钟信号 C1 在启动信号 S1 保持高状态的情形下变高时，高状态的时钟信号 C1 就通过导通的第一晶体管 112a 输出。因此，输出电压 Vout1 为高。保持高状态的输出电压 Vout1 直到时钟信号 C1B 变高为止。即，当时钟信号 C1B 变高（启动信号 S1 为低）时，低信号和高信号分别被输入到第一触发器 114a 的 S 和 R 端。因此，触发器 114a 被重置，并且低信号和高信号分别被输出到 Q 和 Qb 输出端。因此，第一晶体管 112a 截止，而第二晶体管 112b 导通，以使得输出电压 Vout1 为低。

然后，如果将低状态的启动信号 S1、高状态的时钟信号 C1 以及低状态的时钟信号 C1B 输入到移位寄存器，则低信号就分别被施加到触发器 114 的 S 和 R 输入端。因此，触发器 114 保持先前的状态，Q 端输出低信号，而 Qb 端输出高信号。因此，第一晶体管 112a 导通而第二晶体管 112b 截止，从而输出电压 Vout1 为低，而继续保持输出电压 Vout1 的低状态。

当将启动信号 S1 输入到第一级移位寄存器时，从第一级移位寄存器的输出端输出该输出电压 Vout1，并且将输出电压施加到 LCD 器件的第一选通线。

将从第一选通驱动单元 120a 的第一级的移位寄存器输出的输出电压 Vout1 作为启动信号输入到下一级的移位寄存器，从而使能下一级移位寄存器。对该下一级的移位寄存器进行类似于第一级的移位寄存器操作，从而输出与第一输出电压 Vout1 同步的第三输出电压 Vout3，并且将该输出电压 Vout3 施加到第三选通线。随着该操作的重复，将顺序的输出电压 Vout1 到 Vout (2n-1) 施加到奇数编号的选通线。

将与输入到第一选通驱动单元 120a 的第一级移位寄存器中的时钟信号 C1 和 C1B 交叠差不多半个周期的时钟信号 C2 和 C2B 输入到第二选通驱动单元 120b 的第一级的移位寄存器。当时钟信号 C2 和 C2B 以及启动信号 S1 被输入到移位寄存器时，输出与第一输出电压 Vout1 差不多交叠半个周期的第二输出电压 Vout2，从而将其施加到第二选通线。将第二输出电压 Vout2 作为启动信号输入到下一级的移位寄存器，以此输出顺序的第四输出电压 Vout4，以便将其施加到第四选通线。随着上述操作的重复，将与从第一选通驱动单元 120a 的移位寄存器输出的输出电压 Vout1—Vout (2n-1) 交叠差不多半个周期的输出电压 Vout2—Vout2n 施加到第二选通驱动单元 120b 的移位寄存器的偶数编号的选通线。

如上所述，在本发明的 LCD 器件中，在液晶板上提供具有多个用于顺序地输出输出电压的移位寄存器的第一选通驱动单元和第二选通驱动单元，从而分别将输出电压施加到奇数编号的选通线和偶数编号的选通线。从第一和第二选通驱动单元（该第一和第二选通驱动单元用于交替

地将扫描信号施加到奇数编号的选通线和偶数编号的选通线)的移位寄存器输出的输出电压具有大于薄膜晶体管(像素区的开关元件)导通周期的脉冲宽度,使得扫描信号相互交叠差不多给定的脉冲宽度(例如半个周期),因此,当在移位寄存器上形成的薄膜晶体管由非晶半导体形成时,即使扫描信号具有因低的场效应迁移率而部分降低的脉冲,施加到液晶板内的像素区中的薄膜晶体管的信号也会完全地导通薄膜晶体管。因此,防止了当薄膜晶体管的导通时间降低所引起的LCD器件的劣化。

分别从第一选通驱动单元和第二选通驱动单元的移位寄存器输出的扫描信号增加的脉冲宽度(即在相邻信号间的交叠宽度)并不限于半个周期。也就是说,可以根据扫描信号因非晶半导体的低场效应迁移率的降低程度而控制扫描信号增加的脉冲宽度,只要像素区中的薄膜晶体管可以完全导通就行。

如上所述,在本发明中,将施加到选通线的扫描信号的脉冲宽度增加为超过像素区中薄膜晶体管的导通时间。因此,薄膜晶体管总可以保持一段预定时间的导通状态,即使扫描信号被降低也是如此。因此,可以在不增加形成于选通驱动单元上的薄膜晶体管尺寸也不使用昂贵的多晶硅的情况下,防止由于信号降低而引起的LCD器件的劣化。

由于可以不脱离本发明精神或实质特征地以多种方式来具体实现本发明,因此应当理解上述实施例不限于前面描述的任何细节,除非另有说明,否则应当在如所附权利要求定义的精神和范围之内广泛地解释,因此,落入到本发明权利要求的范围或这种范围的等同物之内的所有改变和修改都被所附权利要求所涵盖。

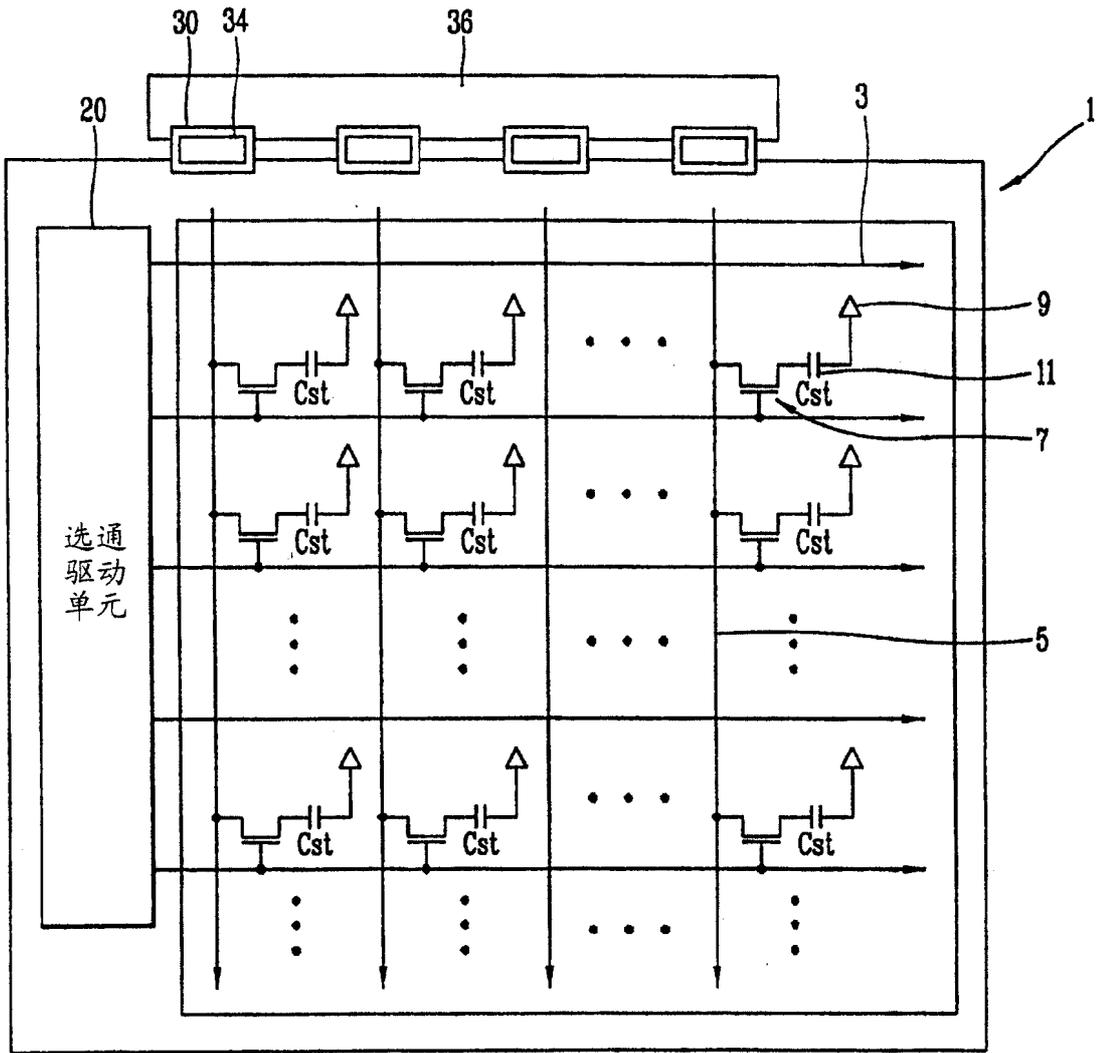


图 1
现有技术

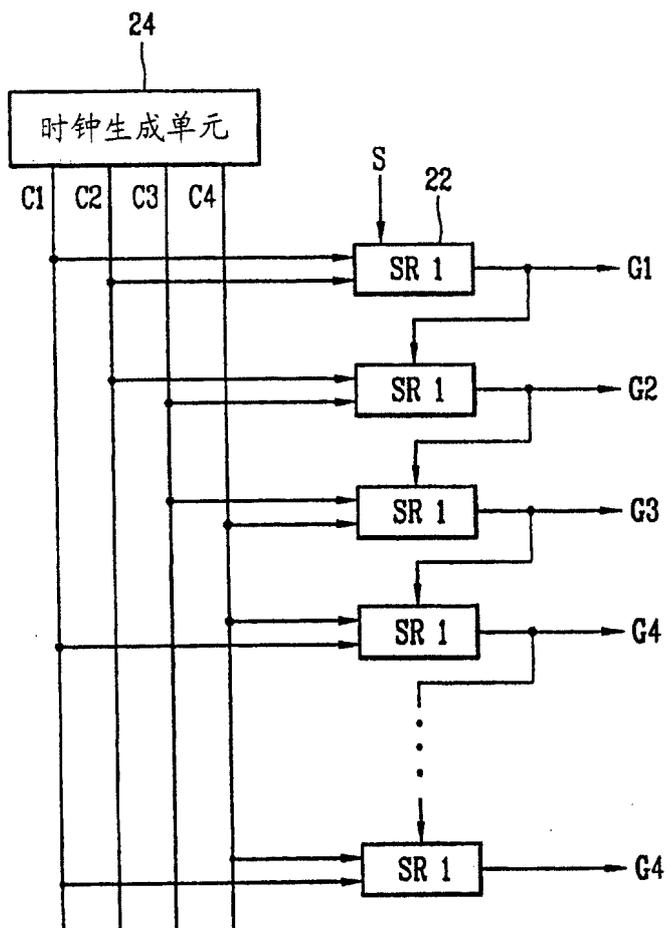


图 2
现有技术

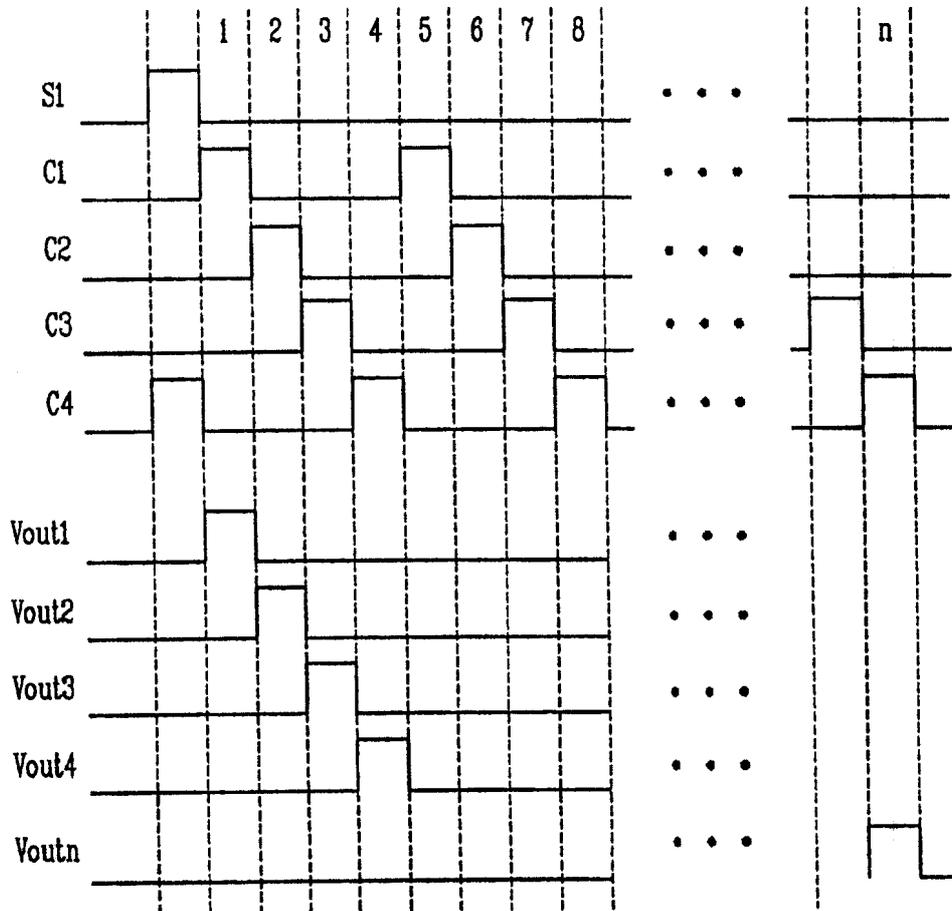


图 3
现有技术

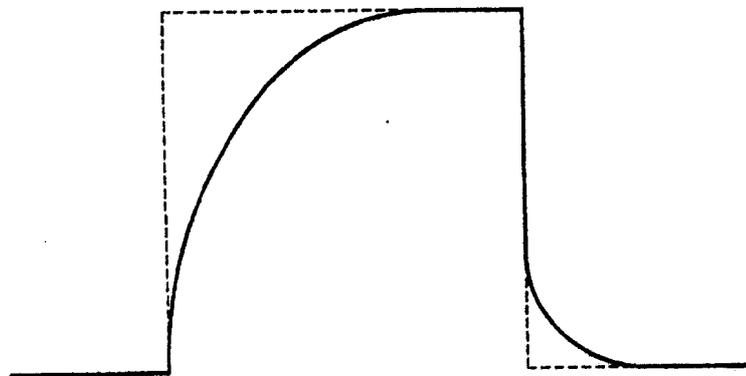


图 4
现有技术

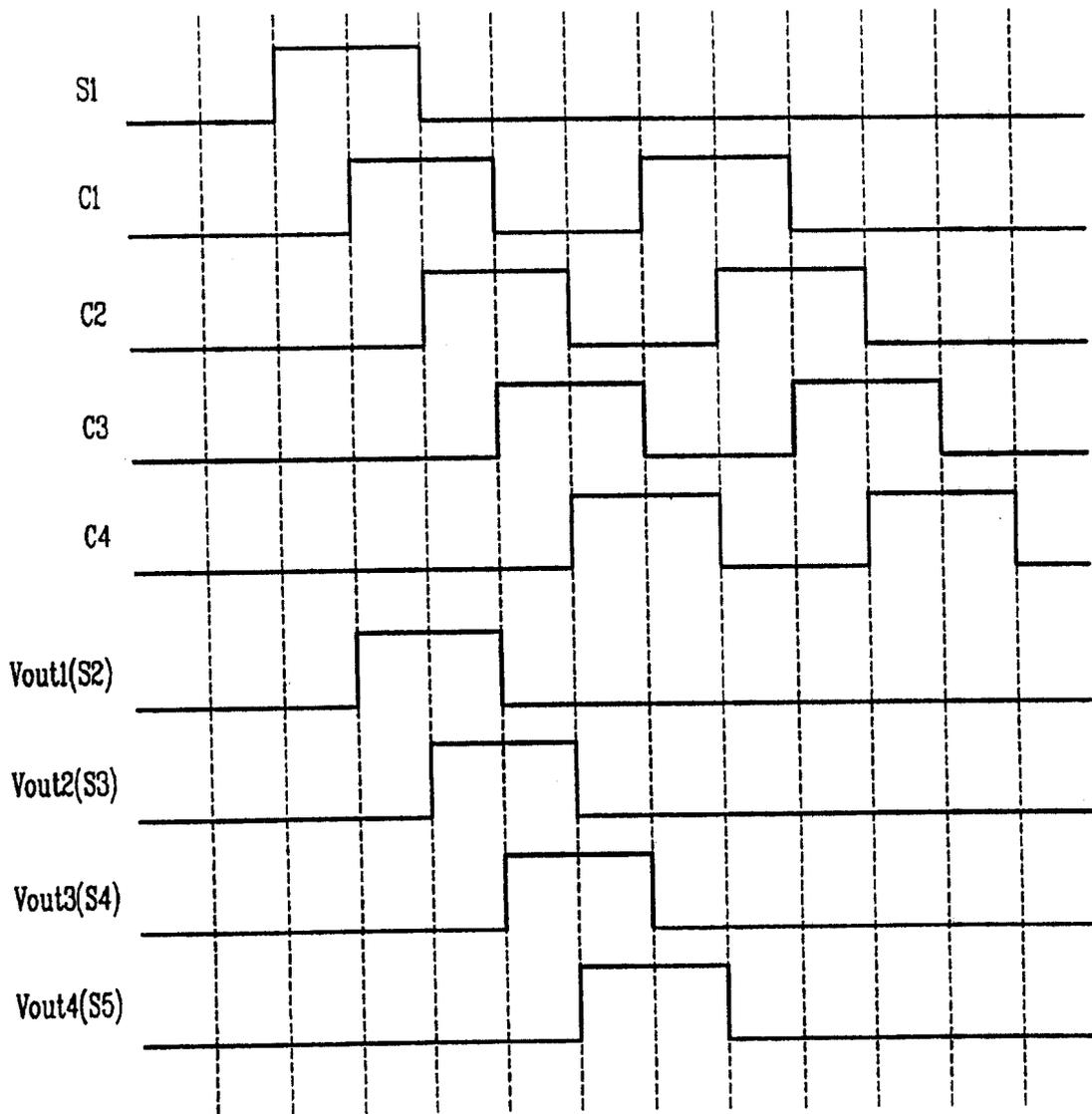


图 5

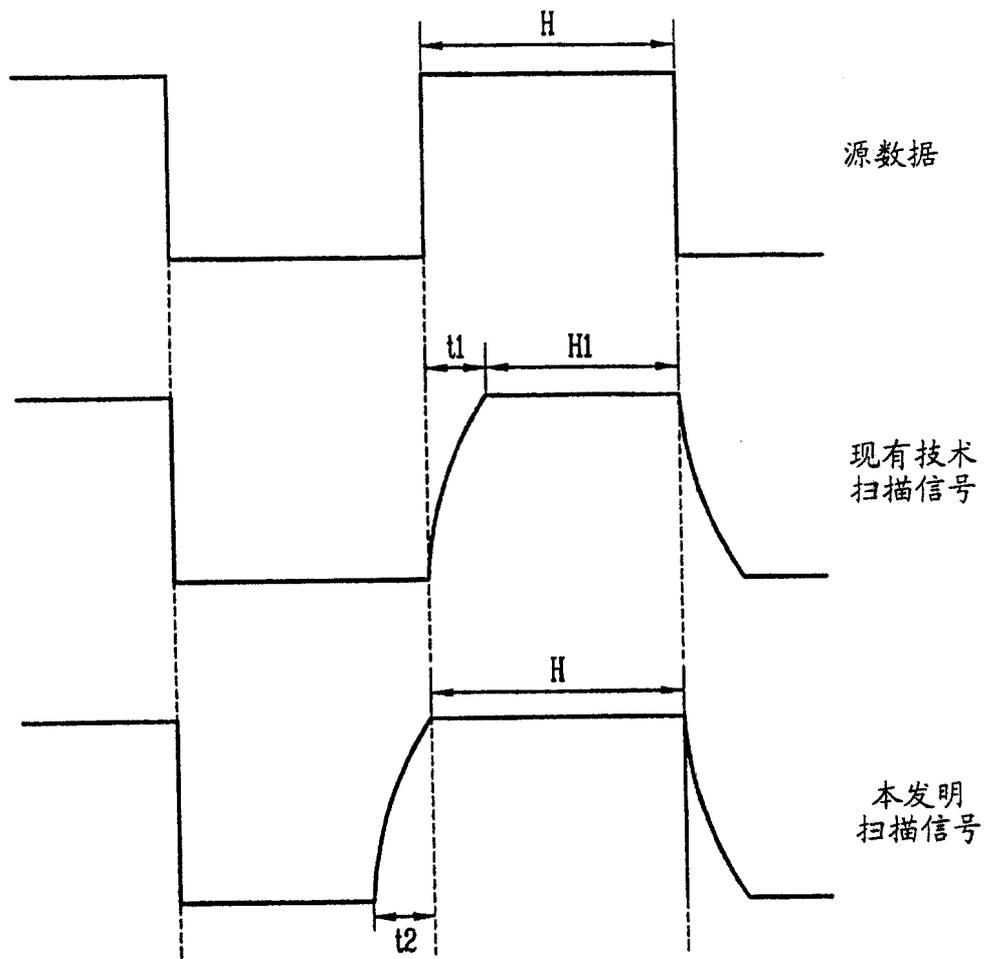


图 6

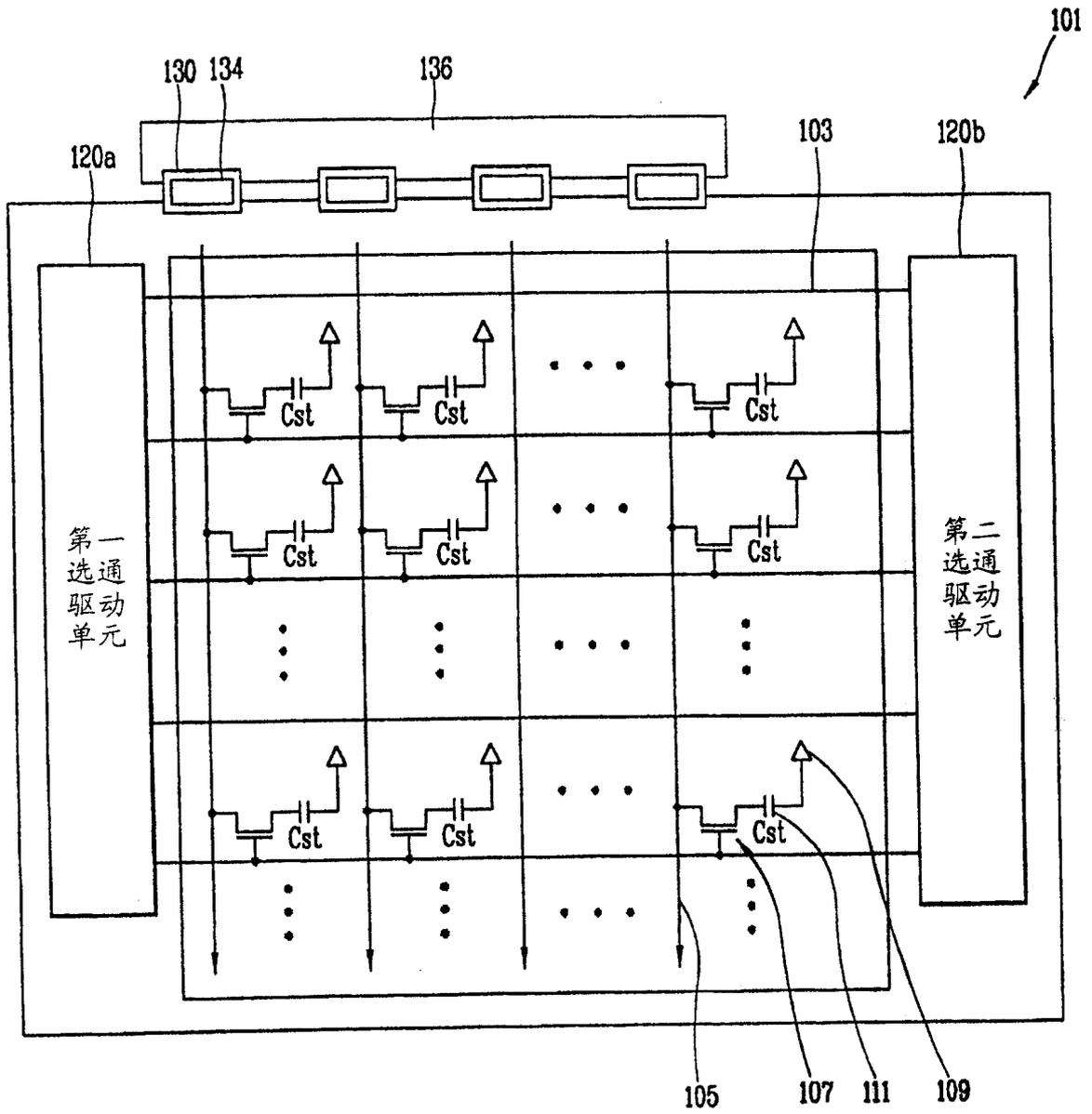


图 7

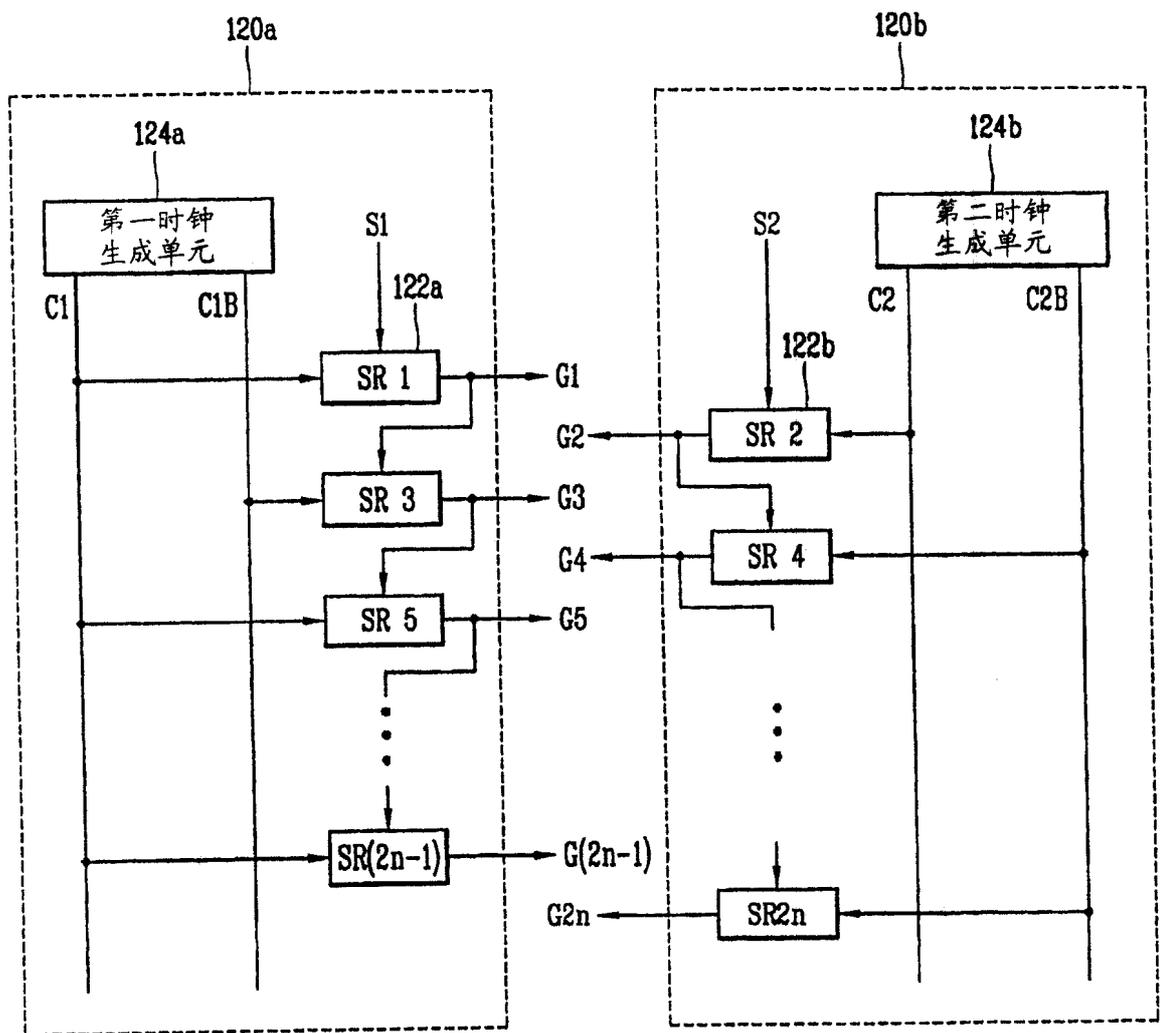


图 8

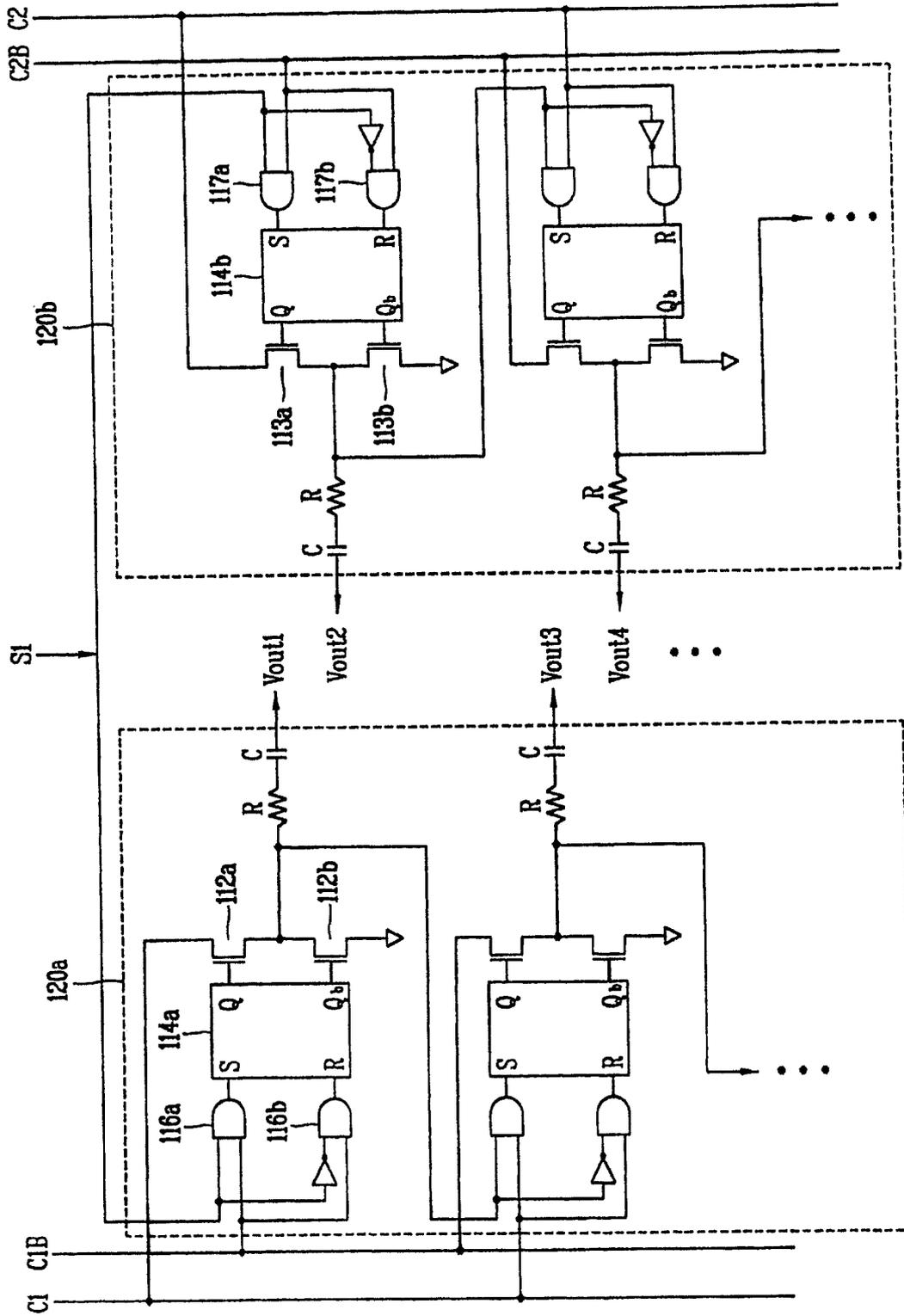


图 9

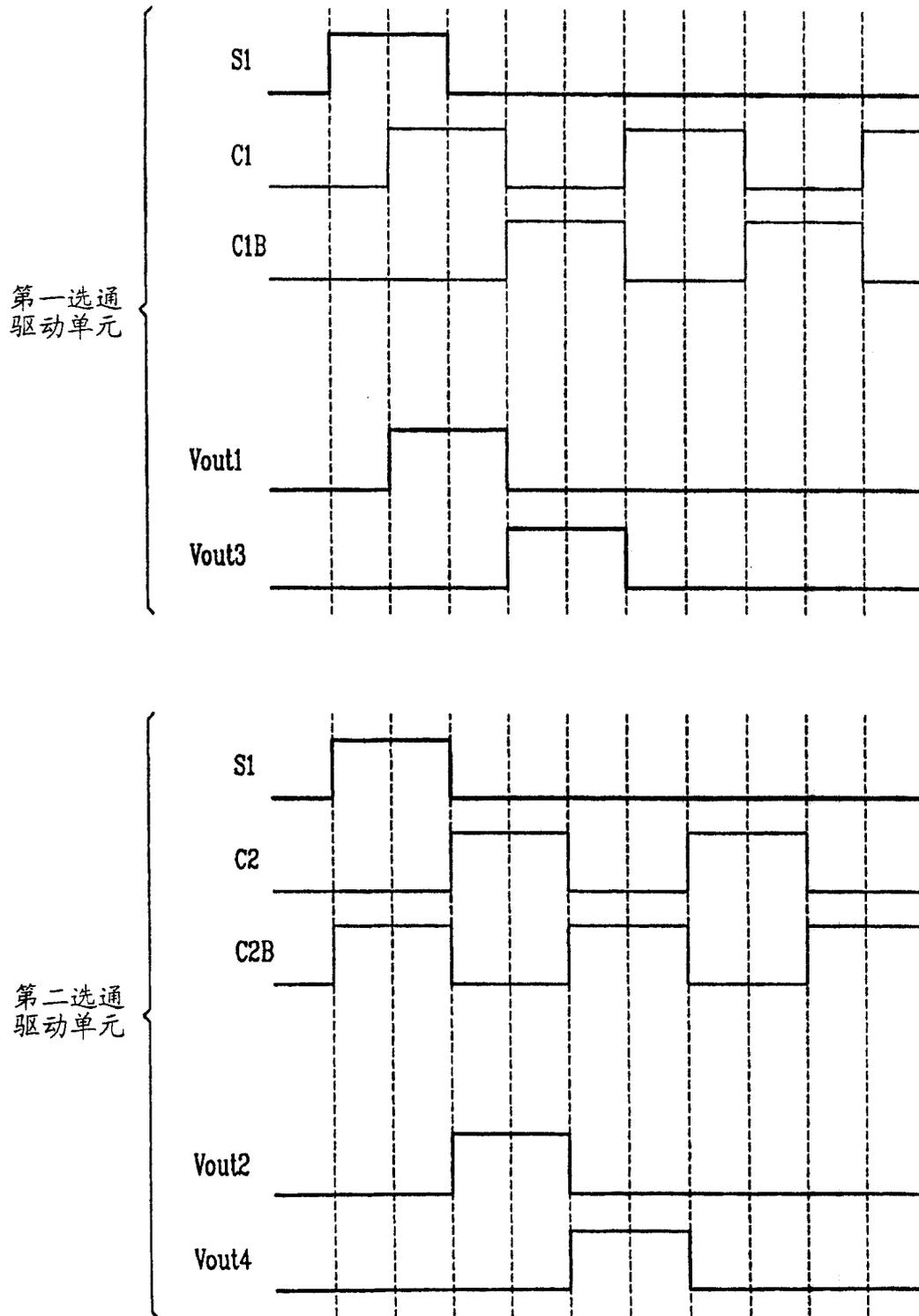


图 10

专利名称(译)	液晶显示器件		
公开(公告)号	CN100401175C	公开(公告)日	2008-07-09
申请号	CN200510082434.1	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	张容豪 金彬 文秀焕 赵南旭 尹洙荣		
发明人	张容豪 金彬 文秀焕 赵南旭 尹洙荣		
IPC分类号	G02F1/136 G02F1/133 G09F9/35 H01L29/786		
CPC分类号	G09G2310/0251 G09G2310/0205 G09G2300/0417 G09G2310/08 G09G3/3677		
代理人(译)	李辉		
审查员(译)	王志远		
优先权	1020040118456 2004-12-31 KR		
其他公开文献	CN1797155A		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示(LCD)器件，包括：液晶板，具有多个由多条选通线和数据线限定的像素，并且具有为每个像素配置薄膜晶体管所形成的像素区；选通驱动单元，其由非晶半导体形成，并形成在所述液晶板上，用于将脉冲宽度大于所述像素区中薄膜晶体管的导通时间的扫描信号输入到所述选通线；以及数据驱动单元，与所述数据线相连接，用于将图像信号输入到所述数据线。

