

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610168050.6

[51] Int. Cl.

G02F 1/136 (2006.01)
G02F 1/1362 (2006.01)
G02F 1/133 (2006.01)
G03F 7/20 (2006.01)
G03F 7/26 (2006.01)
H01L 21/027 (2006.01)

[43] 公开日 2007年7月4日

[11] 公开号 CN 1991547A

[22] 申请日 2006.12.15

[21] 申请号 200610168050.6

[30] 优先权

[32] 2005.12.29 [33] KR [31] 10-2005-0133525

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 曹基述 崔荣锡 安炳龙 黄太雄

闵东俊 丁辅径

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

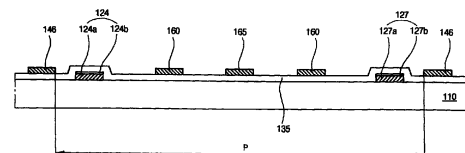
权利要求书 4 页 说明书 13 页 附图 27 页

[54] 发明名称

共平面开关模式液晶显示器件的阵列基板及其制造方法

[57] 摘要

本发明公开了一种共平面开关模式液晶显示器件的阵列基板及其制造方法，其防止了被称为波纹噪声的问题。该共平面开关模式液晶显示器件及其制造方法在不增加制造成本和生产成本的同时，具有缩短的处理时间和降低的误差率。



- 1、一种共平面开关模式液晶显示器件的阵列基板，包括：
 - 具有开关区域和像素区域的基板；
 - 在所述基板上的栅线；
 - 形成于所述开关区域中并延伸自所述栅线的栅极；
 - 平行于所述栅线并与所述栅线分开的公共线；
 - 从所述公共线延伸至所述像素区域并彼此分开的第二公共电极；
 - 在所述栅线、公共线以及第一和第二公共电极上的栅绝缘层，其中所述栅绝缘层具有暴露出所述公共线的公共线接触孔；
 - 与所述栅线交叉以在所述栅绝缘层上限定出所述像素区域的数据线；
 - 在所述栅绝缘层上对应于所述栅极的半导体层；
 - 在所述半导体层上彼此分开的源极和漏极，其中所述源极延伸自所述数据线；
 - 在所述第一和第二公共电极之间的多个像素电极，其中所述多个像素电极彼此分开并平行于所述第一和第二公共电极，并且各所述多个像素电极延伸自所述漏极；以及
 - 形成于所述栅绝缘层上的多个第三公共电极，其中所述多个第三公共电极通过所述公共线接触孔与所述公共线相连，并与所述多个像素电极交替设置，
 - 其中所述数据线、多个像素电极和多个第三公共电极以彼此相同的材料形成成为彼此相同的层。
- 2、根据权利要求1所述的阵列基板，其特征在于，所述第一和第二公共电极形成于所述像素区域的相对两侧。
- 3、根据权利要求1所述的阵列基板，其特征在于，所述公共线包括彼此平行的第一和第二公共线。
- 4、根据权利要求3所述的阵列基板，其特征在于，各所述第一和第二公共电极与所述第一和第二公共线相连，并与所述数据线相邻。
- 5、根据权利要求3所述的阵列基板，其特征在于，所述公共线接触孔暴露出所述第一公共线。
- 6、根据权利要求3所述的阵列基板，其特征在于，进一步包括存储电容，

其包括所述第二公共线、延伸自所述漏极从而重叠于所述第二公共线的存储电极以及插入于所述第二公共线和存储电极之间的栅绝缘层。

7、根据权利要求1所述的阵列基板，其特征在于，所述栅线以与所述第一和第二公共电极相同的材料形成为与所述第一和第二公共电极相同的层。

8、根据权利要求1所述的阵列基板，其特征在于，所述栅线、栅极、第一公共电极和第二公共电极具有双层结构和三层结构其中之一。

9、根据权利要求8所述的阵列基板，其特征在于，所述栅线、栅极、第一公共电极和第二公共电极的最上层由透明导电材料构成。

10、根据权利要求1所述的阵列基板，其特征在于，进一步包括栅焊盘电极和数据焊盘电极，其中所述栅焊盘电极与所述栅线和外部栅驱动电路相连，以及所述数据焊盘电极与所述数据线和外部数据驱动电路相连。

11、根据权利要求10所述的阵列基板，其特征在于，所述栅焊盘电极和数据焊盘电极以与所述栅线相同的材料形成为相同的层。

12、根据权利要求11所述的阵列基板，其特征在于，所述数据焊盘电极通过数据链接线与所述数据线相连，其中所述数据链接线以与所述栅线相同的材料形成为与所述栅线相同的层。

13、根据权利要求12所述的阵列基板，其特征在于，所述栅绝缘层包括暴露出所述数据链接线端部的数据链接线接触孔，以及所述数据线通过所述数据链接线接触孔与所述数据链接线相连。

14、根据权利要求11所述的阵列基板，其特征在于，所述栅绝缘层包括暴露出所述栅焊盘电极的栅焊盘接触孔以及暴露出所述数据焊盘电极的数据焊盘接触孔。

15、根据权利要求1所述的阵列基板，其特征在于，所述源极和漏极覆盖所述半导体层的两端。

16、根据权利要求1所述的阵列基板，其特征在于，进一步包括形成于所述源极和漏极之间的所述半导体层上的二氧化硅层。

17、根据权利要求1所述的阵列基板，其特征在于，所述半导体层包括本征非晶硅的有源层以及有源层上掺杂非晶硅层的欧姆接触层。

18、一种共平面开关模式液晶显示器件的阵列基板的制造方法，包括：
通过第一掩模工序在具有开关区域和像素区域的基板上形成栅线、栅极、

第一公共线以及第一和第二公共电极，其中所述栅极延伸自所述栅线并形成于所述开关区域中，所述第一公共线平行于所述栅线，并且所述第一和第二公共电极从所述第一公共线延伸至所述像素区域；

在所述栅线、栅极、第一和第二公共电极上顺序地形成栅绝缘层、本征非晶硅层以及掺杂非晶硅层；

通过第二掩模工序对所述栅绝缘层、本征非晶硅层以及掺杂非晶硅层进行构图从而形成栅绝缘层中的公共线接触孔、有源层以及掺杂非晶硅图案，其中所述公共线接触孔暴露出所述第一公共线，所述有源层对应于栅绝缘层上的栅极，以及所述掺杂非晶硅图案在所述有源层上具有与所述有源层相同的形状；以及

通过第三掩模工序在所述栅绝缘层、有源层以及掺杂非晶硅图案上形成数据线、源极、漏极、多个像素电极和多个第三公共电极，其中所述数据线与栅线交叉以限定出所述像素区域，所述源极延伸自数据线并与所述掺杂非晶硅图案接触，以及所述漏极与所述源极分开并与所述掺杂非晶硅图案接触，其中所述多个像素电极彼此分开并平行于所述第一和第二公共电极，并且各所述多个像素电极延伸自所述漏极，以及其中所述多个第三公共电极通过所述公共线接触孔与所述第一公共线相连，并与所述多个像素电极交替设置。

19、根据权利要求 18 所述的方法，其特征在于，进一步包括去除所述源极和漏极之间的掺杂非晶硅图案以暴露出所述有源层。

20、根据权利要求 19 所述的方法，其特征在于，进一步包括在暴露于所述源极和漏极之间的有源层上形成二氧化硅层。

21、根据权利要求 18 所述的方法，其特征在于，所述形成栅线、栅极、第一和第二公共电极的步骤包括：

在基板上形成第一金属层；

在所述第一金属层上形成透明导电层；以及

顺序地对所述透明导电层和第一金属层进行构图。

22、根据权利要求 21 所述的方法，其特征在于，进一步包括：

在所述第一金属层和透明导电层之间形成第二金属层；以及

在对所述透明导电层进行构图的步骤和形成所述第一金属层的步骤之间对所述第二金属层进行构图。

23、根据权利要求 18 所述的方法，其特征在于，所述形成公共线接触孔、有源层以及掺杂非晶硅图案的步骤包括：

在所述掺杂非晶硅层上形成光刻胶层；

在所述光刻胶层上设置具有透射区、遮蔽区和半透射区的掩模；

通过使用该掩模对所述光刻胶层进行曝光和显影而形成第一光刻胶图案和第二光刻胶图案，其中所述第一光刻胶图案对应于所述栅极，以及所述第二光刻胶图案暴露出与所述第一公共线的对称部分相对应的掺杂非晶硅层，并具有小于第一光刻胶图案的高度；

通过顺序地去除暴露于第二光刻胶图案之间的掺杂非晶硅层、本征非晶硅层以及栅绝缘层而形成所述公共线接触孔；

对所述第一和第二光刻胶图案进行灰化，从而去除所述第二光刻胶图案，并暴露出掺杂硅图案；

通过顺序地去除已暴露的掺杂硅图案和本征非晶硅层而形成有源层和掺杂硅图案；以及

去除所述第一光刻胶图案。

24、根据权利要求 18 所述的方法，其特征在于，进一步包括形成栅焊盘电极、数据链接线、数据焊盘电极和第二公共线，其中所述栅焊盘电极形成于所述栅线的端部，所述数据链接线与数据线接触，所述数据焊盘电极延伸自数据链接线，并且所述第二公共线平行于所述第一公共线。

25、根据权利要求 24 所述的方法，其特征在于，各所述第一和第二公共电极与所述第一和第二公共线相连，并且其中所述第一和第二公共线以及第一和第二公共电极围绕所述像素区域。

26、根据权利要求 24 所述的方法，其特征在于，所述漏极重叠于所述第二公共线，从而所述第二公共线、漏极以及插入于第二公共线和漏极之间的栅绝缘层组成存储电容。

27、根据权利要求 24 所述的方法，其特征在于，所述第二掩模工序包括形成暴露出所述数据链接线端部的数据链接线接触孔、暴露出所述栅焊盘电极的栅焊盘接触孔以及暴露出所述数据焊盘电极的数据焊盘接触孔。

28、根据权利要求 18 所述的方法，其特征在于，所述源极和漏极覆盖所述半导体层的两端。

共平面开关模式液晶显示器件的阵列基板及其制造方法

本申请要求享有2005年12月29日提交的韩国专利申请No. 2005-0133525的优先权，在此引入其全部内容作为参考。

技术领域

本发明涉及一种液晶显示（LCD）器件，更特别地涉及一种防止波纹噪声（wavy noise）的共平面开关（IPS）模式 LCD 器件的阵列基板及其制造方法。

背景技术

相关技术的液晶显示（LCD）器件利用液晶分子的光学各向异性和极化特性。液晶分子由于其细长的形状而具有特定的对准方向。液晶分子的对准方向可由施加在所述液晶分子上的电场控制。换言之，随着电场强度或方向的改变，液晶分子的对准也将改变。由于液晶分子的光学各向异性，入射光基于液晶分子的取向而折射，所以可以通过控制透光率而显示图像。

近来，由于包括作为开关元件的薄膜晶体管（TFT）的 LCD 器件，其被称为有源矩阵 LCD（AM-LCD）器件，具有高分辨率和显示移动图像的优点，所以该 AM-LCD 得到了广泛应用。

AM-LCD 器件包括阵列基板、滤色片基板以及插入在两者之间的液晶层。阵列基板包括像素电极、TFT 等，而滤色片基板包括滤色片层、公共电极等。AM-LCD 器件由像素电极和公共电极之间的电场驱动。然而，由于 AM-LCD 器件使用垂直电场，AM-LCD 器件具有差的视角。

为解决上述技术问题而提出了 IPS 模式 LCD 器件。图 1 是表示现有的 IPS 模式 LCD 器件的横截面图。如图 1 所示，阵列基板和滤色片基板彼此分开并相对。阵列基板包括第一基板 10、公共电极 17 以及像素电极 30。虽然未图示，阵列基板可包括 TFT、栅线和数据线。滤色片基板包括第二基板 9、滤色片层（未图示）等。液晶层 11 插入在第一基板 10 和第二基板 9 之间。由于公共电

极 17 和像素电极 30 以相同的水平位置形成于第一基板 10 上，所以在公共电极 17 和像素电极 30 之间形成水平电场“L”。

图 2A 和 2B 是表示现有的 IPS 模式 LCD 器件在开启和关闭情况下的横截面图。如图 2A 所示，在 IPS 模式 LCD 器件上施加电压时，在公共电极 17 和像素电极 30 上方的液晶分子 11a 不改变。但是，在公共电极 17 和像素电极 30 之间的液晶分子 11b 由于水平电场“L”而水平排列。由于液晶分子通过水平电场而排列，所以 IPS 模式 LCD 器件具有宽视角的优点。图 2B 表示在 IPS 模式 LCD 器件上未施加电压的情况。因为在公共电极 17 和像素电极 30 之间未形成电场，液晶分子 11 的排列没有改变。

图 3 是根据相关技术的 IPS 模式 LCD 器件的阵列基板的平面图。如图 3 所示，该阵列基板包括基板（未图示）、栅线 43、数据线 60、公共线 47 等。栅线 43 沿着基板的方向形成于基板上。数据线 60 与栅线 43 交叉，从而由栅线 43 和数据线 60 在基板上限定出像素区域“P”。公共线 47 平行于栅线 43，所以公共线 47 也与数据线 60 交叉。

TFT“Tr”作为开关元件，形成于栅线 43 和数据线 60 的交叉部分处。TFT“Tr”包括栅极 45、半导体层 51、源极 53 和漏极 55 等。栅极 45 从栅线 43 延伸至像素区域“P”。源极 53 延伸自数据线 60，并且源极 53 和漏极 55 在半导体层 51 上彼此分开。并且，多个像素电极 70 和多个公共电极 49 形成于基板的像素区域“P”中。该多个像素电极 70 延伸自像素连接线 68，并经漏接触孔 66 与漏极 55 接触。该多个公共电极 49 延伸自公共线 47 并与所述多个像素电极 70 交替设置。每个像素电极 70 的端部彼此相连，该相连部分限定为第二存储电极 69。第二存储电极 69 覆盖公共线 47，且公共线 47 与第二存储电极 69 的重叠部分限定为第一存储电极 48。第一存储电极 48 和第二存储电极 69 组成存储电容 StgC。

图 4 是沿着图 3 的IV—IV线所提取的横截面图。如图 4 所示，根据相关技术的 IPS 模式 LCD 器件的阵列基板包括基板 40、栅极 45、半导体层 51、源极 53 和漏极 55、多个像素电极 70、多个公共电极 49 等。该阵列基板通过以下步骤制造。在基板 40 上通过沉积第一金属材料以及由第一掩模工序对其进行构图而形成栅线 43（图 3）、栅极 45，公共线 47（图 3）以及多个公共电极 49。接下来，在包括栅线 43（图 3）、栅极 45、公共线 47（图 3）以及

多个公共电极 49 的基板 40 上形成栅绝缘层 50。然后，在栅绝缘层 50 上通过沉积本征非晶硅和掺杂非晶硅以及由第二掩模工序对其进行构图而形成包括本征非晶硅层 51a 和掺杂非晶硅层 51b 的半导体层 51。

并且，在半导体层 51 和栅绝缘层 50 上通过沉积第二金属材料以及由第三掩模工序对其进行构图而形成数据线 60（图 3）、源极 53 以及漏极 55。如上所述，源极 53 延伸自数据线，并且源极 53 和漏极 55 彼此分开。

接下来，在源极 53 和漏极 55 以及栅绝缘层 50 上通过沉积绝缘材料以及由第四掩模工序对其进行构图而形成包括漏接触孔 66 的钝化层 63。如上所述，漏接触孔 66 暴露出漏极 55。

最后，在钝化层 63 上通过沉积透明导电材料以及由第五掩模工序对其进行构图而形成像素连接线 68 和多个像素电极 70。像素连接线 68 通过漏接触孔 66 与漏极 55 接触，从而该多个像素电极 70 与漏极 55 电连接。该多个像素电极 70 与该多个公共电极 49 交替设置。

如上所述，根据相关技术的 IPS 模式 LCD 器件的阵列基板通过五轮掩模工序制造。因此，制造时间、误差率以及制造成本增加，且产量下降。

为了解决这些问题，提出了四轮掩模工序。但是，由于源极和漏极没有覆盖半导体层的两端，将产生被称为波纹噪声的技术问题。波纹噪声是指当 IPS 模式 LCD 器件开启或关闭时，波纹图案将出现在液晶面板上。

发明内容

因此，本发明的目的是提供一种液晶显示器件及其制造方法，其实质上消除了由于相关技术带来的一个或多个技术问题。

本发明的目的是提供一种 IPS 模式 LCD 器件的阵列基板及其制造方法，其在不增加制造工序和成本的情况下具有制造时间短和误差率低的优点。

本发明的另一个目的是提供一种 IPS 模式 LCD 器件的阵列基板及其制造方法，其防止了被称为波纹噪声的技术问题。

本发明的其它特征和优点将在以下说明书中加以阐述，并且一部分从该说明书中可显然获知，或者可以通过实施本发明而了解。本发明的目的和其它优点将通过在书面说明书、权利要求书以及附图中特别指出的结构实现和获得。

为了达到这些目的及其他优点以及根据本发明的目的，如此处所清楚阐明

地, 本发明提供一种共平面开关模式液晶显示器件的阵列基板, 包括: 具有开关区域和像素区域的基板; 在所述基板上的栅线; 形成于所述开关区域并延伸自所述栅线的栅极; 平行于所述栅线并与所述栅线分开的公共线; 从所述公共线延伸至所述像素区域并彼此分开的第一和第二公共电极; 在所述栅线、公共线以及第一和第二公共电极上的栅绝缘层, 其中所述栅绝缘层具有暴露出所述公共线的公共线接触孔; 在所述栅绝缘层上与所述栅线交叉以限定出所述像素区域的数据线; 在所述栅绝缘层上对应于所述栅极的半导体层; 在所述半导体层上彼此分开的源极和漏极, 其中所述源极延伸自所述数据线; 在所述第一和第二公共电极之间的多个像素电极, 其中所述多个像素电极彼此分开并平行于所述第一和第二公共电极, 并且各所述多个像素电极延伸自所述漏极; 以及形成于所述栅绝缘层上的多个第三公共电极, 其中所述多个第三公共电极通过所述公共线接触孔与所述公共线相连并与所述多个像素电极交替设置, 其中所述数据线、多个像素电极和多个第三公共电极以彼此相同的材料形成为彼此相同的层。

在本发明的另一技术方案中, 提供一种共平面开关模式液晶显示器件的阵列基板的制造方法, 包括: 通过第一掩模工序在具有开关区域和像素区域的基板上形成栅线、栅极、第一公共线以及第一和第二公共电极, 其中所述栅极延伸自所述栅线并形成于所述开关区域中, 所述第一公共线平行于所述栅线并且所述第一和第二公共电极从所述第一公共线延伸至所述像素区域; 在所述栅线、栅极、第一和第二公共电极上顺序地形成栅绝缘层、本征非晶硅层以及掺杂非晶硅层; 通过第二掩模工序对所述栅绝缘层、本征非晶硅层以及掺杂非晶硅层进行构图从而形成栅绝缘层中的公共线接触孔、有源层以及掺杂非晶硅图案, 其中所述公共线接触孔暴露出所述第一公共线, 所述有源层对应于栅绝缘层上的栅极, 以及所述掺杂非晶硅图案具有与所述有源层相同的形状; 以及通过第三掩模工序在所述栅绝缘层、有源层以及掺杂非晶硅图案上形成数据线、源极、漏极、多个像素电极和多个第三公共电极, 其中所述数据线与栅线交叉以限定出所述像素区域, 所述源极延伸自数据线并与所述掺杂非晶硅图案接触, 以及所述漏极与所述源极分开并与所述掺杂非晶硅图案接触, 其中所述多个像素电极彼此分开并平行于所述第一和第二公共电极, 并且各所述多个像素电极延伸自所述漏极, 以及其中所述多个第三公共电极通过所述公共线接触孔

与所述第一公共线相连，并与所述多个像素电极交替设置。

应该理解，上面的概述和下面的详细说明都是示例性和解释性的，意欲对要求保护的本发明提供进一步的解释。

附图说明

包含用来提供本发明进一步理解并结合进来组成本申请一部分的附图，示出了本发明的实施方式，并与说明书一起用于解释本发明的原理。

图 1 是表示现有的 IPS 模式 LCD 器件的横截面图；

图 2A 和 2B 是表示现有的 IPS 模式 LCD 器件在开启和关闭情况下的横截面图；

图 3 是根据相关技术的 IPS 模式 LCD 器件的阵列基板的平面图；

图 4 是沿着图 3 的 IV—IV 线提取的横截面图；

图 5 是表示根据本发明的 IPS 模式 LCD 器件的阵列基板的像素区域的平面图；

图 6 是沿着图 5 的 VI—VI 线提取的横截面图；

图 7 是沿着图 5 的 VII—VII 线提取的横截面图；

图 8 是沿着图 5 的 VIII—VIII 线提取的横截面图；

图 9 是沿着图 5 的 IX—IX 线提取的横截面图；

图 10A 到 10H 是表示沿着图 5 的 VI—VI 线提取的部分的制造工序的横截面图；

图 11A 到 11H 是表示沿着图 5 的 VII—VII 线提取的部分的制造工序的横截面图；

图 12A 到 12H 是表示沿着图 5 的 VIII—VIII 提取的部分的制造工序的横截面图；

图 13A 到 13H 是表示沿着图 5 的 IX—IX 线提取的部分的制造工序的横截面图；

图 14 是表示沿着图 5 的 XIV—XIV 线提取的部分的横截面图。

具体实施方式

下面详细参考本发明的优选实施方式，在附图中示出其实施例。

图5是表示根据本发明的IPS模式LCD器件的阵列基板的像素区域的平面图。如图5所示,阵列基板包括基板(未图示)、栅线113、数据线146、像素电极160、第一公共线118和第二公共线121、第一公共电极124、第二公共电极127、第三公共电极165以及TFT“Tr”。栅线113沿着基板的方向形成于基板上。数据线146与栅线113交叉,从而在基板上限定出像素区域“P”。数据线146具有根据相关技术的实施例的Z字形,但数据线146也可具有直线形等。与栅线113和外部栅驱动电路(未图示)相连的栅焊盘电极129形成于栅焊盘区域“GPA”中栅线113的端部,并且与数据线146和外部数据驱动电路(未图示)相连的数据焊盘电极130形成于数据焊盘区域“PDA”中的数据线的端部。数据线146通过数据连接线123和数据连接线接触孔171与数据焊盘电极130相连。栅焊盘电极129和数据焊盘电极130的特征在于,以彼此相同的材料形成为彼此相同的层。

在基板上形成第一和第二公共线118和121。第一和第二公共线118和121彼此分开并相互平行。第一和第二公共线118和121以及第一和第二公共电极124和127围绕像素区域“P”的边缘。第一和第二公共电极124和127的一端与第一公共线118相连,并且第一和第二公共电极124和127的另一端与第二公共线121相连。换言之,第一和第二公共线118和121设置在像素区域“P”的上下两侧,并且第一和第二公共电极124和127设置在像素区域“P”的左右两侧,并与数据线146平行。另外,由于公共连接线125与第一和第二公共线118和121相连,少于第一和第二公共线118和121数量的二到五个公共线焊盘电极131形成于栅焊盘电极129之间或由仅与第一和第二栅焊盘电极129相邻的两个部分形成,用于将公共电压提供给形成于整个基板上的第一和第二公共线118和121。

TFT“Tr”形成于开关区域(未图示)处,即栅线113和数据线146的交叉部分处。TFT“Tr”包括栅极115、半导体层145、源极150以及漏极153。在根据本发明的实施例中,源极150为“U”形,且漏极153插入“U形”源极150的口部,源极150和漏极153彼此分开。但是,在本发明的另外实施例中,源极150和漏极153可具有其它形状。

包括第一像素电极160a和第二像素电极160b的像素电极160与漏极153电连接。像素电极160从漏极153延伸至像素区域“P”,并且平行于第一和

第二公共电极 124 和 127。第三公共电极 165 形成于第一和第二像素电极 160a 和 160b 之间，并通过公共线接触孔 139 与第一公共线 118 相连。公共线接触孔 139 可具有第一和第二公共线接触孔 139a 和 139b。在第一公共线 118 的一端形成有公共焊盘接触孔 136。第三公共电极 165 以与第一和第二像素电极 160a 和 160b 相同的材料形成为与第一和第二像素电极 160a 和 160b 相同的层。在本发明的实施例中，像素电极 160 具有两个像素电极，即第一和第二像素电极 160a 和 160b。然而在另外的实施例中，像素电极 160 可有多个像素电极，并且第三公共电极 165 也可有多个公共电极。当第三公共电极 165 包括多个公共电极时，该多个公共电极与多个像素电极交替设置。在第一公共电极 124 与第一像素电极 160a 之间，在像素电极 160 与第三公共电极 165 之间，以及在第二像素电极 160b 与第二公共电极 127 之间形成水平电场。

连接像素电极 160 与漏极 153 的部分重叠于第二公共线 121。将与该部分重叠的第二公共线定义为第一存储电极 122，并且将该部分定义为第二存储电极 156。第一存储电极 122、第二存储电极 156 以及插入在第一存储电极 122 和第二存储电极 156 之间的栅绝缘层（未图示）组成存储电容（未图示）。

图 6 是沿着图 5 的 VI—VI 线提取的横截面图，图 7 是沿着图 5 的 VII—VII 线提取的横截面图，图 8 是沿着图 5 的 VIII—VIII 线提取的横截面图，图 9 是沿着图 5 的 IX—IX 线提取的横截面图。在像素区域中限定有 TFT “Tr” 形成于其中的开关区域 “TrA” 以及存储电容 “StgC” 形成于其中的存储区域 “StgA”。在像素区域 “P” 的外围限定有栅焊盘区域 “GPA”（图 5）以及数据焊盘区域 “DPA”。

如图 6 到 9 所示，栅线 113 形成于基板 110 上。在本发明的实施例中，在开关区域 “TrA” 中的栅线 113 用作栅极 115，但是栅极 115 可由栅线 113 延伸至像素区域 “P” 形成。彼此平行的第一和第二公共线 118 和 121 形成于基板 110 上并平行于栅线 113。栅焊盘电极 129（图 5）形成于栅焊盘区域 “GPA” 中栅线 113 的端部。数据焊盘电极 130 形成于数据焊盘 “DPA” 中，并与栅焊盘电极 129（图 5）具有相同的形状。并且数据链接线 123（图 5）通过数据焊盘接触孔 137 与数据焊盘电极 129 接触，并延伸至数据线 146 的端部。

在像素区域 “P” 中，第一和第二公共电极 124 和 127 由第一和第二公共线 118 和 121 延伸而形成。第一和第二公共电极 124 和 127 的一端与第一公共

线 118 相连，并且第一和第二公共电极 124 和 127 的另一端与第二公共线 121 相连。第一和第二公共线 118 和 121 以及第一和第二公共电极 124 和 127 围绕像素区域“P”的边缘。在存储区域“StgA”中，第二公共线 121 用作第一存储电极 122。

栅线 113、第一和第二公共线 118 和 121、第一和第二公共电极 124 和 127、栅焊盘电极 129（图 5）以及数据焊盘电极 130 具有双层或三层结构。更特别地，栅线 113、第一和第二公共线 118 和 121、第一和第二公共电极 124 和 127、栅焊盘电极 129（图 5）以及数据焊盘电极 130 包括第一金属层 113a、118a、121a、124a、127a 和 130a 以及在第一金属层 113a、118a、121a、124a、127a 和 130a 上的透明导电层 113b、118b、121b、124b、127b 和 130b。第一金属层 113a、118a、121a、124a、127a 和 130a 由具有低阻抗特性的第一金属构成，而透明导电层 113b、118b、121b、124b、127b 和 130b 由防锈特性的透明导电金属构成。第一金属层可包括铝、铝合金、铜、铬和钼。透明导电层包括铟锡氧化物（ITO）以及铟锌氧化物（IZO）。并且，第二金属层（未图示）可由第一金属层 113a、118a、121a、124a、127a 和 130a 和透明导电层 113b、118b、121b、124b、127b 和 130b 之间的第二金属构成，从而栅线 113、第一和第二公共线 118 和 121、第一和第二公共电极 124 和 127、栅焊盘电极 129（图 5）以及数据焊盘电极 130 具有三层结构。当第一金属是铝或铝合金时，第二金属可以是钼。

栅绝缘层 135 形成于栅线 113、第一和第二公共线 118 和 121、第一和第二公共电极 124 和 127 上。栅绝缘层 135 包括公共线接触孔 139、数据链接线接触孔 171（图 5）、栅焊盘接触孔 138（图 5）以及数据焊盘接触孔 137。具有第一和第二公共线接触孔 139a 和 139b 的公共线接触孔 139 暴露出第一公共线 118，并且数据链接线接触孔暴露出数据链接线 123（图 5）。栅焊盘接触孔 138（图 5）和数据焊盘接触孔 137 分别暴露出栅焊盘电极 129（图 5）和数据焊盘电极 130。在本发明的实施例中，公共线接触孔 139 具有两个公共线接触孔，但是公共线接触孔 139 可有一个或多于两个的公共线接触孔。半导体层 145 包括有源层 141、第一欧姆接触层 144a 和第二欧姆接触层 144b。有源层 141 是由本征非晶硅构成，而第一欧姆接触层 144a 和第二欧姆接触层 144b 由掺杂非晶硅构成。第一欧姆接触层 144a 和第二欧姆接触层 144b 设置在有源层

141 上并彼此分开。

在栅绝缘层 135 和半导体层 145 上形成有数据线 146、源极 150 和漏极 153。数据线 146 与栅线 113 交叉，从而在基板 110 上限定出像素区域“P”。源极 150 延伸自数据线 146 并设置在第一欧姆接触层 144a 上。漏极 153 与源极 150 分开并设置在第二欧姆接触层 144b 上。漏极 153 延伸至存储区域“StgA”。源极 150 覆盖第一欧姆接触层 144a 和有源层 141 的一端，并且漏极 153 覆盖第二欧姆接触层 144b 的一端和有源层 141 的另一端。

虽然未图示，数据线 146 通过数据链接线 123（图 5）、数据链接线接触孔 171（图 5）和数据焊盘接触孔 137 与数据焊盘区域“DPA”中的数据焊盘电极 130 相连。在存储区域“StgA”中延伸自漏极 153 的第二存储电极 156 与第一存储电极 122 重叠。第一存储电极 122、第二存储电极 156 和栅绝缘层 135 组成存储区域“StgA”中的存储电容“StgC”。

包括第一和第二像素电极 160a 和 160b 的像素电极 160 形成于栅绝缘层 135 上。像素电极 160 从第二存储电极 156 延伸至像素区域“P”，以致像素电极 160 与漏极 153 电连接。第一和第二像素电极 160a 和 160b 彼此分开并分别平行于第一和第二公共电极 124 和 127。第三公共电极 165 形成于第一和第二像素电极 160a 和 160b 之间并通过第一和第二接触孔 139a 和 139b 与第一公共线 118 相连。

由于上述 IPS 模式 LCD 器件的阵列基板通过三轮掩模工序制造，制造时间和生产成本将降低。并且，由于源极 150 和漏极 153 覆盖半导体层 145 的两端，该阵列基板不会产生波纹噪声的问题。

图 10A 到 10H 是表示沿着图 5 的 VI—VI 线提取的部分的制造工序的横截面图，图 11A 到 11H 是表示沿着图 5 的 VII—VII 线提取的部分的制造工序的横截面图，图 12A 到 12H 是表示沿着图 5 的 VIII—VIII 提取的部分的制造工序的横截面图，以及图 13A 到 13H 是表示沿着图 5 的 IX—IX 线提取的部分的制造工序的横截面图。

图 10A、11A、12A 以及 13A 描述了第一掩模工序。如图 10A、11A、12A 以及 13A 所示，在基板 110 上通过沉积第一金属和透明导电金属以及由第一掩模工序对其进行构图而形成第一和第二公共电极 124 和 127、栅线 113、第一和第二公共线 118 和 121 以及数据焊盘电极 130。第一和第二公共电极 124

和 127、栅线 113 以及第一和第二公共线 118 和 121 沿着像素区域“P”的一侧形成，并且数据焊盘电极 130 形成于数据焊盘区域“DPA”中。同时，栅焊盘电极 129（图 5）形成于栅焊盘区域“GPA”中，以及与数据焊盘电极 130 和数据线 146 相连的数据链接线 123（图 5）形成于数据焊盘区域“DPA”中。第一和第二公共电极 124 和 127、栅线 113、第一和第二公共线 118 和 121、数据焊盘电极 130 以及栅焊盘电极 129（图 5）具有双层结构。第一和第二公共电极 124 和 127 从第一和第二公共线 118 和 121 延伸至像素区域“P”，第一和第二公共电极 124 和 127 以及第一和第二公共线 118 和 121 围绕像素区域“P”。栅线 113 沿着像素区域“P”的一侧形成并用作开关区域“TrA”中的栅极 115。第二公共线 121 用作存储区域“StgA”中的第一存储电极 122。栅焊盘电极 129（图 5）形成于栅焊盘区域“GPA”（图 5）中栅线 113 的端部，以及数据焊盘电极 130 形成于数据焊盘“DPA”中，并与数据线 146（图 5）相连。

更特别地，第一公共电极 124 具有第一金属层 124a 和透明导电层 124b，第二公共电极 127 具有第一金属层 127a 和透明导电层 127b。栅线 113 具有第一金属层 113a 和透明导电层 113b。第一公共线 118 具有第一金属层 118a 和透明导电层 118b，第二公共线 121 具有第一金属层 121a 和透明导电层 121b。数据焊盘电极 130 具有第一金属层 130a 和透明导电层 130b，以及栅焊盘电极 129（图 5）也具有第一金属层（未图示）和透明导电层（未图示）。如上所述，第一金属可包括铝、铝合金、铜、铬和钼，以及透明导电金属包括铟锡氧化物（ITO）以及铟锌氧化物（IZO）。第一金属具有低阻抗，并且透明导电金属具有防锈特性。第二金属层（未图示）进一步形成于第一金属层 113a、118a、121a、124a、127a 和 130a 和透明导电层 113b、118b、121b、124b、127b 和 130b 之间，从而栅线 113、第一和第二公共线 118 和 121、数据焊盘电极 130 以及栅焊盘电极 129（图 5）具有三层结构。第二金属层（未图示）可由钼构成。

如图 10B、11B、12B 以及 13B 所示，栅绝缘层 135 通过沉积无机绝缘材料形成于包括栅线 113、第一和第二公共线 118 和 121、数据焊盘电极 130 以及栅焊盘电极 129（图 5）的基板 110 上。无机绝缘材料可以是二氧化硅（ SiO_2 ）或氮化硅（ SiN_x ）。在栅绝缘层 135 上顺序地沉积本征非晶硅和掺杂非晶硅而

形成本征非晶硅层 140 和掺杂非晶硅层 143。随后，在掺杂非晶硅层 143 上沉积光刻胶而形成光刻胶 (PR) 层 181。在本实施例中，光刻胶是其被照射的部分将通过显影去除的正型光刻胶。然而，也可使用负型光刻胶。

掩模 191 设置在 PR 层 181 上。掩模 191 具有透射区“TA”、遮蔽区“BA”以及半透射区“HTA”。半透射区“HTA”具有小于透射区“TA”并且大于遮蔽区“BA”的透过率。透射区“TA”可具有 100% 的透过率，遮蔽区“BA”可具有 0% 的透过率。通过使用上述掩模可以得到具有不同高度的 PR 图案。透射区“TA”对应于从图 12B 所示的第一公共线 118 中心对称的对称部分以及数据焊盘电极 130 的中心。在该对称部分中将形成第一和第二公共线接触孔 139a 和 139b (图 5)，而在数据焊盘电极 130 的中心中将形成数据焊盘接触孔 137 (图 5)。遮蔽区“BA”对应于开关区域“TrA”，半透射区“HTA”对应于其它部分。半导体层 145 将形成于与遮蔽区“BA”对应的部分。虽然未图示，透射区“TA”对应于将形成有栅焊盘接触孔的栅焊盘电极的中心。

如图 10C、11C、12C 以及 13C 所示，第一 PR 图案 181a 和第二 PR 图案 181b 通过使用掩模 191 对 PR 层 181 进行曝光和显影而形成于掺杂非晶硅层 143 上。对应于遮蔽区“BA”的第一 PR 图案 181a 具有第一高度，对应于半透射区“HTA”的第二 PR 图案 181b 具有小于第一高度的第二高度。对应于透射区“TA”的掺杂非晶硅层 143 暴露于第二 PR 图案 181b 之间。

接下来，如图 10D、11D、12D 以及 13D 所示，通过顺序地去除暴露于第二 PR 图案 181b 之间的掺杂非晶硅层 143、本征非晶硅层 140 以及栅绝缘层 135 而形成第一公共线 118 中的第一和第二公共线接触孔 139a 和 139b、栅焊盘电极 129 (图 5) 中的栅焊盘接触孔 138 (图 5) 以及数据焊盘电极 130 中的数据焊盘接触孔 137。虽然未图示，与此同时，数据链接线接触孔 171 (图 5) 形成于数据链接线 123 (图 5) 的端部。第一和第二公共线接触孔 139a 和 139b 分别暴露出第一公共线 118，以及栅焊盘接触孔 138 (图 5) 暴露出栅焊盘电极 129 (图 5)。数据焊盘接触孔 137 暴露出数据焊盘电极 130，以及数据链接线接触孔 171 (图 5) 暴露出数据链接线 123 (图 5)。

由于栅焊盘电极 129 (图 5)、数据焊盘电极 130、第一公共线 118 以及数据链接线 123 (图 5) 具有透明导电金属的最上层，所以不会有生锈的问题。并且，由于第一和第二公共线接触孔 139a 和 139b 为液晶分子所覆盖，所以生

锈的问题也不会发生。

如图 10E、11E、12E 以及 13E 所示，通过对第一和第二 PR 图案 181a 和 181b 进行灰化而去除第二 PR 图案 181b（图 10D、11D、12D 以及 13D），从而暴露出第二 PR 图案 181b 之间的掺杂非晶硅层 143。开关区域“TrA”中的第一 PR 图案 181 具有比第一高度小的高度。

如图 10F、11F、12F 以及 13F 所示，通过干刻顺序地去除由灰化暴露出的掺杂非晶硅层 143 以及本征非晶硅层 140，从而暴露出对应于由干刻去除的本征非晶硅层 140 的栅绝缘层 135。因此，由灰化暴露出的掺杂非晶硅层 143 以及本征非晶硅层 140 保留在开关区域“TrA”中，从而分别形成欧姆接触层 144 和有源层 141。随后，从欧姆接触层 144 上去除第一 PR 图案 181a。

如图 10G、11G、12G 以及 13G 所示，通过沉积金属层（未图示）以及由第三掩模工序对其进行构图而形成栅绝缘层 135 上的数据线 146、欧姆接触层 144 上的源极 150 以及欧姆接触层 144 上的漏极 153。该金属层（未图示）可由钼构成。数据线 146 与栅线 113 交叉，从而限定出像素区域“P”。数据线 146 通过链接线接触孔 171（图 5）与数据链接线 123（图 5）接触。源极 150 从数据线 146 延伸至开关区域“TrA”，并且漏极 153 与源极 150 分开，从而暴露出源极 150 和漏极 153 之间的欧姆接触层 144。漏极 153 延伸至存储区域“StgA”，从而漏极 153 与第一存储电极 122 重叠，以用作第二存储电极 156。第一存储电极 122、第二存储电极 156 以及在第一存储电极 122 和第二存储电极 156 之间的栅绝缘层 135 组成存储电容“StgC”。

与此同时，包括第一像素电极 160a 和第二像素电极 160b 的像素电极 160 形成于像素区域“P”中。第一和第二像素电极 160a 和 160b 延伸自第二存储电极 156，从而第一和第二像素电极 160a 和 160b 与漏极 153 电连接。第一和第二像素电极 160a 和 160b 分别平行于第一和第二公共电极 124 和 127。并且，第三公共电极 165 形成于像素区域“P”中。形成于第一和第二像素电极 160a 和 160b 之间的第三公共电极 165 通过第一和第二公共线接触孔 139a 和 139b 与第一公共线 118 相连，并平行于第一和第二像素电极 160a 和 160b。

如图 10H、11H、12H 以及 13H 所示，通过去除暴露于源极 150 和漏极 153 之间的欧姆接触层 144（图 11G）而形成第一欧姆接触层 144a 和第二欧姆接触层 144b，从而暴露出有源层 141。随后，通过氧气环境的等离子工序在暴

露于第一欧姆接触层 144a 和第二欧姆接触层 144b 之间的有源层 141 上形成二氧化硅层（未示出）。二氧化硅层保护有源层 141。形成二氧化硅层 168 的步骤对于阵列基板而言并非是必不可少的步骤。

在根据本发明的 IPS 模式 LCD 器件的阵列基板的制造方法中，像素电极 160、第三公共电极 165 以及数据线 146 由彼此相同的材料形成为彼此相同的层。由于源极 150 和漏极 153 分别覆盖半导体层 145 的两端，所以波纹噪声的问题不会发生。同样，数据焊盘电极 130 以与栅焊盘电极 129 相同的材料形成为与栅焊盘电极 129 相同的层。第一和第二像素电极 160a 和 160b，以及第一、第二和第三公共电极 124、127 和 165 具有弯曲形状，从而形成多畴。

上述阵列基板未包括钝化层。然而，由于第一定向层（未图示）形成于像素电极 160、数据线 146 和第三公共电极 165 上，将不会产生像素电极 160、数据线 146 和第三公共电极 165 生锈的问题。同样，第一定向层覆盖数据焊盘电极 130、栅焊盘电极 129、数据链接线 123。

该阵列基板结合有包括滤色片层（未图示）和第二定向层（未图示）的滤色片基板（未图示）。并且液晶层（未图示）插入于阵列基板与滤色片基板之间。

图 14 是表示沿着图 5 的 X IV—X IV 线提取的部分的横截面图，并示出了数据链接线和数据链接线接触孔。如图 14 所示，包括第一金属层 123a 和透明导电层 123b 的数据链接线 123 形成于基板 110 上。数据链接线 123 通过数据焊盘接触孔 137（图 5）与数据焊盘电极 130（图 5）接触。栅绝缘层 135 形成于数据链接线 123 上。栅绝缘层 135 具有暴露出数据链接线 123 的数据链接线接触孔 171。数据线 146 形成于栅绝缘层 135 上，并通过数据链接线接触孔 171 与数据链接线 123 接触。在图 14 中，数据链接线具有双层结构。然而，该数据链接线也可有如上所述的三层结构。

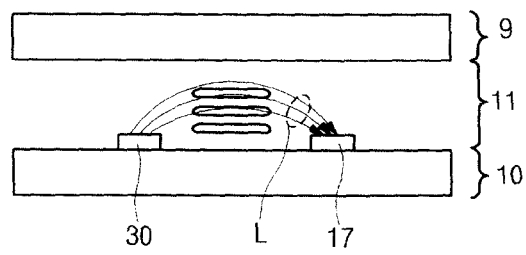


图 1

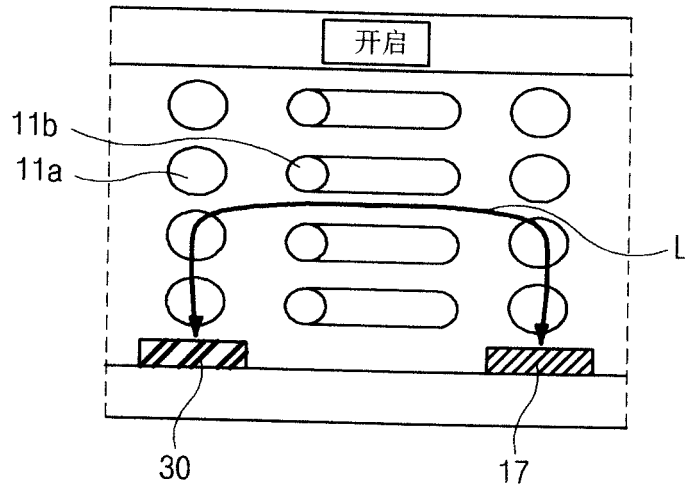


图 2A

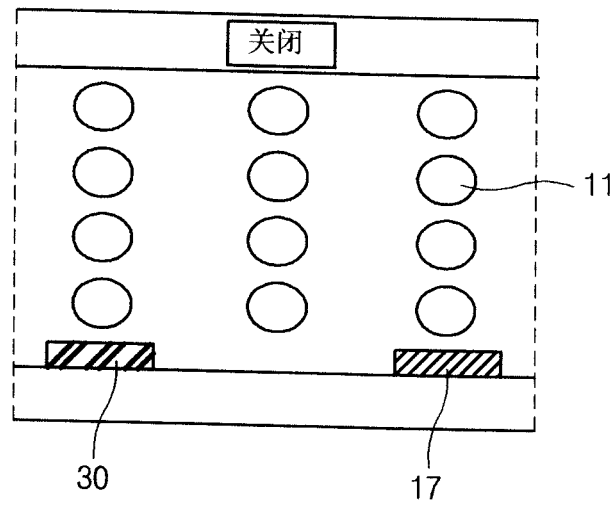


图 2B

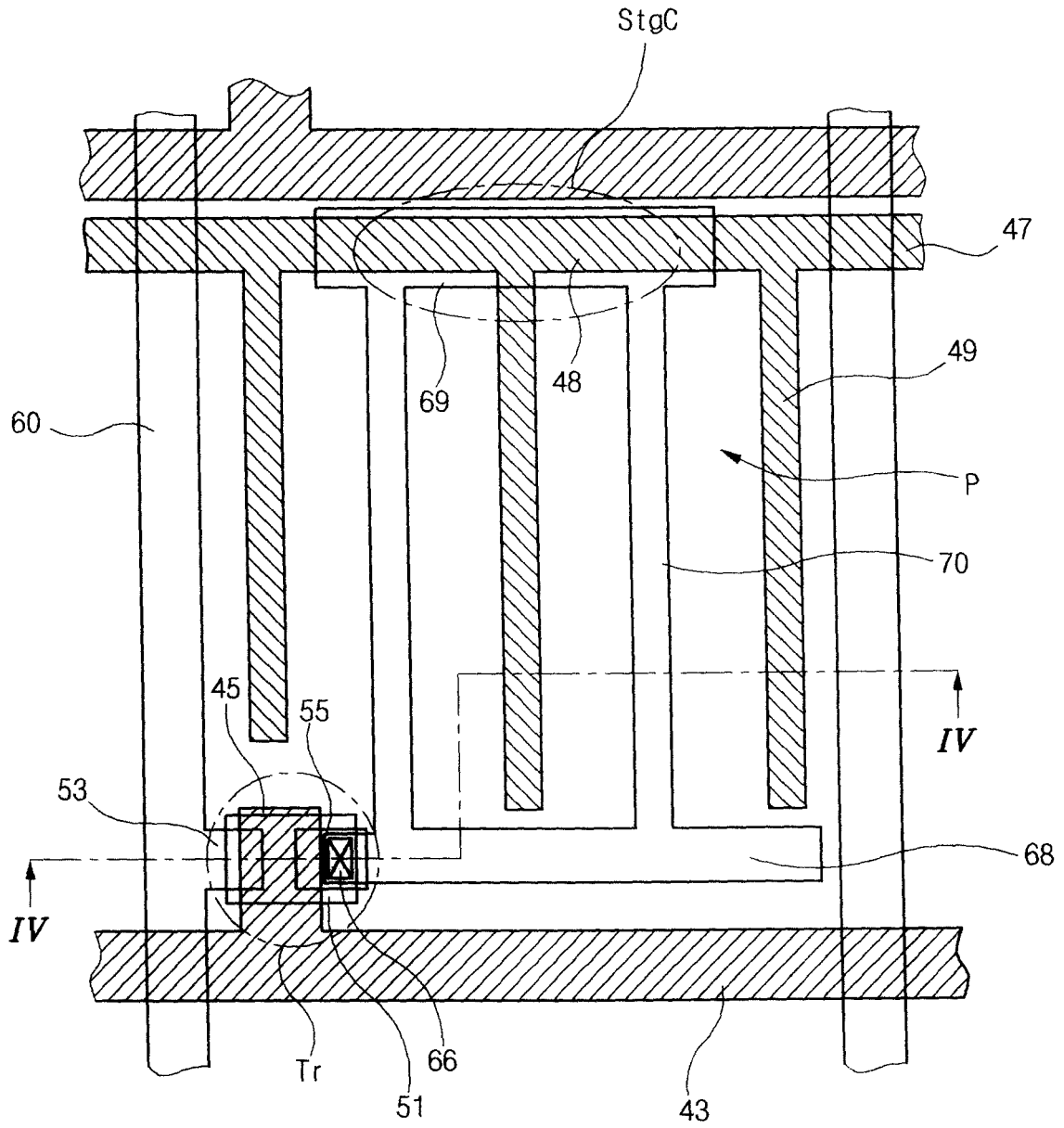


图 3

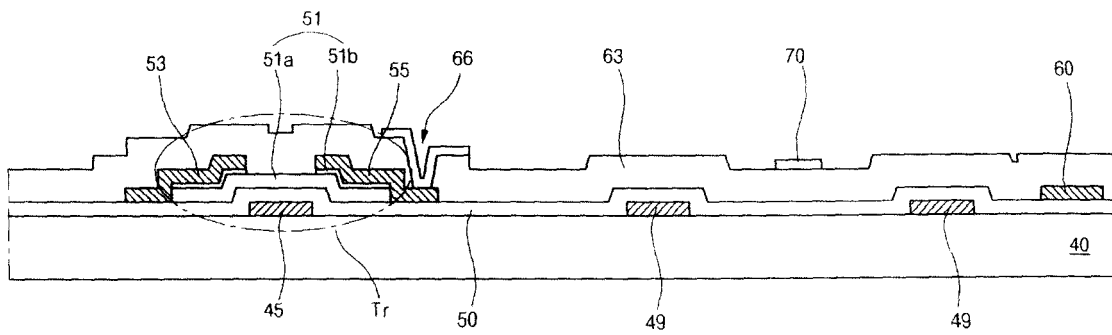


图 4

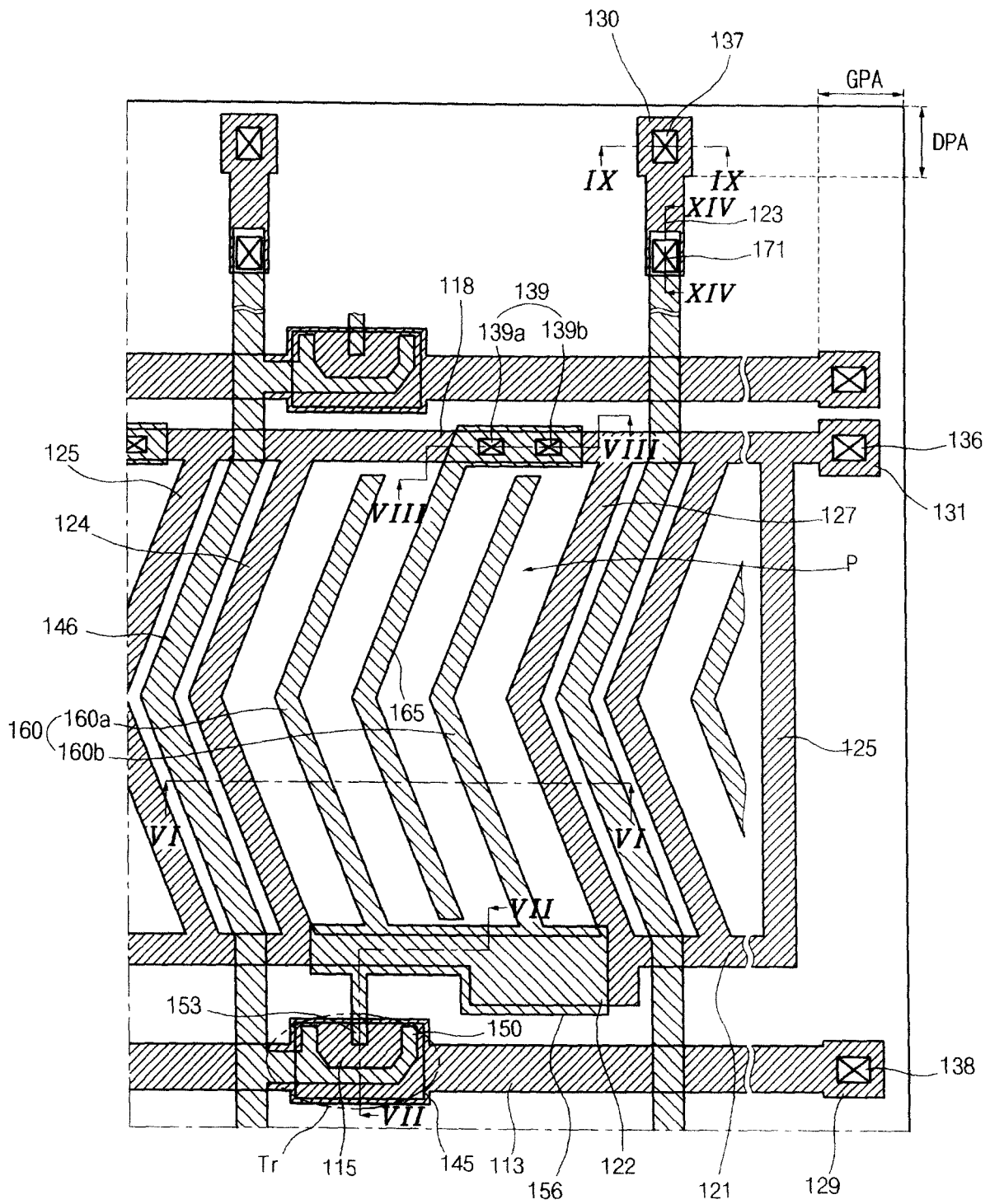


图 5

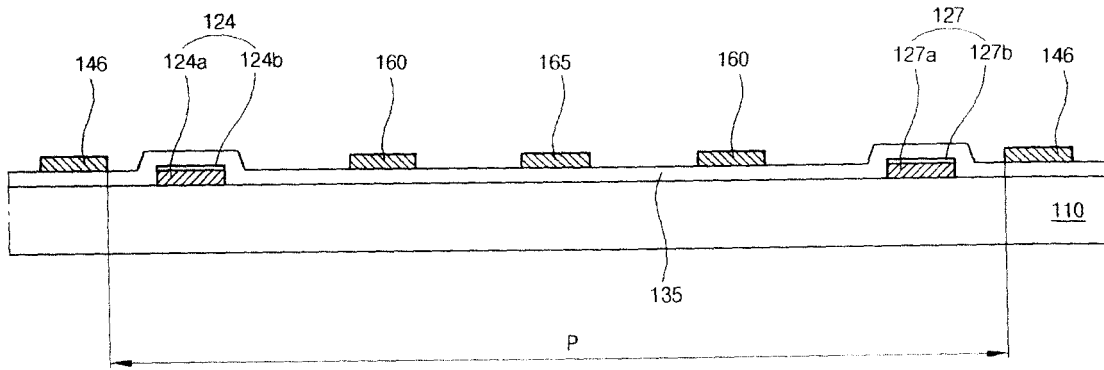


图 6

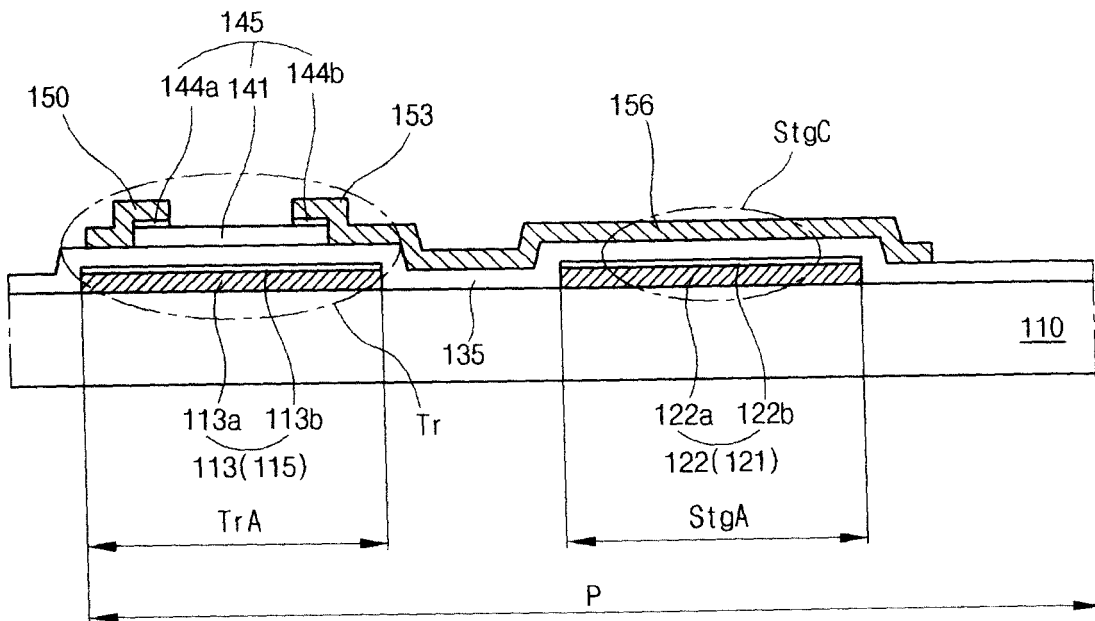


图 7

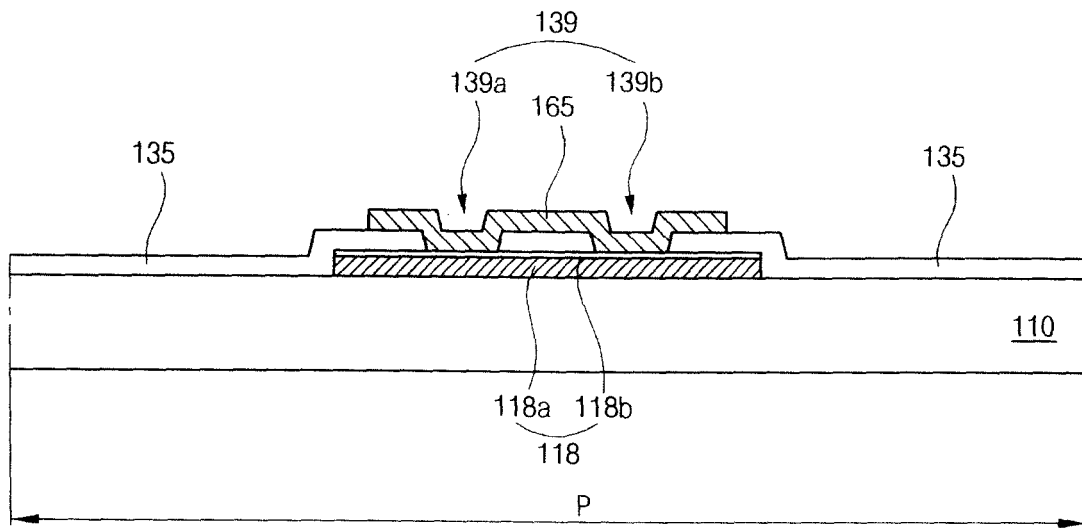


图 8

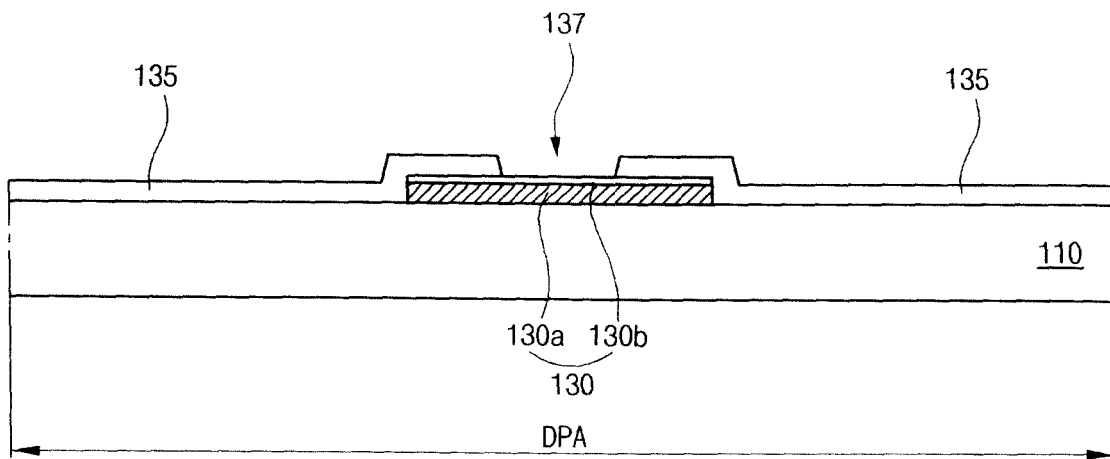


图 9

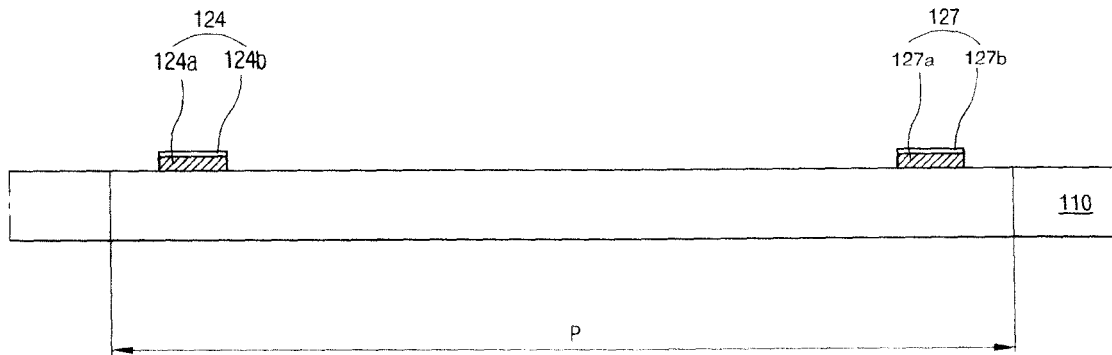


图 10A

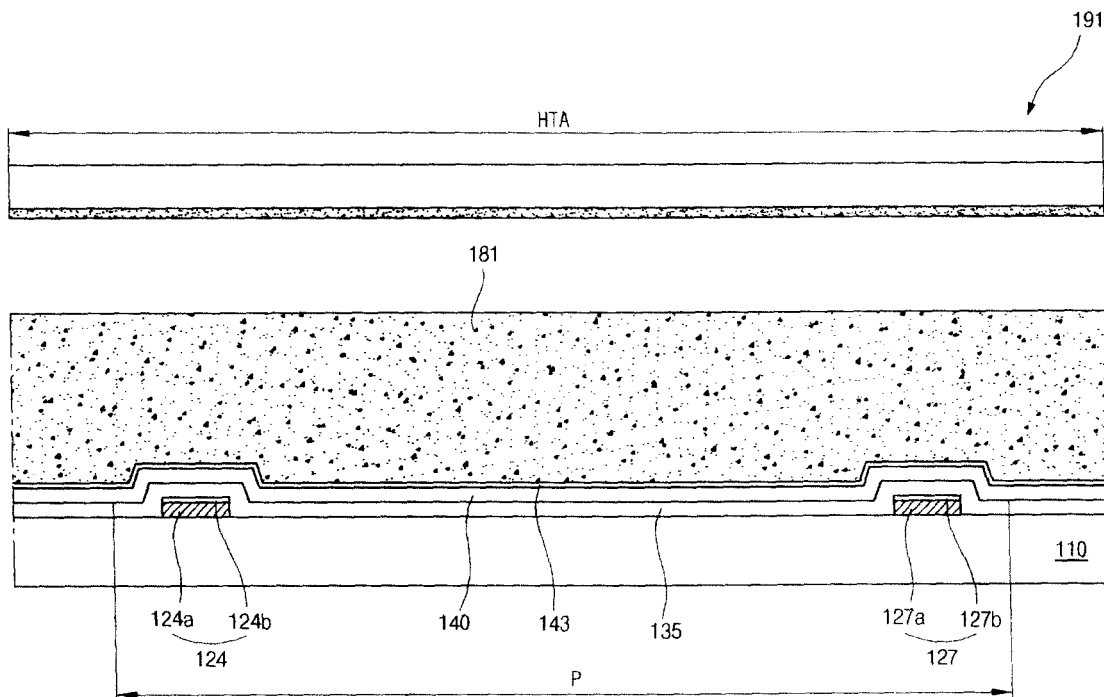


图 10B

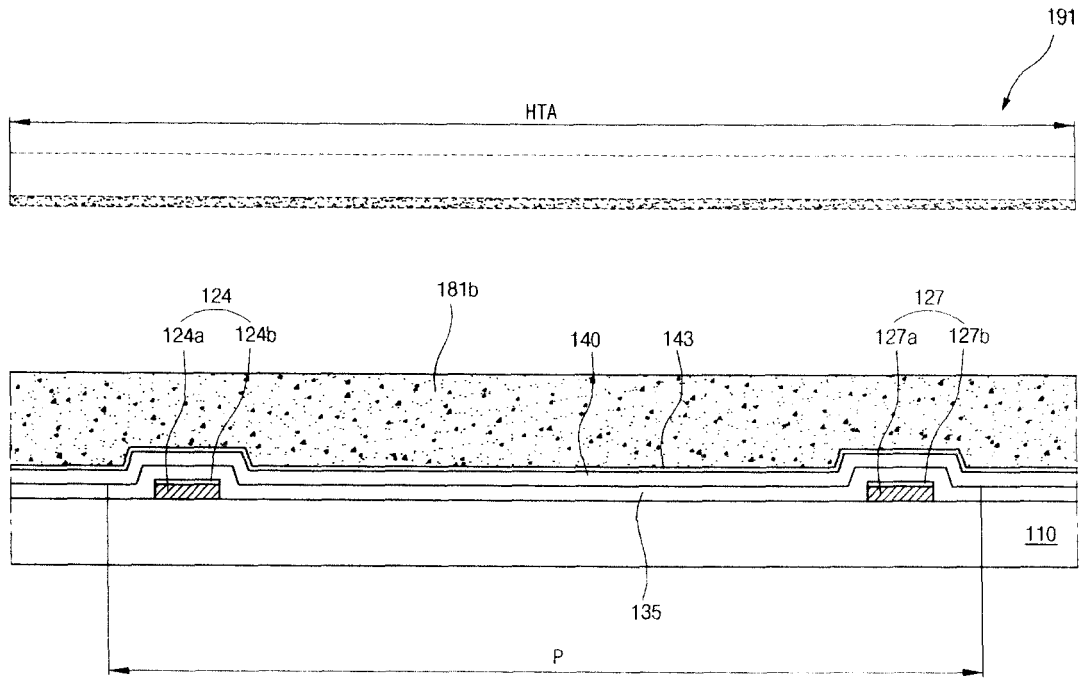


图 10C

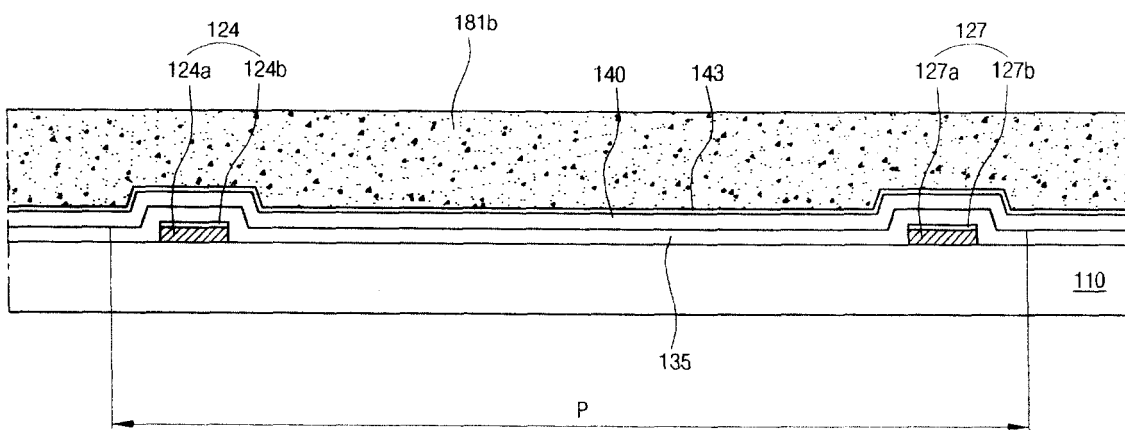


图 10D

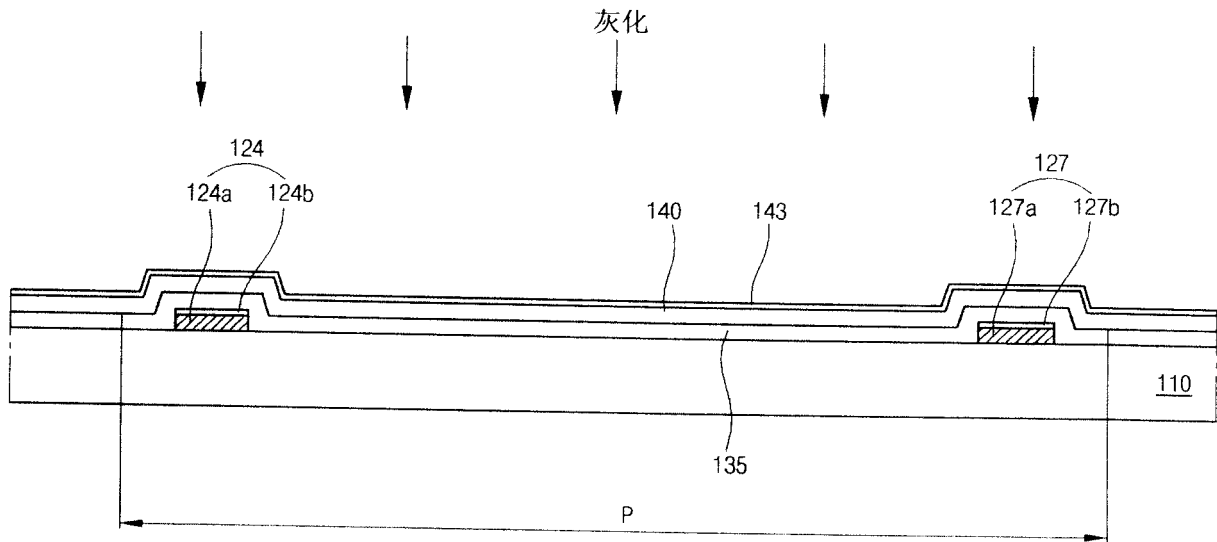


图 10E

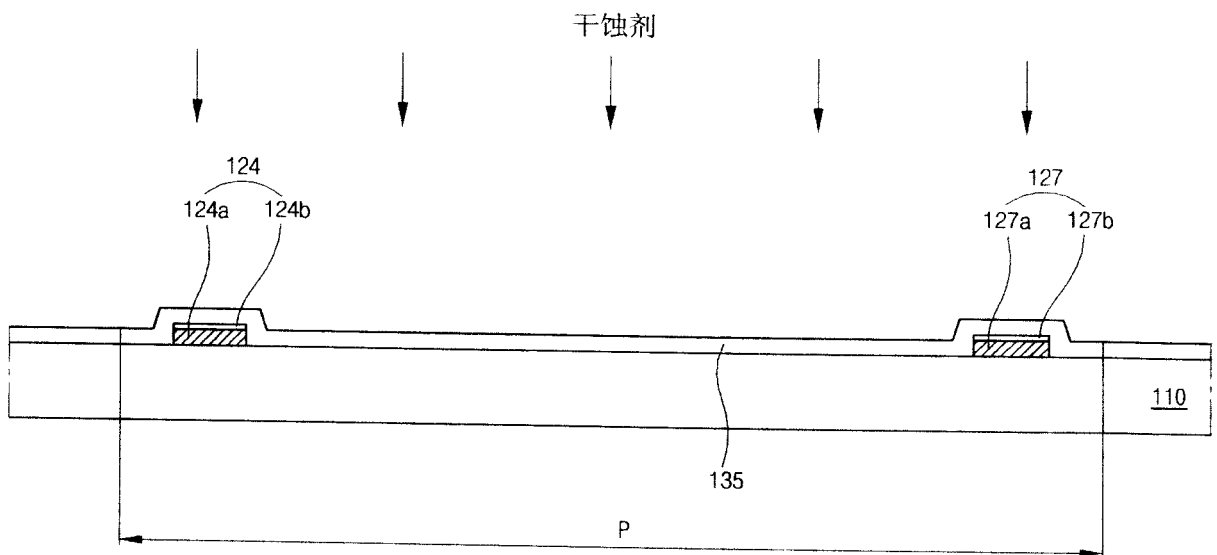


图 10F

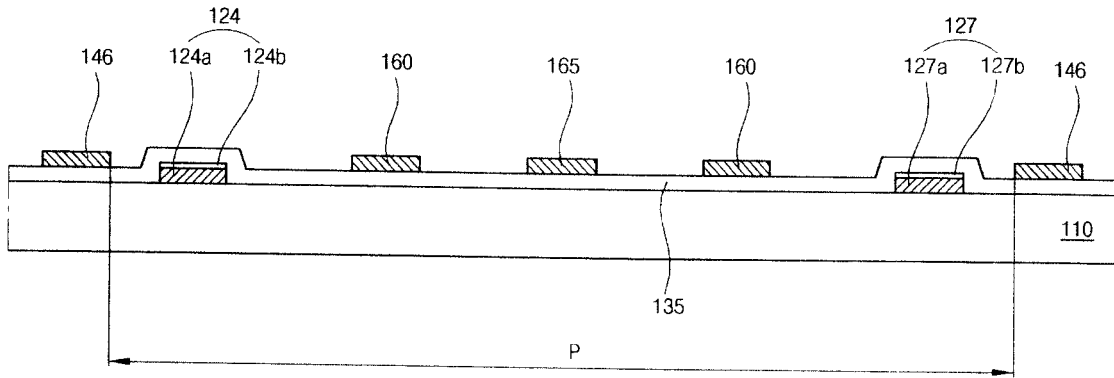


图 10G

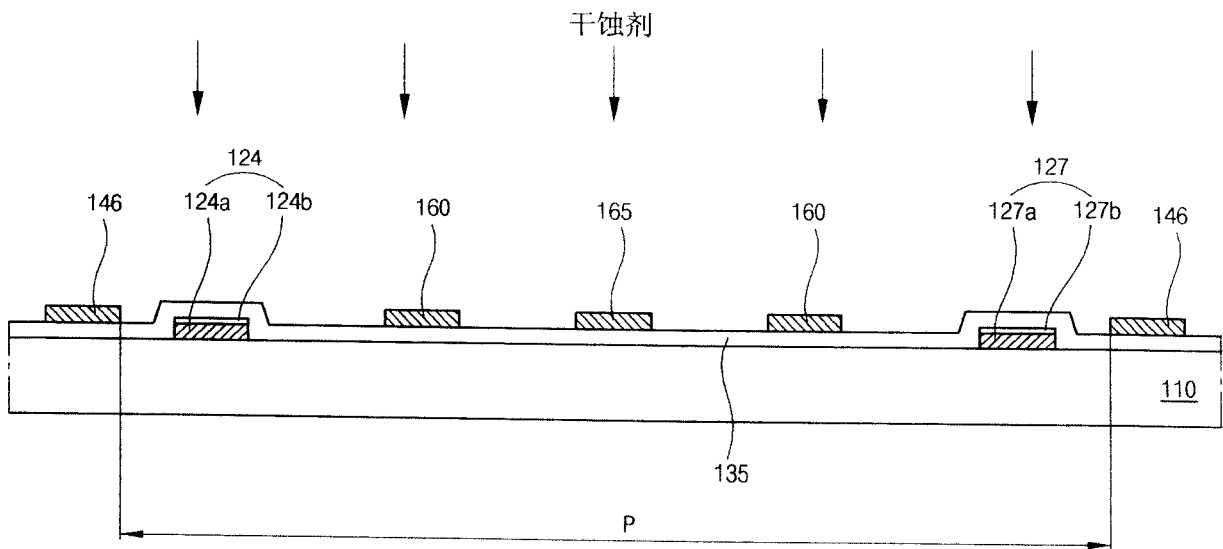


图 10H

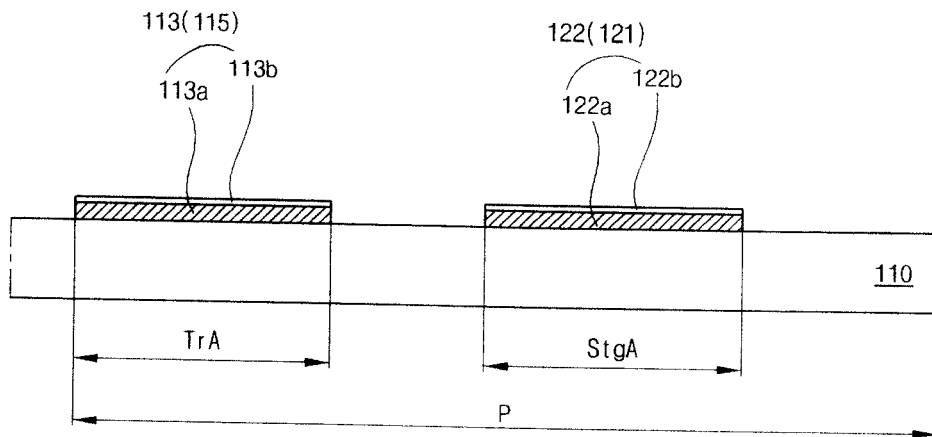


图 11A

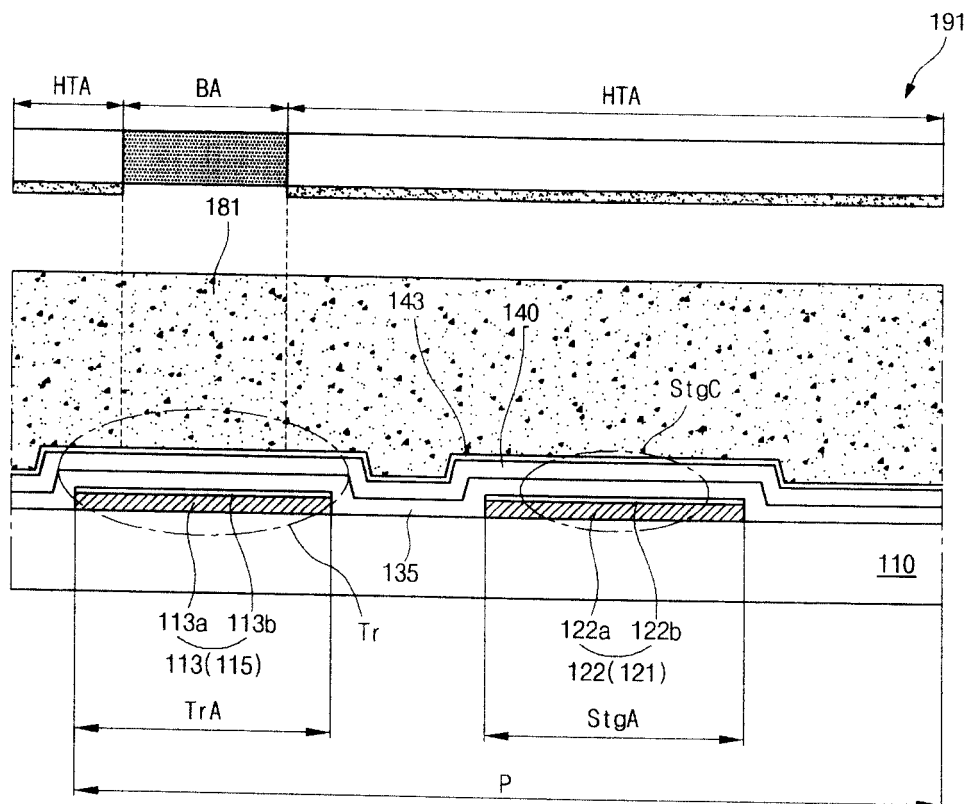


图 11B

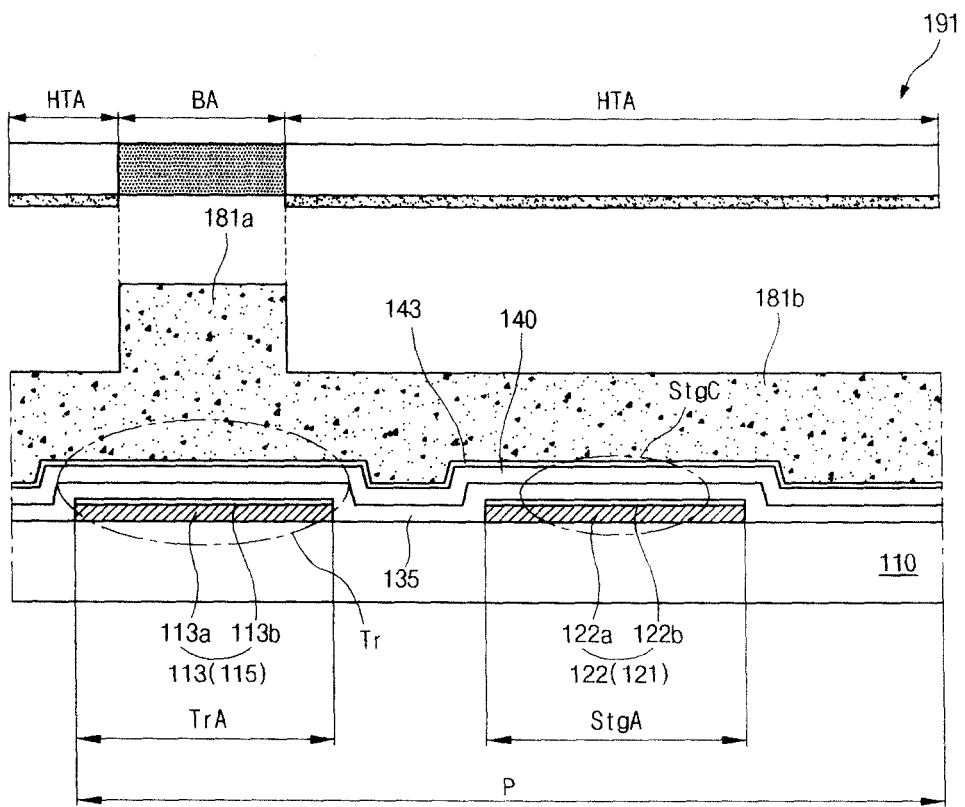


图 11C

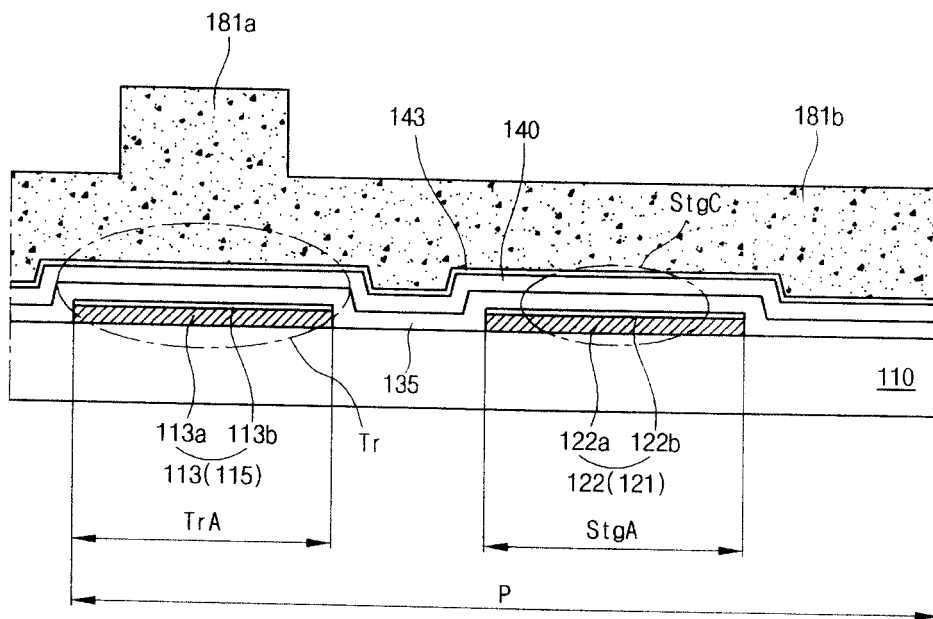


图 11D

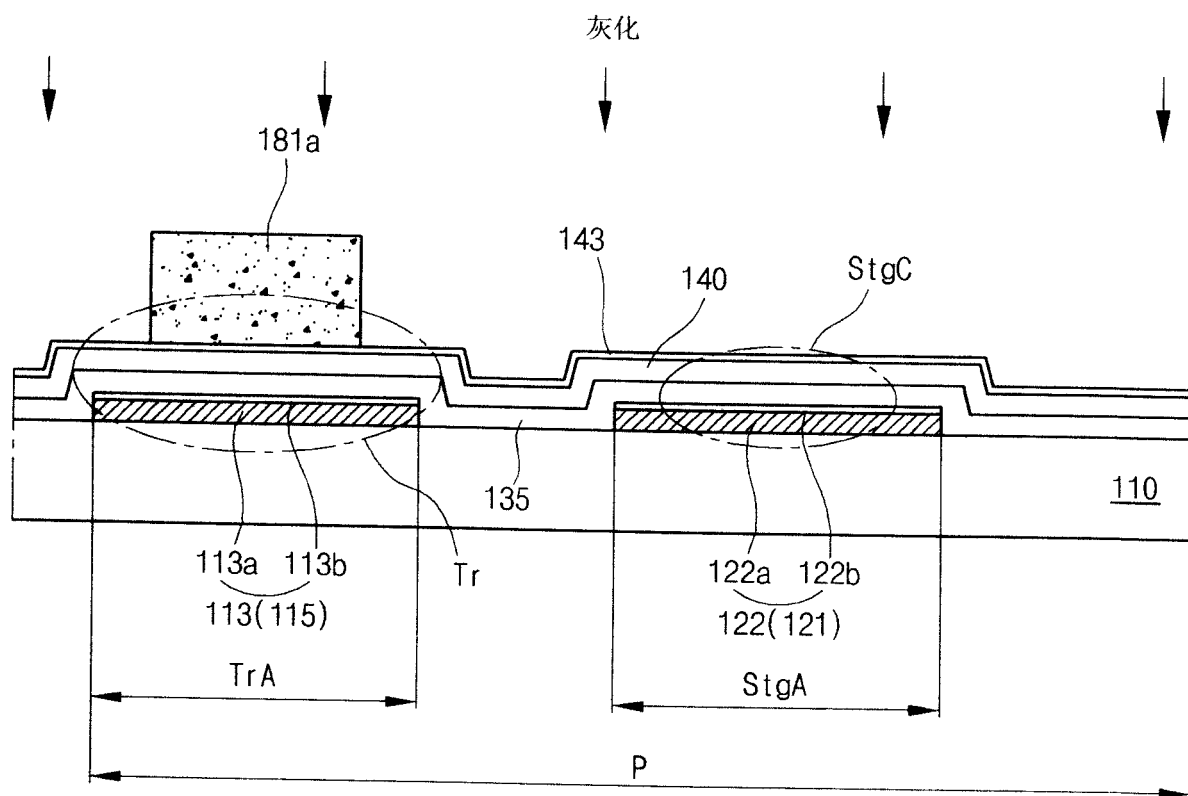


图 11E

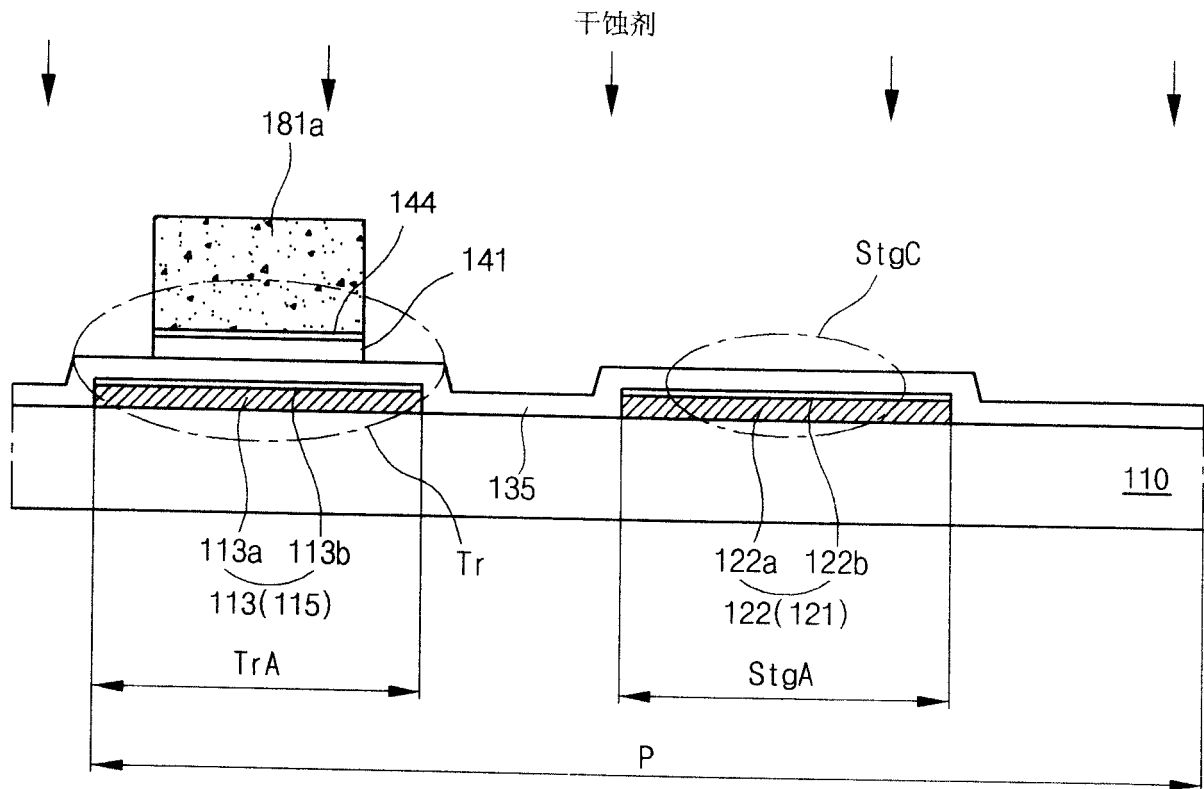


图 11F

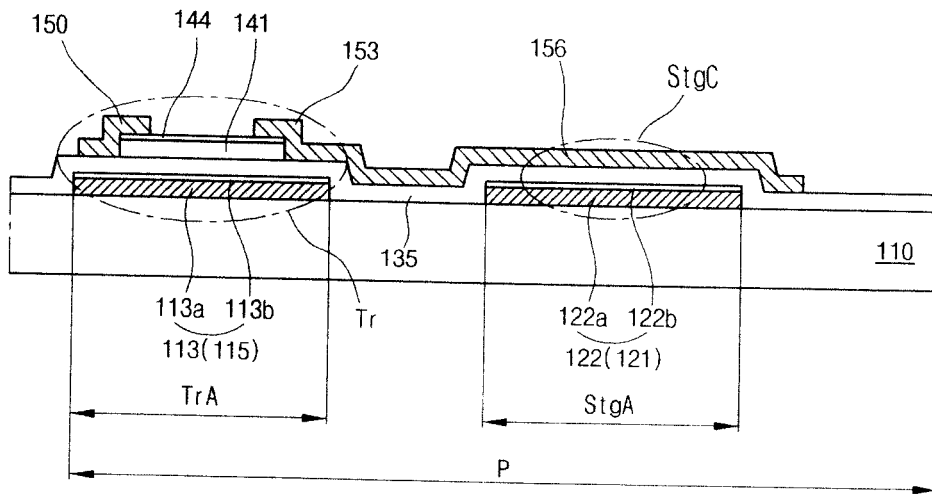


图 11G

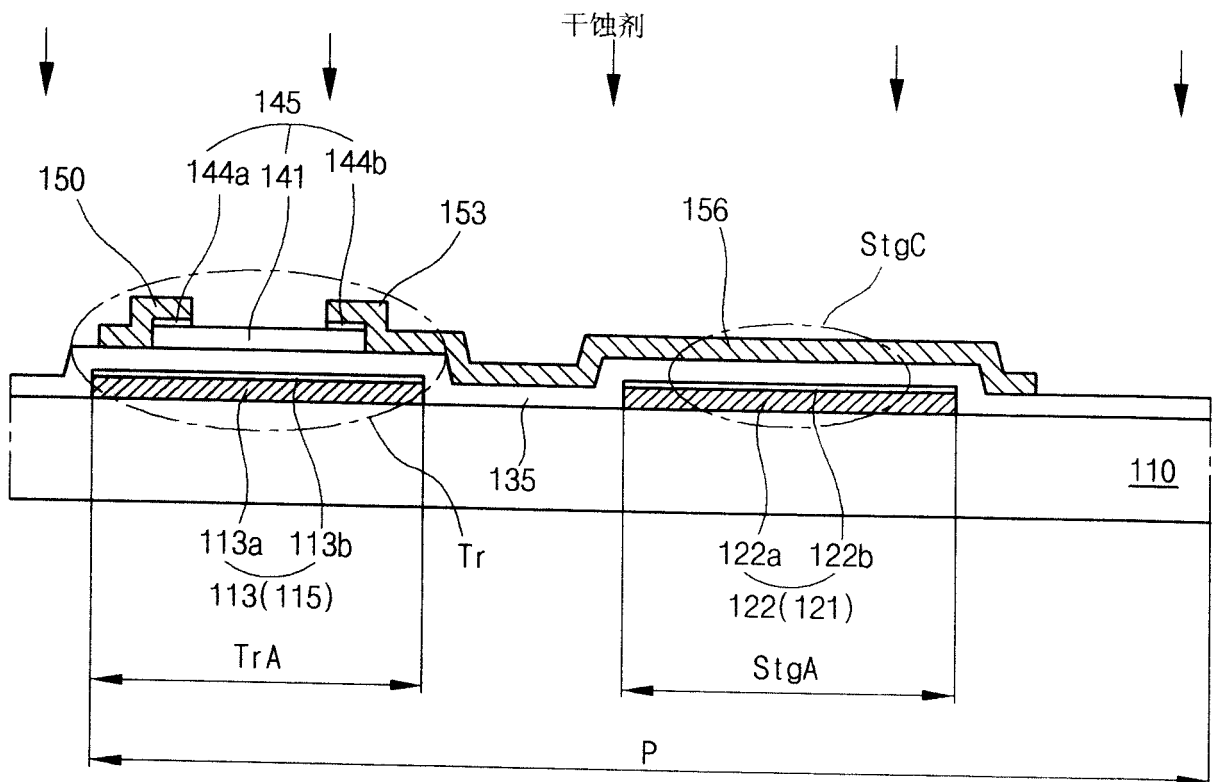


图 11H

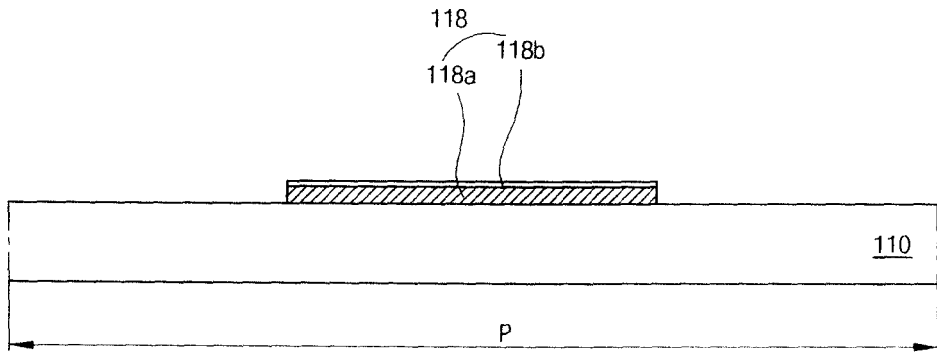


图 12A

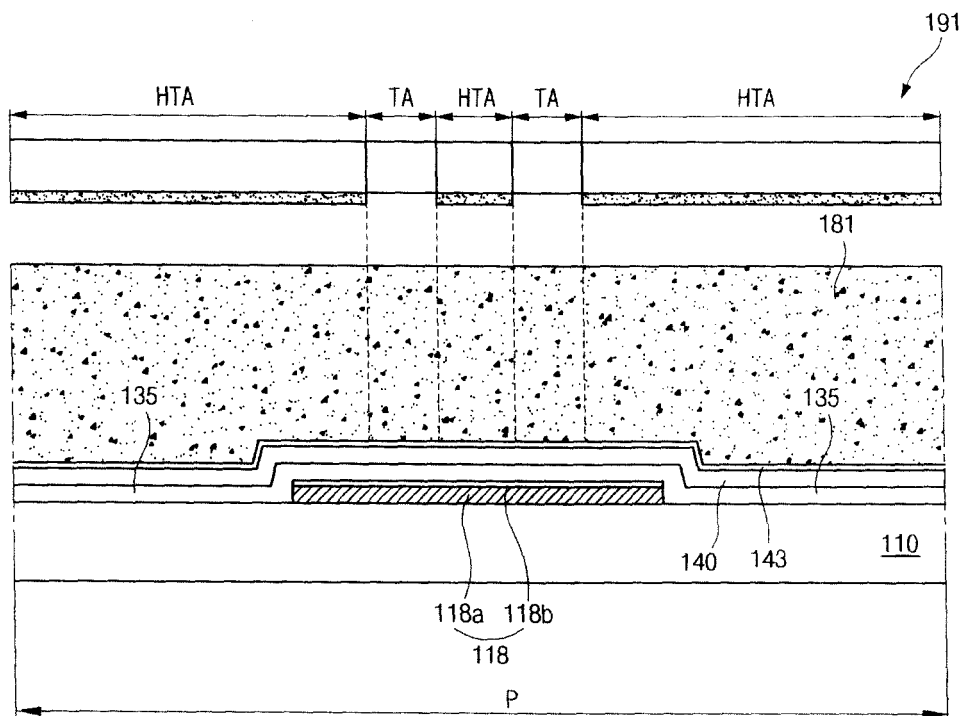


图 12B

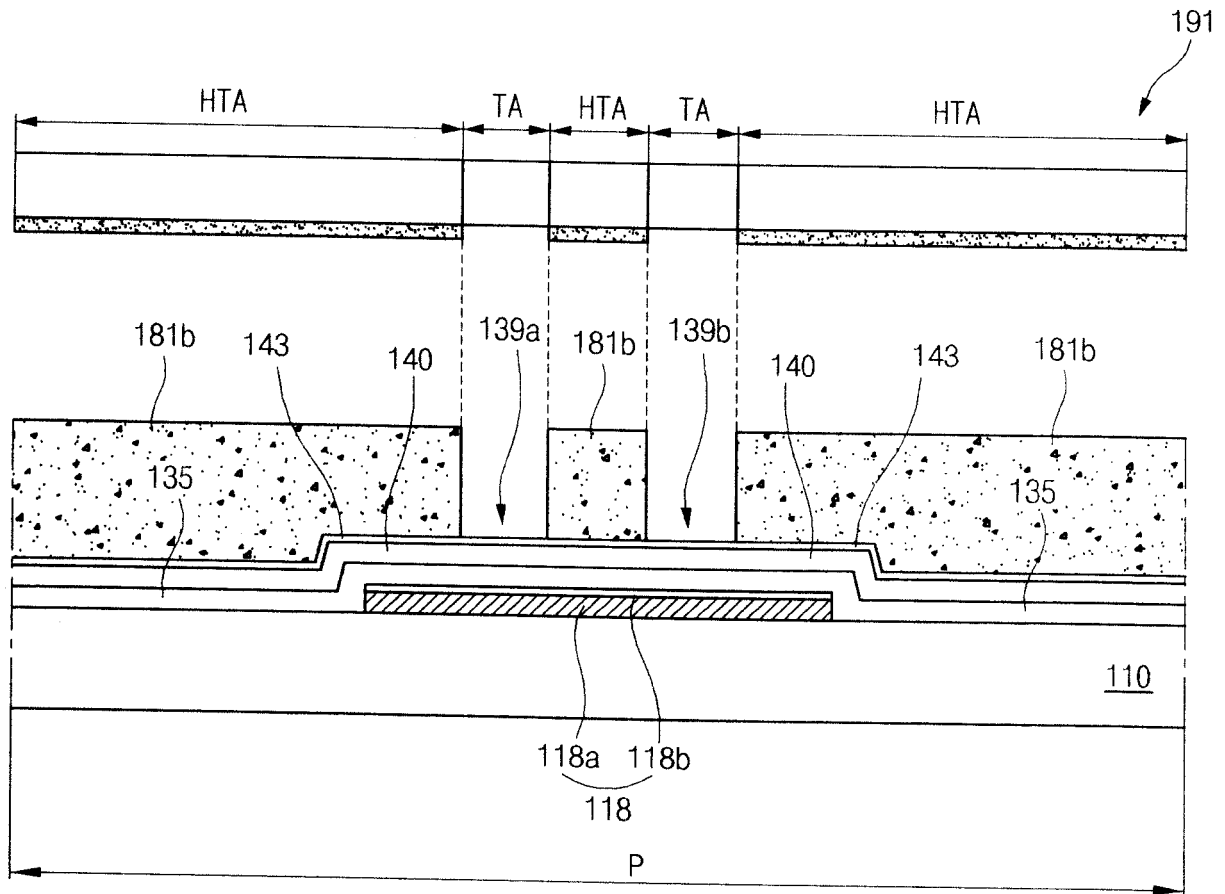


图 12C

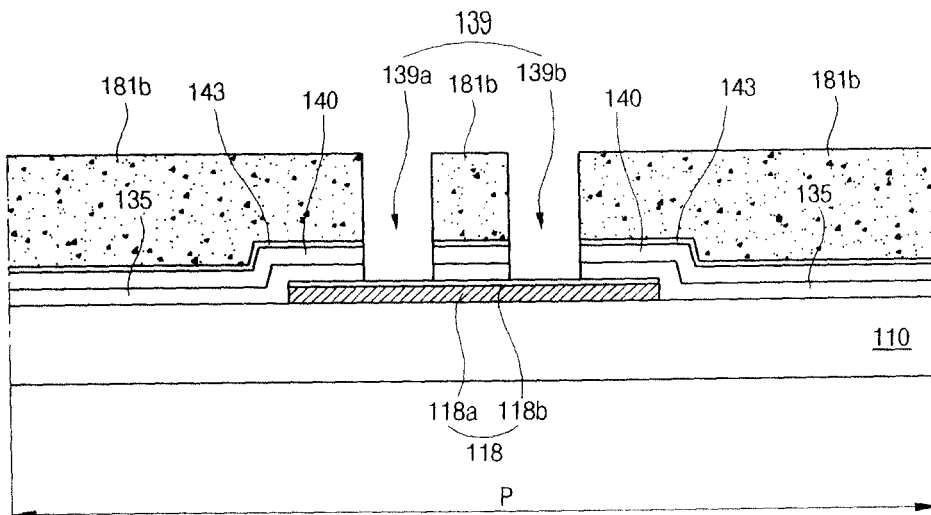


图 12D

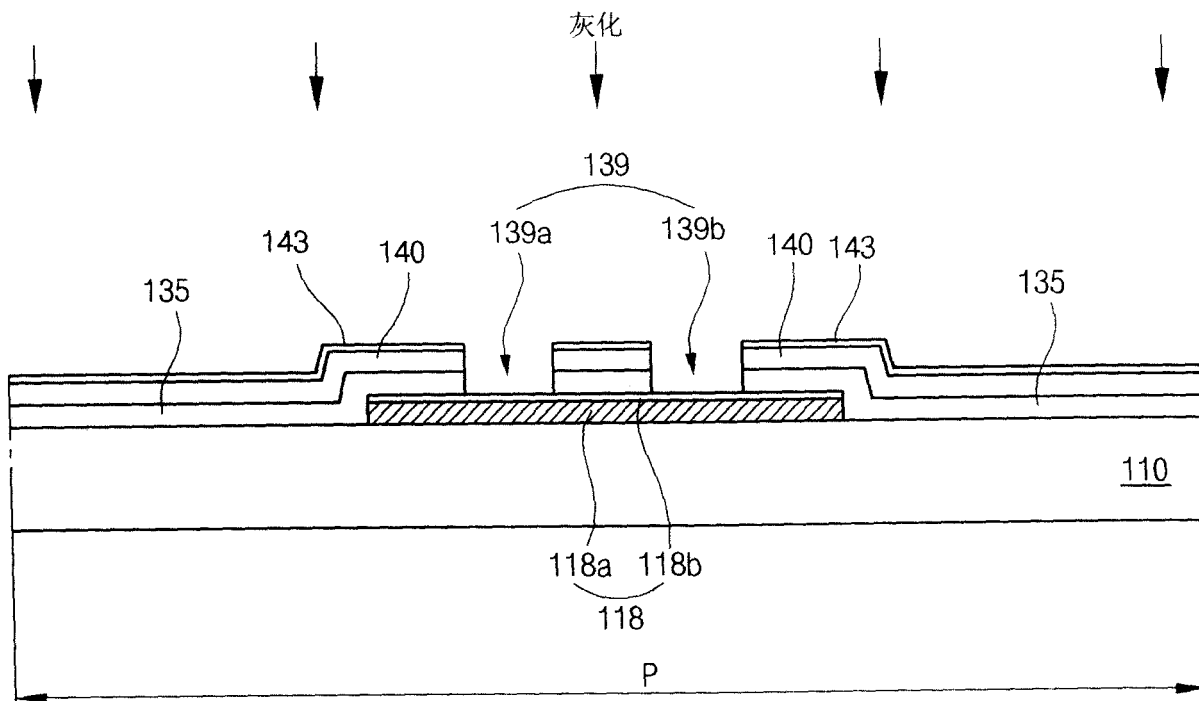


图 12E

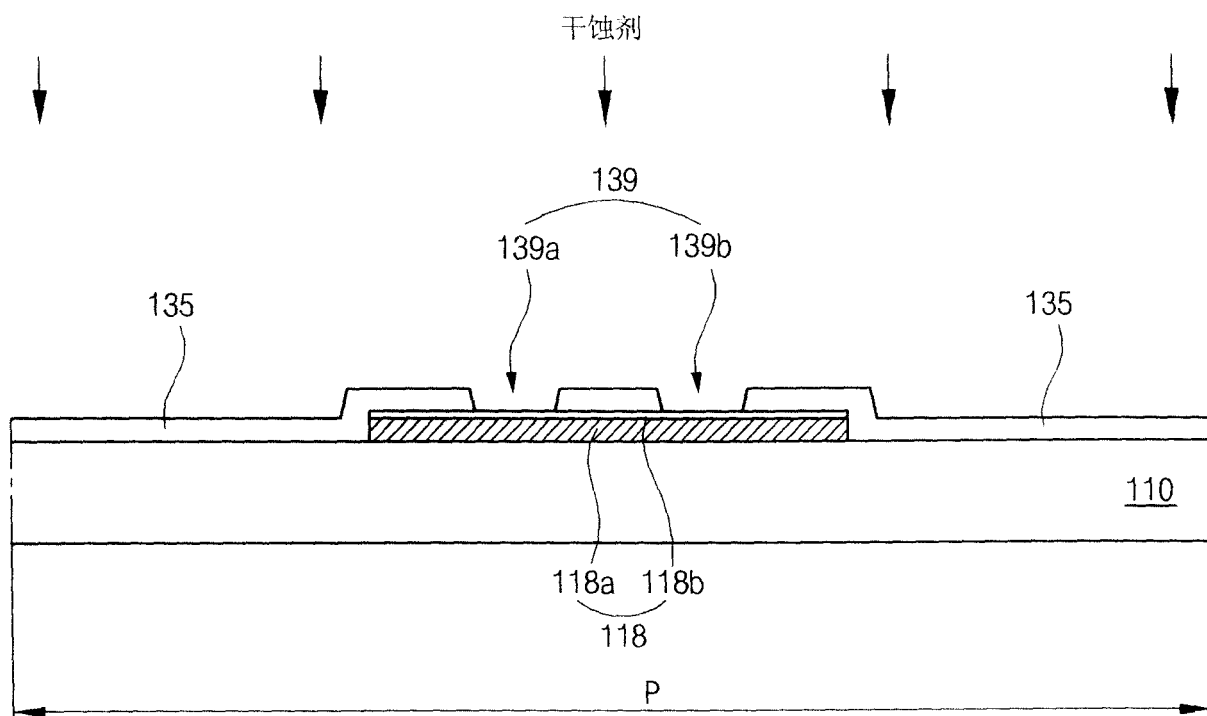


图 12F

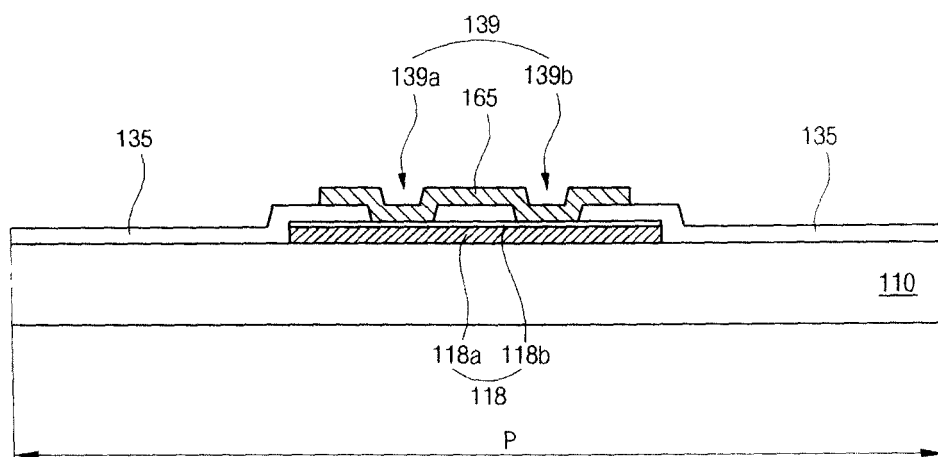


图 12G

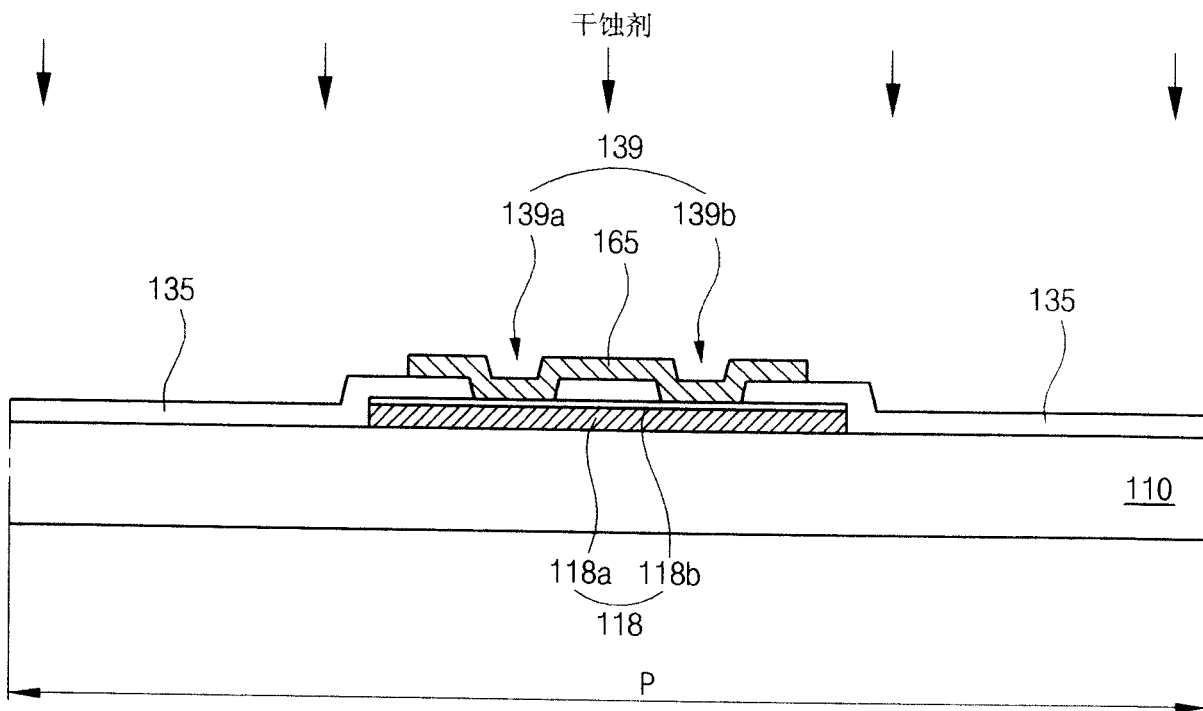


图 12H

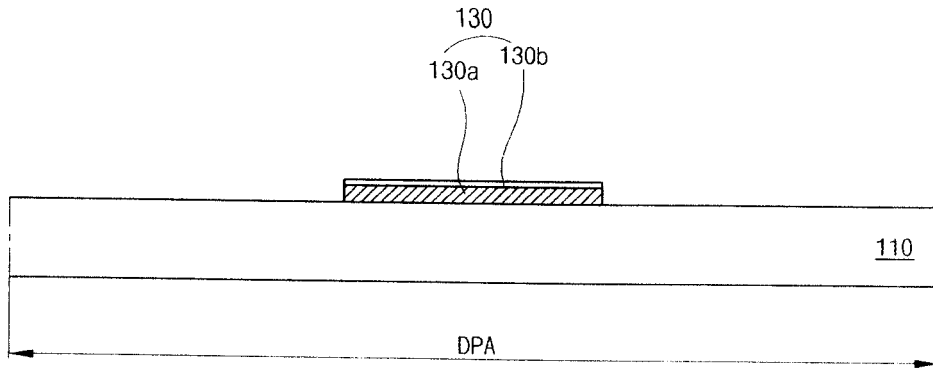


图 13A

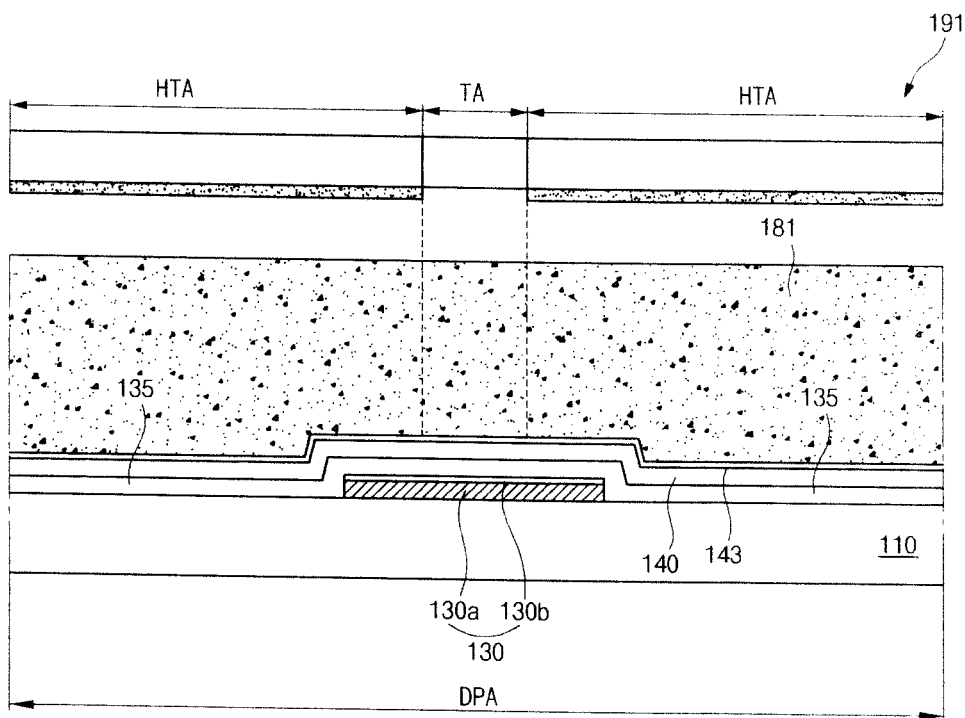


图 13B

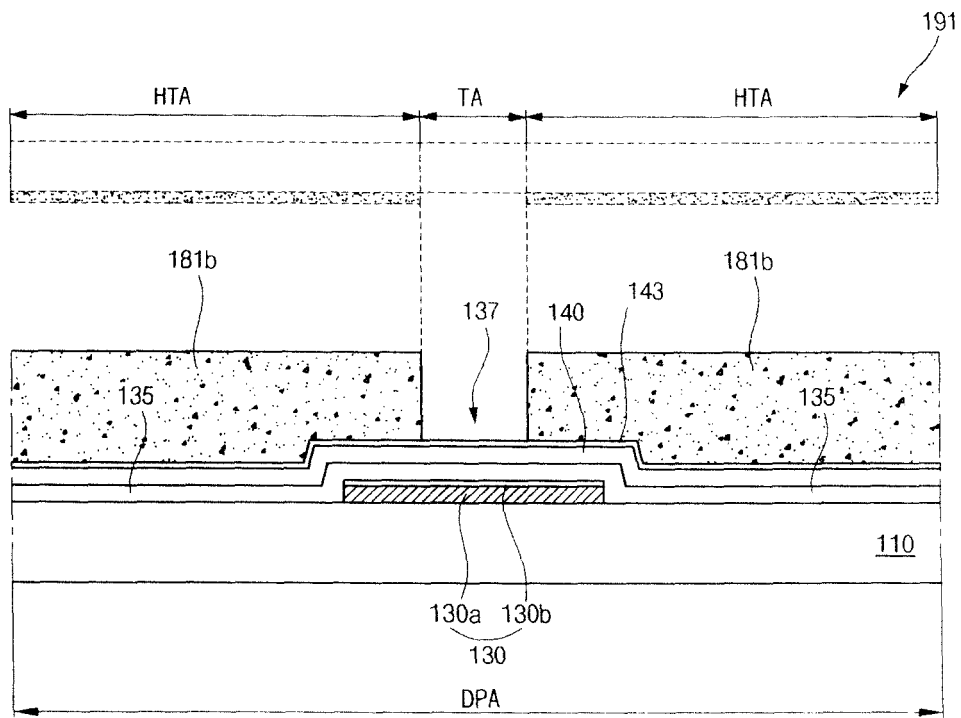


图 13C

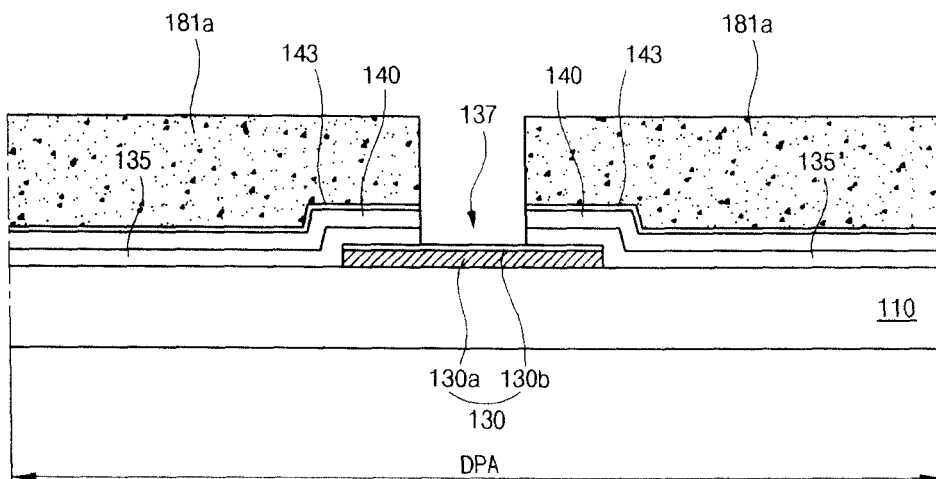


图 13D

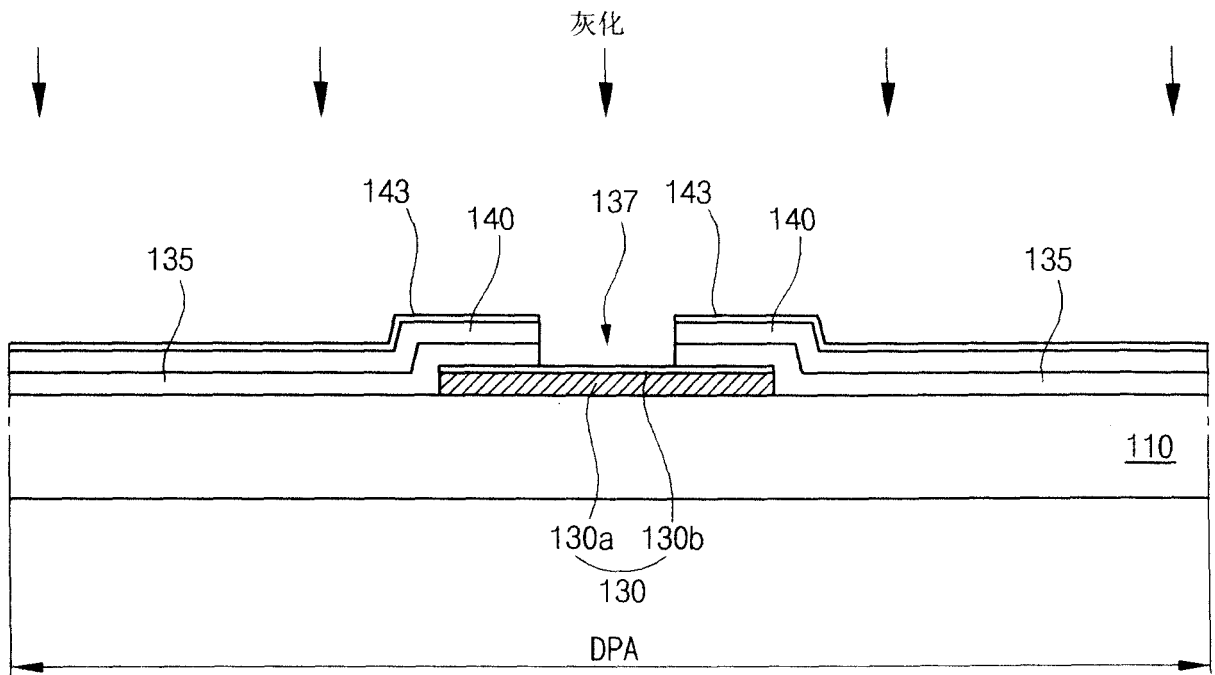


图 13E

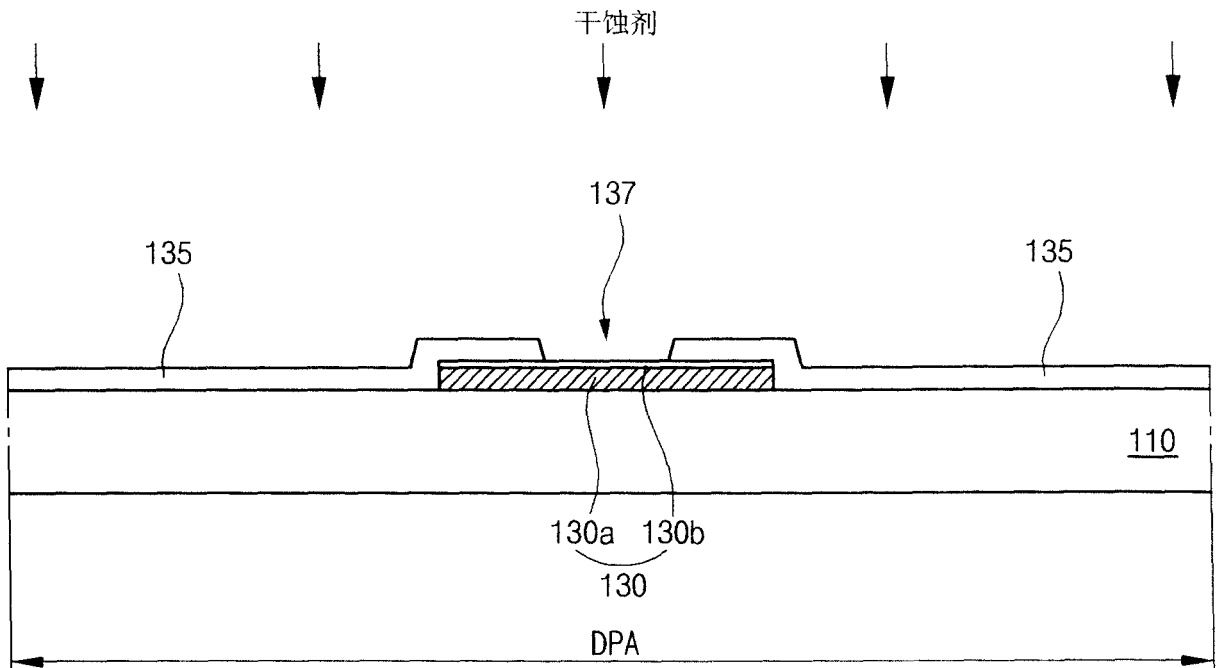


图 13F

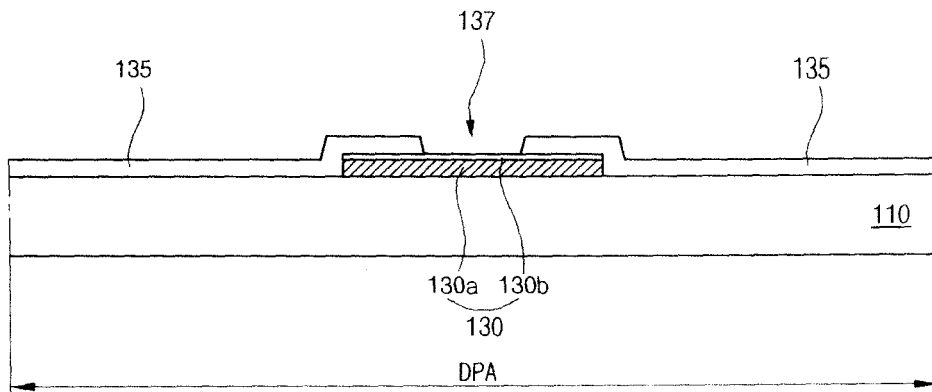


图 13G

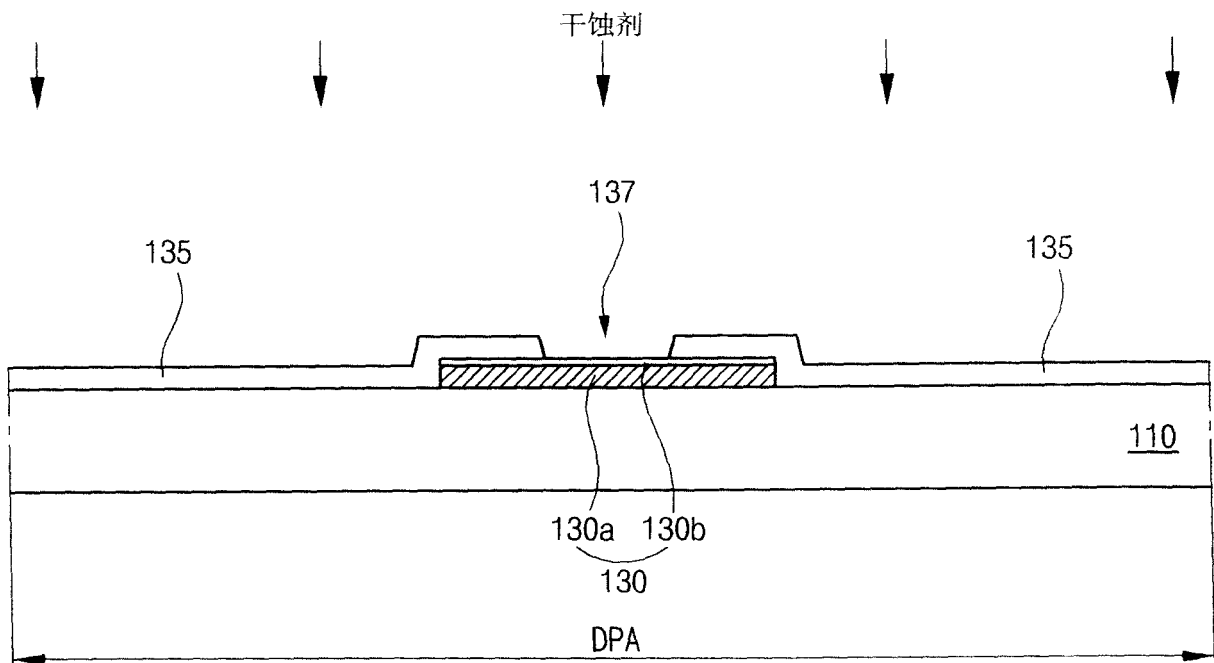


图 13H

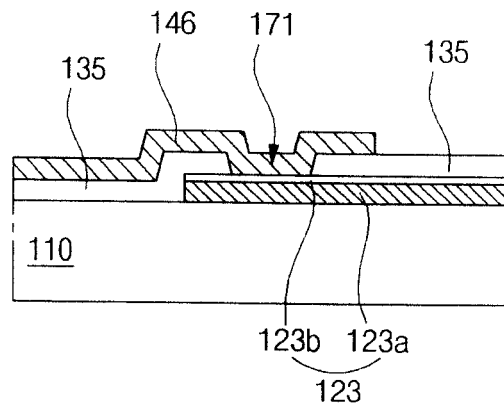


图 14

专利名称(译)	共平面开关模式液晶显示器件的阵列基板及其制造方法		
公开(公告)号	CN1991547A	公开(公告)日	2007-07-04
申请号	CN200610168050.6	申请日	2006-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	曹基述 崔荣锡 安炳龙 黄太雄 闵东俊 丁辅径		
发明人	曹基述 崔荣锡 安炳龙 黄太雄 闵东俊 丁辅径		
IPC分类号	G02F1/136 G02F1/1362 G02F1/133 G03F7/20 G03F7/26 H01L21/027		
CPC分类号	G02F1/134363		
代理人(译)	徐金国		
优先权	1020050133525 2005-12-29 KR		
其他公开文献	CN100483237C		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种共平面开关模式液晶显示器件的阵列基板及其制造方法，其防止了被称为波纹噪声的问题。该共平面开关模式液晶显示器件及其制造方法在不增加制造成本和生产成本的同时，具有缩短的处理时间和降低的误差率。

