



(12) 发明专利

(10) 授权公告号 CN 1790144 B

(45) 授权公告日 2010.04.21

(21) 申请号 200510093755.1

JP 2002-208158 A, 2002.07.26, 全文.

(22) 申请日 2005.08.29

JP 2001-42317 A, 2001.02.16, 全文.

JP 2001-255554 A, 2001.09.21, 全文.

(30) 优先权数据

10-2004-0108172 2004.12.17 KR

审查员 张帆

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 梁英喆 宋根圭 金保成 洪雯杓

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 郭鸿禧 安宇宏

(51) Int. Cl.

G02F 1/1368 (2006.01)

(56) 对比文件

US 20030107700 A1, 2003.06.12, 全文.

JP 2001-83494 A, 2001.03.30, 全文.

US 4895432, 1990.01.23, 全文.

EP 1168004 A3, 2004.05.12, 全文.

CN 1091551 A, 1994.08.31, 全文.

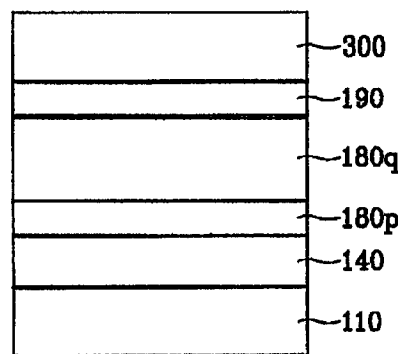
权利要求书 1 页 说明书 8 页 附图 6 页

(54) 发明名称

薄膜晶体管阵列面板和液晶显示器

(57) 摘要

提供了一种薄膜晶体管阵列面板,该面板包括:绝缘基板、在绝缘基板上形成的栅极线、覆盖栅极线的栅极绝缘层、在栅极绝缘层上形成的数据线;覆盖数据线的下钝化层、在下钝化层上形成的由有机绝缘材料制成的上钝化层、在上钝化层上形成的像素电极。栅极绝缘层、下钝化层和像素电极的厚度分别表示为 d_g , d_p , d_1 ;栅极绝缘层、下钝化层和像素电极的折射率分别表示为 n_g , n_p , n_1 , 并且根据 $4(d_g n_g + d_p n_p) = \lambda$, 这是波长的偶数倍; $4d_1 n_1 = \lambda$, 这是波长的奇数倍, 满足条件方程。



1. 一种薄膜晶体管阵列面板,包括:
 - 绝缘基板;
 - 在所述绝缘基板上形成的栅极线;
 - 覆盖所述栅极线的栅极绝缘层;
 - 在所述栅极绝缘层上形成的数据线;
 - 覆盖所述数据线的下钝化层;
 - 在所述钝化层上形成的包含有机绝缘材料的上钝化层;
 - 在所述上钝化层上形成的像素电极,其中,所述栅极绝缘层、所述下钝化层和所述像素电极满足下面的条件方程:
 - $4(d_g n_g + d_p n_p)$ 是波长的偶数倍;
 - $4d_I n_I$ 波长的偶数倍,其中,所述栅极绝缘层、所述下钝化层和所述像素电极的厚度分别表示为 d_g , d_p , d_I ;所述栅极绝缘层、所述下钝化层和所述像素电极的折射率分别表示为 n_g , n_p , n_I 。
2. 如权利要求 1 所述的薄膜晶体管阵列面板,其中,所述下钝化层由氮化硅组成。
3. 如权利要求 2 所述的薄膜晶体管阵列面板,其中,所述氮化硅的折射率近似为 1.8 ~ 1.9 之间。
4. 如权利要求 1 所述的薄膜晶体管阵列面板,其中,所述像素电极的折射率近似为 1.8 ~ 1.9 之间。
5. 如权利要求 1 所述的薄膜晶体管阵列面板,其中,所述上钝化层的折射率近似为 1.4 ~ 1.6 之间。
6. 一种液晶显示器,包含:
 - 第一基板;
 - 在所述第一基板上形成的栅极绝缘层;
 - 在所述栅极绝缘层上形成的下钝化层;
 - 在所述下钝化层上形成的包含有机绝缘材料的上钝化层;
 - 在所述上钝化层上形成的像素电极;
 - 面向所述第一基板的第二基板;
 - 在所述第一基板与所述第二基板之间形成的液晶层,其中,所述栅极绝缘层、所述下钝化层和所述像素电极满足下面的条件方程:
 - $4(d_g n_g + d_p n_p)$ 是波长的偶数倍;
 - $4d_I n_I$ 是波长的偶数倍,其中,所述栅极绝缘层、所述下钝化层和所述像素电极的厚度分别表示为 d_g , d_p , d_I ;所述栅极绝缘层、所述下钝化层和所述像素电极的折射率分别表示为 n_g , n_p , n_I 。

薄膜晶体管阵列面板和液晶显示器

技术领域

[0001] 本申请要求 2004 年 12 月 17 日提交的第 10-2004-0108172 号韩国专利申请的优先权和利益,该文献通过各种目的的引用而被包含于此,就好像被完整地在此提出一样。

背景技术

[0002] 本发明涉及一种薄膜晶体管阵列面板和液晶显示器。

[0003] 平板显示器,如液晶显示器 (LCD) 和有机发光显示器 (OLED),包括薄膜晶体管 (TFT) 阵列面板以单独地控制多个像素。

[0004] 薄膜晶体管阵列面板具有:排列成矩阵的多个像素和驱动像素的多个信号线,如用于传送扫描信号的栅极线和用于传送数据信号的数据线。每个像素具有:像素电极和与栅极线和数据线连接以控制数据信号的 TFT。在栅极线、数据线和薄膜晶体管之间形成栅极绝缘层和钝化层,以使其间绝缘。

[0005] 薄膜晶体管具有:栅电极,与栅极线连接;源电极,与数据线连接;漏电极,与像素电极连接;半导体,在其中形成薄膜晶体管的沟道;和栅极绝缘层,在栅电极和半导体之间。

[0006] 在液晶显示器中,用低介电的有机绝缘层作为钝化层,通过将像素电极和信号线之间的寄生电容最小化来提高开口率。因此,与采用无机绝缘层相比,像素电极和信号线之间的间隔减小到大约 3 ~ 4 微米,或者像素电极和信号线彼此重叠以提高开口率。

[0007] 由于有机绝缘层的透光率低,或者根据通过不同的层间折射率产生的多反射的干涉现象,而使得 LCD 的透光率降低。

发明内容

[0008] 本发明提供了一种薄膜晶体管阵列面板和液晶显示器。

[0009] 将在下面的描述中阐明本发明的其它特点,部分特点从描述中显而易见,或者可由本发明的实施得知。

[0010] 本发明公开了一种薄膜晶体管阵列面板,具有:绝缘基板、在绝缘基板上形成的栅极线、覆盖栅极线的栅极绝缘层、在栅极绝缘层上形成的数据线、覆盖数据线的下钝化层、在下钝化层上形成的包含有机绝缘材料的上钝化层、和在上钝化层上形成的像素电极,其中,栅极绝缘层、下钝化层和像素电极满足下面的条件方程: $4(d_g n_g + d_p n_p) = \lambda$,是波长的偶倍数, $4d_t n_t = \lambda$,是波长的偶倍数,其中,栅极绝缘层、下钝化层和像素电极的厚度分别表示为 d_g 、 d_p 和 d_t ,栅极绝缘层、钝化层和像素电极的折射率分别表示为 n_g 、 n_p 和 n_t 。

[0011] 本发明还公开了一种液晶显示器,具有:第一基板、在第一基板上形成的栅极绝缘层、在栅极绝缘层上形成的下钝化层、在下钝化层上形成的并包含有机绝缘材料的上钝化层、在上钝化层上形成的像素电极、面对向第一基板的第二基板、在第一基板与第二基板之间形成的液晶层,其中,栅极绝缘层、下钝化层和像素电极满足下面的条件方程: $4(d_g n_g + d_p n_p) = \lambda$,是波长的偶倍数, $4d_t n_t = \lambda$,是波长的偶倍数,其中,栅极绝缘层、下钝化层和

像素电极的厚度分别表示为 d_G 、 d_P 和 d_I ，栅极绝缘层、钝化层和像素电极的折射率分别表示为 n_G 、 n_P 和 n_I 。

[0012] 应该清楚，前面的概括性描述和下面的详细描述是示例性和解释性的，意在进一步提供本发明的解释，如要求的一样。

附图说明

[0013] 为进一步理解本发明，结合附图并将附图作为本说明的一部分，对本发明的实施例进行说明，同时为解释本发明的原理进行描述。

[0014] 图 1 为根据本发明实施例的 LCD 的 TFT 阵列面板的布局视图。

[0015] 图 2 为沿图 1 中线 II-II 截取的 TFT 阵列面板的剖视图。

[0016] 图 3 为 TFT 阵列面板中显示区域的沉积结构的剖视图。

[0017] 图 4 为具有不同折射率和不同厚度的多层沉积结构的剖视图。

[0018] 图 5 显示了根据多反射的干涉现象。

[0019] 图 6 为显示了根据像素电极的厚度的波长的透光率曲线图。

[0020] 图 7 为显示了根据氮化硅层的厚度的波长的透光率曲线图。

[0021] 图 8 为显示了根据有机绝缘层的厚度的波长的透光率曲线图。

[0022] 图 9 为显示了根据多层的最佳厚度的波长的透光率曲线图。

[0023] 图 10 为显示根据在具有多层的最佳厚度的显示装置中的有机层的厚度的波长的透光率曲线图。

具体实施方式

[0024] 以下将参照附图来更充分地描述本发明，在所述附图中示出了本发明的优选实施例。尽管本发明有许多不同形式的实施例，但是本发明不应该限于所提出的实施例而被构建。

[0025] 在附图中，为清晰起见，夸大了层、薄膜和区域的厚度。相同的标号始终表示相同的元件。可以理解，当如层、薄膜、区域或基板的元件被称为位于另一个元件“上”时，它可以直接在另一个元件上或也可存在中间元件。相反，当元件被称为“直接”位于另一个元件“上”时，不存在中间元件。

[0026] 下面参照附图来描述根据本发明的实施例的 TFT 阵列面板和具有该面板的 LCD。

[0027] 下面参照图 1 和图 2 来描述 LCD 的 TFT 阵列面板。

[0028] TFT 阵列面板可具有显示区域和外围区域，在该显示区域中设置了多个信号线、多个薄膜晶体管 and 多个像素电极，在该外围区域中设置了所述信号线的多个端部。

[0029] 图 1 是 LCD 的 TFT 阵列面板的布局视图，图 2 是沿图 1 中的线 II-II 的 TFT 阵列面板的剖视图。

[0030] 多个栅极线 121 形成在如透明玻璃的绝缘基板 110 上。

[0031] 栅极线 121 可基本上在横向方向上延伸，相互分离并传送栅极信号。每个栅极线 121 具有多个形成多个栅电极 124 的部分，和具有用于与另一层或外部驱动电路充分接触的区域的部分 129。栅极线 121 可与驱动电路相连接，该驱动电路可与绝缘基板 110 是一体的或者形成在绝缘基板 110 上。大多数栅极线 121 设置在显示区域中，端部 129 设置在外

围区域中。

[0032] 如图 2 所示,栅极线 121 可包括两个具有不同物理性质的膜,下膜 121p 和上膜 121q。为了减少栅极线 121 中的信号延迟或压降,上膜 121q 可由具有含 Al 的金属如 Al 和 Al 合金的低电阻率的金属制成。下膜 121p 可由诸如 Cr、Ti、Ta、Mo 和 Mo 合金的材料制成,该材料具有良好的物理、化学性质和与如氧化铟锡 (ITO) 和氧化铟锌 (IZO) 的其它材料的良好电接触的性质。例如,栅极线 121 可包括 Cr 材料的下膜和 Al-Nd 合金材料的上膜。

[0033] 在图 2 中,栅电极 124 的下膜和上膜分别由标号 124p 和 124q 来表示,端部 129 的下膜和上膜分别由标号 129p 和 129q 来表示。可去除栅极线 121 的端部 129 的部份上膜 129q 以暴露下膜 129p 的底部。

[0034] 上膜 121q、124q 和 129q 与下膜 121p、124p 和 129p 的侧面可是楔形,并且这些侧面关于基板 110 的表面的倾斜角可在大约 30 度至 80 度范围内。

[0035] 在栅极线 121 上可形成优选地由氮化硅 (SiN_x) 制备的栅极绝缘层 140。

[0036] 在栅极绝缘层 140 上形成可由氢化非晶硅 (“ α -Si”) 制备的多个半导体岛 150。每个半导体岛 150 设置在栅电极 124 上,并且在栅电极 124 附近每个半导体岛 150 变宽,从而在栅电极 124 附近,每个半导体岛 150 覆盖较大的区域。

[0037] 在半导体岛 150 上形成可由大量掺杂了 n- 型杂质的硅化物或 n+ 氢化的 α -Si 制备的多个欧姆接触岛 163 和 165。每个欧姆接触岛 163 和 165 成对地位于半导体岛 150 上。

[0038] 半导体岛 150 和欧姆接触岛 163 和 165 的侧面可是楔形的,并且它们的倾斜角可在大约 30 度至 80 度的范围内。

[0039] 在欧姆接触岛 163 和 165 以及栅极绝缘层 140 上形成了多个数据线 171 和多个漏电极 175。

[0040] 数据线 171 传送数据电压并沿基本纵向方向延伸并与栅极线 121 交叉。每个数据线 171 包括扩展物 (expansion) 179,该扩展物具有与另一层或外部装置充分接触的区域。向漏电极 175 延伸的各个数据线 171 的多个分支形成了多个源电极 173。

[0041] 源电极 173 和漏电极 175 的每对相互分离并关于栅电极 124 彼此相对。栅电极 124、源电极 173、漏电极 175 和半导体 150 形成 TFT,该 TFT 具有在置于源电极 173 和漏电极 175 之间的半导体 150 中形成的沟道。

[0042] 数据线 171 和漏电极 175 可包括具有不同物理性质的多个膜,例如,下膜 171p 和上膜 171q。下膜 171p 可由如 Cr、Mo 和 Mo 合金的材料制成,上膜 171q 可由包括含 Al 金属,如 Al 和 Al 合金,或含 Ag 金属,如 Ag 和 Ag 合金的材料制成。漏电极 175 的下膜和上膜分别由标号 175p 和 175q 来表示,端部 179 的下膜和上膜分别由标号 179p 和 179q 来表示。

[0043] 上膜 171q、175q 和 179q,和下膜 171p、175p 和 179p 的侧面可是楔形的。这些侧面关于基板 110 的表面的倾斜角可在大约 30 度至 80 度范围内。

[0044] 只能在下伏半导体 (underlying semiconductor) 150 和上覆数据线 (overlying data lines) 171 之间插入欧姆接触岛 163,在下伏半导体 (underlying semiconductor) 150 和上覆漏电极 (overlying drain electrodes) 175 之间插入欧姆接触岛 165,以减小其间的接触电阻。该半导体 150 包括多个暴露部分,这些暴露部分没有被数据线 171 和漏电极 175 覆盖,如位于源电极 173 和漏电极 175 之间的部分。

[0045] 可在数据线 171、漏电极 175 和半导体 150 的暴露部分上形成下钝化层 180p,该下

钝化层 180p 可由无机材料如氮化硅或二氧化硅制成。

[0046] 可在下钝化层 180p 上形成上钝化层 180q, 该上钝化层 180q 可由足够平整或平坦的感光有机材料制成。

[0047] 上钝化层 180q 和下钝化层 180p 分别具有多个暴露数据线 171 的端部 179 和漏电极 175 的接触孔 182 和 185。上钝化层 180q、下钝化层 180p 和栅极绝缘层 140 具有多个暴露栅极线 121 的端部 129 的接触孔 181。

[0048] 可以理解, 如果必要的话, 可以省略下钝化层 180p。

[0049] 在上钝化层 180q 上形成由 IZO 或 ITO 制成的多个像素电极 190 和多个接触辅助物 (contact assistants) 81 和 82。

[0050] 像素电极 190 通过接触孔 185 与漏电极 175 物理地连接并结合, 从而像素电极 190 从漏电极 175 接收数据电压。

[0051] 被供应数据电压的像素电极 190 与另一面板 (未示出) 上的公共电极 (未示出) 共同作用产生电场, 以重新定向置于其间的液晶层 (未示出) 中的液晶分子。

[0052] 像素电极 190 和公共电极形成液晶电容器, 该电容器在关断 TFT 之后存储施加的电压。为了提高电压存储容量, 可以设置被称作“存储电容器”的另一电容器, 该电容器并联连接到液晶电容器。

[0053] 像素电极 190 可与栅极线 121 和数据线 171 重叠以增加开口率。

[0054] 通过接触孔 181 和 182, 接触辅助物 81 和 82 可以分别与栅极线 121 的暴露的端部 129 和数据线 171 的暴露的端部 179 连接。接触辅助物 81 和 82 保护栅极线的暴露的部分 129 和数据线的暴露的部分 179 并补充暴露的部分 129 和 179 以及外部装置的粘度。

[0055] 当栅极驱动电路与绝缘基板 110 是一体的或者形成在绝缘基板 110 上时, 接触辅助物 81 有助于栅极线 121 的端部 129 与栅极驱动电路的连接。

[0056] 如图 1 和图 2 所示, 栅极线 121 和数据线 171 具有双层结构, 但是, 可以理解它们可以是单层结构或多层结构。

[0057] 下面, 参考附图来描述图 2 中显示区域的层状结构。

[0058] 图 3 是 TFT 阵列面板显示区域的结构剖视图。

[0059] 参考图 3, 在绝缘基板 110 上形成由氮化硅制成的栅极绝缘层 140。在栅极绝缘层 140 上形成由氮化硅制成的下钝化层 180p。在下钝化层 180p 上形成上钝化层 180q。在上钝化层 180q 上形成像素电极 190。在像素电极 190 上形成液晶 300。因此, 来自背光灯的光顺序地穿过所述结构的多个层, 例如, 层 110、140、180p、180q 和 190, 并穿过液晶层 300 传播, 如此透光率改变以在 LCD 中显示图像。

[0060] 因此, 应该使液晶层 300 下面的每个层的透光率最佳以提高 LCD 的亮度, 下面给出为了得到层最佳透光率的方程。

[0061] 栅极绝缘层 140 和下钝化层 180p 的折射率通常近似为 1.8 ~ 1.9, 像素电极 190 的折射率通常近似为 1.8 ~ 1.9。上钝化层 180q 的折射率通常近似为 1.5, 玻璃绝缘基板 110 和液晶层 300 的折射率通常近似为 1.5。在折射率近似为 1.5 的层之间插入折射率近似为 1.8 ~ 1.9 的层。

[0062] 图 4 是具有不同折射率和不同厚度的多层沉积结构的剖视图。

[0063] 参照图 4, 在所述结构的最下层的入光介质 A 与最上层的透光介质 B 之间形成 N 个

层。由于各层具有不同折射率和不同厚度,因此入射光在这些层上被顺序地反射,这引起干涉现象。

[0064] 为了产生干涉现象,应该增大入光介质的折射率与透光介质的折射率之间的差,并且这些层的厚度小于光的相干长度。由于入光介质和透光介质的厚度大于光的相干长度,这样防止了入光介质和透光介质中的干涉现象,所以只在入光介质和透光介质之间产生干涉。在制造过程中,绝缘基板 110 和液晶层 300 可比光的相干长度厚。

[0065] 各层的折射率被称作 n_i ($i = 0, 1, 2, 3, \dots, N, N+1$), 各层的厚度被称作 d_i ($i = 0, 1, 2, 3, \dots, N, N+1$)。

[0066] 根据下面的条件来产生干涉现象。

[0067] $d_j \leq \text{相干长度}$ ($j = 1, 2, 3, \dots, N$)

[0068] $d_i \geq \text{相干长度}$ ($i = 0, N+1$)

[0069] $|n_0 - n_1| \geq 0.05 / (n_0 + n_1)$

[0070] $|n_N - n_{(N+1)}| \geq 0.05 / \{n_N + n_{(N+1)}\}$ (1)

[0071] 根据下面条件得到 N 个层的相长干涉。

[0072] $2 \sum_{k=1}^N n_k d_k = m\lambda$ ($m=0, 1, 2, \dots$) (2)

[0073] 为了获得相长干涉,这些层的光程长(真实厚度与折射率的乘积)是 $\lambda/2$ 的整数倍。

[0074] 图 5 示出了根据多反射的干涉现象。

[0075] 当对于入射光的相位的关系有相长干涉时,出现最大透光率。当有相消干涉时,出现最小透光率。

[0076] 在 LCD 中,可由氮化硅制成的栅极绝缘层 140 和下钝化层 180p,和可由 ITO 或 IZO 制成的像素电极 190 通过干涉来影响透光率。栅极绝缘层 140、下钝化层 180p 和像素电极 190 具有近似为 1.8 ~ 1.9 的折射率,其中多数其它层具有近似为 1.5 的折射率。因此,由于干涉效应使透光率改变。

[0077] 通过比较透射的光的相位来确定由干涉效应引起的光的透光率的变化。例如,由于光程长度(真实厚度与折射率的乘积)发生相位改变,并且相位改变是在两个具有不同折射率的介质之间的边界表面的反射。通常,当光穿过具有低折射率的疏介质(rare medium)到具有高折射率的密介质(dense medium)并被反射时,不发生透射光的相位改变,而反射光发生 180° 的相位改变。当光穿过密介质到疏介质时,不发生光的相位改变。

[0078] 图 5 中的层状结构适合具有由氮化硅制成的栅极绝缘层 140 和下钝化层 180p、上钝化层 180q 和由 ITO 或 IZO 制成的像素电极 190 的薄膜晶体管阵列面板。假定下层 101 是栅极绝缘层 140 和下钝化层 180p 的氮化物层,中间层 102 是上钝化层 180q 的有机层,上层 103 是 ITO 或 IZO 的像素层,这些层的折射率由方程 $n_1 \cong n_2 < n$ 来表示。

[0079] 下面描述透射光的相位关系。首先,入射到具有折射率 n_1 的下层 101 的那部分光 r_1, r_2, \dots 被中间层 102 反射,剩余的光被透射到中间层 102。然后,入射到具有折射率 n 的中间层 102 上的那部分光被上层 103 反射,剩余的光 (t_1, t_2, \dots) 被透射到上层 103。在相干长度内重复这种透射和反射,并由透射的光的干涉来确定透光率。

[0080] 计算透射光 t_1 和 t_2 的相位差。该相位差可以通过考虑垂直入射到上层 103 上的

光来计算。光 t2 由上、下层反射两次。此时,由于关系 $n_1 \approx n_2 < n$, 没有产生由折射引起的相位差,而是仅产生了由光的前进引起的相位差,并可以计算如:

$$[0081] \quad \Delta\phi = n \cdot 2d \cdot \frac{2\pi}{\lambda} \quad (3)$$

[0082] 拟这些厚度的透光率的曲线。

[0083] 参考图 6, 厚度大约为 **740 Å** 和 **2230 Å** 的透光率是最小值, 厚度大约为 **1470 Å** 的透光率是最大值。

[0084] 图 7 是示出根据氮化硅层的厚度的波长的透光率的曲线图。

[0085] 这里, 只形成了氮化硅层, 而没有有机层 (180q) 或像素电极 190, 并且根据氮化硅层厚度的变化估量透光率。入光介质和透光介质的折射率近似为 1.54。

[0086] 当鉴于氮化硅的折射率近似为 1.88 时, 由层的最佳厚度条件方程来估量引起波长为 **5550 Å** 的相长干涉和相消干涉的厚度。图 7 示出了多个厚度中厚度近似 **5900 Å** 和 **6600 Å** 的透光率的曲线。

[0087] 参考图 7, 由于包含栅极绝缘层 140 和下钝化层 180p 的氮化硅层的厚度大于像素电极 190 的厚度, 因此氮化硅层的透光率的曲线比像素电极 190 的曲线更紧密地波动。但是, 与像素电极 190 的差相比, 根据厚度的亮度差小。

[0088] 厚度为 **5900 Å** 的曲线显示波长为 **5550 Å** 的相长干涉的透光率。厚度为 **6600 Å** 的曲线显示波长为 **5550 Å** 的相消干涉的透光率。

[0089] 图 8 为根据有机层的厚度示出的波长的透光率的曲线图。

[0090] 这里, 没有氮化硅层 (180p 和 140) 或像素电极 190, 只形成了有机层 (180q), 并且根据有机上绝缘层 180q 的厚度的变化来估量透光率。入光介质和透光介质的折射率近似为 1.88。这是由于有机层 (180q) 的折射率近似为 1.54, 该有机层设置在氮化硅层 (180p 和 140) 和折射率近似为 1.88 的像素电极 190 之间。

[0091] 引起波长为 **5550 Å** 的相长干涉和相消干涉的厚度分别近似为 3.34 微米和 3.44 微米, 并且图 8 示出了这些厚度的透光率的曲线。

[0092] 与图 7 相比, 由于有机层 (180q) 比氮化硅层厚, 因此透光率的曲线更紧密地波动。但是, 根据厚度的亮度差小。

[0093] 厚度为 3.34 微米的曲线示出了波长为 **5550 Å** 的相长干涉的透光率。厚度为 3.34 微米的曲线示出了波长为 **5550 Å** 的相消干涉的透光率。

[0094] 图 9 为示出了根据多层的最佳厚度的波长的透光率曲线图, 所述多层包含氮化硅层、有机层和像素电极。

[0095] M 为显示有机层被插入作为上钝化层 180q 的多层的最优厚度的透光率的曲线图。

[0096] 拟这些厚度的透光率的曲线。

[0097] 参考图 6, 厚度大约为 **740 Å** 和 **2230 Å** 的透光率是最小值, 厚度大约为 **1470 Å** 的透光率是最大值。

[0098] 图 7 是示出根据氮化硅层的厚度的波长的透光率的曲线图。

[0099] 这里, 只形成了氮化硅层, 而没有有机层 (180q) 或像素电极 190, 并且根据氮化硅层厚度的变化估量透光率。入光介质和透光介质的折射率近似为 1.54。

[0100] 当鉴于氮化硅的折射率近似为 1.88 时, 由层的最佳厚度条件方程来估量引起波

长为**5550 Å**的相长干涉和相消干涉的厚度。图 7 示出了多个厚度中厚度近似**5900 Å**和**6600 Å**的透光率的曲线。

[0101] 参考图 7, 由于包含栅极绝缘层 140 和下钝化层 180p 的氮化硅层的厚度大于像素电极 190 的厚度, 因此氮化硅层的透光率的曲线比像素电极 190 的曲线更紧密地波动。但是, 与像素电极 190 的差相比, 根据厚度的亮度差小。

[0102] 厚度为**5900 Å**的曲线显示波长为**5550 Å**的相长干涉的透光率。厚度为**6600 Å**的曲线显示波长为**5550 Å**的相消干涉的透光率。

[0103] 图 8 为根据有机层的厚度示出的波长的透光率的曲线图。

[0104] 这里, 没有氮化硅层 (180p 和 140) 或像素电极 190, 只形成了有机层 (180q), 并且根据有机上绝缘层 180q 的厚度的变化来估量透光率。入光介质和透光介质的折射率近似为 1.88。这是由于有机层 (180q) 的折射率近似为 1.4 ~ 1.6 之间 (例如为 1.54), 该有机层设置在氮化硅层 (180p 和 140) 和折射率近似为 1.88 的像素电极 190 之间。

[0105] 引起波长为**5550 Å**的相长干涉和相消干涉的厚度分别近似为 3.34 微米和 3.44 微米, 并且图 8 示出了这些厚度的透光率的曲线。

[0106] 与图 7 相比, 由于有机层 (180q) 比氮化硅层厚, 因此透光率的曲线更紧密地波动。但是, 根据厚度的亮度差小。

[0107] 厚度为 3.34 微米的曲线示出了波长为**5550 Å**的相长干涉的透光率。厚度为 3.34 微米的曲线示出了波长为**5550 Å**的相消干涉的透光率。

[0108] 图 9 为示出了根据多层的最佳厚度的波长的透光率曲线图, 所述多层包含氮化硅层、有机层和像素电极。

[0109] M 为显示有机层被插入作为上钝化层 180q 的多层的最优厚度的透光率的曲线图。

[0110] L 为显示满足根据本发明实施例的如下示出的条件方程的多层的透光率的曲线。

[0111] $4(d_g n_g + d_p n_p) = \text{波长的偶数倍}$ (5)

[0112] $4d_I n_I = \text{波长的偶数倍}$ (6)

[0113] 这里, “G” 指的是栅极绝缘层。“P” 指的是下钝化层。“I” 指的是像素电极。

[0114] 分别设置在上钝化层的有机层的下方和上方的氮化硅层和像素电极具有满足相长干涉的条件的厚度, 该氮化硅层包括栅极绝缘层和下钝化层。

[0115] 参考图 9, 例如, 与曲线 L 相比, 曲线 M 有大波动和低透光率。因此, 满足根据本发明的实施例的最佳条件的多层的透光率大于满足传统最佳条件的那些多层的透光率。

[0116] 当省略有机层时, 氮化硅层和像素电极具有满足相长干涉条件的总厚度。当插入有机层时, 该氮化物层和像素电极各自具有满足相长干涉条件的厚度。

[0117] 如图 7 所示, N 为显示满足相长干涉条件的氮化硅的最佳厚度的透光率的曲线。参考图 9, M 曲线和 L 曲线有氮化硅的相长干涉的波动周期。

[0118] 图 10 为示出根据在具有多层最佳厚度的显示装置中的有机层的厚度的波长的透光率曲线图。

[0119] 如图 9 中的曲线 L 所示, 通过改变有机层的厚度使氮化硅层和像素电极的厚度最佳。

[0120] 曲线 C 显示波长为**5550 Å**的相长干涉的透光率。曲线 D 显示为波长**5550 Å**的相消干涉的透光率。

[0121] 参考图 10, 尽管有机层的厚度改变, 但是除了波动的位置变化以外透光率基本相互近似。

[0122] 通过上述模拟, 可以获得下面描述的结果。

[0123] 形成的由氮化硅制成的栅极绝缘层 140 和下钝化层 180p 具有相长干涉的条件的总厚度, 形成的 ITO 或 IZO 的像素电极具有相长干涉的条件的单个厚度。

[0124] 由于像素电极 190 与下钝化层 180p 之间的上钝化层 180q 的有机层厚, 所以该有机层不产生干涉效应, 而且只有透光率变化。因此, 不需要考虑有机层的厚度。

[0125] 如上所述, 形成的氮化硅层和像素电极具有相长干涉的条件的单个厚度, 由此提高显示装置的透光率及其质量。

[0126] 本领域的技术人员应该清楚, 在不脱离本发明的精神或范围的情况下, 可以对本发明作各种修改和变形。因此, 本发明意图覆盖对本发明作出的各种修改和变形, 只要它们落入权利要求及其等同物的范围。

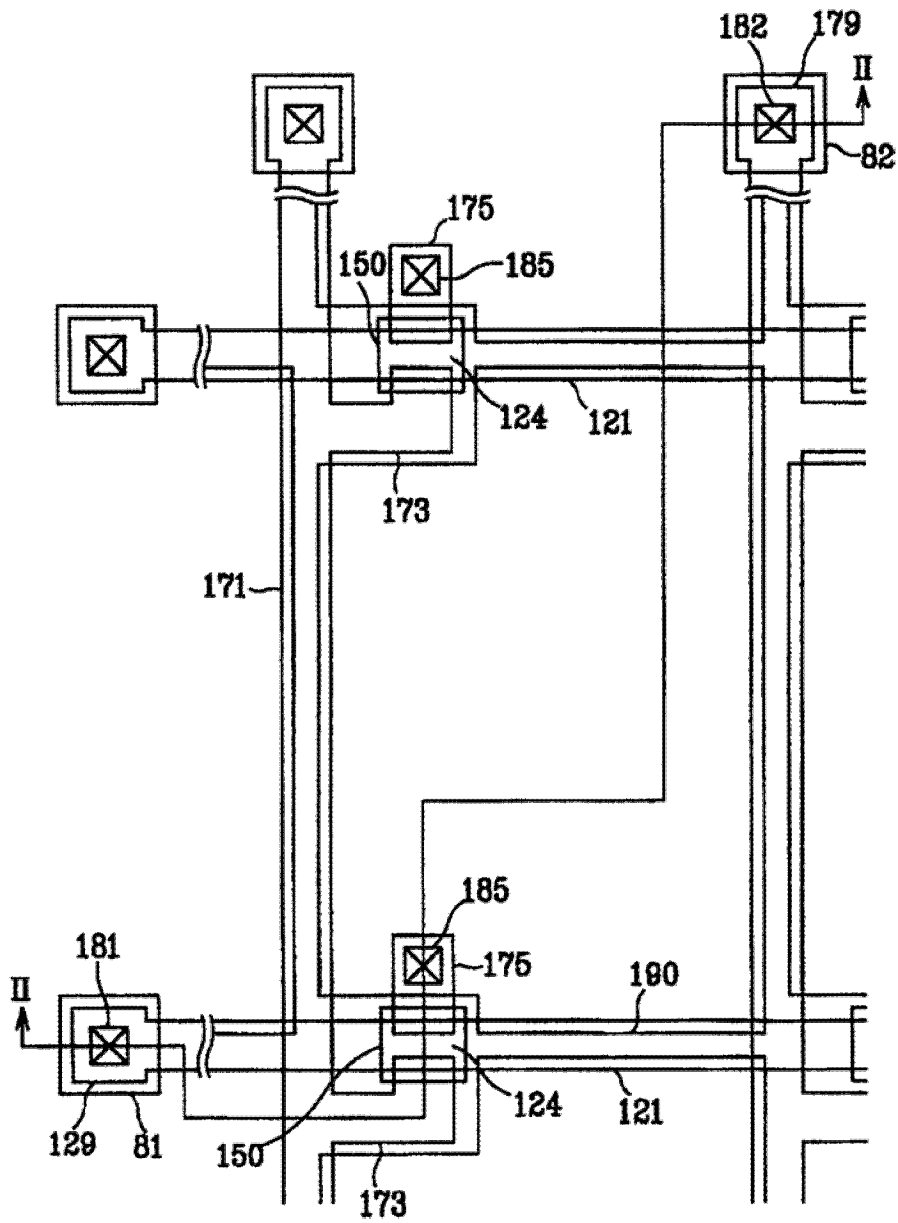


图 1

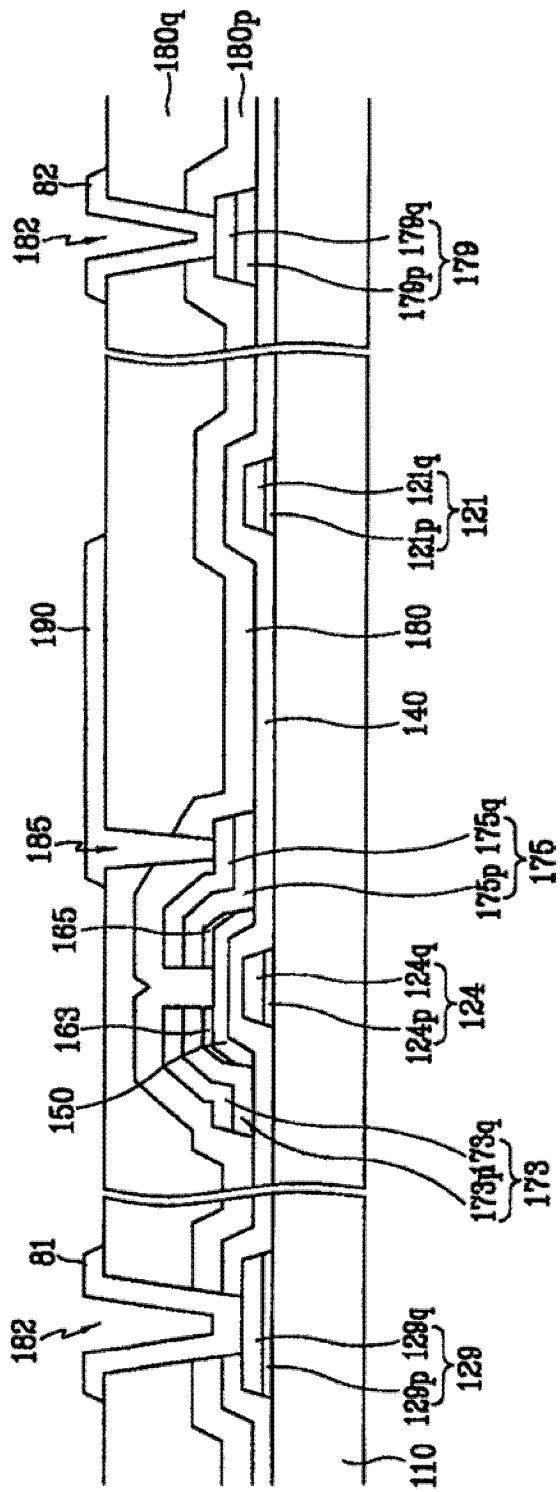


图 2

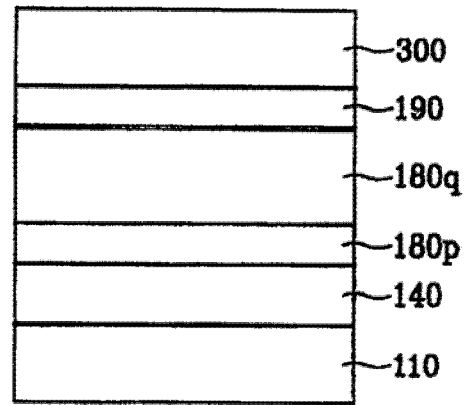


图 3

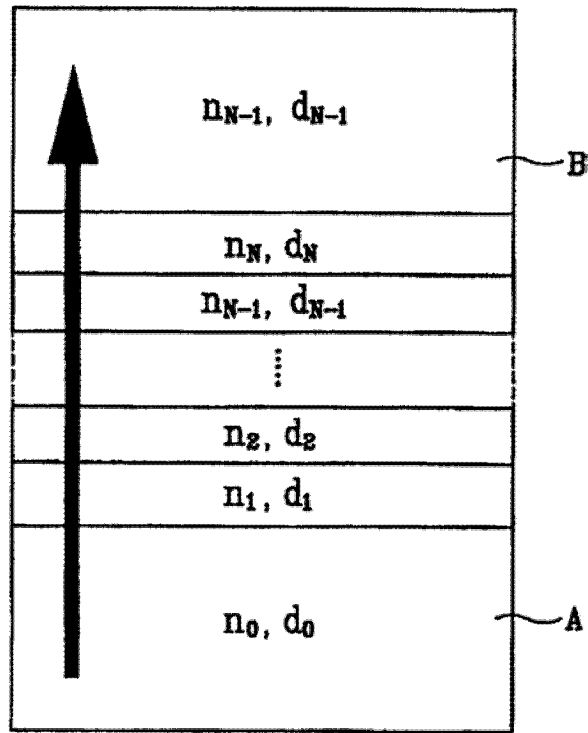


图 4

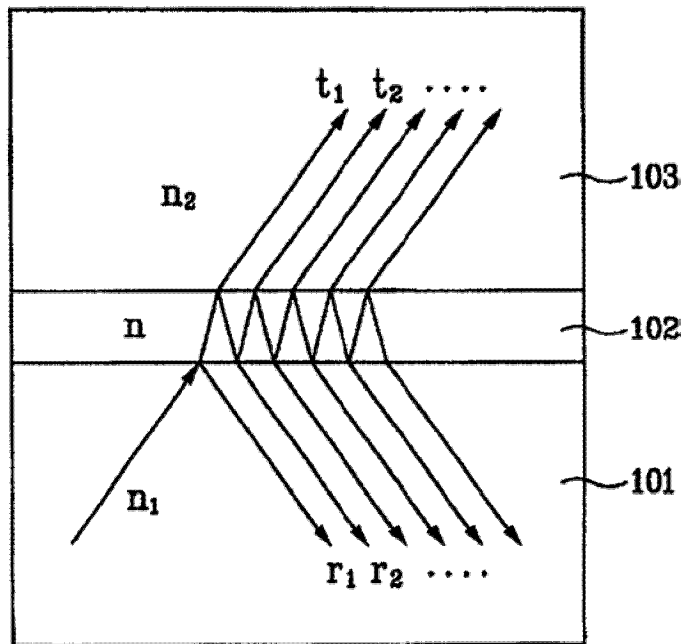


图 5



图 6

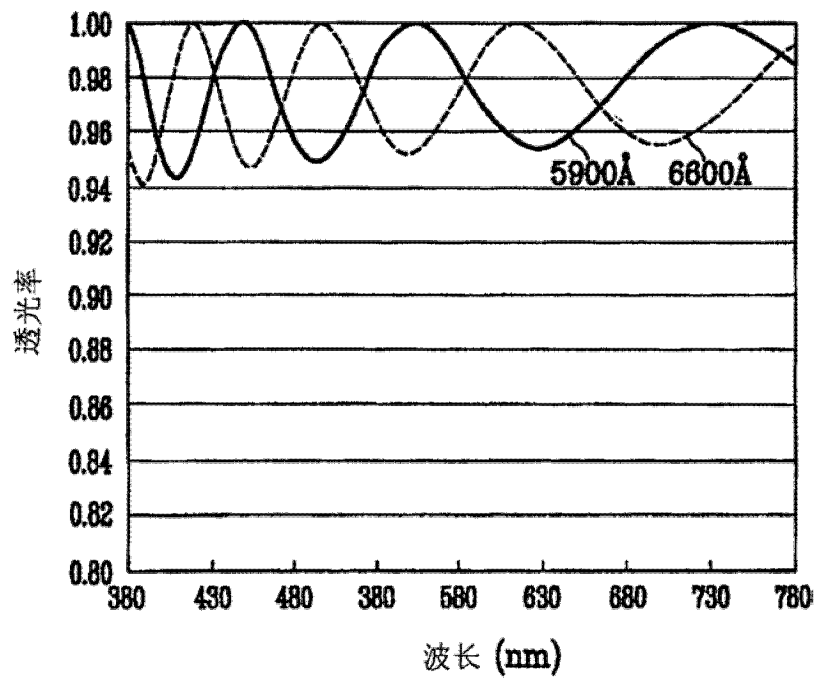


图 7

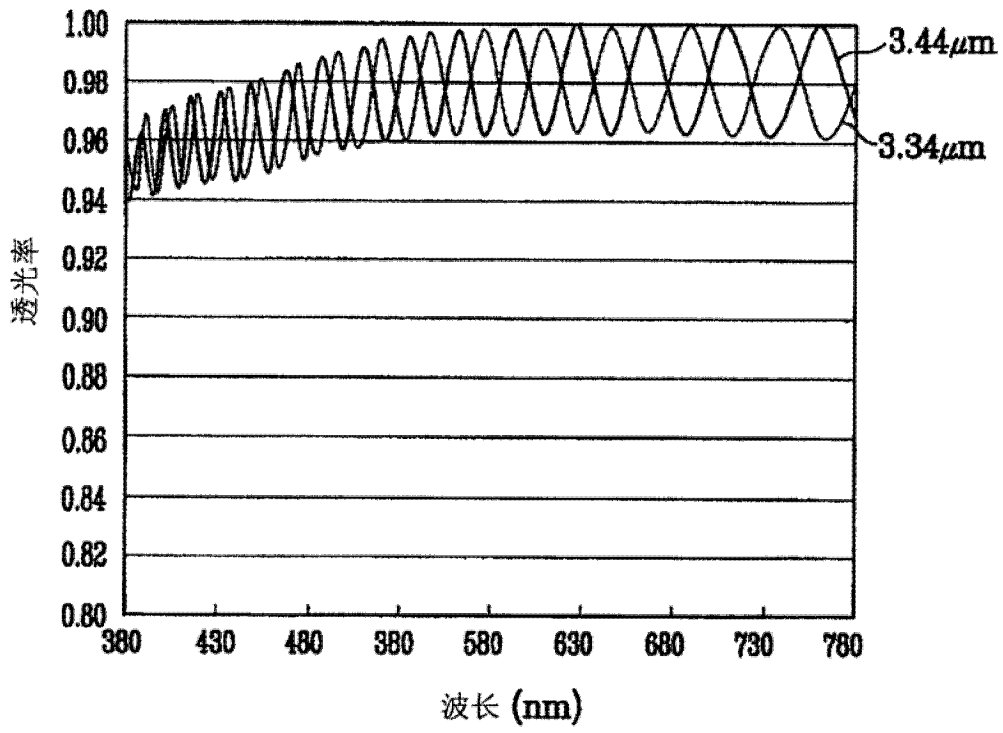


图 8

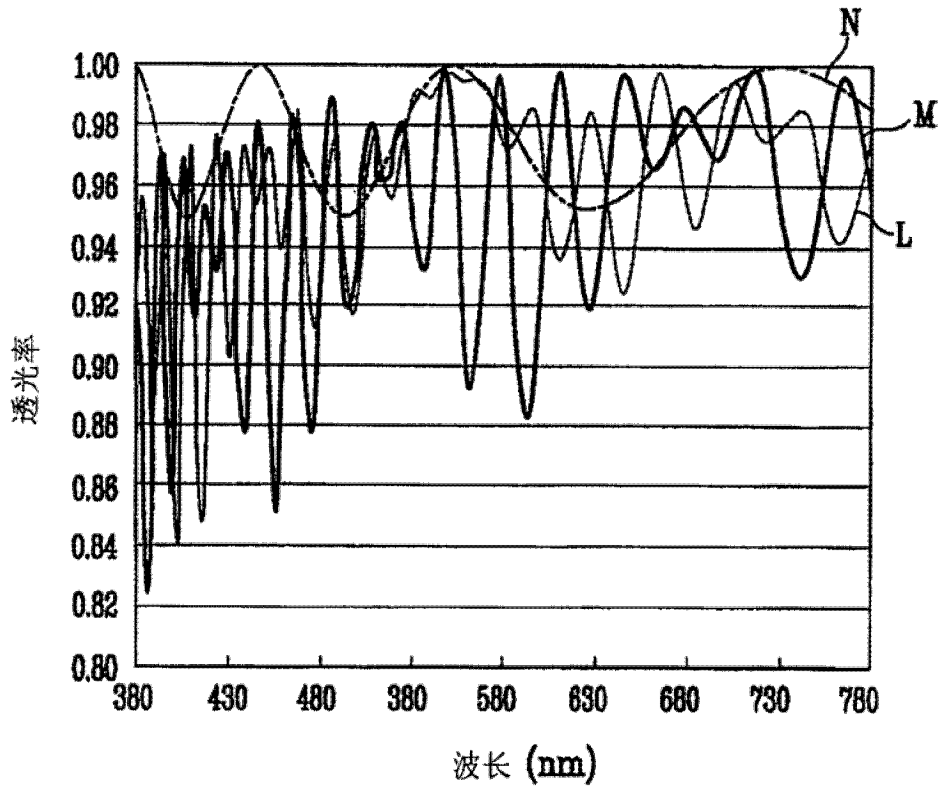


图 9

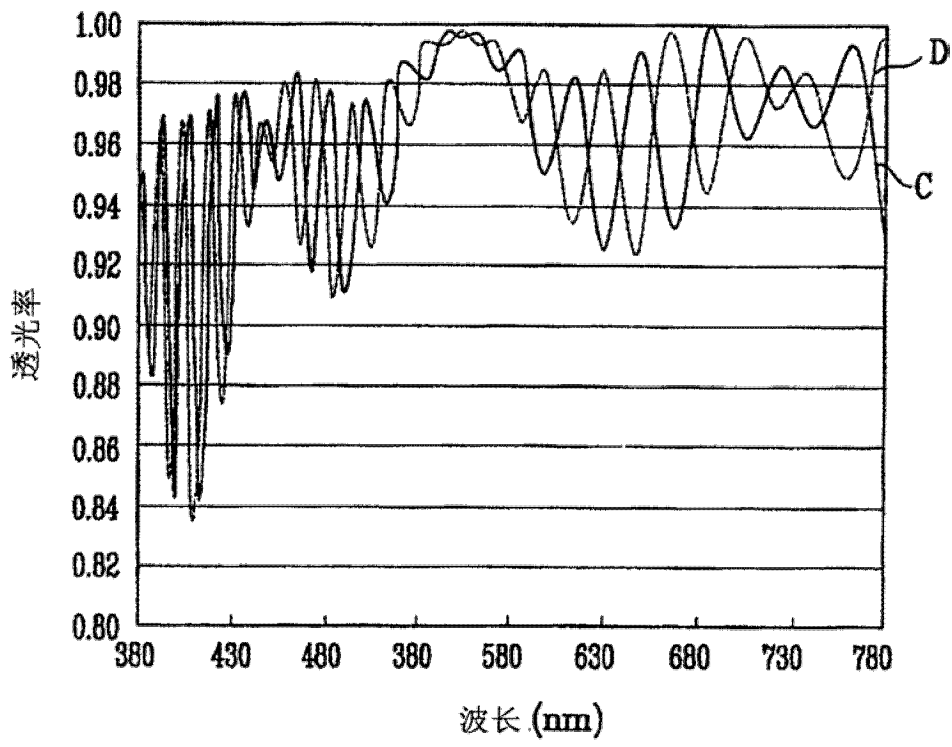


图 10

专利名称(译)	薄膜晶体管阵列面板和液晶显示器		
公开(公告)号	CN1790144B	公开(公告)日	2010-04-21
申请号	CN200510093755.1	申请日	2005-08-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	梁英喆 宋根圭 金保成 洪雯杓		
发明人	梁英喆 宋根圭 金保成 洪雯杓		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/133502 H01L27/12 G02F1/136227 H01L27/1248		
代理人(译)	安宇宏		
审查员(译)	张帆		
优先权	1020040108172 2004-12-17 KR		
其他公开文献	CN1790144A		
外部链接	Espacenet SIPO		

摘要(译)

提供了一种薄膜晶体管阵列面板，该面板包括：绝缘基板、在绝缘基板上形成的栅极线、覆盖栅极线的栅极绝缘层、在栅极绝缘层上形成的数据线；覆盖数据线的下钝化层、在下钝化层上形成的由有机绝缘材料制成的上钝化层、在上钝化层上形成的像素电极。栅极绝缘层、下钝化层和像素电极的厚度分别表示为dG，dP，dl；栅极绝缘层、下钝化层和像素电极的折射率分别表示为nG，nP，nl，并且根据： $4(dGnG+dPnP)=$ ，这是波长的偶数倍； $4dlnl=$ ，这是波长的奇数倍，满足条件方程。

