



# [12] 发明专利申请公开说明书

[21] 申请号 02829754.7

[43] 公开日 2005 年 10 月 19 日

[11] 公开号 CN 1685281A

[22] 申请日 2002.10.10 [21] 申请号 02829754.7  
 [30] 优先权  
     [32] 2002. 9. 9 [33] KR [31] 2002/54277  
 [86] 国际申请 PCT/KR2002/001893 2002.10.10  
 [87] 国际公布 WO2004/023201 英 2004.3.18  
 [85] 进入国家阶段日期 2005.4.14  
 [71] 申请人 三星电子株式会社  
     地址 韩国京畿道  
 [72] 发明人 金熙燮 梁英喆 金钟来 申曠周

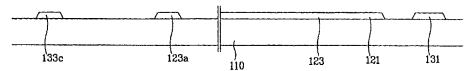
[74] 专利代理机构 北京市柳沈律师事务所  
 代理人 陶凤波 侯宇

权利要求书 3 页 说明书 21 页 附图 23 页

[54] 发明名称 多域液晶显示器及其薄膜晶体管基板

[57] 摘要

提供了一种薄膜晶体管阵列板，其包括：一绝缘基板；形成在所述绝缘基板上的多个栅极线；形成在所述绝缘基板上的多个数据线，其与所述栅极线绝缘并与之交叉；形成在所述绝缘基板上的多个存储电极线，其与所述数据线绝缘并与之交叉；在由所述栅极线和所述数据线的交点界定的相应像素区域上提供的多个像素电极，每个像素电极具有一切口；在由所述栅极线和所述数据线的交点界定的相应像素区域内提供的多个方向控制电极；连接到所述栅极线中的相关一个，所述数据线中的相关一个以及所述像素电极中的相关一个的第一薄膜晶体管；连接至所述栅极线中的前一个，所述数据线中的前一个和所述方向控制电极中的相关一个的第二薄膜晶体管；连接至所述前一栅极线，所述相关的数据线和所述相关的像素电极的第三薄膜晶体管。



1. 一种薄膜晶体管阵列板，其包括：  
一绝缘基板；
- 5 形成在所述绝缘基板上的多个第一信号线；  
形成在所述绝缘基板上，与所述第一信号线绝缘，并与所述第一信号线交叉的多个第二信号线；  
在由所述第一和第二信号线的交点界定的相应像素区域上提供的多个像素电极，每个像素电极具有一切口；
- 10 在由所述第一和第二信号线的交点界定的所述相应像素区域上提供的多个方向控制电极；  
连接到所述第一信号线中的相关一个，所述第二信号线中的相关一个以及所述像素电极中的相关一个的第一薄膜晶体管；  
连接到所述第一信号线中的前一个，所述第二信号线中的前一个以及所述方向控制电极中的相关一个的第二薄膜晶体管；以及
- 15 连接至所述前一第一信号线，所述相关第二信号线和相关的所述像素电极的第三薄膜晶体管。
2. 如权利要求1所述的薄膜晶体管阵列板，其进一步包括：与所述第二信号线绝缘并与所述第二信号线交叉的第三信号线，所述第三信号线包括与所述像素电极的切口交叠的部分。
- 20 3. 一种薄膜晶体管阵列板，其包括：  
一绝缘基板；  
形成于所述绝缘基板上并包括第一至第三栅极电极和多个栅极线的栅极线路；
- 25 形成于所述栅极线路上的栅极绝缘层；  
形成于所述栅极绝缘层上的半导体层；  
数据线路，其形成于所述半导体层上，并且包括多个与所述栅极线相交的数据线、连接至所述数据线的第一至第三源极电极、以及相对于所述第一至第三栅极电极而言与所述第一至第三源极电极相对的第一至第三漏电极；
- 30 连接至所述第二漏电极的方向控制电极；  
形成于所述数据线路和方向控制电极上的保护层，其具有多个接触孔；

以及

形成于所述保护层上的像素电极，其具有多个切口，并通过所述接触孔电连接至所述第一和第三漏电极。

4. 如权利要求 3 所述的薄膜晶体管阵列板，其中：所述第一和第三源电极连接至所述数据线中的相关一个，所述第二源电极连接至所述数据线中的前一个，所述第一和第二栅电极连接至所述栅极线中的前一个，所述第三栅电极连接至所述栅极线中的相关一个。

5. 如权利要求 4 所述的薄膜晶体管阵列板，其中：所述像素电极的切口包括将所述像素电极 190 分为上下两半的横向切口，以及相对于所述横向切口具有反演对称性的多个倾斜切口。

6. 如权利要求 4 所述的薄膜晶体管阵列板，其中：所述方向控制电极至少与所述像素电极的切口中的一个交叠，并相对于所述像素电极的切口中的一个横向切口具有反演对称性。

7. 如权利要求 4 所述的薄膜晶体管阵列板，其进一步包括：一存储电极线路，其包括与所述栅极线路大体相同的层，并且具有一至少与所述像素电极的一个切口交叠的部分。

8. 如权利要求 4 所述的薄膜晶体管阵列板，其中：所述方向控制电极包括与所述数据线路大体相同的层和材料。

9. 如权利要求 4 所述的薄膜晶体管阵列板，其中：所述接触孔具有矩形形状，该矩形的一边与所述倾斜切口平行或垂直。

10. 如权利要求 4 所述的薄膜晶体管阵列板，其中：所述数据线路和方向控制电极包括由半导体层和金属层构成的双层。

11. 如权利要求 4 所述的薄膜晶体管阵列板，其中：所述半导体层包括由非晶硅膜和欧姆接触层构成的双层膜。

12. 一种液晶显示器，其包括：

第一绝缘基板；

形成在所述第一绝缘基板上的多个第一信号线；

形成在所述第一绝缘基板上，与所述第一信号线绝缘，并与所述第一信号线交叉的多个第二信号线；

在由所述第一和第二信号线的交点界定的相应像素区域上提供的多个像素电极，所述像素电极具有切口；

在由所述第一和第二信号线的交点界定的所述相应像素区域上提供的多个方向控制电极;

连接到所述第一信号线中的相关一个, 所述第二信号线中的相关一个以及所述像素电极中的相关一个的第一薄膜晶体管;

- 5 连接到所述第一信号线中的前一个, 所述第二信号线中的前一个以及所述方向控制电极中的相关一个的第二薄膜晶体管;

连接至所述前一第一信号线, 所述相关的第二信号线和所述相关的像素电极的第三薄膜晶体管;

与所述第一绝缘基板相对的第二绝缘基板;

- 10 形成于所述第二绝缘基板上的公共电极; 以及  
插入到所述第一和第二基板之间的液晶层。

13. 如权利要求 12 所述的液晶显示器, 其中: 所述液晶层具有负介电各向异性, 并且所述液晶层中的液晶分子的主轴垂直于所述第一和第二基板取向。

## 多域液晶显示器及其薄膜晶体管基板

## 5 技术领域

本发明涉及一种液晶显示器，尤其涉及一种垂直排列的液晶显示器，其具有包含多个域（domain）的像素区以拓宽视角。

## 背景技术

- 10 典型的液晶显示器（LCD）包括一带有公共电极和滤色器阵列的上面板（upper panel），带有多个薄膜晶体管（TFT）和多个像素电极的下面板（lower panel）以及位于两者之间的液晶层。在像素电极和公共电极上施加电压，其间的电势差产生电场。电场的变化改变液晶层中液晶分子的取向，进而改变通过液晶层的光透射率。因此，LCD 显示器通过调整像素电极和公共电极之间的电势差显示所需图像。

15 LCD 的一个主要缺陷在于视角狭窄，目前，已经开发了几项提高其视角的技术。在这些技术当中，在彼此相对的像素电极和公共电极上提供多个切口（cutout）或多个凸起，连同液晶分子相对上下面板垂直排列的技术具有很好的前景。

- 20 在像素电极和公共电极上同时提供的切口通过产生散射场（fringe field）调整液晶分子的倾斜方向，从而提供宽视角。

在像素电极和公共电极上同时提供的凸起扭曲电场，从而调整液晶分子的倾斜方向。

- 25 还可以通过在下面板的像素电极上提供切口，在上面板上的公共电极上提供凸起的方法，获得用于调整液晶分子的倾斜方向，以形成多个域的散射场。

- 在这些拓宽视角的技术当中，切口的提供具有这样的问题：需要用于对公共电极进行构图的额外掩模，需要防止滤色器的色素对液晶材料造成影响的保护层（overcoat），以及在已构图电极的边缘附近产生严重的向错（disclination）。凸起的提供也面临问题：由于需要额外工艺步骤来形成凸起或者需要对工艺步骤进行修改，所以制造方法复杂。而且由于凸起和切口的
- 30

存在，降低了开口率。

## 发明内容

5 本发明的一个目的在于提供一种通过简单工艺制造并确保稳定多域的液晶显示器。

10 可以通过为像素电极提供像素薄膜晶体管，为方向控制电极提供第一和第二方向控制电极薄膜晶体管的方式，实现这些和其他目的。像素薄膜晶体管响应来自相关栅极线的信号，将来自相关数据线的信号传输至像素电极，第一方向控制电极薄膜晶体管响应来自前一栅极线的信号，将来自前一数据线的信号传输至方向控制电极，第二方向控制电极薄膜晶体管响应来自前一栅极线的信号，将来自相关数据线的信号传输至像素电极。

15 提供了一种薄膜晶体管阵列板，其包括：一绝缘基板；形成在所述绝缘基板上的多个第一信号线；形成在所述绝缘基板上，与第一信号线绝缘，并与第一信号线交叉的多个第二信号线；在由第一和第二信号线的交点界定的相应像素区域上提供的多个像素电极，每个像素电极具有一切口；在由第一和第二信号线的交点界定的相应像素区域上提供的多个方向控制电极；连接到第一信号线中的相关一个，第二信号线中的相关一个以及像素电极中的相关一个的第一薄膜晶体管；连接到第一信号线中的前一个，第二信号线中的前一个以及方向控制电极中的相关一个的第二薄膜晶体管；以及连接至前  
20 第一信号线，相关第二信号线和相关像素电极的第三薄膜晶体管。

薄膜晶体管阵列板可以进一步包括第三信号线，其与第二信号线绝缘并  
与之交叉，第三信号线包括与像素电极的切口交叠的部分。

25 提供了一种薄膜晶体管阵列板，其包括：一绝缘基板；形成于绝缘基板上并包含第一至第三栅电极和多个栅极线的栅极线路；形成于栅极线路上的栅极绝缘层；形成于栅极绝缘层上的半导体层；数据线路，其形成于半导体层上，并且包含多个与栅极线相交的数据线、连接至数据线的第一至第三源电极、以及相对于第一至第三栅电极而言与第一至第三源电极相对的第一至第三漏电极；连接至第二漏电极的方向控制电极；形成于数据线路和方向控制电极上的保护层，其具有多个接触孔；以及形成于保护层上的像素电极，  
30 其具有多个切口，并通过接触孔电连接至第一和第三漏电极。

优选地，将第一和第三源电极连接至数据线中的相关一个，将第二源电

极连接至数据线中的前一个，将第一和第二栅电极连接至栅极线中的前一个，将第三栅电极连接至栅极线中的相关一个。像素电极的切口优选包括将像素电极 190 分为上下两半的横向切口，以及相对于横向切口具有反演对称性的倾斜切口。优选地，方向控制电极至少与像素电极的切口之一交叠，并

5 相对于像素电极的切口中的一横向切口具有反演对称性。

薄膜晶体管阵列板可以进一步包括一存储电极线路，其包括与栅极线路大体相同的层，并具有至少与像素电极的切口之一交叠的部分。方向控制电极可以包括与数据线路大体相同的层和材料。

接触孔优选矩形，其边与倾斜切口平行或垂直。数据线路和方向控制电

10 极可以包括半导体层和金属层的双层。半导体层可以包括非晶硅膜和欧姆接触层的双层膜。

提供了一种液晶显示器，其包括：第一绝缘基板；形成在所述第一绝缘基板上的多个第一信号线；形成在所述第一绝缘基板上，与第一信号线绝缘，并与第一信号线交叉的多个第二信号线；在由第一和第二信号线的交点界定的

15 的相应像素区域上提供的多个像素电极，像素电极具有切口；在由第一和第二信号线的交点界定的相应像素区域上提供的多个方向控制电极；连接到第一信号线中的相关一个，第二信号线中的相关一个以及像素电极中的相关一个的第一薄膜晶体管；连接到第一信号线中的前一个，第二信号线中的前一个以及方向控制电极中的相关一个的第二薄膜晶体管；以及连接至前一第一

20 信号线，相关第二信号线和相关像素电极的第三薄膜晶体管；与第一绝缘基板相对的第二绝缘基板；形成于第二绝缘基板上的公共电极；以及插入到第一和第二基板之间的液晶层。

优选地，液晶层具有负介电各向异性，并且液晶层中的液晶分子的主轴垂直于第一和第二基板取向 (aligned)。

25

#### 附图说明

图 1 是根据本发明的实施例的 LCD 的等效电路图；

图 2A 是根据本发明的第一实施例的 LCD 的 TFT 阵列板的布局图；

图 2B 和 2C 分别是沿图 2A 中所示的 TFT 阵列板的 IIb-IIb'和 IIc-IIc'线

30 获得的剖面图；

图 3A 到图 3D 是根据本发明的第一实施例的 LCD 的 TFT 阵列板的剖面

图，用于按顺序说明其制造方法；

图 4 是根据本发明的第二实施例的 LCD 的 TFT 阵列板的布局图；

图 5 是沿图 4 中所示的 TFT 阵列板的线 V-V'和 V'-V''获得的剖面图；

图 6A 到图 11B 是根据本发明的第二实施例的 LCD 的 TFT 阵列板的布局图和剖面图，用于按顺序说明其制造方法；

图 12 是根据本发明的第一和第二实施例的 LCD 的 TFT 阵列板的示意图；

图 13 是根据本发明的第三实施例的 LCD 的等效电路图；

图 14 是根据本发明的第三实施例的 LCD 的布局图；

图 15 是沿图 14 中所示的 LCD 的线 XV-XV'获得的剖面图；

图 16 是沿图 14 中所示的 LCD 的线 XVI-XVI'获得的剖面图；以及

图 17 是沿图 14 中所示的 LCD 的线 XVII-XVII'和 XVII'-XVII''获得的剖面图。

## 15 具体实施方式

在下文中，将参照附图对本发明进行更加详细的说明，在附图中将示出本发明的优选实施例。但是，可以以不同的形式体现本发明，而不应推断本发明仅限于文中所述实施例。

在附图中，为了清晰起见，夸大了层和区域的厚度。类似的数字自始至终指代类似的元件。应当理解的是：在称层、区域或基板位于另一元件上时，其可能直接位于另一元件上，也可能存在中间元件。相反，在称一元件直接位于另一元件上时，不存在中间元件。

现在，将参照附图对根据本发明的实施例的 LCD 进行详细说明。

图 1 是根据本发明的实施例的 LCD 的等效电路图。

25 根据本发明的实施例的 LCD 包括：TFT 阵列板，与 TFT 阵列板相对的滤色器阵列板，以及插入其间的液晶层。TFT 阵列板带有多个由相互交叉而界定了多个像素区域的栅极线和数据线，以及多个平行于栅极线延伸的存储电极。栅极线传输扫描信号，数据线传输图像信号。在存储电极线上施加公共电压 (common voltage)  $V_{com}$ 。每个像素区域带有一用于像素电极的像素 TFT 和一用于方向控制电极 (DCE) 的方向控制电极 TFT (DCETFT)。像素 TFT 包括：连接至栅极线之一的栅电极，连接至数据线之一的源电极，以

及连接至多个像素电极之一漏电极；而 DCE TFT 包括：一连接至前一栅极线的栅电极，一连接至存储电极线之一的源电极，以及一连接至多个方向控制电极之一的漏电极，

5 DCE 和像素电极电容性耦合 (capacitively coupled)，用  $C_{DP}$  表示两者之间的电容器或其电容。在滤色器阵列板上提供的像素电极和公共电极形成一液晶电容器，用  $C_{LC}$  表示这一液晶电容器或其电容。连接至存储电极线之一的像素电极和存储电极形成一存储电容器，用  $C_{ST}$  表示这一存储电容器或其电容。

10 尽管未在电路图中示出，但是根据本发明的实施例的像素电极具有与 DCE 交叠的孔，从而使由 DCE 产生的电场从该孔流出。从该孔流出的电场使液晶分子具有预倾斜角。在施加由像素电极产生的电场时，预倾斜的液晶分子在不偏离预定方向的情况下迅速对齐。

15 为了通过由 DCE 产生的电场获得预倾斜的液晶分子，DCE 相对于公共电极的电势（下文简称“DCE 电压”）要比像素电极相对于公共电极的电势（下文简称“像素电压”）大一预定值。根据本发明的实施例的 LCD 通过在将加到存储电极线的电势加到 DCE 上之后隔离 DCE 的方法，很容易满足这一要求。现在来说明理由。

20 考虑具有负电势的某一像素电极被正电势刷新的时刻。加到前一栅极线上的栅极开启 (gate-on) 信号开启 DCE TFT，以便使 DCE 的电势高于像素电极。这改变了与 DCE 电容性耦合的像素电极的电势。在这种情况下，DCE 和像素电极之间的电容器  $C_{DP}$  以及像素电极和公共电极之间的电容器  $C_{LC}$  串联。由于像素电极具有负电势，所以其电势低于 DCE 电势，即，在对串联的电容器  $C_{DP}$  和  $C_{LC}$  充电时， $V_{DCE} > V_P$ 。当充电之后关闭 DCE TFT 时，DCE 浮置。因此，不管像素电极的电势怎样改变，DCE 的电势总是大于像素电极

25 的电势。例如，当像素电极的电势增长至正值时，像素 TFT 开启，DCE 的电势跟随像素电极的电势增长，以保持 DCE 和像素电极之间的电势差。

利用电路对此加以说明。

在电路中电容器两端的电压由下述公式表示：

$$V_C = V_0 + \frac{1}{C} \int idt \quad (1)$$

30 浮置电极相当于一连接至电阻无穷大 ( $R = \infty$ ) 的电阻器的电极。因此，

$i = 0$ ，并且  $V_c = V_0$ ，也就是说保持了电容器两端的初始电压。换句话说，浮置电极的电势与另一个电极的电势耦合地增加或减少。

反之，在用负电势刷新时，DCE 的电势总是比像素电极的电势低一预定值。

5 根据本发明的一实施例，将 DCE TFT 连接至存储电极线，从而将公共电压加到 DCE 上。因此，两个电极的电势增大或减少，以具有大体相同的极性，而不管在下一帧中加到像素电极上的电势极性如何。因此，在本发明中应用了诸如线反演和点反演的任何反演类型。

对于同一灰色 (gray) 而言，DCE 和像素电极之间的电势差不发生变化，  
10 不管前一帧和下一帧的灰色如何，从而确保图像质量的稳定性。

DCE TFT 从数据线上断开防止了数据线负载的增加。

现在，参照图 2A 到图 2C，对本发明的具体实施例进行说明。

图 2A 是根据本发明的实施例的 LCD 的布局图，图 2B 和 2C 分别是沿图 2A 中所示的 LCD 的线 IIb-IIb' 和 IIc-IIc' 得到的剖面图。

15 根据本发明的第一实施例的 LCD 包括：下面板，与下面板相对的上面板，以及插入到下面板和上面板之间垂直 (homeotropically) 取向的液晶层。

现在，将对下面板进行更为详细的说明。

在绝缘基板 110 上形成了多个栅极线 121，在其上形成了多个数据线 171。栅极线 121 和数据线 171 彼此绝缘，相互交叉，从而界定了多个像素  
20 区域。

每个像素区域带有一像素 TFT，一 DCE TFT，一 DCE 和一像素电极。像素 TFT 具有三个端子，即第一栅电极 123a，第一源电极 173a 和第一漏电极 175a，而 DCE TFT 也具有三个端子，即第二栅电极 123b，第二源电极 173b 和第二漏电极 175b。提供像素 TFT 的目的在于切换传输至像素电极 190 的  
25 信号，而提供 DCE TFT 的目的在于切换进入 DCE 178 的信号。像素 TFT 的栅电极 123a、源电极 173a 和漏电极 175a 分别连接至栅极线 121 中的相应一个，数据线 171 之一和像素电极 190。DCE TFT 的栅电极 123b、源电极 173b 和漏电极 175b 分别连接至栅极线 121 中的前一个，存储电极线 131 中的相关一个和 DCE 178。向 DCE 178 施加用于控制液晶分子的预倾斜的方向控制  
30 电压，从而在 DCE 178 和公共电极 270 之间生成方向控制电场。DCE 178 是在形成数据线 171 的步骤中形成的。

下面将对下面板的分层构造进行详细说明。

大体沿横向延伸的多个栅极线 121 形成于绝缘基板 110 上，将多个第一和第二栅电极 123a 和 123b 连接至栅极线 121。多个存储电极线 131 和多组第一至第四存储电极 133a-133d 也形成于绝缘基板 110 上。存储电极线 131 大体沿横向延伸，第一和第二存储电极 133a 和 133b 沿纵向从存储电极线 131 伸出。第三和第四存储电极 133c 和 133d 沿横向延伸，并且连接第一存储电极 133a 和第二存储电极 133b。

栅极线路 121，123a 和 123b，以及存储电极线路 131 和 133a-133d 优选由 Al、Cr 或其合金，Mo 或 Mo 合金构成。如果必要的话，栅极线路 121、123a 和 123b 以及存储电极线路 131、133a-133d 包括：优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层；优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

栅极绝缘层 140 形成于栅极线路 121，123a 和 123b，以及存储电极线路 131 和 133a-133d 上。

优选由非晶硅构成的半导体层 151、154a、154b 和 155 形成于栅极绝缘层 140 上。半导体层 151、154a、154b 和 155 包括多个形成 TFT 沟道的第一和第二沟道半导体 154a 和 154b，多个的位于数据线 171 之下的数据线半导体 151，多个位于 DCE 178 与存储电极 133c 和 133d 的交点附近，用于确保两者之间绝缘的交叉半导体 155。

优选由硅化物或重掺杂了 n 型杂质的 n<sup>+</sup>氢化非晶硅构成的欧姆接触层 161、163a、163b、165a 和 165b 形成于半导体层 151、154a、154b 和 155 之上。

数据线路 171、173a、173b、175a 和 175b 形成于欧姆接触层 161、163a、163b、165a 和 165b，以及栅极绝缘层 140 上。数据线路 171、173a、173b、175a 和 175b 包括：沿纵向延伸，并与栅极线 121 交叉，以形成多个像素的多个数据线 171；从数据线 171 中分出的延伸至欧姆接触层的部分 163a 上的多个第一源电极 173a；位于欧姆接触层的部分 165a 上的多个第一漏电极 175a，其位于相对于第一栅电极 123a 与第一源电极 173a 相对的位置上，并与第一源电极 173a 隔开；位于相对于第二栅电极 123b 彼此相对的各个部分 163b 和 165b 上的多个第二源电极 173b 和多个第二漏电极 175b；以及多个数据焊盘（未示出），其连接至数据线 171 的一端，以便从外部设备接收图

像信号。

在由栅极线 121 和数据线 171 的交点界定的像素区域中形成多个 DCE 178。每个 DCE 178 包括多个 X 形金属片，其彼此连接，并连接至第二漏电极 175b。数据线路 171、173a、173b、175a 和 175b，以及 DCE 178 优选由 Al、Cr 或其合金，Mo 或 Mo 合金构成。如果必要的话，数据线路 171、173a、173b、175a 和 175b，以及 DCE 178 包括：优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层；优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

10 优选由氮化硅或有机物绝缘体构成的钝化层 180 形成于数据线路 171、173a、173b、175a 和 175b 上。

钝化层 180 带有：多个暴露第一漏电极 175a 的接触孔；延伸至栅极绝缘层 140，并暴露存储电极线 131 的多个接触孔 182；暴露第二源电极 173b 的多个接触孔 183；暴露数据焊盘的多个接触孔（未示出）；以及延伸至栅极绝缘层 140，并暴露栅极焊盘的多个接触孔（未示出）。暴露这些焊盘的接触孔具有多种形状，例如多边形或圆形。接触孔的面积优选大于或等于  $0.5\text{mm} \times 15\ \mu\text{m}$ ，并且不大于  $2\text{mm} \times 60\ \mu\text{m}$ 。

在钝化层 180 上形成多个像素电极 190。每个像素电极 190 通过接触孔 181 连接至第一漏电极 175a，并且具有多个 X 形切口 191 和多个线状切口 192。X 形切口 191 与 DCE 178 的 X 形部分交叠，而线状切口 192 与第三和第四存储电极 133c 和 133d 交叠。DCE 178 广泛地与切口 191 的外围及切口 191 自身交叠，从而与像素电极 190 一起形成存储电容。

25 通过接触孔 182 和 183 连接存储电极线 131 和第二源电极 173b 的多个桥接件（bridge）92 也形成于钝化层上。此外，在钝化层 180 上形成多个辅助栅极焊盘（未示出）和多个辅助数据焊盘（未示出）。辅助栅极焊盘和辅助数据焊盘通过接触孔连接至栅极焊盘和数据焊盘。像素电极 190、桥接件 92、辅助栅极焊盘和辅助数据焊盘优选由氧化铟锌（IZO）构成。做为选择，像素电极 190、桥接件 92 和辅助焊盘优选由氧化铟锡（ITO）构成。

30 概括来讲，每一像素电极 190 具有多个切口 191 和 192，用于将像素区域划分成多个域，第一切口 191 与 DCE 178 交叠，而第二切口 192 则与存储电极 133c 和 133d 交叠。对准 DCE 178 和第一切口 191，从而在正视图中看到通过第一切口 191 暴露出来的 DCE 178。存储电极线 131 和 DCE 178 通过

DCE TFT 连接, 而数据线 171 和像素电极 190 则通过像素 TFT 连接, 像素电极 190 和 DCE 178 对准, 以形成存储电容。

根据本发明的另一实施例, DCE 178 包括与栅极线路 121、123a 和 123b 大体相同的层。可以去除位于 DCE 178 上的钝化层 180 的部分, 以形成多个  
5 开口。

将不对上部基板 210 做详细说明。

在优选由诸如玻璃的透明绝缘材料构成的上部基板 210 上形成: 用于防止漏光的黑底 (black matrix) 220; 多个的红色、绿色和蓝色滤色器 230; 以及优选由诸如 ITO 或 IZO 的透明导体构成的公共电极 270。

10 对包含在液晶层 3 中的液晶分子如此取向, 使得在不存在电场时, 其导轴 (director) 垂直于下和上基板 110 和 210。液晶层 3 具有负介电各向异性。

对下基板 110 和上基板 210 如此对准, 使得像素电极 190 恰好与滤色器 230 相匹配, 并与之交叠。以这种方法, 通过切口 191 和 192 将像素区域划分成多个域。DCE 178 使每个域中液晶层 3 的取向稳定。

15 这一实施例对具有负介电各向异性和相对于基板 110 和 210 垂直取向 (homeotropic alignment) 的液晶层 3 进行了说明。但是, 液晶层 3 可以具有正介电各向异性和相对于基板 110 和 210 的水平取向 (homogeneous alignment)。

下面将对制造具有上述结构的 LCD 的 TFT 阵列板的方法进行说明。

20 图 3A 到图 3D 是根据本发明的第一实施例的 LCD 的 TFT 阵列板的剖面图, 用于按顺序说明其制造方法。

首先, 如图 3A 所示, 通过溅射淀积优选由金属构成的导电层, 并通过第一光刻步骤, 采用掩模对其进行干法蚀刻或湿法蚀刻, 从而在基板 110 上形成栅极线路和存储电极线路。栅极线路包括多个栅极线 121, 多个栅极焊  
25 盘 (未示出) 和多个栅电极 123; 存储电极线路包括多个存储电极线 131 和多个存储电极 133a-133d。

如图 3B 所示, 通过化学气相淀积 (CVD) 依次淀积厚度为 1500-5000Å 的栅极绝缘层 140, 厚度为 500-2000Å 的氢化非晶硅层, 和厚度为 300-600Å 的掺杂非晶硅层。通过光刻步骤, 采用掩模对掺杂非晶硅层和非晶硅层进行  
30 构图, 从而形成欧姆接触层 160a、160b 和 161, 以及非晶硅层 151、154a 和 154b。

此后，如图 3C 所示，通过溅射淀积优选由金属构成的，厚度为 1500-3000Å 的导电层，并采用掩模，通过光刻步骤对其进行构图，以形成数据线路和多个 DCE 178。数据线路包括多个数据线 171，多个源电极 173a 和 173b，多个漏电极 175a 和 175b，以及多个数据焊盘（未示出）。

5 之后，去除未受源电极 173a 和 173b 以及漏电极 175a 和 175b 覆盖的欧姆接触层 160a 和 160b，从而形成包括多个隔开部分的欧姆接触层 163a、163b、165a 和 165b，并暴露位于源电极 173a 和 173b，以及漏电极 175a 和 175b 之间的半导体层的部分。

10 如图 3D 所示，通过涂覆具有低介电常数和良好的平面化特性的有机绝缘材料的方法，或通过对诸如 SiOF 或 SiOC 的，介电常数小于等于 4.0 的低介电常数绝缘材料进行 CVD（化学汽相淀积）的方法形成钝化层 180。通过光刻步骤，采用掩模对钝化层 180 连同栅极绝缘层 140 构图，以形成多个的接触孔 181、182 和 183。

15 最后，如图 2A 所示，淀积厚度为 1500-5000Å 的 ITO 层或 IZO 层，并采用掩模对其进行光刻，以形成多个像素电极 190，多个连接桥接件 92，多个辅助栅极焊盘（未示出）和多个辅助数据焊盘（未示出）。

在如上所述这项技术适用于采用五个掩模的制造方法。但是，可以对这项技术进行充分调整，使其适于采用四个掩模制造 LCD 的 TFT 阵列板的方法。这里将参照附图对其予以详细说明。

20 图 4 是根据本发明的第二实施例的 LCD 的 TFT 阵列板的布局图，图 5 是沿图 4 中所示的 TFT 阵列板的线 V-V'和 V'-V''获得的剖面图。

采用四个掩模制造根据本发明的第二实施例的 LCD 的 TFT 阵列板，与采用五个掩模制造 TFT 阵列板相比，其具有一个特征，现在将对这一特征进行说明。

25 形成于多个 DCE 178 和包括多个数据线 171、多个源电极 173a 和 173b、多个漏电极 175a 和 175b 以及多个数据焊盘 179 的数据线路之下的欧姆接触层 161、163a、163b、165a 和 165b 具有大体与数据线路 171、173a、173b、175a、175b 和 179，以及 DCE 178 相同的形状。除了位于源电极 173a 和 173b 以及漏电极 175a 和 175b 之间的沟道部分被连接以外，非晶硅层 151、154a、30 154b 和 158 具有大体与数据线路和 DCE 178 相同的外形。其余结构大体与通过五个掩模工艺制造的 TFT 阵列板相同。

图 4 对栅极焊盘 125、存储焊盘 135 和数据焊盘 179，以及辅助栅极焊盘 95、辅助存储焊盘 99 和辅助数据焊盘 97 进行了说明。

现在将对制造 TFT 阵列板的方法进行说明。

图 6A 至 11B 是用于 LCD 的 TFT 阵列板的布局图和剖面图，用于按顺序对其制造方法予以说明。

首先，如图 6A 和 6B 所示，淀积 Al、Ag、其合金或类似材料，并对其进行光刻，以形成包括多个栅极线 121、多个栅极焊盘 125、多个栅电极 123 和存储电极线路 131 和 133a-133d 的栅极线路。（第一掩模）

如图 7 所示，通过 CVD，按顺序淀积厚度为 500-5000Å 的氮化硅栅极绝缘层 140，厚度为 500-2000Å 的非晶硅层 150 和厚度为 300-600Å 的接触层 160。通过优选为溅射的方法淀积优选由 Al、Ag 或其合金构成的导电层 170，并在其上涂覆厚度为 1-2 微米的光刻胶膜 PR。

此后，通过掩模对光刻胶膜 PR 曝光，并对其显影，以形成如图 8A 和 8B 所示的光刻胶图案。位于布置在源电极 173a 或 173b 和漏电极 175a 或 175b 之间的 TFT 的沟道区域 C 上的光刻胶图案 PR 的每个部分厚于位于将要形成数据线路的数据区域 A 上的光刻胶图案 PR 的每个部分。去除位于其余区域 B 上的光刻胶膜 PR 的所有部分。这里，根据下文中将予以说明的后续蚀刻步骤的工艺条件来调整位于沟道区域 C 上的光刻胶图案 PR 与位于数据区域 A 上的光刻胶图案 PR 的厚度之比，优选地，前者地厚度小于等于后者厚度的一半，例如，小于等于 4000Å。（第二掩模）

通过多项技术获得厚度随位置变化的光刻胶图案。在掩模上提供狭缝（slit）图案、栅格图案或半透（translucent）膜以调整区域 C 中的透光率。

在采用狭缝图案时，优选地，狭缝的宽度和狭缝之间的距离小于用于进行光刻处理的曝光器（exposer）的分辨率。在采用半透膜的情况下，可以采用具有不同透射率或不同厚度的薄膜调整掩模的透射率。

在通过这样的掩模对光刻胶膜曝光时，直接曝光的一部分聚合物几乎被彻底分解，而通过狭缝图案或半透膜曝光的聚合物部分由于光的辐射量小不会被彻底分解。由在掩模上提供的挡光膜遮挡的一部分光刻胶膜聚合物几乎不被分解。在对光刻胶膜显影后，含有未被分解的聚合物的部分保留了下来。这时，曝光量较少的部分的厚度薄于未经曝光的部分的厚度。由于曝光时间太长会分解所有的分子，因此有必要调整曝光时间。

采用回流的方法可以获得薄厚度的光刻胶膜。也就是说，由可回流材料构成光刻胶层，并通过具有不透明和透明部分的掩模曝光。之后对光刻胶膜显影，并对其进行回流处理，从而使光刻胶膜的部分流到没有光刻胶的区域，从而形成薄的部分。

- 5 接下来，蚀刻光刻胶图案 PR 和包括导电层 170、接触层 160 和半导体层 150 的底层，从而在数据区域 A 上保留数据线路和底层，在沟道区域 C 上仅保留半导体层，并去除所有的 170、160 和 150 三层，以暴露位于其余区域 B 上的栅极绝缘层 140。

首先，如图 9 所示去除导电层 170 位于其他区域 B 上的暴露部分，以暴露其下接触层 160 的部分。在导电层 170 蚀刻容易，光刻胶图案 PR 很难蚀刻的情况下，在这一步骤中有选择地采用并优选执行了干法和湿法蚀刻。但是，由于很难识别上述干法蚀刻条件，所以可以在同时蚀刻光刻胶图案 PR 和导电层 170 的情况下执行干法蚀刻。在这种情况下，位于沟道区域 C 上的采用干法蚀刻的光刻胶图案 PR 的部分优选具有比采用湿法蚀刻的部分厚，  
10 以防止去除位于沟道层 C 上的光刻胶图案 PR，而暴露导电层 170 位于下层的部分。

因此，如图 9 所示，只保留了位于沟道区域 C 和数据区域 A 上的导电层 170 的部分 171、170a 和 170b，去除了位于其他区域 B 的导电层 170 的部分，从而暴露了接触层 160 位于下层的部分。这里，除了源电极 173a、173b 和漏电极 175a、175b 彼此未断开而是相互连接外，数据线路导体 170、170a 和 170b 具有与数据线路 171、173a、173b、175a、175b 和 179 大体相同的平面形状。在采用干法蚀刻时，将光刻胶图案 PR 的厚度降低到一定程度。

接下来，如图 9 所示，通过干法蚀刻去除位于区域 B 上的接触层 160 的暴露部分和非晶硅层 150 位于下层的部分，以及位于沟道区域 C 上的光刻胶图案 PR 的部分。在光刻胶图案 PR、接触层 160 和半导体层 150 蚀刻容易，栅极绝缘层 140 很难蚀刻的条件下，进行蚀刻。（注意中间层和半导体层之间的蚀刻选择性几乎为零。）特别是，优选地，光刻胶图案 PR 和半导体层 150 之间的蚀刻比率几乎相等。例如，采用  $\text{SF}_6$  和  $\text{HCl}$  的气体混合物或  $\text{SF}_6$  和  $\text{O}_2$  的气体混合物，可以使光刻胶图案 PR 和半导体层 150 的蚀刻厚度几乎  
25 相同。当光刻胶图案 PR 和半导体图案 150 的蚀刻比率相同时，光刻胶图案 PR 位于沟道区域 C 上的部分的初始厚度小于或等于半导体层 150 和接触层  
30

160 的厚度之和。

因此，如图 10 所示，去除了光刻胶图案 PR 位于沟道区域 C 上的部分，以暴露源极/漏极 (S/D) 导体 170a 和 170b 位于下层的部分，并去除了接触层 160 和半导体层 150 位于其他区域 B 的部分，以暴露栅极绝缘层 140 位于下层的部分。与此同时，还要蚀刻光刻胶图案 PR 位于数据区域 A 上的部分，使其变薄。此外，在这一步骤中完成半导体图案 151、154a、154b 和 158 的制作。在半导体图案 151、154a、154b 和 158 上形成多个欧姆接触 161、160a、160b 和 168。

之后，通过灰化处理去除残留在位于沟道区域 C 上的 S/D 导体 170a 和 170b 的表面的光刻胶。

接下来，如图 11A 和 11B 所示，蚀刻去除位于沟道区域 C 上的 S/D 导体 170a 和 170b 的部分，以及位于下层的 S/D 欧姆接触 160a 和 160b 的部分。这里，可以只采用干法蚀刻蚀刻 S/D 导体 170a 和 170b 以及 S/D 欧姆接触 160a 和 160b。做为选择，通过湿法蚀刻蚀刻 S/D 导体 170a 和 170b，通过干法蚀刻蚀刻 S/D 欧姆接触 160a 和 160b。在前一种情况下，优选在 S/D 导体 170a 和 170b，以及 S/D 欧姆接触 160a 和 160b 之间具有高蚀刻选择性的情况下进行蚀刻。这是因为低蚀刻选择性使蚀刻结束点的确定非常困难，从而导致难以调整保留在沟道区域 C 上的半导体图案 154a 和 154b 的部分的厚度。在后一种情况下，交替使用湿法蚀刻和干法蚀刻，由于湿法蚀刻蚀刻了 S/D 导体 170a 和 170b 的侧面，干法蚀刻几乎不蚀刻 S/D 欧姆接触 160a 和 160b 的侧面，从而形成了阶梯式的侧壁。举例而言，在蚀刻 S/D 欧姆接触 160a 和 160b 的过程中所采用的蚀刻气体可以是  $\text{CF}_4$  和  $\text{HCl}$  的气体混合物或  $\text{CF}_4$  和  $\text{O}_2$  的气体混合物。采用  $\text{CF}_4$  和  $\text{O}_2$  的气体混合物可以获得等厚度的半导体图案 154a 和 154b 的蚀刻部分。从这方面来讲，对半导体图案 154a 和 154b 的暴露部分进行蚀刻，以减小厚度，还要对光刻胶图案 PR 位于数据线路区域 A 上的部分进行蚀刻，以减小厚度。在不蚀刻栅极绝缘层 140 的情况下进行蚀刻，优选地，光刻胶图案 PR 足够厚，以防止光刻胶图案 PR 位于数据线路区域 A 上的部分被去除，从而暴露了数据线路 171、173a、173b、175a、175b 和 179 位于下层的部分。

因此，源电极 173a 和 173b，以及漏电极 175a 和 175b 得到了彼此分离，并且同时完成了对数据线路 171、173a、173b、175a、175b 和 179，以及位

于其下的欧姆接触图案 161、163a、163b、165a 和 165b 的制作。

最后，去除光刻胶图案 PR 位于数据区域 A 上的部分。作为选择，在去除 S/D 导体 170a 和 170b 位于沟道区域 C 上的部分之后，去除欧姆接触 160a 和 160b 位于下层的部分之前，去除位于数据区域 A 上的光刻胶图案 PR 的部分。

如上所述，可以轮流执行湿法蚀刻和干法蚀刻，但也可以只采用干法蚀刻。后者相对简单，但是与前者相比不容易找到适当的蚀刻条件。反之，对于前一种情况而言很容易找到适当的蚀刻条件，但是与后者相比相对复杂。

此后，如图 4 和图 5 所示，通过采用 CVD 生长  $\alpha$ -Si:C:O 或  $\alpha$ -Si:O:F，通过淀积氮化硅或涂覆诸如丙烯基材料的方式形成钝化层 180。在形成  $\alpha$ -Si:C:O 层时，将作为基本源的  $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  或类似材料，诸如  $\text{N}_2\text{O}$  或  $\text{O}_2$  的氧化剂，以及 Ar 或 He 进行气态混合，并使其流动实现淀积。为了形成  $\alpha$ -Si:O:F 层，通过流动包含  $\text{SiH}_4$ 、 $\text{SiF}_4$  或类似材料以及额外气体  $\text{O}_2$  的气体混合物进行淀积。可以添加  $\text{CF}_4$  作为氟的二级源。

如图 4 和图 5 所示，对钝化层 180 连同栅极绝缘层 140 进行光刻，以形成多个暴露第一漏电极 175a、第二源电极 173b、存储电极线 131、栅极焊盘 125、存储焊盘 135 和数据焊盘 179 的接触孔 181、182、183、184、185 和 186。优选地，暴露焊盘 125、179 和 135 的接触孔 184、185 和 186 的面积大于等于  $0.5\text{mm} \times 15 \mu\text{m}$ ，并且不大于  $2\text{mm} \times 60 \mu\text{m}$ 。（第三掩模）

最后，淀积厚度为  $1500\text{-}5000\text{\AA}$  的 ITO 层或 IZO 层，并对其进行光刻，以形成多个连接至漏电极 175 的像素电极 190、多个连接至栅极焊盘 125 的辅助栅极焊盘 95、多个连接至数据焊盘 179 的辅助数据焊盘 97，以及多个连接至第二源电极 173b 和存储电极线 131 的桥接件 92。（第四掩模）

由于可以将 Cr 蚀刻剂作为用于 IZO 层的蚀刻剂，所以在由 IZO 层形成像素电极 190、辅助栅极焊盘 95、辅助数据焊盘 97 和桥接件的光刻步骤中，通过接触孔暴露的用于数据线路和栅极线路的金属部分不会受到侵蚀。 $(\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O})$  是 Cr 蚀刻剂的一个例子。淀积 IZO 层的温度优选在室温到  $200^\circ\text{C}$  的范围内，以降低触点的接触电阻。用于 IZO 层的靶材的优选实例包括  $\text{In}_2\text{O}_3$  和  $\text{ZnO}$ 。 $\text{ZnO}$  的含量优选位于  $15\text{atm}\%$  和  $20\text{atm}\%$  的范围内。

同时，在淀积 ITO 层或 IZO 层的预热过程中，优选采用氮气。这是为了防止在通过接触孔 181、182、183、184、185 和 186 暴露的金属层的部分上生成金属氧化物。

图 12 是图 2A 和图 4 中所示的根据本发明的实施例的 LCD 的 TFT 阵列板的示意图。

连接至数据线 171 的 TFT T1 切换传输至像素电极 190 的信号，而连接至存储电极线的 TFT T2 则切换进入 DCE 178 的信号。像素电极 190 与 DCE 178 电容性耦合。为了获得相同的灰色，DCE 178 和像素电极 190 之间的电势差不发生变化。因此，不管是线反演、点反演还是其他反演类型，都可以确保图像质量的稳定性。

将根据本发明的第一和第二实施例的 DCE TFT 的源电极连接至存储电极线。但是，也可以将源电极连接至前一数据线，这种做法存在一些问题。

首先，将栅极开启电压加到前一栅极线（如图 1 中的栅极 N-1）上导致在位于相关像素对角线上（located diagonal to）的像素电极上施加一灰色电压，在相关像素的 DCE 上施加一初始电压。DCE 的初始电压等于位于对角线的像素电极的灰色电压。因此，DCE 和相关像素的像素电极之间的电势差  $V_{DP}$  由位于对角线上的像素电极的灰色电压决定。例如，将诸如黑色电压的低灰色电压加到位于对角线上的像素电极上会导致 DCE 具有低初始电压，从而形成低  $V_{DP}$ 。低  $V_{DP}$  意味着 DCE 和像素电极之间的电势差小，这样，由 DCE 产生的侧面场就弱。因此，液晶分子的分布不稳定，从而导致纹理。

接下来，由电容器  $C_{DP}$  两端的电压定义了  $V_{DP}$ ，电容器  $C_{DP}$  串联至等效电容  $C_{LC}$  和  $C_{ST}$ 。因此， $V_{DP}$  的值随着电容  $C_{DP}$  的减小而增大。为了降低电容  $C_{DP}$ ，通过设计使像素电极和 DCE 之间的重叠面积最小化。但是，在这种情况下，加工过程中掩模的错位和 DCE 附近的漏光可能会导致图像质量的敏感变化。对于前一种情况，掩模错位改变了像素电极和 DCE 的重叠面积，这直接影响图像质量。在 DCE 的初始电压高（即，加到位于对角线上的像素电极的灰色电压高），并且将黑色电压加到相关像素上时，会发生后一种情况，DCE 的高电压迫使液晶分子移动，导致光线泄漏，狭窄的 DCE 可能无法遮挡所泄漏的光。光线泄漏导致对比率降低。

现在，将对解决这些问题的第三实施例予以说明。

图 13 是根据本发明的第三实施例的 LCD 的等效电路图。

根据本发明的实施例的 LCD 包括: TFT 阵列板, 与 TFT 阵列板相对的滤色器阵列板, 以及插入其间的液晶层。TFT 阵列板带有多个由相互交叉而界定了多个像素区域的栅极线和数据线, 以及多个平行于栅极线延伸的存储电极线。栅极线传输扫描信号, 数据线传输图像信号。在存储电极线上施加公共电压  $V_{com}$ 。每个像素区域带有一用于像素电极的像素 TFT 和用于 DCE 的第一和第二 DCE TFT DCE TFT1 和 DCE TFT2。像素 TFT 包括连接至相关栅极线的栅电极, 连接至相关数据线的源电极, 和连接至相关像素电极的漏电极。第一 DCE TFT 包括: 一连接至前一栅极线的栅电极, 一连接至前一数据线的源电极, 和一连接至相关 DCE 的漏电极; 而第二 DCE TFT 包括: 一连接至前一栅极线的栅电极, 一连接至相关数据线的源电极, 和一连接至相关像素电极的漏电极。

DCE 和像素电极电容性耦合, 其间的电容器或电容由  $C_{DP}$  表示。在滤色器阵列板上提供的像素电极和公共电极形成一液晶电容器, 用  $C_{LC}$  表示这一液晶电容器或其电容。连接至存储电极线之一的像素电极和存储电极形成一存储电容器, 用  $C_{ST}$  表示这一存储电容器或其电容。

尽管未在电路图中示出, 但是根据本发明的实施例的像素电极具有与 DCE 交叠的孔, 从而使由 DCE 产生的电场从该孔流出。从该孔流出的电场使液晶分子具有预倾斜角。在施加由像素电极产生的电场时, 预倾斜的液晶分子在不偏离预定方向的情况下迅速对齐。

假设所述 LCD 服从点反演。将栅极开启电压加到前一栅极线栅极 N-1 上, 开启 DCE TFT DCE TFT1 和 DCE TFT2, 使 DCE 具有 (+) 灰色电压, 使像素电极具有 (-) 灰色电压。DCE 的初始电压是分别来自数据线数据 A 和数据 B 的正灰色电压和负灰色电压之间的差值, 该初始电压是无第二 DCE TFT DCE TFT2 的 DCE 的初始电压的两倍或两倍以上。在将栅极开启电压加到相关栅极线栅极 N 上时, 像素 TFT 开启, DCE TFT DCE TFT1 和 DCE TFT2 关闭, DCE 浮置, 因此, DCE 的电势也随着来自像素电极的电势差  $V_{DP}$  的保持而增大。因此, 根据第三实施例的结构确保高  $V_{DP}$ , 以增强液晶分子排列的稳定性, 从而使纹理(texture)稳定化。

此外, 由于  $V_{DP}$  是由两个相邻的前一像素的灰色电压决定的, 并且几乎不受电容  $C_{DP}$  的影响, 因此, 不必降低电容  $C_{DP}$ , 从而使 DCE 具有与像素电极相交叠的足够宽度。因此, DCE 附近的光线泄漏受到了遮挡, 图像质量不

会受到掩模错位的显著影响。

此外，高  $V_{DP}$  改善了响应时间和余像。

图 13 中所示的结构适于点反演和线反演，而其他对三个 TFT 的连接进行了修改的结构可能适合其他类型的反演。

5 现在，将参照图 14 至图 17 对根据本发明的第三实施例的 LCD 的示范性 TFT 阵列板进行详细说明。

图 14 是根据本发明的第三实施例的 LCD 的布局图，图 15 是图 14 中所示的 LCD 沿线 XV-XV' 获得的剖面图，图 16 是图 14 中所示的 LCD 沿线 XVI-XVI' 获得的剖面图，图 17 是图 14 中所示的 LCD 沿线 XVII-XVII' 和  
10 XVII'-XVII'' 获得的剖面图。

根据本发明的第三实施例的 LCD 包括：下面板，与下面板相对的上面板，以及插入到下面板和上面板之间垂直取向液晶层。

现在，将对下面板进行更为详细的说明。

在绝缘基板 110 上形成了多个栅极线 121，在栅极线 121 上形成了多个  
15 数据线 171。栅极线 121 和数据线 171 彼此绝缘，相互交叉，从而界定了多个像素区域。

每个像素区域带有一像素 TFT，第一 DCE TFT，第二 DCE TFT，一 DCE 和一像素电极。像素 TFT 具有三个端子，即第一栅电极 123a，第一源电极 173ab 和第一漏电极 175a。第一 DCE TFT 具有三个端子，即第二栅电极 123b，  
20 第一源电极 173ab 和第二漏电极 175b，而第二 DCE TFT 也具有三个端子，即第三栅电极 123c、第二源电极 173c 和第三漏电极 175c。第一源电极 173ab 既用于像素 TFT，又用于第一 DCE TFT。提供像素 TFT 和第一 DCE TFT 的目的在于切换传输至像素电极 190 的信号，而提供第二 DCE TFT 的目的在于切换进入 DCE 178 的信号。像素 TFT 的栅电极 123a、源电极 173a 和漏电极 175 分别连接至栅极线 121 中的相关一个，数据线 171 中的相关一个和像素电极 190。  
25 第一 DCE TFT 的栅电极 123b、源电极 173b 和漏电极 175b 分别连接至栅极线 121 中的前一个，数据线 171 中的相关一个和像素电极 190。第二 DCE TFT 的栅电极 123c、源电极 173c 和漏电极 175c 分别连接至前一栅极线 121，数据线 171 中的前一个和 DCE 178。向 DCE 178 施加用于控制  
30 液晶分子的预倾斜的方向控制电压，从而在 DCE 178 和公共电极 270 之间生成方向控制电场。DCE 178 是在形成数据线 171 的步骤中形成的。

下面将对下面板的分层构造进行详细说明。

大体沿横向延伸的多个栅极线 121 形成于绝缘基板 110 上，将多个第一至第三栅电极 123a-123c 连接至栅极线 121。将多个栅极焊盘 125 连接至栅极线 121 的一端。

5 多个第一和第二存储电极线 131a 和 131b，以及多组第一至第四存储电极 133a、133b、133c 和 133d 也形成于绝缘基板 110 上。第一和第二存储电极线 131a 和 131b 大体沿横向延伸。第一和第二存储电极 133a 和 133b 沿纵向从第一和第二存储电极线 131a 和 131b 伸出，并弯曲沿斜向延伸，而第三和第四存储电极 134a 和 134b 则沿纵向延伸。包括第一存储电极线 131a，以及第一和第三电极 133a 和 134a 的第一存储线路，包括第二存储电极线 131b，  
10 以及第二和第四电极 133b 和 134b 的第二存储线路具有反演对称性。

栅极线路 121，123a-123c，和 125 以及存储电极线路 131、133a、133b、134a 和 134b 优选由 Al、Cr 或其合金，Mo 或 Mo 合金构成。如果必要的话，栅极线路 121，123a 和 123b 以及存储电极线路 131，133a-133d 包括：优选  
15 由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层；优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

栅极绝缘层 140 形成于栅极线路 121、123a-123c 和 125，以及存储电极线路 131、133a、133b、134a 和 134b 上。

20 优选由非晶硅构成的半导体层 151、154ab 和 154c 形成于栅极绝缘层 140 上。半导体层 151、154ab 和 154c 包括多个形成 TFT 沟道的第一和第二沟道半导体 154ab 和 154c，以及多个位于数据线 171 下的数据线半导体 151。

优选由硅化物或重掺杂了 n 型杂质的 n+氢化非晶硅构成的欧姆接触层 161、163ab、163c 和 165a-165c 形成于半导体层 151、154ab 和 154c 上。

25 数据线路 171、173ab、173c、175a-175c 和 179 形成于欧姆接触层 161、163ab、163c 和 165a-165c，以及栅极绝缘层 140 上。数据线路 171、173ab、173c、175a-175c 和 179 包括：多个数据线 171，其沿纵向延伸并与栅极线 121 交叉，从而形成了多个像素；多个从数据线 171 分出并延伸至欧姆接触层的部分 163ab 上的第一源电极 173ab；位于欧姆接触层的部分 165a 和 165b 上的多个第一和第二漏电极 175a 和 175b，其位于第一源电极 173ab 的相对  
30 位置上并与第一源电极 173ab 隔开；位于相对第三栅电极 123c 彼此相对的相应部分 163c 和 165c 上的多个第二源电极 173c 和多个第三漏电极 175c，

以及多个连接至数据线 171 的一端，以便从外部设备接收图像信号的数据焊盘 179。

在由栅极线 121 和数据线 171 的交点界定的像素区域中形成了多个 DCE 178 和 178a-178c。每一 DCE 178 和 178a-178c 包括一 V 型主干 178 和一人  
5 字形分支 178a-178c，并且连接至第三漏电极 175c。数据线路 171、173ab、173c、175a-175c 和 179，以及 DCE 178 和 178a-178c 优选由 Al、Cr 或其合金，Mo 或 Mo 合金构成。如果必要的话，数据线路 171，173ab、175a-175c，和 179 以及 DCE 178 和 178a-178c 包括：优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层；优选由具有低电阻的 Al 或 Ag 合金构成的  
10 第二层。

优选由氮化硅或有机物绝缘体构成的钝化层 180 形成于数据线路 171、173ab、173c、175a-175c 和 179 上。

钝化层 180 带有：暴露第一和第二漏电极 175a 和 175b 的多个第一和第二接触孔 181 和 182；以及延伸至栅极绝缘层 140，并暴露栅极焊盘 125 的  
15 多个第三接触孔 183；以及暴露数据焊盘 179 的多个第四接触孔 184。暴露焊盘 125 和 179 的接触孔可以具有诸如多边形或圆形的各种形状。接触孔的面积优选大于或等于  $0.5\text{mm} \times 15\ \mu\text{m}$ ，并且不大于  $2\text{mm} \times 60\ \mu\text{m}$ 。

在钝化层 180 上形成多个像素电极 190。每一像素电极 190 分别通过第一和第二接触孔 181 和 182 连接至第一和第二漏电极 175a 和 175b。像素电  
20 极 190 具有横向切口 191 和多个倾斜切口 192a、192b、193a、193b、194a、194b、195a 和 195b。横向切口 191 将像素电极 190 分成上下两半，倾斜切口 192a、192b、193a、193b、194a、194b、195a 和 195b 相对于横向切口 191 具有反演对称性。一些切口 191、192a、192b、194a、194b、195a 和 195b 与 DCE 178 和 178a-178c 交叠，而另一些切口 193a 和 193b 与存储电极 133a  
25 和 133b 交叠。

此外，在钝化层 180 上形成了多个辅助栅极焊盘 95 和多个辅助数据焊盘 97。辅助栅极焊盘 95 和辅助数据焊盘 97 通过接触孔 183 和 184 连接至栅极焊盘 125 和数据焊盘 179。像素电极 190、辅助栅极焊盘 95 和辅助数据焊盘 97 优选由 IZO 构成。做为选择，像素电极 190 和辅助焊盘 95 和 97 优选  
30 由 ITO 构成。

概括而言，每个像素电极 190 具有多个切口 191、192a、192b、193a、

193b、194a、194b、195a 和 195b，用于将像素区域划分成多个域，并且，切口 191、192a、192b、194a、194b、195a 和 195b 与 DCE 178 和 178a-178c 交叠。将 DCE 178 和 178a-178c 与切口 191、192a、192b、194a、194b、195a 和 195b 对齐，使得 DCE 178 和 178a-178c 通过切口 191、192a、192b、194a、194b、195a 和 195b 暴露，从而在正视图中能够被看到。DCE 178 和 178a-178c 连接至第二 DCE TFT，而像素电极 190 则连接至第一 DCE TFT 和像素 TFT，将像素电极 190 与 DCE 178 对齐，形成存储电容。

根据本发明的另一实施例，DCE 178 和 178-178c 包括与栅极线路 121、123a-23c 和 125 大体相同的层。可以去除位于 DCE 178 和 178a-178c 上的钝化层 180 的部分，以形成多个开口。

将不对上基板 210 做详细说明。

在优选由诸如玻璃的透明绝缘材料构成的上基板 210 上形成：用于防止漏光的黑底 220；多个红色、绿色和蓝色滤色器 230；以及优选由诸如 ITO 或 IZO 的透明导体构成的公共电极 270。

对包含在液晶层 3 中的液晶分子如此取向，使得在不存在电场时，其导轴垂直于下和上基板 110 和 210。液晶层 3 具有负介电各向异性。

对下基板 110 和上基板 210 如此对准，使得像素电极 190 恰好与滤色器 230 相匹配，并与之交叠。通过这种方式，通过切口 191、192a、192b、193a、193b、194a、194b、195a 和 195b 将像素区域划分成多个域。在每个域中，由 DCE 178 和 178a-178c 稳定液晶层 3 的取向。

这一实施例对具有负介电各向异性和相对于基板 110 和 210 垂直取向的液晶层 3 进行了说明。但是，液晶层 3 可以具有正介电各向异性和相对于基板 110 和 210 的水平取向。

可以采用四个光刻步骤制造根据本发明的第三实施例的 TFT 阵列板。在这种情况下，数据线路和 DCE 具有三层结构，其包括非晶硅层，欧姆接触层和金属层，并且三层具有大体相同的平面形状，这是由采用光刻胶膜对非晶硅层、欧姆接触层和金属层构图获得的。由于已经在对本发明的第二实施例的说明中详细描述了这种制造方法，应当鉴于这样一种事实来理解这种制造方法，即在同一步骤中形成由相同的层构成的图案，因此，这里省略了这种制造方法的详细说明。

尽管在上文中已经对本发明的优选实施例进行了详细说明，但是应当得

到清晰理解的是：本领域的技术人员可能想到的对文中讲述的基本发明理念做出的很多变化和/或修改仍然属于如附加的权利要求书定义的本发明的精神和范围。

- 如上所述，第一和第二 DCE TFT 切换传输至 DCE 和像素电极的信号，
- 5 从而生成初始方向控制电压  $V_{DP}$ ，由此确保稳定的亮度。

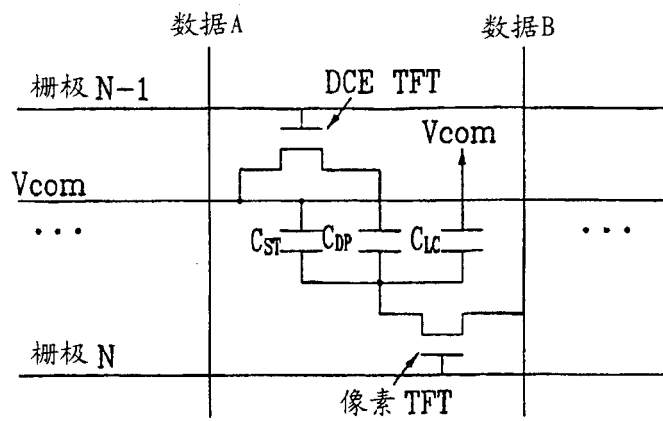


图 1

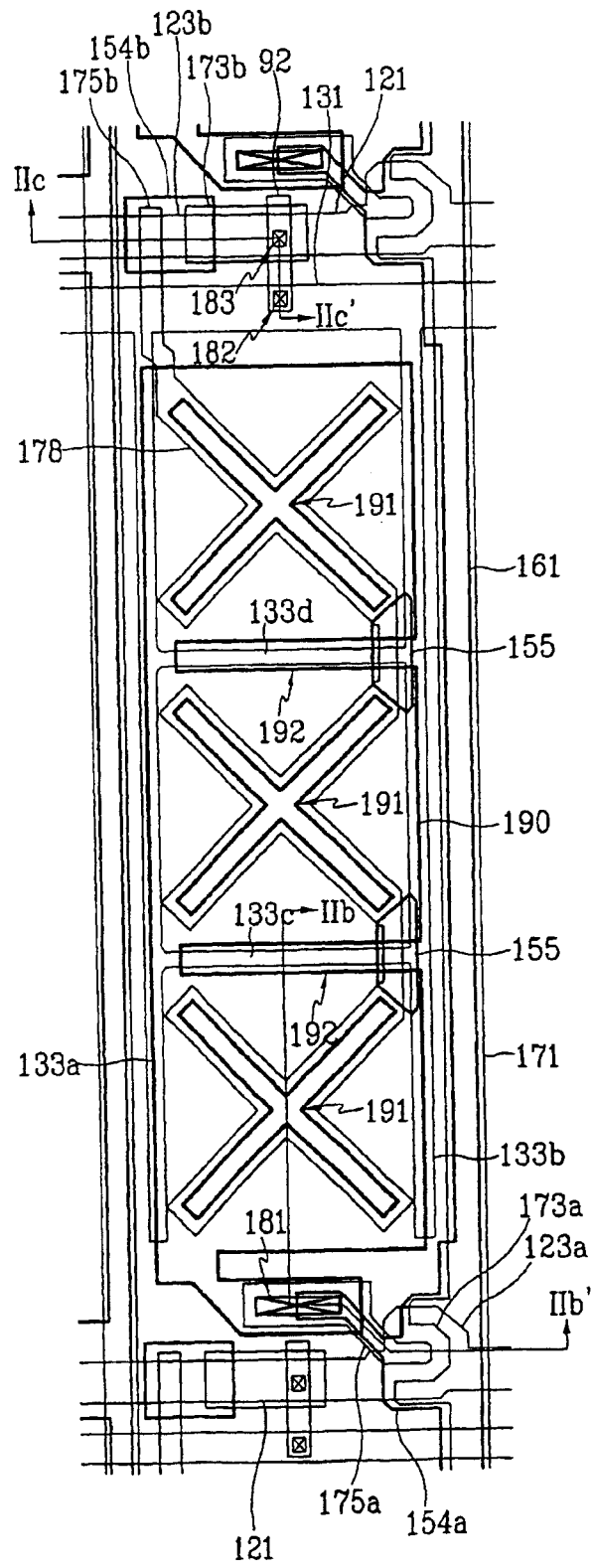


图 2A

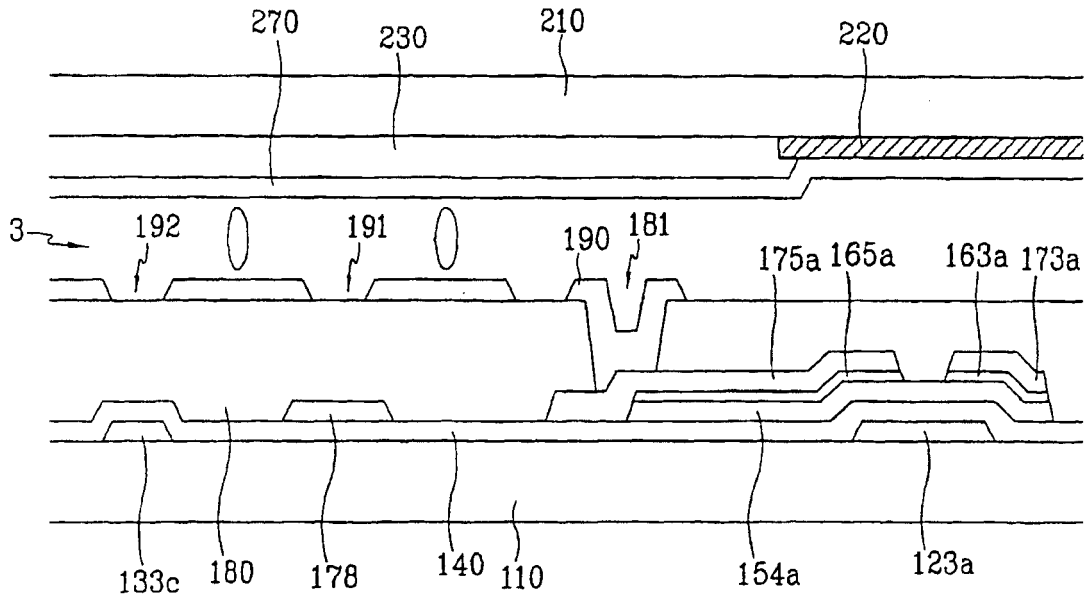


图 2B

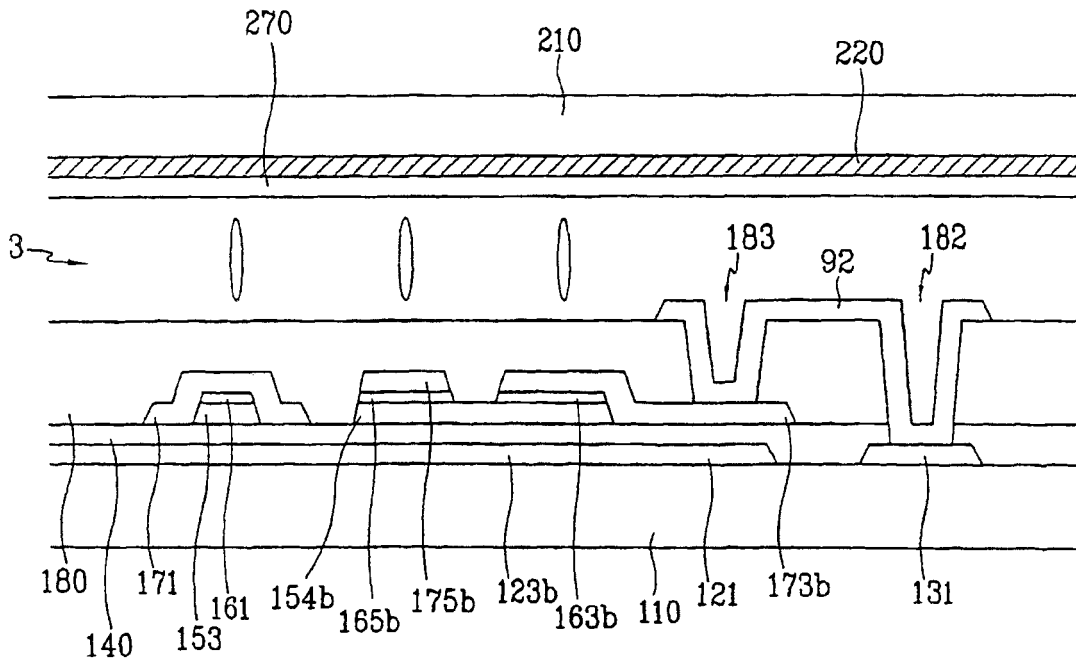


图 2C

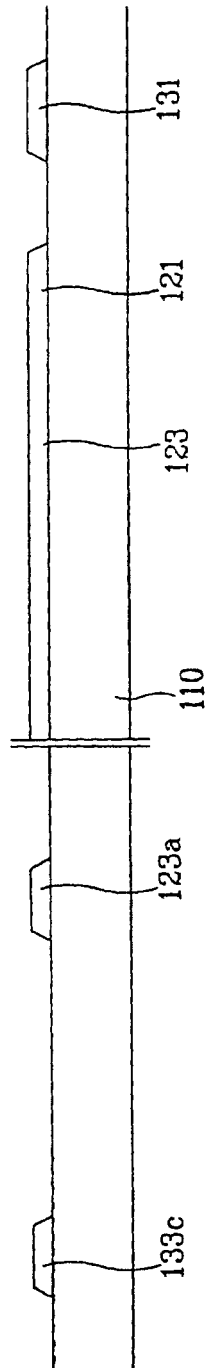


图 3A

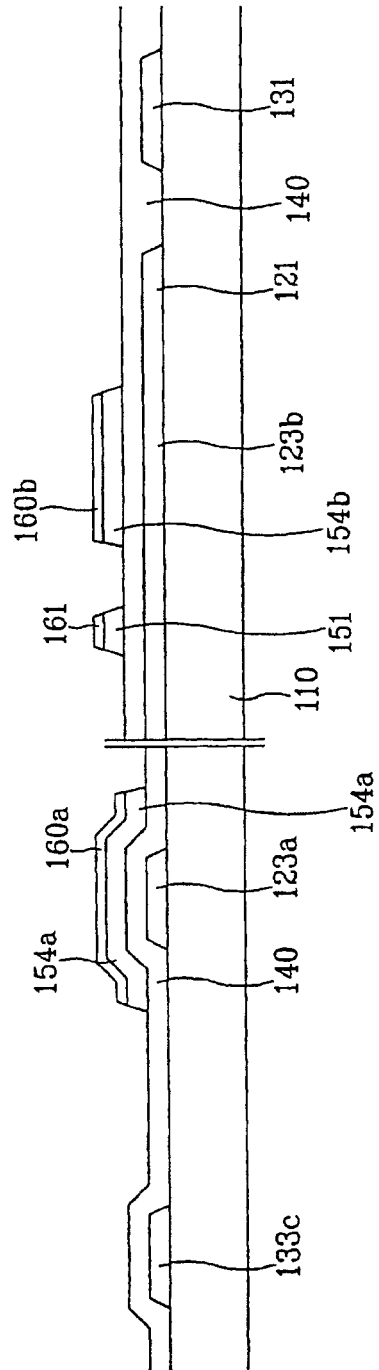


图 3B

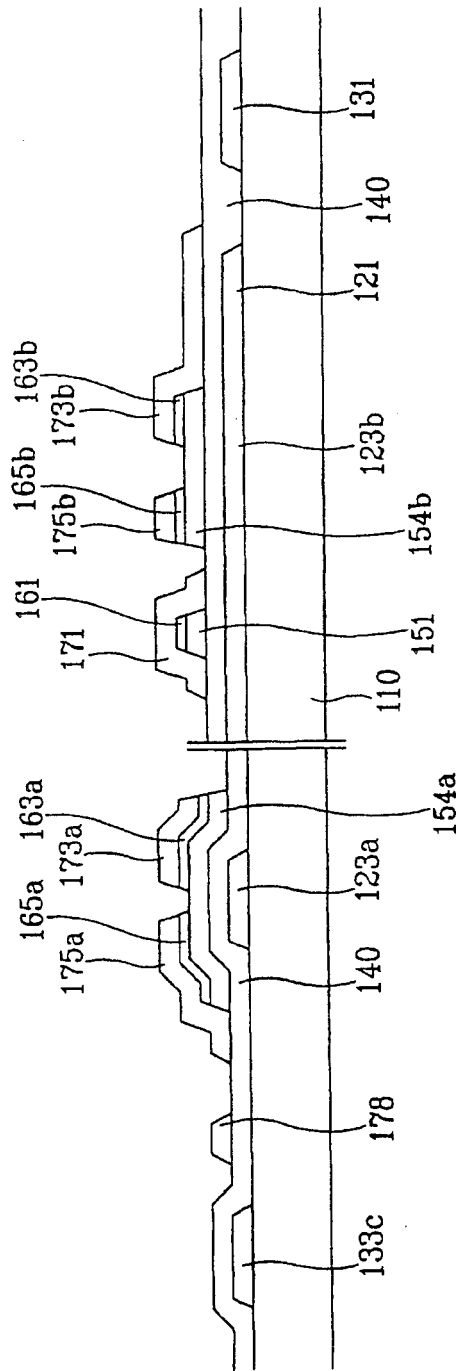


图 3C

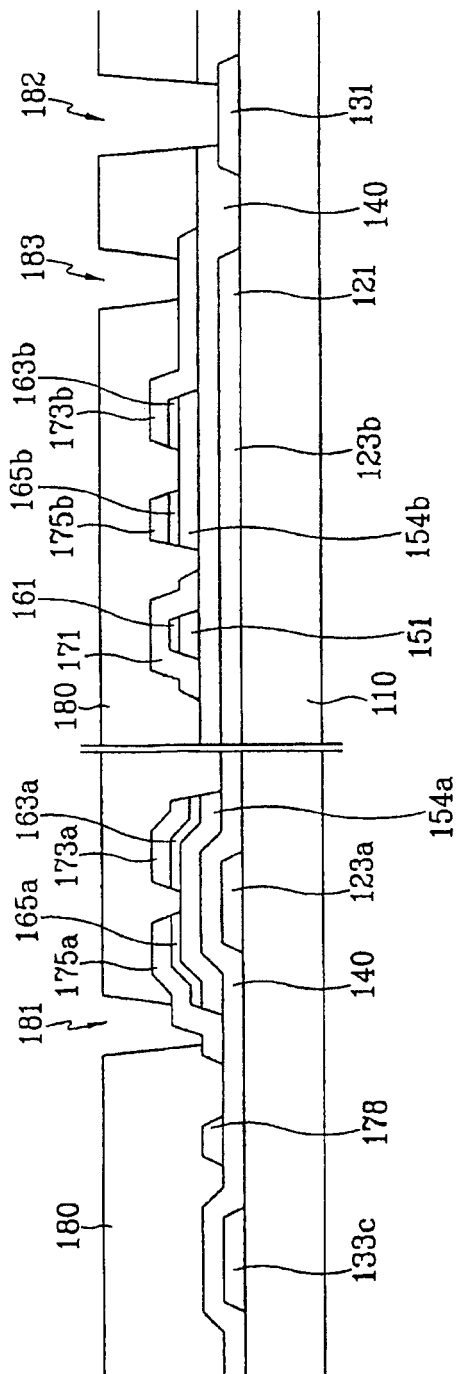


图 3D

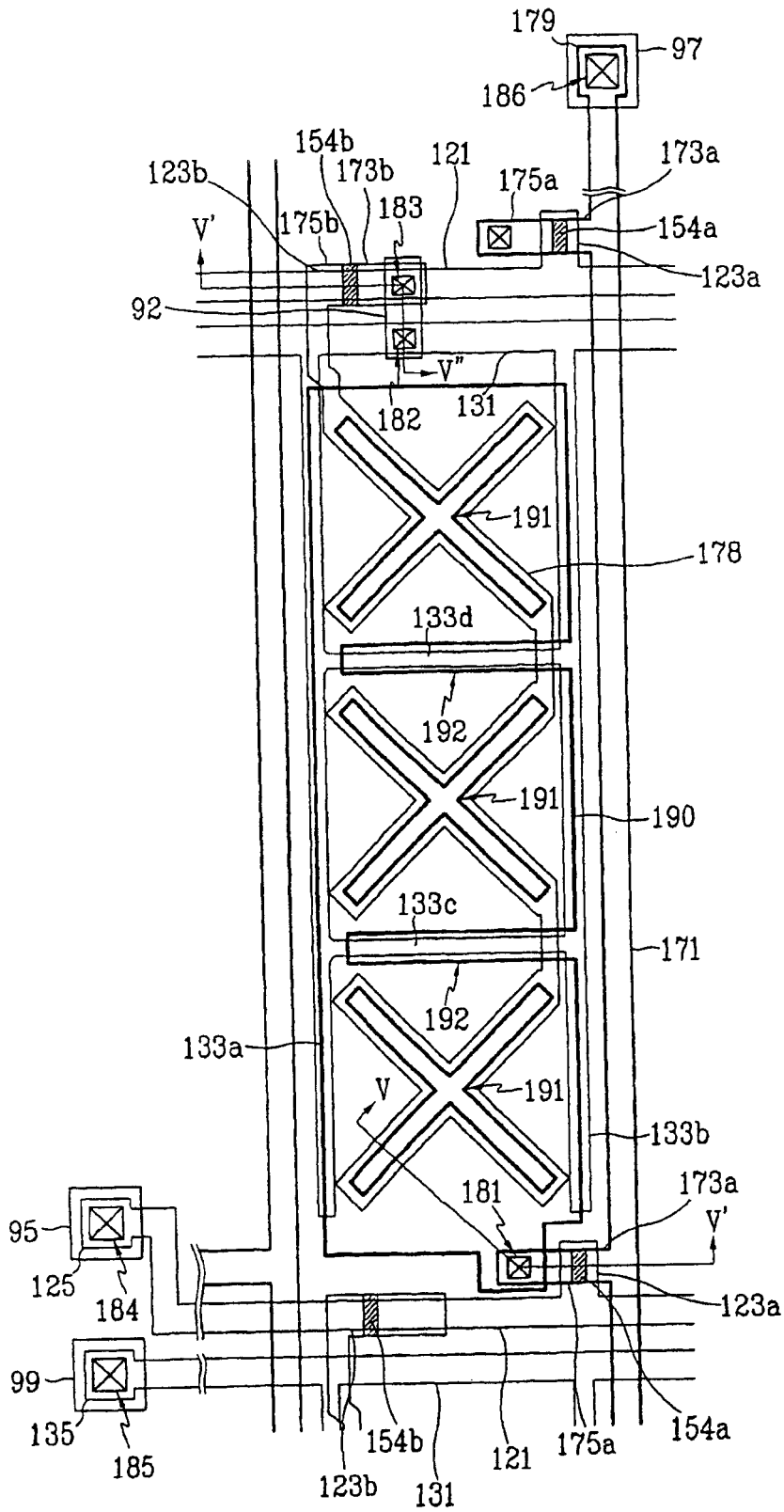


图 4



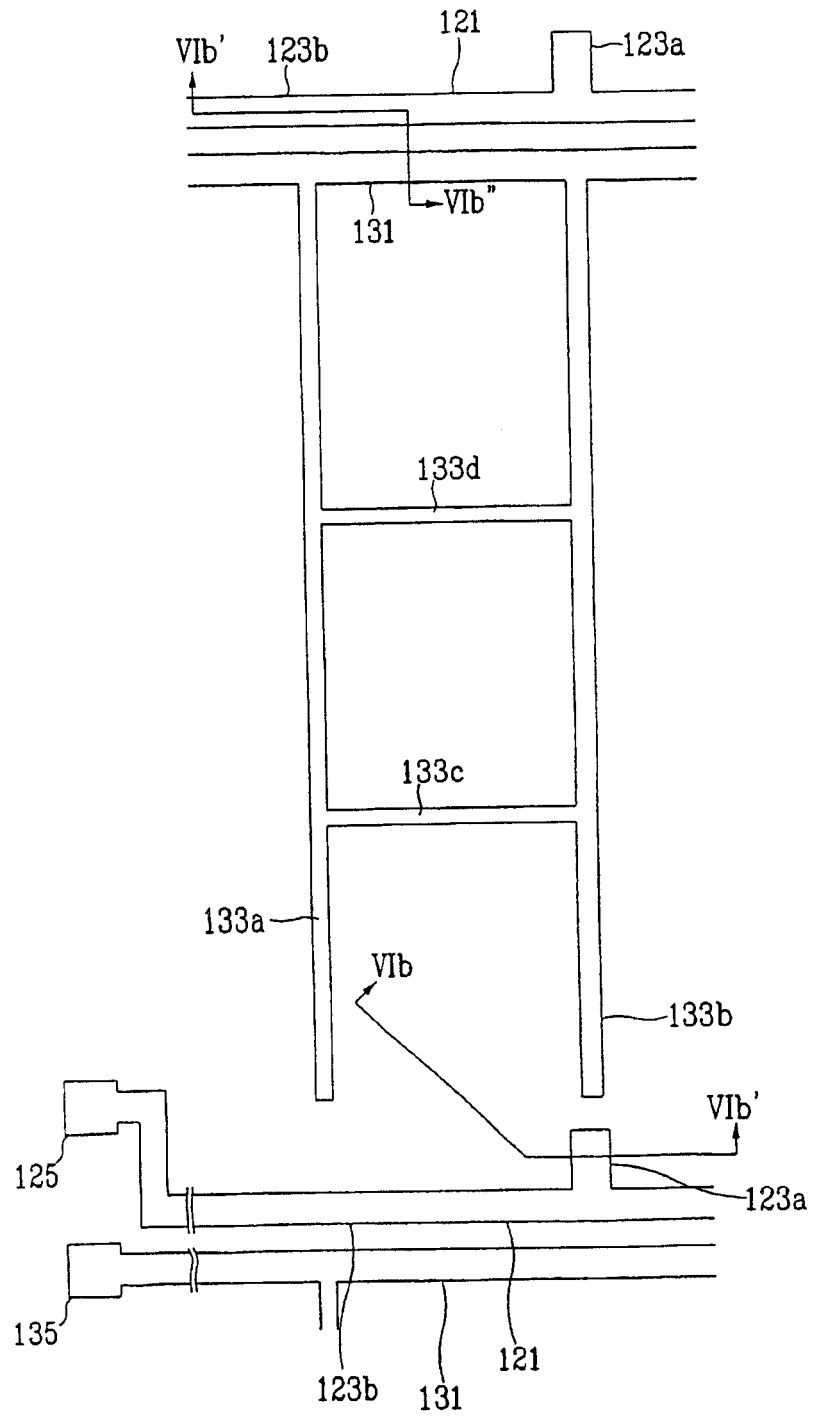


图 6A

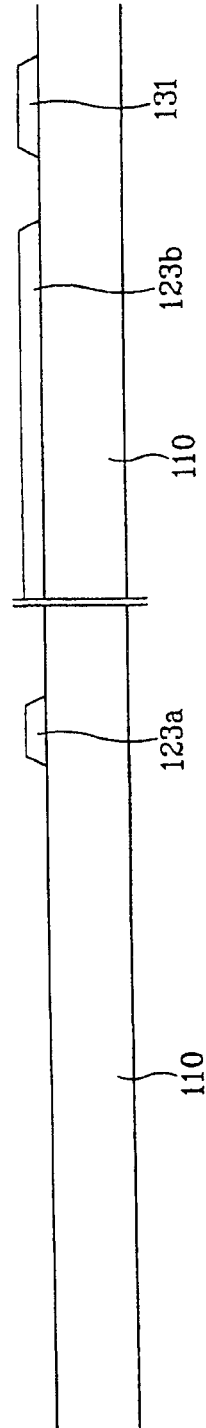


图 6B

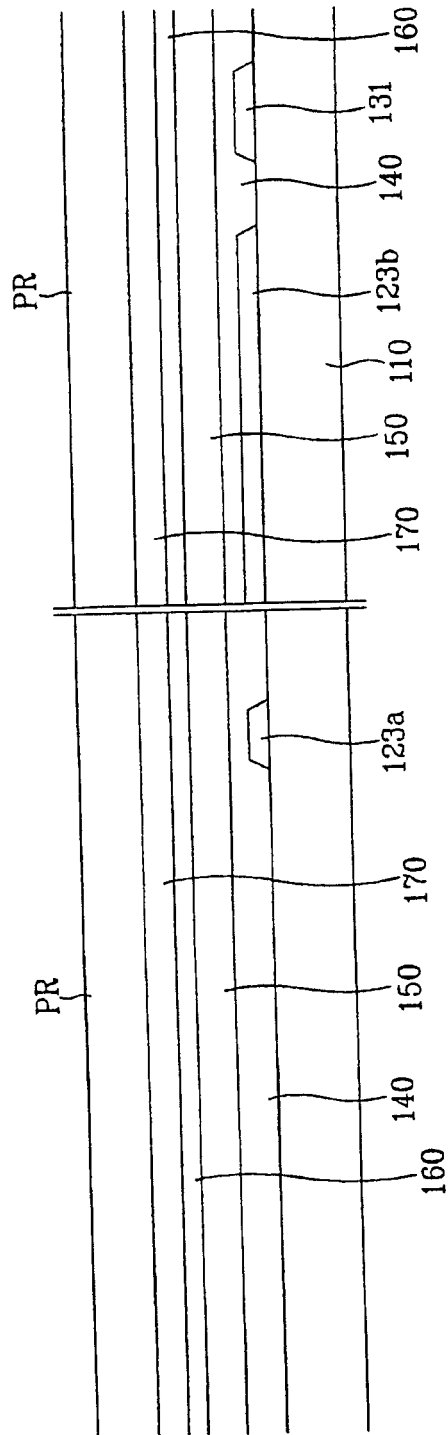


图 7

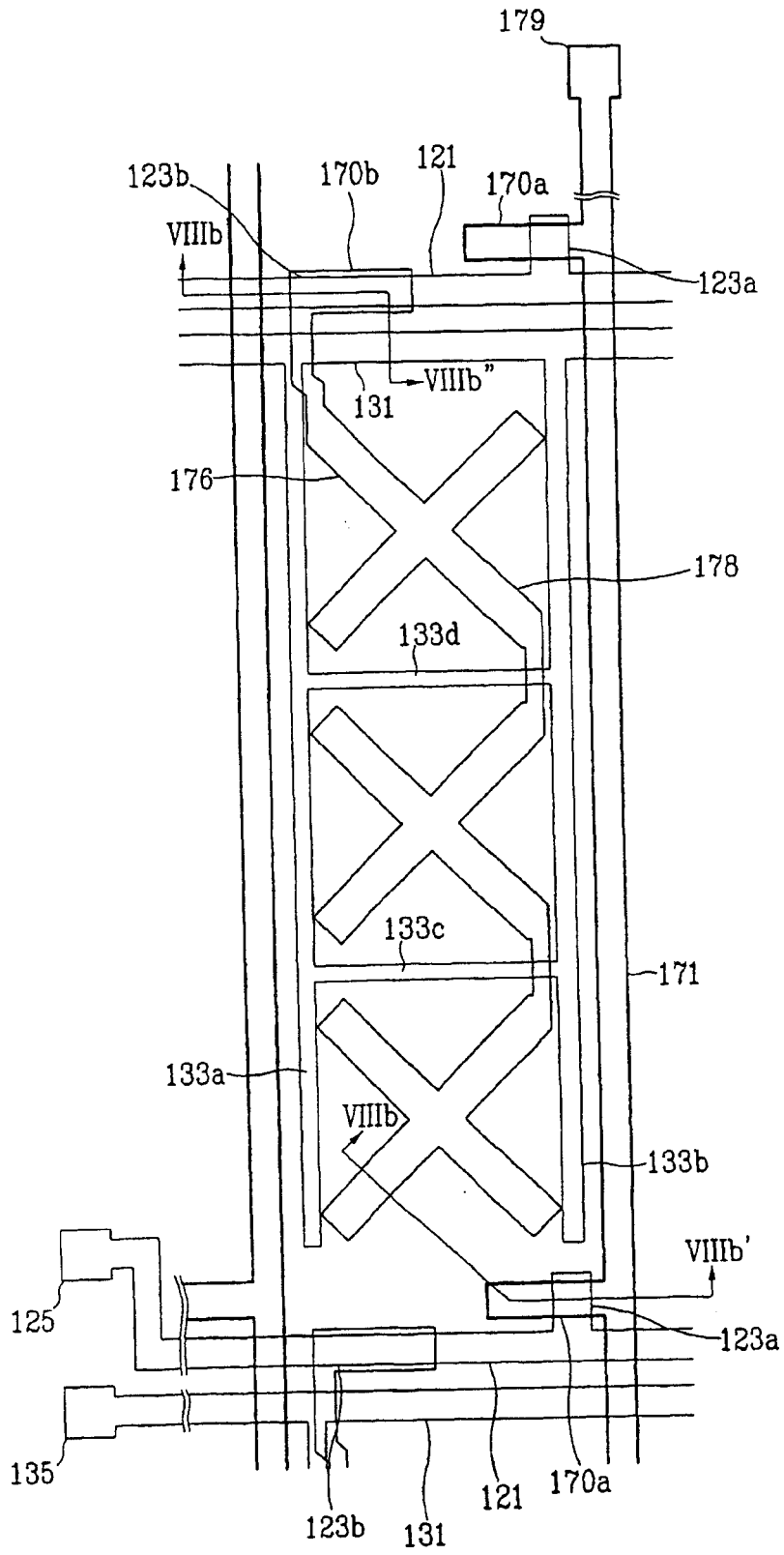


图 8A



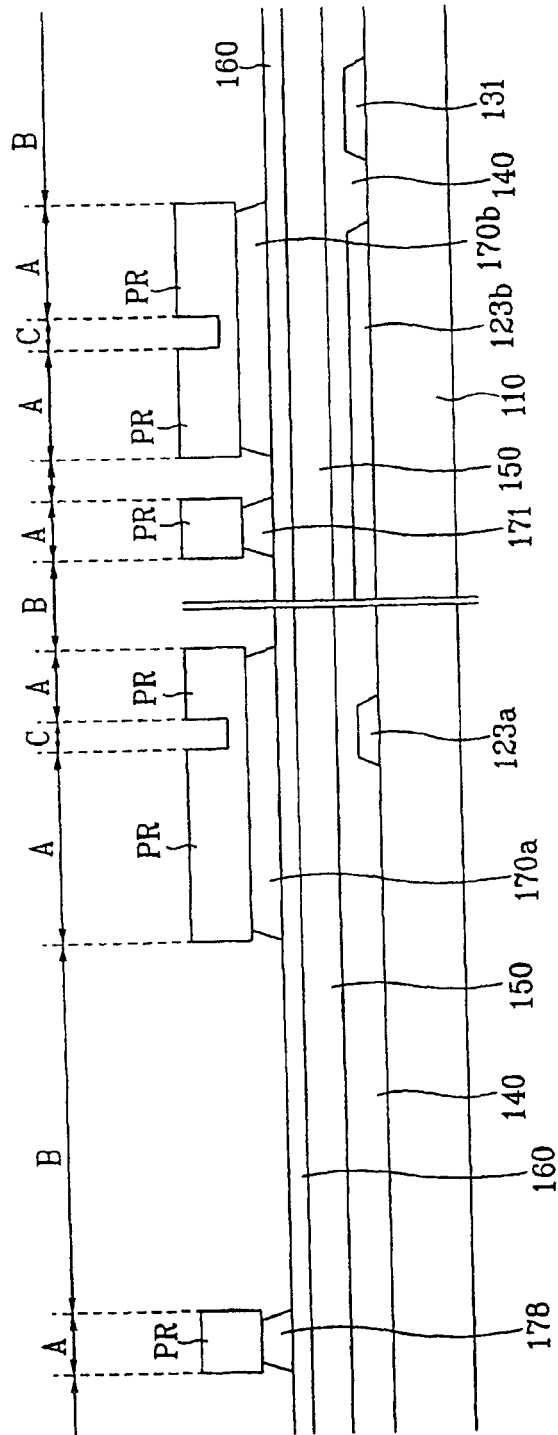


图 9

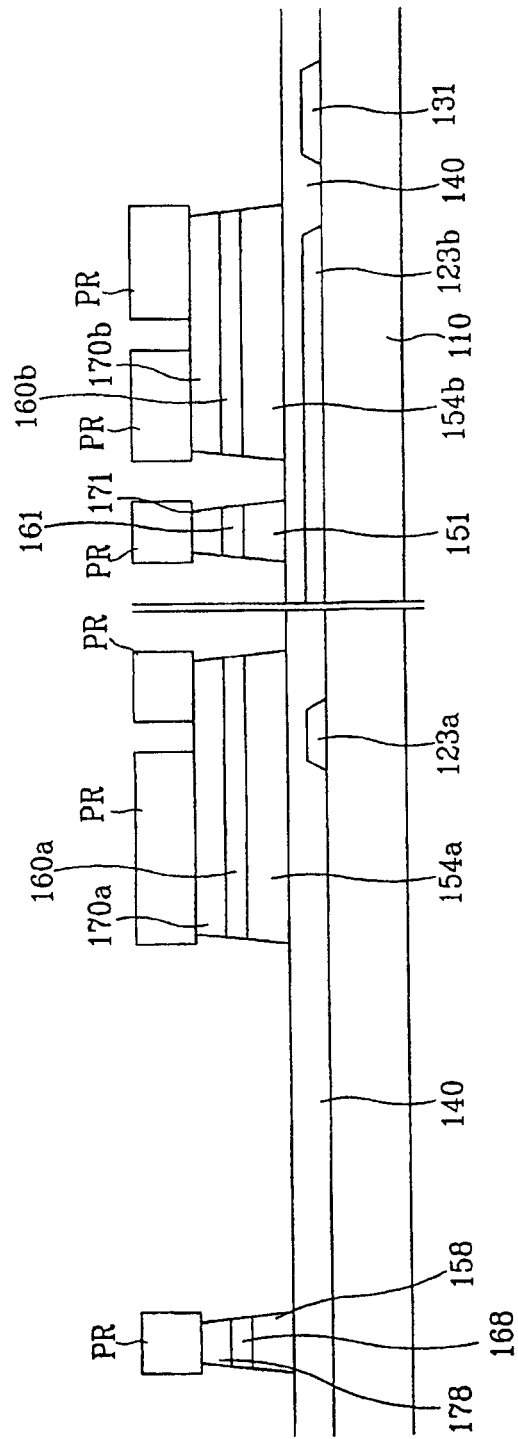


图 10

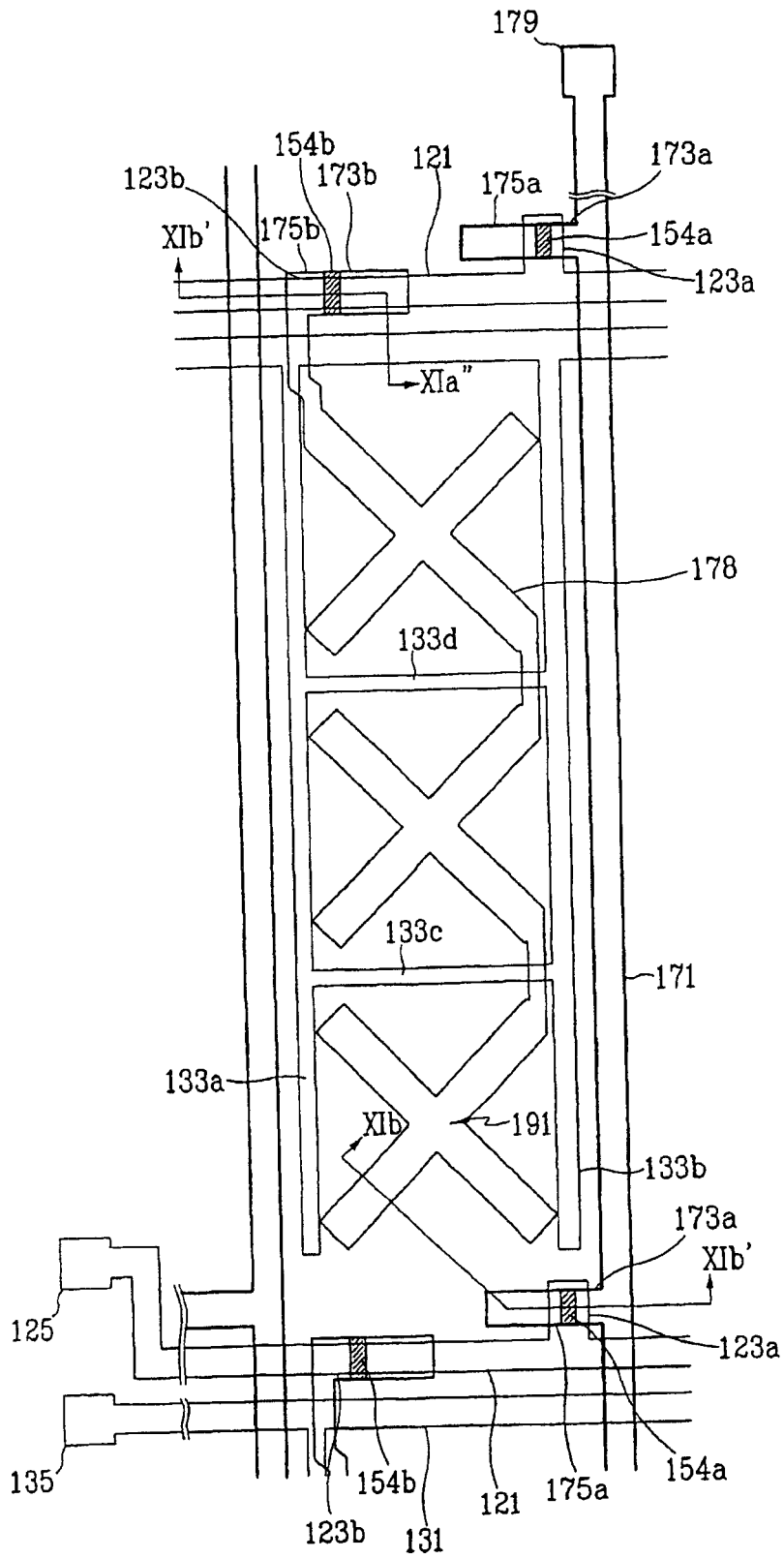


图 11A

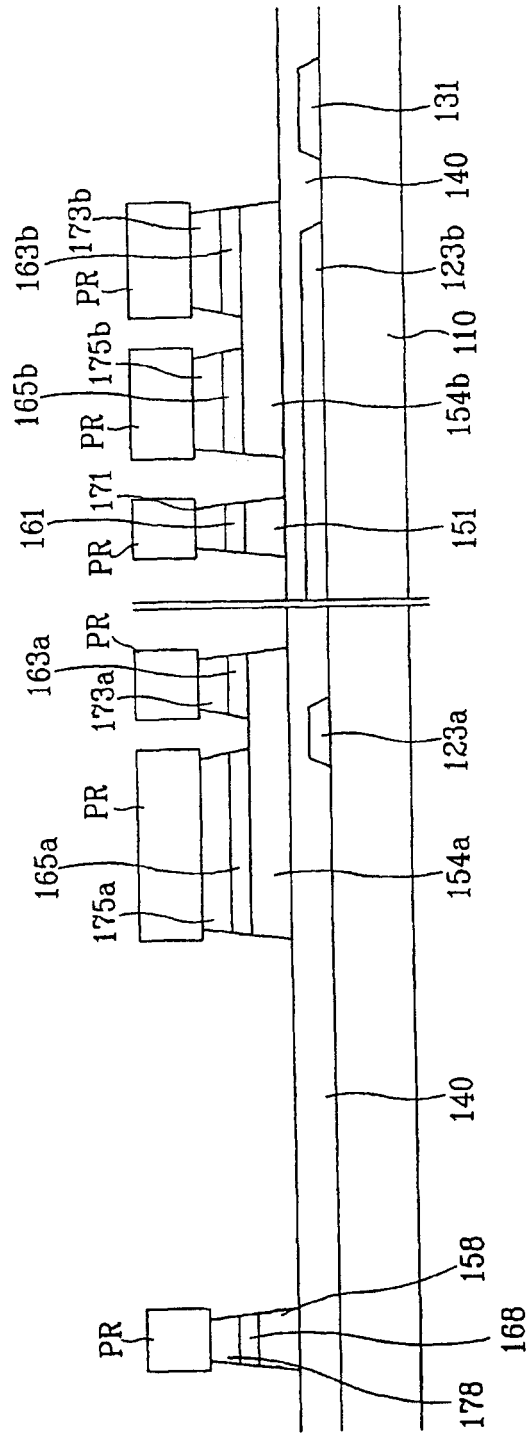


图 11B

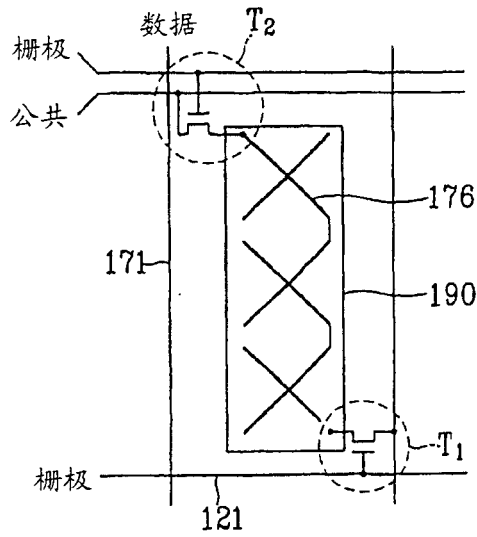


图 12

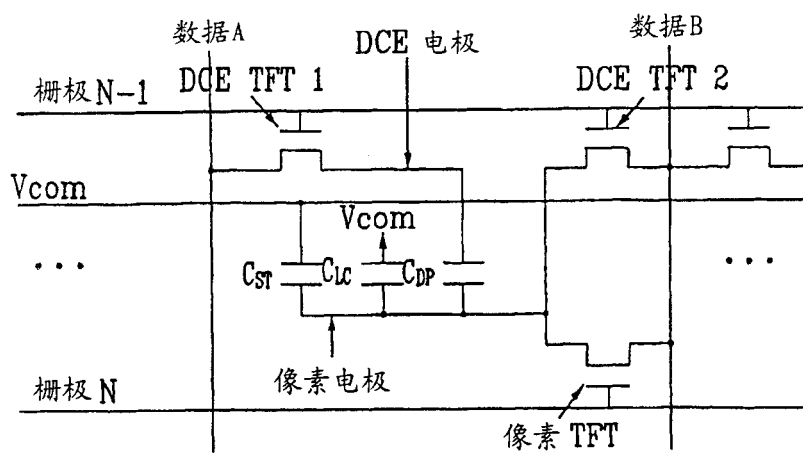


图 13

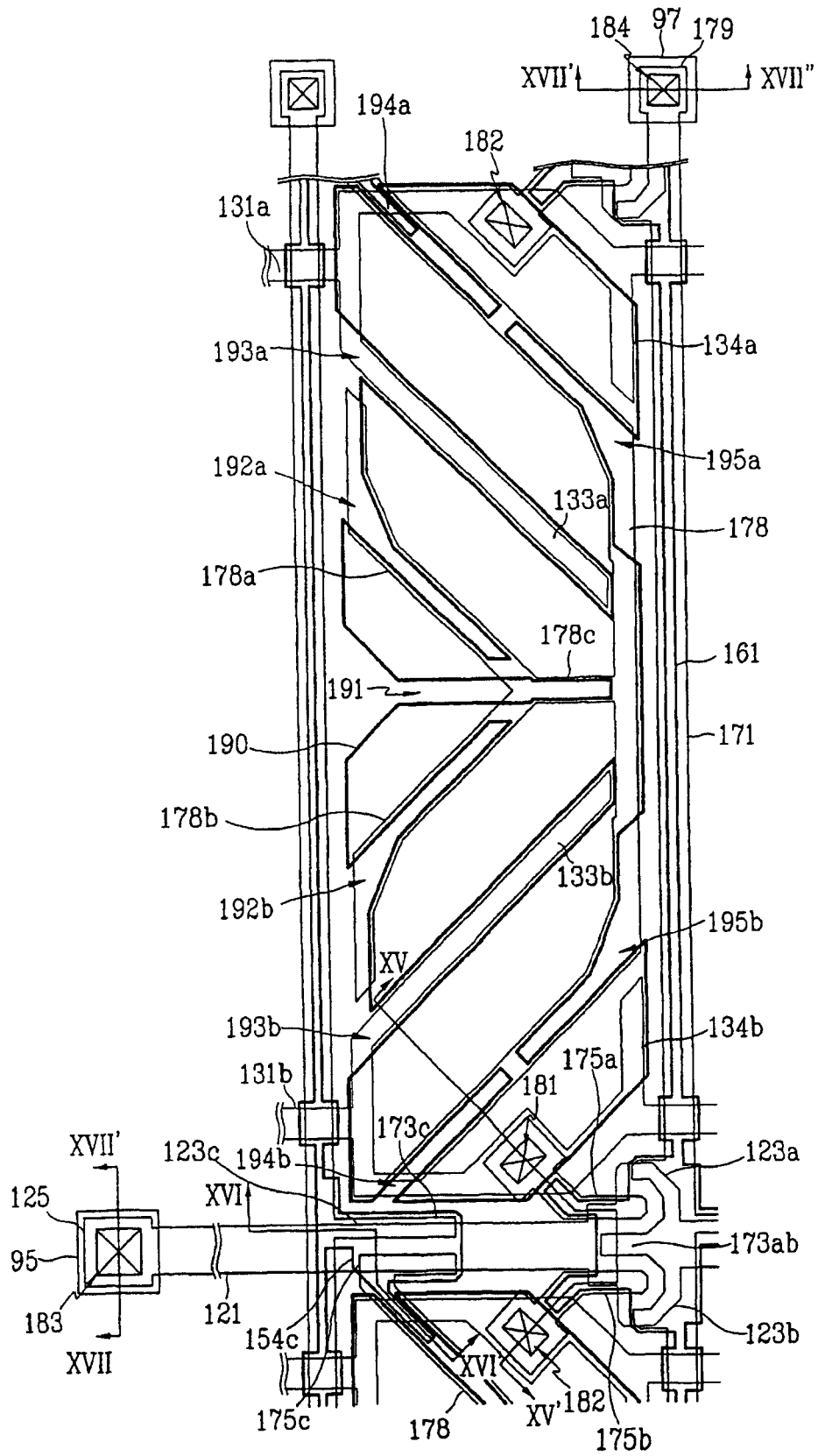


图 14

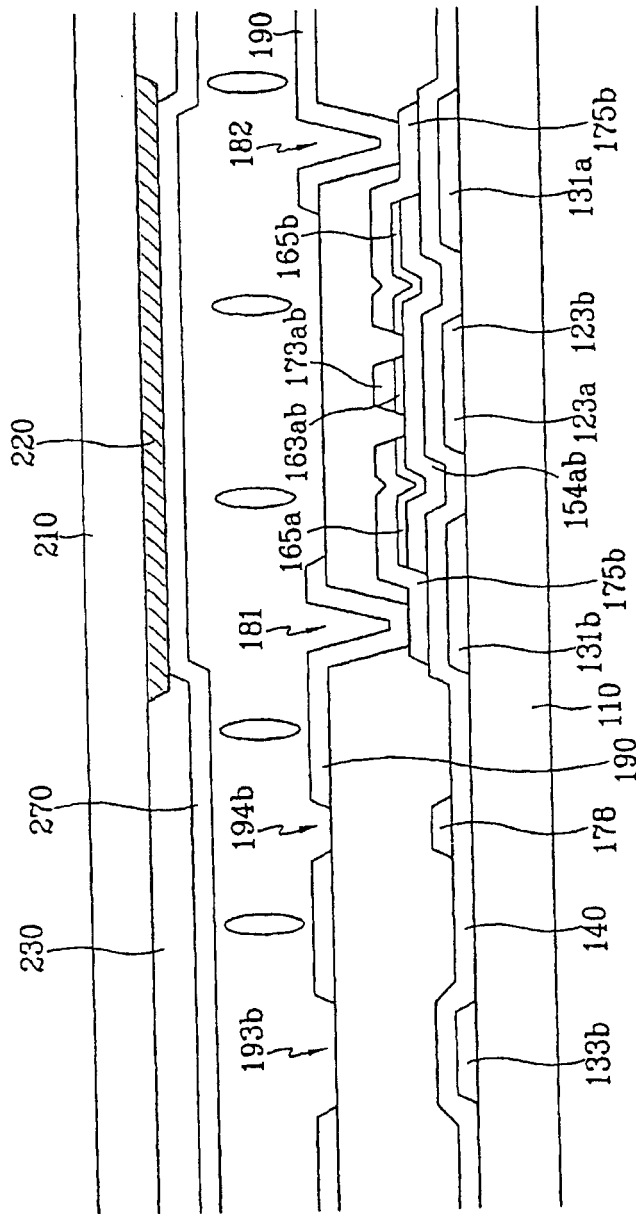


图 15

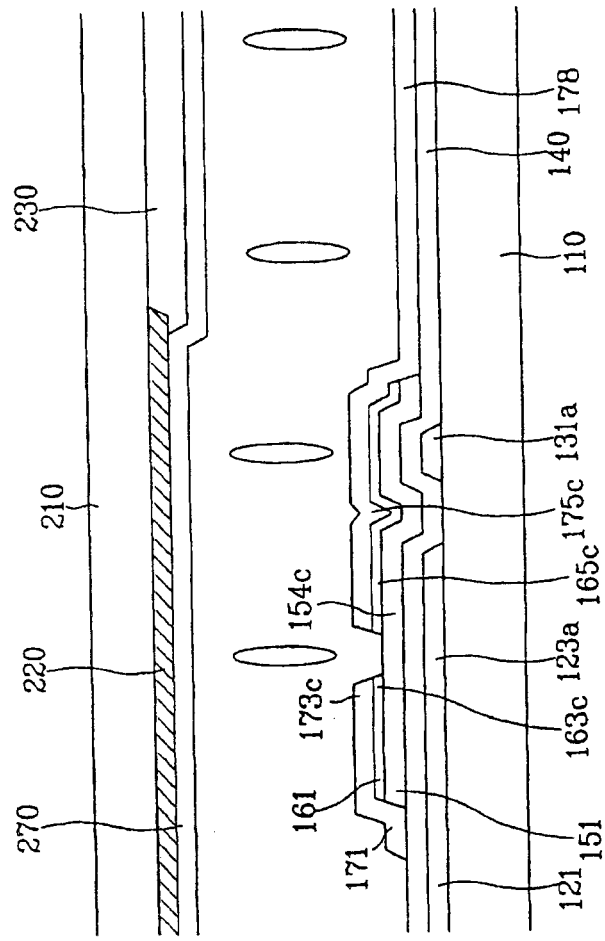


图 16

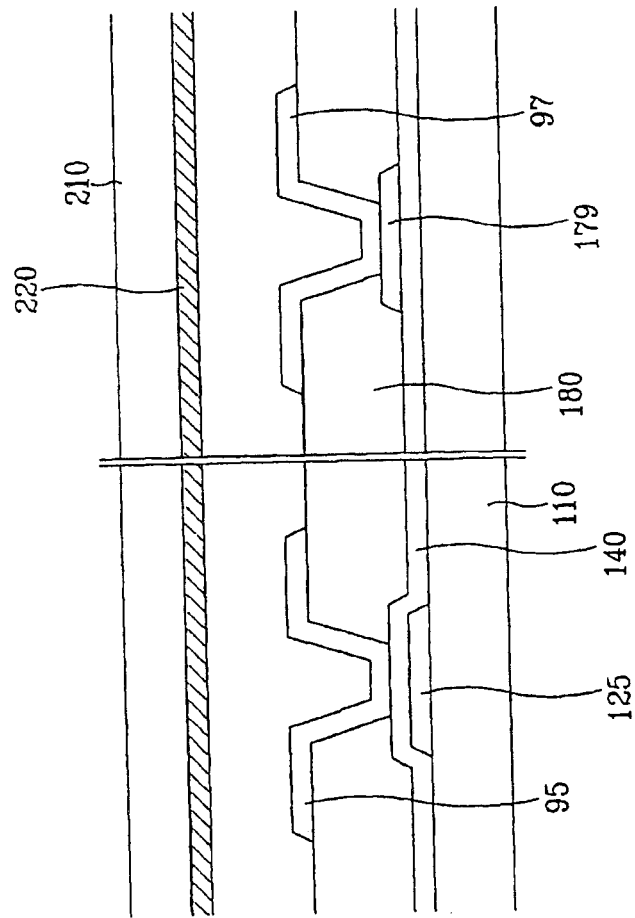


图 17

专利名称(译)	多域液晶显示器及其薄膜晶体管基板		
公开(公告)号	<a href="#">CN1685281A</a>	公开(公告)日	2005-10-19
申请号	CN02829754.7	申请日	2002-10-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金熙燮 梁英喆 金钟来 申曠周		
发明人	金熙燮 梁英喆 金钟来 申曠周		
IPC分类号	G02F1/1333 G02F1/1337 G02F1/1343 G02F1/1362 G02F1/1368 G02F1/139		
CPC分类号	G02F2001/133757 G02F1/133707 G02F1/133753 G02F1/13624 G02F1/1393		
代理人(译)	侯宇		
优先权	1020020054277 2002-09-09 KR		
其他公开文献	CN100365491C		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

提供了一种薄膜晶体管阵列板，其包括：一绝缘基板；形成在所述绝缘基板上的多个栅极线；形成在所述绝缘基板上的多个数据线，其与所述栅极线绝缘并与之交叉；形成在所述绝缘基板上的多个存储电极线，其与所述数据线绝缘并与之交叉；在由所述栅极线和所述数据线的交点界定的相应像素区域上提供的多个像素电极，每个像素电极具有一切口；在由所述栅极线和所述数据线的交点界定的相应像素区域内提供的多个方向控制电极；连接到所述栅极线中的相关一个，所述数据线中的相关一个以及所述像素电极中的相关一个的第一薄膜晶体管；连接至所述栅极线中的前一个，所述数据线中的前一个和所述方向控制电极中的相关一个的第二薄膜晶体管；连接至所述前一栅极线，所述相关的数据线和所述相关的像素电极的第三薄膜晶体管。

