

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/133

G02F 1/136 G02F 1/1343



[12] 发明专利申请公开说明书

[21] 申请号 02146321.2

[43] 公开日 2004 年 4 月 21 日

[11] 公开号 CN 1490645A

[22] 申请日 2002.10.18 [21] 申请号 02146321.2

[71] 申请人 奇美电子股份有限公司

地址 台湾省台南县台南科学工业园区新市
乡奇业路 1 号

[72] 发明人 吴永良 王东荣 郭晋荣

[74] 专利代理机构 北京集佳知识产权代理有限公司

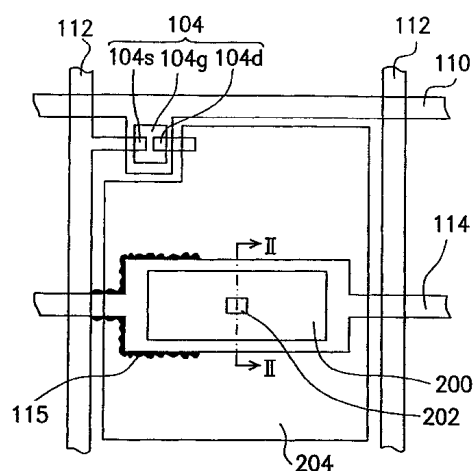
代理人 王学强

权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称 具有储存电容器的像素结构与其形成方法及液晶显示装置

[57] 摘要

一种像素储存电容器结构，包括一第一电容电极形成于一基板上。一电容介电层形成于第一电容电极上。一第二电容电极形成于电容介电层上，其中第二电容电极的面积范围小于第一电容电极的面积范围。一保护层覆盖过于第二电容电极上，其中保护层有一开口，暴露出第二电容电极。一像素电极层覆盖于保护层上，透过保护层的开口与第二电容电极连接。



I S S N 1 0 0 8 - 4 2 7 4

- 1、一种具有储存电容器的像素结构，其特征在于：包括：
 - 一第一电容电极，形成于一基板上；
 - 一电容介电层，形成于该第一电容电极上；
 - 一第二电容电极，形成于该电容介电层上，其中该第二电容电极的一面积范围小于该第一电容电极的一面积范围；
 - 一保护层覆盖过于该第二电容电极上，其中该保护层有一开口，暴露出该第二电容电极；
 - 一像素电极层覆盖于该保护层上，透过该保护层的该开口与该第二电容电极连接。
- 2、如权利要求 1 所述的具有储存电容器的像素结构，其特征在于：该第一电容电极与该第二电容电极的一重叠区域具有与该第二电容电极大致上相等的一面积。
- 3、如权利要求 1 所述的具有储存电容器的像素结构，其特征在于：该像素电极与一开关组件连接。
- 4、如权利要求 1 所述的具有储存电容器的像素结构，其特征在于：该像素电极与一薄膜晶体管连接。
- 5、如权利要求 1 所述的具有储存电容器的像素结构，其特征在于：该第一电容电极连接于一共通电压。
- 6、一种具有储存电容器的像素结构，其特征在于：包括：
 - 一第一电容电极，形成于一基板上；

一电容介电层，形成于该第一电容电极上；

一第二电容电极，形成于该电容介电层上，其中该第二电容电极的一边缘不跨过该第一电容电极的一边缘。

7、如权利要求 6 所述的具有储存电容器的像素结构，其特征在于：还包括：

一保护层覆盖过于该第二电容电极上，其中该保护层有一开口，暴露出该第二电容电极；

一像素电极层覆盖于该保护层上，透过该保护层的该开口与该第二电容电极连接。

8、如权利要求 6 所述的具有储存电容器的像素结构，其特征在于：该第一电容电极的该边缘，残留有一异物。

9、如权利要求 8 所述的具有储存电容器的像素结构，其特征在于：该一异物包括非晶硅。

10、如权利要求 6 所述的具有储存电容器的像素结构，其特征在于：该第一电容电极与该第二电容电极所形成的一电容器，受控于一薄膜晶体管。

11、一种具有储存电容器的像素结构的形成方法，其特征在于：包括：

形成一第一电容电极，于一基板上；

形成一电容介电层，于该第一电容电极上；

形成一第二电容电极，于该电容介电层上，其中该第二电容电极的一面积范围小于该第一电容电极；

形成一保护层覆盖过于该第二电容电极上；

定义该保护层以形成一开口，暴露出该第二电容电极；

形成一像素电极层，覆盖于该保护层上，透过该保护层的该开口与该第二电容电极连接。

12、如权利要求 11 所述的具有储存电容器的像素结构的形成方法，其特征在于：该第一电容电极与该第二电容电极的一重叠区域，具有与该第二电容电极大致上相等的一面积。

13、如权利要求 11 所述的具有储存电容器的像素结构的形成方法，其特征在于：该像素电极与一开关组件连接。

14、如权利要求 11 所述的具有储存电容器的像素结构的形成方法，其特征在于：还包括连接该像素电极至一薄膜晶体管。

15、如权利要求 11 所述的具有储存电容器的像素结构的形成方法，其特征在于：还包括连接该第一电容电极至一共通电压。

16、一种液晶显示装置，其特征在于：包括：

复数条扫描线；

复数条信号线；

复数个像素，每一像素包括一液晶单元，具有一像素电极连接至一储存电容，以及一开关组件，连接该液晶单元与该些信号线之一，该开关组件的一连接至该些扫描线之一；

其中，该储存电容包括一第一电容电极、一电容介电层与一第二电容电极，该第二电容电极与该第一电容电极的一重叠区域大致上相等于该第二电容电极的面积。

具有储存电容器的像素结构与其形成方法及液晶显示装置

技术领域

一种显示器装置，且特别是有关于一种像素储存电容器结构。

背景技术

显示器于日常生活中，是常见的装置。特别是使用的电视或计算机必须备有一显示器，使影像能显示于显示器的屏幕上，呈现给使用者。一般显示器若是以阴极射线设计，其需要很大的空间，造成不便。尤其是，笔记型计算机无法与阴极射线的显示器一起使用。因此由点数组设计形成的平面显示器产品，例如液晶显示器(liquid crystal display, LCD)或是薄膜晶体管(thin film transistor, TFT)液晶显示器，已被成功推出。薄膜晶体管液晶显示器的图像是由一像素数组所构成。每一个像素由一薄膜晶体管所控制。

请参阅图 1，图 1 绘示公知薄膜晶体管液晶显示器的驱动电路。薄膜晶体管液晶显示器包括一扫描电路(scanning circuit)100 及一信号保持电路(signal-holding circuit)102。扫描电路 100 驱动一组扫描线 110，而信号保持电路 102 驱动一组信号线 112。扫描线 110 与信号线 112 交叉构成一二维数组。二维数组的每一交叉点，包括有一薄膜晶体管 104，一像素储存电容 108，及一液晶显示单元 106，如此形成一像素。薄膜晶体管 104 的栅极由对应的扫描线 110 控制，而薄膜晶

极管 104 的源极由对应的信号线 112 控制。薄膜晶体管 104 的漏极连接于一像素电极层，也同时连接像素储存电容器 108 的一电极。像素储存电容 108 是用于维持控制液晶所需的电压。像素储存电容 108 的另一电极，在更早期技术可连接于相邻的扫描线。

另外，随着薄膜晶体管液晶显示器的大尺寸化，为降低驱动的栅极延迟效应(gate delay)的影响，现今像素以一共通电极型像素储存电容(Cst On Common)为设计主流。此种型式设计，因采取共通电极(common)与栅极分离的做法。电容的另一电极连接到一共通电压，例如一共通电极(common electrode, Vcom)。

请参阅图 2，图 2 绘示一公知薄膜晶体管液晶显示器的布局结构。薄膜晶体管 104 的栅极连接于扫描线 110。薄膜晶体管 104 的源极连接到对应的信号线 112。薄膜晶体管 104 的漏极连接到像素电极层 118。另外像素储存电容器由一共通下电极 114 与上电极 116 所构成。像素电极层 118 透过一开口 120 与上电极 116 连接。

其中，下电极 114 形成于一透明基板 126 上。下电极 114 一般又称为第一金属层，其一般与薄膜晶体管 104 的栅极共同定义形成。接着，一电容介电层 124 形成覆盖于下电极 114 上。一金属电极层 116 形成于电容介电层 124 上作为储存电容的上电极 116，其与下电极 114 重叠的部份，为主要电荷储存位置。一保护层 122 形成覆盖过于电容上电极 116，且覆盖其它部分。保护层 122 有一开口 120，暴露出电容上电极 116。一像素电极层 118 透过开口 120，可与电容上电极 116 连接。另外，其它结构以完成液晶显示器，例如整合彩色滤光片基板

于透明基板 126 上，并填入一液晶层(未示)等，为公知技术者熟知，于此不再详述。

上述公知结构中，当数组制造过程中，薄膜晶体管 104 的信道区一般是由非晶硅氢化物(amorphous silicon hydride, a-Si:H)所形成。于定义形成过程中，非晶硅的异物 115，容易沿电容下电极 114 的边缘而残留在电容介电层 24 上。当进行习称第二金属层制作工艺(metal 2)，以形成电容上电极 116 及信号线 112 时，电容上电极 116 会覆盖过电容的下电容电极 114，并跨过其边缘。此时若有导电的残留异物 115 沿电容下电极 114 边缘残留在电容介电层 24 上，将使电容上电极 116 与信号线 112 短路(short)，造成数组的缺陷。

另外，残留异物 115 可能也会造成上下电容电极的短路，使像素储存电容 108 失去效应，造成此像素的亮点缺陷。异物 115 残留造成亮点缺陷时，一般除了用激光将异物除去以外，同时也会使共通电极 114 造成为断线。断线会造成栅极淡线的发生。因此为防止淡线的发生，当有缺陷的电容器所产生的点缺陷发生时，一般的做法则倾向于不修补此点缺陷，因而形成亮点。

但是，现今市场对显示器的画像品质，其要求越益严苛。如何将亮点以激光修补的技术，将亮点修补成暗点，以达到零亮点的目标，是目前的主流趋势。目前上述的激光修补技术，无法做暗点化，因为现有的暗点化技术，会使共通电极与栅极短路而造成亮线缺陷。因此如何解决蓄积电容器的点缺陷，无法做暗点化的问题，为进一步提升画像品质的重要关键。

发明内容

有鉴于此，本发明提供一种像素储存电容器结构。通过缩小电容上电极的边缘，使电容下电极大于电容上电极。如此当导电异物残留于电容下电极的边缘时，因电容上电极不与电容下电极的边缘重叠，即使异物残留，也可降低电容与信号线短路的机率。

本发明提供一种像素储存电容器结构，包括第一电容电极形成于一基板上。一电容介电层形成于第一电容电极上。一第二电容电极形成于电容介电层上，其中第二电容电极的面积范围小于第一电容电极的面积范围。一保护层覆盖过于第二电容电极上，其中保护层有一开口，暴露出第二电容电极。一像素电极层覆盖于保护层上，透过保护层的开口与第二电容电极连接。

上述中，该像素电极与一开关组件连接。

上述中，因第二电容电极的面积范围小于第一电容电极的面积范围，其边缘不重叠，因此有效降低电容短路的机率。

本发明提供一种液晶显示装置，包括复数条扫描线；复数条信号线；以及复数个像素，每一像素包括一液晶单元，具有一像素电极连接至一储存电容，以及一开关组件，连接液晶单元与信号线之一，而开关组件之一连接至扫描线之一；其中，上述储存电容还包括一第一电容电极、一电容介电层与一第二电容电极，第二电容电极与第一电容电极的一重叠区域大致上相等于第二电容电极的面积。

本发明另外提供一种形成一像素储存电容器的方法，包括形成一第一电容电极于一基板上。于该第一电容电极上，形成一电容介电层。

于该电容介电层上，形成一第二电容电极，其中该第二电容电极的一面积范围小于该第一电容电极。于该第二电容电极上形成一覆盖保护层。定义该保护层以形成一开口，暴露出该第二电容电极。形成一像素电极层，覆盖于该保护层上，透过该保护层的该开口与该第二电容电极连接。

为了让本发明的上述目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明。

附图说明

- 图 1 绘示公知薄膜晶体管液晶显示器的驱动电路。
- 图 2 绘示一公知薄膜晶体管液晶显示器的布局结构。
- 图 3A 绘示依照本发明，薄膜晶体管液晶显示器的布局结构。
- 图 3B 绘示依照本发明，于图 3A 中沿 II-II 线的剖面图。

标号说明：

100	扫描电路	102	信号保持电路
104	薄膜晶体管	106	像素液晶
108	储存电容	110	扫描线
112	信号线	114	共通电极线
115	异物	116, 200	电容上电极
118, 204	像素电极	120, 202	开口
122	保护层	124	电容介电层
126	基板		

具体实施方式

本发明的像素储存电容器结构,其主要特征之一为通过缩小电容上电极的边缘,或是扩大电容下电极的边缘,使电容下电极大于电容上电极。如此当导电异物沿电容下电极的边缘残留在电容介电层上时,因电容上电极不与电容下电极的边缘重叠,即使导电异物残留,也可降低电容与信号线短路的机率。以下举一实施例作为本发明特征的描述。

请参阅图 3A,图 3A 绘示依照本发明,薄膜晶体管液晶显示器的布局结构。薄膜晶体管 104 的栅极连接于扫描线 110。薄膜晶体管 104 包括一栅极 104g,一源极 104s,即一漏极 104d。薄膜晶体管 104 的设计,一般有两种,一种是栅极 104g 在下,而源极 104s 及漏极 104d 在上。另种设计为栅极 104g 在上,而源极 104s 及漏极 104d 在下。现今以栅极 104g 在下,先形成于透明基底上。栅极 104g 一般与电容下电极 114 一起定义形成,又称为第一金属(metal 1)制作工艺。源极 104s 及漏极 104d 之间有一信道区 104a。一般信道区 104a 是由导电的非晶硅所形成,而源极 104s 及漏极 104d 则由具有 N 型掺杂-的非晶硅导电物质定义形成。一般液晶显示器,又包括上下像素电极层,及其间的液晶层。另外又包括滤色层,相位差板,偏光板,等等,皆为熟此技术者熟知的技术,不详细描述。而液晶显示器控制机制,简单描述于下。

请同时参见图 1,薄膜晶体管 104 的栅极 104g 连接扫描线 110。扫描线 110 由扫描电路 100 控制。源极 104s 则连接到对应的信号线 112。信号线 112 由保持电路 102 控制。薄膜晶体管 104 的漏极 104d

连接到一像素电极层 204。另外像素储存电容器由一电容下电极 114 与一电容上电极 200 所构成。电容下电极 114 也例如连接到一公共电极 Vcom。像素电极层 204 透过一开口 202 与电容上电极 200 连接。于像素电极层 204 上有一液晶层，及液晶层上方的一像素电极层(未示)。像素电极层 204 一般由铟锡氧化物(Indium tin oxide)所形成。

扫描电路 100 与保持电路 102 各由不同的时钟脉冲，以一顺序供给扫描线 110 与信号线 112。扫描线 110 控制薄膜晶体管 104 的开与关。信号线 112 施加电压给薄膜晶体管 104。而薄膜晶体管 104 的漏极与像素储存电容器 108 连接。如果薄膜晶体管 104 被打开时，可经信号线 112 供给像素储存电容器 108 的所需的电压，进而控制像素电极 ITO 的电压。由上下像素电极 ITO 所施加的电压，因此可控制像素范围内的其间液晶分子的转动特性。当像素储存电容器，经薄膜晶体管 104 的开启充电，可依选择，控制液晶在此像素的亮暗，并保持之。

由于像素数组的制造过程需经至少四道制作工艺，可能会有一些异物残留其间，造成组件的缺陷，例如前述图 2 所引起的一些问题。为了解决异物的残留，造成不当短路，利用本发明设计电容上电极，可解决上述问题。

本发明设计使电容上电极 200 涵盖的范围，比电容下电极 114 小，使电容下电极 114 的边缘不会与电容上电极 200 重叠，也即电容上电极 200 与电容下电极 114 的重叠区域大约相当于电容上电极 200 的面积。于形成电容的过程中，下电极 114 的边缘容易残留异物 115。异

物 115 一般是导电残留物，例如形成信道区的非晶硅材料，其容易沿电容下电极 114 的边缘残留在电容介电层 124 上而形成导电残留物。由于电容上电极 200 一般是与信号线 112 一起形成，如果电容上电极 200 与电容下电极 114 的边缘有重叠。异物 115 可能会造成电容上电极 200 与信号线 112 的短路。

另外，若是异物 115 与电容上电极 200 与电容下电极 114 触碰，会使电容短路失效。本发明设计，使电容上电极 200 比电容下电极 114 小，如此只少可避免电容短路，或是像素电极层 204 短路到信号线。

本发明要求电容上电极 200 的面积范围比电容下电极 114 小，是为了避免其边缘的重叠。因此面积的形状或大小可视实际的设计而改变，而只要避免边缘的重叠即可。

薄膜晶体管 104 的作用，一般而言类似于一开关组件，可控制电容器的充电状态。而开口 202 的形成可由一般的定义制作工艺达成，例如微影蚀刻。开口 202 的位置，是为了使像素电极与电容上电极 200 的连接，一般是位于电容上电极 200 的范围之内，例如可形成于约中间部位。

上述中，本发明的主要特征在于，电容上电极 200 比电容下电极 114 小，使异物 115 不会触碰到电容上电极 200 造成短路。图 3B 绘示依照本发明，于图 3A 中沿 II-II 线的剖面图。请参阅图 3A 与图 3B，一电容下电极 114 形成于一基板 126 上。一电容介电层 124 形成覆盖过电容下电极 114。电容上电极 200 形成于电容介电层 124 上。电容

下电极 114，电容介电层 124 与电容上电极 200 形成一储存电容。一保护层 122 形成于电容上电极 200 之上，且覆盖过基板 126。保护层 122 有一开口 202，暴露出电容上电极 200。一像素电极层 204，形成于保护层 122 之上。像素电极层 204 且透过开口 202 与电容上电极 200 连接。

上述中，电容上电极 200 比电容下电极 114 的范围小，因此不与电容下电极 114 的边缘重叠。当电容下电极 114 的边缘残留有异物 115 时，也不会与电容上电极 200 触碰造成不当短路。例如异物 115 延伸至信号线 112 时，电容上电极 200 若与异物 115 触碰，会造成电容上电极 200 与信号线 112 之间的短路。

上述残留异物 115 的位置分布，仅是一示意图。残留异物 115 也可能不连续，但是异物 115 残留于电容下电极 114 的边缘造成不当的短路是传统制作工艺常碰到的问题。

本发明的特征之一在于，设计电容下电极 114 的边缘不与电容上电极 200 重叠。因其边缘不重叠，可以有效防止不当短路。为了有足够的蓄积电容值，除了可缩小电容上电极 200 的面积范围为外，也可放大电容下电极 114 的面积范围。甚至改变面积的边缘形状皆不脱离本发明提出的特征。

换句话说，本发明的特征在于电容下电极 114 与电容上电极 200 的边缘不重叠即是。至于面积范围的调整仅是设计上的变化条件。另外，本发明并不限于储存电容在共用电极上(Cs on common)的设计，也可应用于储存电容在栅极(Cs on gate)上的设计。

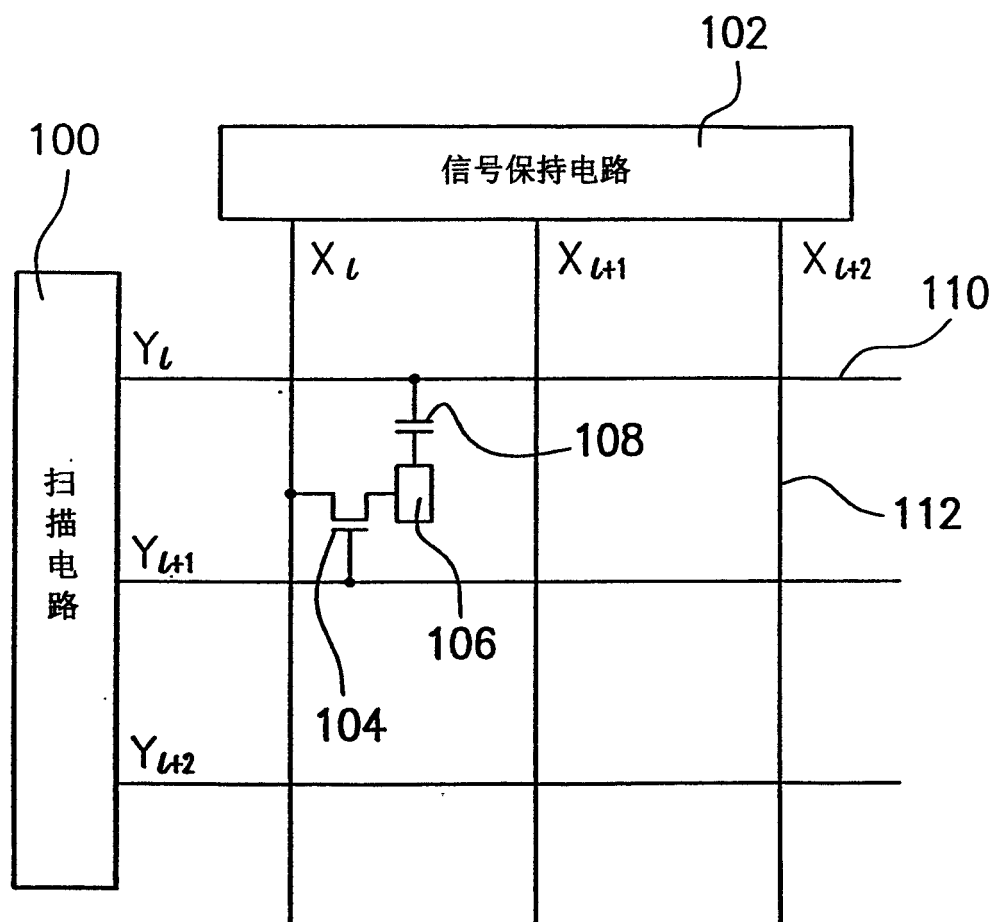


图 1

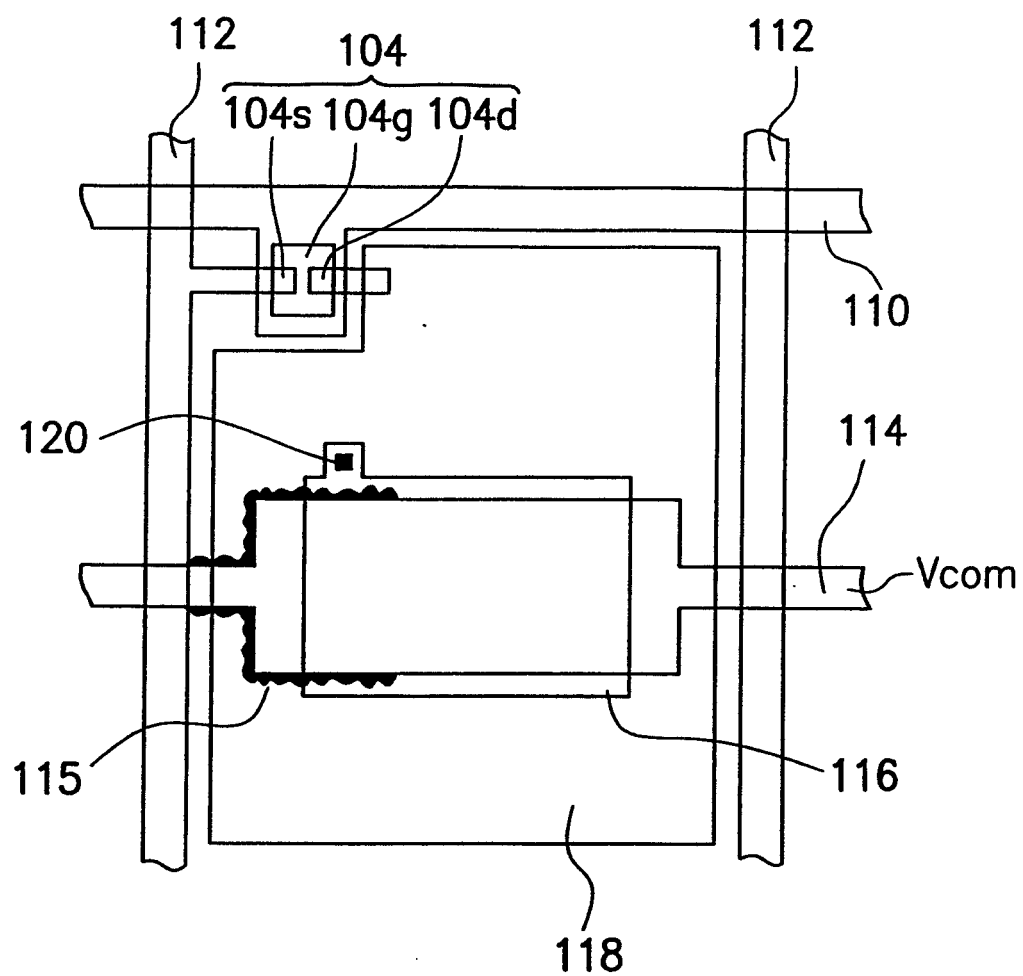


图 2

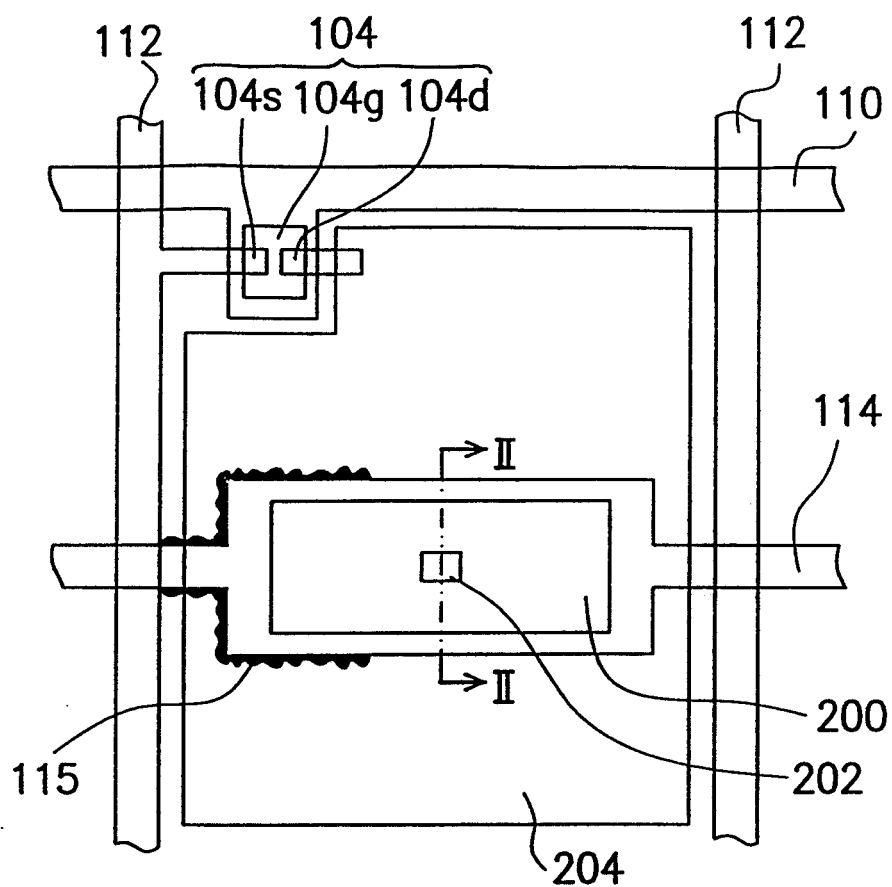


图 3A

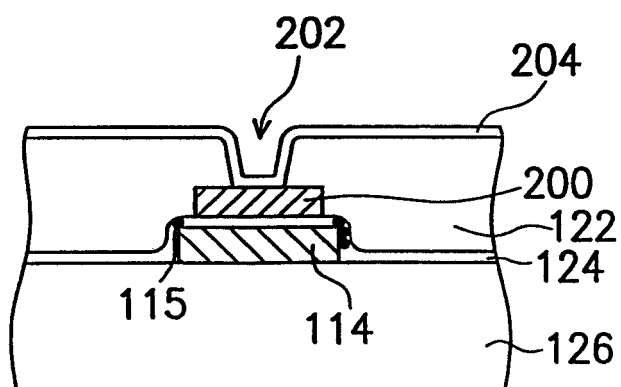


图 3B

专利名称(译)	具有储存电容器的像素结构与其形成方法及液晶显示装置		
公开(公告)号	CN1490645A	公开(公告)日	2004-04-21
申请号	CN02146321.2	申请日	2002-10-18
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	奇美电子股份有限公司		
当前申请(专利权)人(译)	奇美电子股份有限公司		
[标]发明人	吴永良 王东荣 郭晋荣		
发明人	吴永良 王东荣 郭晋荣		
IPC分类号	G02F1/133 G02F1/1343 G02F1/136		
代理人(译)	王学强		
外部链接	Espacenet SIPO		

摘要(译)

一种像素储存电容器结构，包括一第一电容电极形成于一基板上。一电容介电层形成于第一电容电极上。一第二电容电极形成于电容介电层上，其中第二电容电极的面积范围小于第一电容电极的面积范围。一保护层覆盖于第二电容电极上，其中保护层有一开口，暴露出第二电容电极。一像素电极层覆盖于保护层上，透过保护层的开口与第二电容电极连接。

