



(12) 发明专利申请

(10) 申请公布号 CN 102693692 A

(43) 申请公布日 2012. 09. 26

(21) 申请号 201110074579. 2

(22) 申请日 2011. 03. 25

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 商广良

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 赵爱军

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

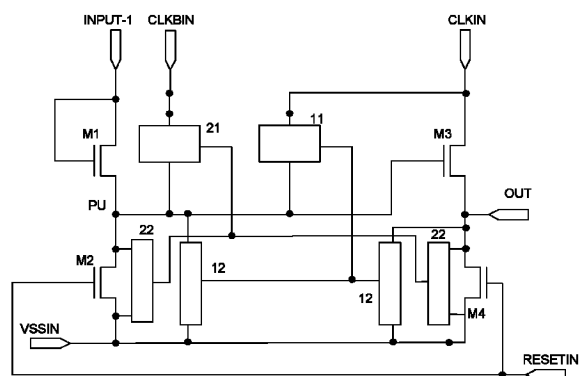
权利要求书 3 页 说明书 8 页 附图 10 页

(54) 发明名称

移位寄存器单元及液晶显示器栅极驱动装置

(57) 摘要

本发明公开了一种移位寄存器单元以及液晶显示器栅极驱动装置,解决现有技术中存在的移位寄存器无法在 CLK 为高电平时去噪声的问题,其中移位寄存器单元在现有技术晶体管结构的基础上,增加了 CLK 为高电平时的去噪声电路,从而增强了去噪声能力,进而增加了移位寄存器的工作稳定性。



1. 一种移位寄存器单元,其特征在于,包括:

第一薄膜晶体管,其栅极与移位寄存器起始信号输入端连接,漏极和第一输入端连接,第一输入端为当移位寄存器起始信号输入端为高电平时,端口电平也为高电平的端口;

第二薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

第三薄膜晶体管,其漏极与第一时钟信号输入端连接,栅极与所述第一薄膜晶体管的源极连接,源极与信号输出端连接;

第四薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,栅极与所述复位信号输入端连接,源极与所述低电平信号输入端连接;

第一时钟信号输入端和第二时钟信号输入端;

与第一时钟信号端和第二时钟信号端一一对应设置的第一噪声消除处理电路和第二噪声消除处理电路,每个所述噪声消除处理电路均包括:

控制电路,与对应的时钟信号输入端、第一薄膜晶体管的源极以及低电平信号输入端连接,用于在对应的时钟信号输入端输出高电平信号,而第一薄膜晶体管的源极处于低电平时,输出一控制信号;

噪声消除电路,与所述控制电路连接,同时还与所述第一薄膜晶体管的源极或第三薄膜晶体管的源极连接,用于在从所述控制子电路接收到所述控制信号时,执行噪声消除操作,消除与之连接的第一薄膜晶体管的源极和/或第三薄膜晶体管的源极的噪声。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,

第二噪声消除电路包括:第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管,还包括第九薄膜晶体管和/或第十薄膜晶体管;

第一噪声消除电路包括:第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管、第十四薄膜晶体管,还包括第十五薄膜晶体管和/或第十六薄膜晶体管;

第五薄膜晶体管,其栅极与所述第二时钟信号输入端连接,源极与所述第七薄膜晶体管的栅极连接,漏极和第二输入端连接,第二输入端为当第二时钟信号输入端为高电平时,端口电平也为高电平的端口;

第六薄膜晶体管,其漏极与所述第五薄膜晶体管的源极连接,栅极与所述第一薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第七薄膜晶体管,其漏极与第三输入端连接,第三输入端为当第二时钟信号输入端为高电平时,端口电平也为高电平的端口,源极分别与所述第九薄膜晶体管的栅极和所述第十薄膜晶体管的栅极连接;

第八薄膜晶体管,其漏极与所述第七薄膜晶体管的源极连接,栅极与所述第一薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第九薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第十薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第十一薄膜晶体管,其栅极与所述第一时钟信号输入端连接,源极与所述第十三薄膜晶体管的栅极连接,漏极和第四输入端连接,第四输入端为当第一时钟信号输入端为高电

平时,端口电平也为高电平的端口;

第十二薄膜晶体管,其漏极与所述第十一薄膜晶体管的源极连接,栅极与所述第一薄膜晶体管的源极连接,源极与所述低电平信号输入端连接。

第十三薄膜晶体管,其漏极与第五输入端连接,第五输入端为当第一时钟信号输入端为高电平时,端口电平也为高电平的端口,源极分别与所述第十五薄膜晶体管的栅极和所述第十六薄膜晶体管的栅极连接;

第十四薄膜晶体管,其漏极与所述第十三薄膜晶体管的源极连接,栅极与所述第一薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第十五薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第十六薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,源极与所述低电平信号输入端连接。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,第一输入端、第二输入端、第三输入端、第四输入端和第五输入端全部为高电平信号输入端。

4. 根据权利要求2所述的移位寄存器单元,其特征在于,第一输入端为移位寄存器起始信号输入端,第二输入端为第二时钟信号输入端、第三输入端为第二时钟信号输入端、第四输入端为第一时钟信号输入端,第五输入端为第一时钟信号输入端。

5. 根据权利要求2所述的移位寄存器单元,其特征在于,第一输入端为移位寄存器起始信号输入端,第二输入端为第二时钟信号输入端,第四输入端为第一时钟信号输入端,第三输入端和第五输入端为高电平信号输入端。

6. 根据权利要求1-5中任一权利要求所述的移位寄存器单元,其特征在于,还包括电容,所述电容的两端分别与所述第三薄膜晶体管的栅极和所述信号输出端连接。

7. 根据权利要求6所述的移位寄存器单元,其特征在于,还包括第十七薄膜晶体管,其漏极与所述移位寄存器起始信号输入端连接,栅极与所述第二时钟信号输入端连接,源极与所述第一薄膜晶体管的源极连接。

8. 根据权利要求2-5中任一权利要求所述的移位寄存器单元,其特征在于,所述第五薄膜晶体管沟道的宽长比和第六薄膜晶体管沟道的宽长比之间的比例满足如下条件,当第二时钟信号和第一薄膜晶体管源极的电平值为高电平时,使得第七薄膜晶体管的源极的电平值接近低点平,进而导致第九薄膜晶体管和第十薄膜晶体管为截止状态;所述第十一薄膜晶体管沟道的宽长比和第十二薄膜晶体管沟道的宽长比之间的比例满足如下条件,当第一时钟信号和第一薄膜晶体管源极的电平值为高电平时,使得第七薄膜晶体管的源极的电平值接近低点平,进而导致第十五薄膜晶体管和第十六薄膜晶体管为截止状态。

9. 根据权利要求8所述的移位寄存器单元,其特征在于,所述第五薄膜晶体管沟道的宽长比和第六薄膜晶体管沟道的宽长比之间的比例为 $1 \sim 1/50$;所述第十一薄膜晶体管沟道的宽长比和第十二薄膜晶体管沟道的宽长比之间的比例为 $1 \sim 1/50$ 。

10. 一种液晶显示器栅极驱动装置,其特征在于,包括沉积在液晶显示器阵列基板上的如权利要求1~9中任一权利要求所述的多个移位寄存器单元;

除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的移位寄存器输出端均和与其相邻下一个移位寄存器单元的移位寄存器起始信号输入端以

及与其相邻的上一个移位寄存器单元的复位信号输入端连接,第一个移位寄存器单元的移位寄存器输出端与第二个移位寄存器单元的移位寄存器起始信号输入端连接,最后一个移位寄存器单元的移位寄存器输出端和与其相邻的上一个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接;

第一个移位寄存器单元的移位寄存器起始信号输入端输入帧起始信号;

第奇数个移位寄存器单元的第一时钟信号输入端输入第一时钟信号,第二时钟信号输入端输入第二时钟信号,第偶数个移位寄存器单元的第一时钟信号输入端输入第二时钟信号,第二时钟信号输入端输入系统第一时钟信号;

每个移位寄存器单元的低电平信号输入端输入低电平信号。

移位寄存器单元及液晶显示器栅极驱动装置

技术领域

[0001] 本发明涉及液晶显示器驱动技术,尤其涉及一种移位寄存器单元及液晶显示器栅极驱动装置。

背景技术

[0002] 现有技术中移位寄存器单元包括 10 个薄膜晶体管,如图 1 所示其中,第一薄膜晶体管 M1 的栅极和漏极均与移位寄存器起始信号输入端 INPUT-1 连接;第二薄膜晶体管 M2 的漏极与第一薄膜晶体管 M1 的源极连接,第二薄膜晶体管 M2 的栅极与复位信号输入端 RESETIN 连接,第二薄膜晶体管 M2 的源极与低电平信号输入端 VSSIN 连接;第三薄膜晶体管 M3 的漏极与第一时钟信号输入端 CLKIN 连接,第三薄膜晶体管 M3 的栅极与第一薄膜晶体管 M1 的源极连接,第三薄膜晶体管 M3 的源极与信号输出端 OUT 连接;第四薄膜晶体管 M4 的栅极与复位信号输入端 RESETIN 连接,第四薄膜晶体管 M4 的漏极与第三薄膜晶体管 M3 的源极连接,第四薄膜晶体管 M4 的源极与低电平信号输入端 VSSIN 连接;第五薄膜晶体管 M5 的栅极和漏极均与第二时钟信号输入端 CLKBIN 连接,第五薄膜晶体管 M5 的源极与第七薄膜晶体管 M7 的栅极连接,第六薄膜晶体管 M6 的栅极与第一薄膜晶体管 M1 的源极连接,第六薄膜晶体管 M6 的漏极与第五薄膜晶体管 M5 的源极连接,第六薄膜晶体管 M6 的源极与低电平信号输入端 VSSIN 连接,第七薄膜晶体管 M7 的漏极与第二时钟信号输入端 CLKBIN 连接,第七薄膜晶体管 M7 的源极分别与第九薄膜晶体管 M9 的栅极和第十薄膜晶体管 M10 的栅极连接,第八薄膜晶体管 M8 的栅极与第一薄膜晶体管 M1 的源极连接,第八薄膜晶体管 M8 的漏极与第七薄膜晶体管 M7 的源极连接,第八薄膜晶体管 M8 的源极与低电平信号输入端 VSSIN 连接,第九薄膜晶体管 M9 的漏极与第一薄膜晶体管 M1 的源极连接,第九薄膜晶体管 M9 的源极与低电平信号输入端 VSSIN 连接,第十薄膜晶体管 M10 的漏极与第三薄膜晶体管 M3 的源极连接,第十薄膜晶体管 M10 的源极与低电平信号输入端 VSSIN 连接。第一薄膜晶体管 M1 的源极、第二薄膜晶体管 M2 的漏极、第九薄膜晶体管 M5 的漏极、第六薄膜晶体管 M6 的栅极、第八薄膜晶体管 M8 的栅极和第三薄膜晶体管 M3 的栅极的汇聚处为 PU 结点,第七薄膜晶体管 M7 的源极、第八薄膜晶体管 M8 的漏极、第九薄膜晶体管 M9 的栅极和第十薄膜晶体管 M10 的栅极的汇聚处为 PD_ck 结点,第五薄膜晶体管 M5 的源极和第七薄膜晶体管 M7 的栅极的汇聚处为 PD_CN_ck 结点。

[0003] 如图 2 所示为图 1 移位寄存器单元的时序图,图 1 中,移位寄存器起始信号输入端 INPUT-1 输入起始信号 INPUT,第一时钟信号输入端 CLKIN 输入第一时钟信号 CLK,第二时钟信号输入端 CLKBIN 输入第二时钟信号 CLKB(第一时钟信号为第二时钟信号的反相信号),低电压信号输入端 VSSIN 输入低电压信号 VSS,复位信号输入端 RESETIN 输入复位信号 RESET,信号输出端 OUT 输出栅极驱动信号 OUTPUT。图 2 中没有示出低电压信号 VSS,低电压信号 VSS 是一个一直保持低电平的信号。该移位寄存器去除噪声的晶体管只在 CLKB 为高电平时打开,无法在 CLK 为高电平时打开去噪声,使得移位寄存器去噪声能力相对较弱,从而影响移位寄存器的工作稳定性。

发明内容

[0004] 本发明的目的是针对现有技术中存在的移位寄存器无法在 CLK 为高电平时去噪声的问题,提供一种移位寄存器单元及液晶显示器栅极驱动装置。

[0005] 为实现上述目的,本发明提供了一种移位寄存器单元,包括:

[0006] 第一薄膜晶体管,其栅极与移位寄存器起始信号输入端连接,漏极和第一输入端连接,第一输入端为当移位寄存器起始信号输入端为高电平时,端口电平也为高电平的端口;

[0007] 第二薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

[0008] 第三薄膜晶体管,其漏极与第一时钟信号输入端连接,栅极与所述第一薄膜晶体管的源极连接,源极与信号输出端连接;

[0009] 第四薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,栅极与所述复位信号输入端连接,源极与所述低电平信号输入端连接;

[0010] 第一时钟信号输入端和第二时钟信号输入端;

[0011] 与第一时钟信号端和第二时钟信号端一一对应设置的第一噪声消除处理电路和第二噪声消除处理电路,每个所述噪声消除处理电路均包括:

[0012] 控制电路,与对应的时钟信号输入端、第一薄膜晶体管的源极以及低电平信号输入端连接,用于在对应的时钟信号输入端输出高电平信号,而第一薄膜晶体管的源极处于低电平时,输出一控制信号;

[0013] 噪声消除电路,与所述控制电路连接,同时还与所述第一薄膜晶体管的源极或第三薄膜晶体管的源极连接,用于在从所述控制子电路接收到所述控制信号时,执行噪声消除操作,消除与之连接的第一薄膜晶体管的源极和/或第三薄膜晶体管的源极的噪声。

[0014] 本发明还提供了一种液晶显示器栅极驱动装置,包括沉积在液晶显示器阵列基板上的多个前述的移位寄存器单元;

[0015] 除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的信号输出端均和与其相邻下一个移位寄存器单元的信号输入端以及与其相邻的上一个移位寄存器单元的复位信号输入端连接,第一个移位寄存器单元的信号输出端与第二个移位寄存器单元的信号输入端连接,最后一个移位寄存器单元的信号输出端和与其相邻的上一个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接;

[0016] 第一个移位寄存器单元的信号输入端输入帧起始信号;

[0017] 第奇数个移位寄存器单元的第一时钟信号输入端输入第一时钟信号,第二时钟信号输入端输入第二时钟信号,第偶数个移位寄存器单元的第一时钟信号输入端输入第二时钟信号,第二时钟信号输入端输入系统第一时钟信号;

[0018] 每个移位寄存器单元的低电平信号输入端输入低电平信号。

[0019] 本发明实施例提供的移位寄存器单元及液晶显示器栅极驱动装置,由于增加了 CLK 为高电平时的去噪声电路,从而增强了去噪声能力,进而增加了移位寄存器的工作稳定性。

附图说明

- [0020] 图 1 所示为现有技术中的一种移位寄存器单元结构示意图；
- [0021] 图 2 所示为图 1 移位寄存器单元的时序图；
- [0022] 图 3 所示为本发明移位寄存器单元实施例一结构示意图；
- [0023] 图 4 所示为本发明移位寄存器单元实施例二结构示意图；
- [0024] 图 5- 图 7 所示为本发明图 4 所示移位寄存器单元变形后的结构示意图；
- [0025] 图 8 所示为图 4 移位寄存器单元的时序图；
- [0026] 图 9 所示为本发明移位寄存器单元去噪效果示意图；
- [0027] 图 10 所示为本发明移位寄存器单元实施例三结构示意图；
- [0028] 图 11 所示为本发明移位寄存器单元实施例四结构示意图；
- [0029] 图 12 所示为本发明移位寄存器单元实施例五结构示意图；
- [0030] 图 13 所示为本发明液晶显示器栅极驱动装置结构示意图；
- [0031] 图 14 所示为图 13 所示液晶显示器栅极驱动装置的输入输出时序图。

具体实施方式

[0032] 图 3 为本发明移位寄存器单元实施例一结构示意图,第一薄膜晶体管 M1 的栅极和漏极均与移位寄存器起始信号输入端 INPUT-1 连接;第二薄膜晶体管 M2 的漏极与第一薄膜晶体管 M1 的源极连接,第二薄膜晶体管 M2 的栅极与复位信号输入端 RESETIN 连接,第二薄膜晶体管 M2 的源极与低电平信号输入端 VSSIN 连接;第三薄膜晶体管 M3 的漏极与第一时钟信号输入端 CLKIN 连接,第三薄膜晶体管 M3 的栅极与第一薄膜晶体管 M1 的源极连接,第三薄膜晶体管 M3 的源极与信号输出端 OUT 连接;第四薄膜晶体管 M4 的栅极与复位信号输入端 RESETIN 连接,第四薄膜晶体管 M4 的漏极与第三薄膜晶体管 M3 的源极连接,第四薄膜晶体管 M4 的源极与低电平信号输入端 VSSIN 连接。

[0033] 移位寄存器单元的第一噪声消除处理电路和第二噪声消除处理电路与第一时钟信号输入端 CLKIN 和第二时钟信号输入端 CLKBIN 一一对应设置,每个所述噪声消除处理电路均包括:控制电路,与对应的时钟信号输入端、第一薄膜晶体管的源极以及低电平信号输入端连接,用于在对应的时钟信号输入端输出高电平信号,而第一薄膜晶体管的源极处于低电平时,输出一控制信号;噪声消除电路,与所述控制电路连接,同时还与所述第一薄膜晶体管的源极或第三薄膜晶体管的源极连接,用于在从所述控制子电路接收到所述控制信号时,执行噪声消除操作,消除与之连接的第一薄膜晶体管的源极和/或第三薄膜晶体管的源极的噪声。

[0034] 其中,第一噪声消除处理电路包括,第一控制电路 11 和第一噪声消除电路 12,第一控制电路 11 的第一控制输入端与第一时钟信号输入端连接,第一控制电路 11 的第二控制输入端与第一薄膜晶体管的源极连接,第一控制电路 11 的输出端与第一噪声消除电路的控制信号输入端连接,第一噪声消除电路 12 的噪声输出端与所述低电平信号输入端连接,第一噪声消除电路 12 的第一噪声输入端与所述第三薄膜晶体管的源极和/或所述第一薄膜晶体管的源极连接,第一控制电路 11,用于在第一时钟信号处于高电平、第一薄膜晶体管的源极处于低电平时,发出第一控制信号,第一噪声消除电路 12,用于根据第一控制信号将低电平信号输入端与第一薄膜晶体管的源极和/或第三薄膜晶体管的源极连接;

[0035] 第二噪声消除处理电路包括,第二控制电路 21 和第二噪声消除电路 22,第二控制电路 21 的第三控制输入端与第二时钟信号输入端连接,第二控制电路 21 的第四控制输入端与第一薄膜晶体管的源极连接,第二控制电路 21 的输出端与第二噪声消除电路的控制信号输入端连接,第二噪声消除电路 22 的噪声输出端与所述低电平信号输入端连接,第二噪声消除电路 22 的第二噪声输入端与所述第三薄膜晶体管的源极和 / 或所述第一薄膜晶体管的源极连接,第二控制电路 21,用于在第二时钟信号处于高电平、第一薄膜晶体管的源极处于低电平时,发出第二控制信号,第二噪声消除电路 22,用于根据第二控制信号将低电平信号输入端与,第一薄膜晶体管的源极和 / 或第三薄膜晶体管的源极连接。

[0036] 图 4 为本发明移位寄存器单元实施例二结构示意图,作为优选的方案,第二控制电路包括:第五薄膜晶体管 M5、第六薄膜晶体管 M6、第七薄膜晶体管 M7 和第八薄膜晶体管 M8;第二噪声消除电路包括:第九薄膜晶体管 M9 和 / 或第十薄膜晶体管 M10;第一控制电路包括:第十一薄膜晶体管 M11、第十二薄膜晶体管 M12、第十三薄膜晶体管 M13 和第十四薄膜晶体管 M14;第一噪声消除电路包括:第十五薄膜晶体管 M15 和 / 或第十六薄膜晶体管 M16。

[0037] 第五薄膜晶体管 M5 的栅极和漏极均与第二时钟信号输入端 CLKBIN 连接,第五薄膜晶体管 M5 的源极与第七薄膜晶体管 M7 的栅极连接,第六薄膜晶体管 M6 的栅极与第一薄膜晶体管 M1 的源极连接,第六薄膜晶体管 M6 的漏极与第五薄膜晶体管 M5 的源极连接,第六薄膜晶体管 M6 的源极与低电平信号输入端 VSSIN 连接,第七薄膜晶体管 M7 的漏极与第二时钟信号输入端 CLKBIN 连接,第七薄膜晶体管 M7 的源极分别与第九薄膜晶体管 M9 的栅极和第十薄膜晶体管 M10 的栅极连接,第八薄膜晶体管 M8 的栅极与第一薄膜晶体管 M1 的源极连接,第八薄膜晶体管 M8 的漏极与第七薄膜晶体管 M7 的源极连接,第八薄膜晶体管 M8 的源极与低电平信号输入端 VSSIN 连接,第九薄膜晶体管 M9 的漏极与第一薄膜晶体管 M1 的源极连接,第九薄膜晶体管 M9 的源极与低电平信号输入端 VSSIN 连接,第十薄膜晶体管 M10 的漏极与第三薄膜晶体管 M3 的源极连接,第十薄膜晶体管 M10 的源极与低电平信号输入端 VSSIN 连接,第十一薄膜晶体管 M11 的栅极和漏极均与第一时钟信号输入端 CLKIN 连接,第十一薄膜晶体管 M11 的源极与第十三薄膜晶体管 M13 的栅极连接,第十二薄膜晶体管 M12 的栅极与第一薄膜晶体管 M1 的源极连接,第六薄膜晶体管 M6 的漏极与第五薄膜晶体管 M5 的源极连接,第十二薄膜晶体管 M12 的源极与低电平信号输入端 VSSIN 连接,第十三薄膜晶体管 M13 的漏极与第一时钟信号输入端 CLKIN 连接,第十三薄膜晶体管 M13 的源极分别与第十五薄膜晶体管 M15 的栅极和第十六薄膜晶体管 M16 的栅极连接,第十四薄膜晶体管 M14 的栅极与第一薄膜晶体管 M1 的源极连接,第十四薄膜晶体管 M14 的漏极与第十三薄膜晶体管 M13 的源极连接,第十四薄膜晶体管 M14 的源极与低电平信号输入端 VSSIN 连接,第十五薄膜晶体管 M15 的漏极与第一薄膜晶体管 M1 的源极连接,第十五薄膜晶体管 M15 的源极与低电平信号输入端 VSSIN 连接,第十六薄膜晶体管 M16 的漏极与第三薄膜晶体管 M3 的源极连接,第十六薄膜晶体管 M16 的源极与低电平信号输入端 VSSIN 连接。第一薄膜晶体管 M1 的源极、第二薄膜晶体管 M2 的漏极、第九薄膜晶体管 M5 的漏极、第六薄膜晶体管 M6 的栅极、第八薄膜晶体管 M8 的栅极和第三薄膜晶体管 M3 的栅极的汇聚处为 PU 结点,第七薄膜晶体管 M7 的源极、第八薄膜晶体管 M8 的漏极、第九薄膜晶体管 M9 的栅极和第十薄膜晶体管 M10 的栅极的汇聚处为 PD_ckb 结点,第五薄膜晶体管 M5 的源极和第七薄膜晶体管 M7 的栅极的汇聚处为 PD_CN_ckb 结点,第十三薄膜晶体管 M13 的源极、第十四薄膜晶体

管 M14 的漏极、第十五薄膜晶体管 M15 的栅极和第十六薄膜晶体管 M16 的栅极的汇聚处为 PD_ck 结点,第十一薄膜晶体管 M11 的源极和第十三薄膜晶体管 M13 的栅极的汇聚处为 PD_CN_ck 结点。

[0038] 图 4 中采用薄膜晶体管 M5-M16 搭建移位寄存器单元的控制电路和噪声消除电路,只是本实施例中的一个优选的方案,作为图 4 方案的变形方案如图 5 所示,其中控制电路还可以是去除图 4 中的第七薄膜晶体管 M7 和第八薄膜晶体管 M8,只采用第五薄膜晶体管 M5 和第六薄膜晶体管 M6 搭建,此时第九薄膜晶体管 M9 的栅极和第五薄膜晶体管 M5 源极连接。作为图 4 方案的变形方案还可以如图 6 所示,去除图 4 中的第七薄膜晶体管 M7,只采用第五薄膜晶体管 M5、第六薄膜晶体管 M6 搭建和第八薄膜晶体管 M8,此时第九薄膜晶体管 M9 的栅极、第八薄膜晶体管 M8 的漏极都和第五薄膜晶体管 M5 源极连接。如图 7 所示,与图 5 的不同之处在于,噪声消除电路还可以由第九薄膜晶体管 M9 和第九备份薄膜晶体管 M9' 搭建而成,第九薄膜晶体管 M9 的漏极和第九备份薄膜晶体管 M9' 的漏极连接,第九薄膜晶体管 M9 的栅极和第九备份薄膜晶体管 M9' 的栅极连接,第九薄膜晶体管 M9 的源极和第九备份薄膜晶体管 M9' 的源极连接。在第十薄膜晶体管 M10、第十五薄膜晶体管 M15 和第十六薄膜晶体管 M16 添加类似的电路也同样可以实现噪声消除电路,由此可见无论采用如图 4 至图 7 的任意一种电路,都可以实现前述的控制电路和噪声消除电路。

[0039] 当然本实施例采用的是 n 型的晶体管实现前述的控制电路和噪声消除电路,只是作为优选的实施方案,类似的采用 p 型或混合 n 型 p 型的晶体管同样也可以实施,是本领域人员很容易就能完成的,此处不再赘述。

[0040] 本发明提供的移位寄存器单元与图 1 所示的移位寄存器单元结构上的区别之处在于:增加了 CLK 为高电平时的去噪电路,该去噪电路包括第十薄膜晶体管 M10、第十一薄膜晶体管 M11、第十二薄膜晶体管 M12、第十三薄膜晶体管 M13、第十四薄膜晶体管 M14、第十五薄膜晶体管 M15 和第十六薄膜晶体管 M16。

[0041] 如图 8 所示为图 4 移位寄存器单元的时序图,下面结合图 4 和图 8 说明本发明移位寄存器单元的工作原理。

[0042] 选择图 8 所示时序图的一部分并将其划分为五个阶段。

[0043] 第 I 阶段, INPUT 为高电平, RESET 为低电平,则 PU 节点为高电平,晶体管 M1、M3、M6、M8、M12 和 M14 导通;CLK 为低电平,M11、M13 截止,PD_CN_ck 和 PD_ck 为低电平,则 M15、M16 截止;CLKB 为高电平,晶体管 M5 导通,通过设置 M5/M6 沟道宽长比的比例,使得 PD_ckb 节点接近低电平,进而晶体管 M9 和 M10 截止;RESET 为低电平,则晶体管 M2、M4 截止;由于晶体管 M4、M10、M16 截止,M3 导通输出等于 CLK,CLK 为低电平所以输出为低电平。

[0044] 第 II 阶段, INPUT 变为低电平, RESET 仍为低电平,则 PU 节点仍为高电平,晶体管 M3、M6、M8、M12、M14 仍导通;CLKB 变为低电平,晶体管 M5、M7 截止,那么节点 PD_ckb 仍为低电平,则晶体管 M9 和 M10 仍截止;RESET 仍为低电平,则晶体管 M2、M4 仍截止;CLK 变为高电平,则 M11 导通,通过设置 M11/M12 沟道宽长比的比例,使得 PD_ck 节点为低电平,进而晶体管 M15 和 M16 截止,由于晶体管 M4、M10、M16 截止,M3 导通输出等于 CLK,CLK 为高电平所以输出变为高电平。

[0045] 第 III 阶段, INPUT 仍为低电平,晶体管 M1 截止;RESET 变为高电平,则晶体管 M2、M4 导通;于是 PU 节点被放电至低电平,晶体管 M3、M6、M8、M12、M14 截止;CLKB 为高电平,晶

体管 M5、M7 导通,那么节点 PD_ckb 变为高电平,则晶体管 M9、M10 导通;CLK 为低电平,M11、M13 截止,PD_ck 为低电平,则 M15、M16 截止;由于 M3 截止,晶体管 M4、M10、M16 导通输出等于低电平 VSS,所以输出变为低电平。

[0046] 第 IV 阶段, INPUT 仍为低电平,晶体管 M1 截止;RESET 变为低电平,则晶体管 M2、M4 截止;PU 节点仍为低电平,则晶体管 M3、M6、M8、M12、M14 仍截止;CLKB 为低电平,晶体管 M5、M7 截止,那么节点 PD_ckb 电平由最高点逐渐降低,则晶体管 M9、M10 由最大导通逐渐截止;CLK 变为高电平,则 M11、M13 导通,PD_ck 节点变为高电平,则晶体管 M15 和 M16 导通(此时,如果 PU 结点有噪声,则可通过 M15 放掉;如果输出有噪声,则可通过 M16 放掉),由于晶体管 M3、M4 截止,所以输出保持低电平。

[0047] 第 V 阶段, INPUT 仍为低电平,晶体管 M1 截止;RESET 仍为低电平,则晶体管 M2、M4 截止;PU 节点仍为低电平,晶体管 M3、M6、M8、M12、M14 仍截止;CLKB 为高电平,晶体管 M5、M7 导通,那么节点 PD_ckb 电平由最低点逐渐升高,则晶体管 M9、M10 由关闭逐渐到最大导通(此时,如果 PU 结点有噪声,则可通过 M9 放掉;如果输出有噪声,则可通过 M10 放掉);CLK 为低电平,M11、M13 截止,PD_ck 为低电平,则 M15、M16 截止;由于晶体管 M3、M4 截止,所以输出保持为低电平。

[0048] 在这五个阶段中,第 I 阶段移位寄存器起始信号输入端 INPUT-1 输入起始信号 INPUT 为高电平,第 II 阶段信号输出端 OUT 输出的栅极驱动信号 OUTPUT 为高电平,完成一次移位,第 III 阶段复位信号输入端 RESETIN 端输入的复位信号 RESET 为高电平,完成复位的操作,所以可以将第 I、II、III 阶段定义为移位寄存器单元的工作时间,第四、五阶段,移位寄存器起始信号输入端 INPUT-1 输入信号起始 INPUT、复位信号输入端 RESETIN 端输入的复位信号 RESET 均为低电平,所以可以将第 IV、V 阶段定义为移位寄存器单元的非工作时间。在这五个阶段后,则一直重复第 IV、V 阶段的状态,直到再次出现 I、II、III 阶段的时序。完成 I、II、III 阶段,则完成了一次移位。图 8 中仅画出了移位寄存器单元的部分时序图,液晶显示器每显示一帧图像,控制某一行液晶像素的移位寄存器单元都会输出一个高电平信号,移位寄存器起始信号输入端 INPUT-1 输入信号起始 INPUT、复位信号输入端 RESETIN 输入的复位信号 RESET 和第一时钟信号输入端 CLKIN 输入的第一时钟信号 CLK 都会重复一次第 I、II、III 阶段的输入时序,在液晶显示器显示一帧图像的时间中,除第 I、II、III 阶段之外的其余时间,移位寄存器起始信号输入端 INPUT-1 输入起始信号 INPUT、复位信号输入端 RESETIN 输入的复位信号 RESET 和第一时钟信号输入端 CLKIN 输入的第一时钟信号 CLK 都会重复与第四和第五阶段相同的输入时序。

[0049] 从以上对五个阶段的详细描述中可以看出,在第四阶段,CLK 变为高电平,则 M11 导通,PU 节点变为低电平,则 M12 和 M13 截止,则 M13 导通,所以 PD_ck 节点变为高电平,则晶体管 M15 和 M16 导通,此时,如果 PU 结点有噪声,则可通过 M15 放掉;如果输出有噪声,则可通过 M16 放掉。类似的在第五阶段,CLKB 为高电平,晶体管 M5、M7 导通,PU 节点仍为低电平,则 M6 和 M8 截止,则 M13 导通,那么节点 PD_ckb 电平由最低点逐渐升高,则晶体管 M9、M10 由关闭逐渐到最大导通此时,如果 PU 结点有噪声,则可通过 M9 放掉;如果输出有噪声,则可通过 M10 放掉。

[0050] 与如图 1 所示的现有技术中的移位寄存器单元相比,本发明提供的移位寄存器单元中,增加了 CLK 为高电平时的去噪声电路,这样能够避免在第四阶段被噪声干扰,从而增

强了去噪声能力,进而增加了移位寄存器的工作稳定性,图 9 为本发明实施例中移位寄存器改进前后输出噪声比较,从图 9 中可以明显看出,与改进前的噪声电平 200 相比,改进后的噪声电平 100,输出噪声明显降低。

[0051] 图 10 为本发明移位寄存器单元实施例三结构示意图,加入电容 C1,能够进一步增强移位寄存器单元的去噪能力,从而增强移位寄存器的工作稳定性。一方面由于 C1 增加了 PU 节点的总电容,减小了第三晶体管 M3 漏极寄生电容 Cgd3 在 PU 节点的比重,从而可以减少第一时钟信号输入端 CLKIN 通过寄生电容 Cgd3 向 PU 节点耦合的噪声,进而间接向信号输出端 OUT 耦合的噪声也会减少,同时,第三薄膜晶体管 M3 漏电流也会相应减少,信号输出端 OUT 的噪声会进一步减少。

[0052] 如图 11 所示为本发明移位寄存器单元实施例四结构示意图,该实施例在图 4 所示的移位寄存器单元的基础上增加了第十七薄膜晶体管 M17。第十七薄膜晶体管 M17 的栅极与第二时钟信号输入端 CLKBIN 连接,漏极与移位寄存器起始信号输入端 INPUT-1 连接,源极与 PU 结点连接。该实施例中,在第一阶段,当第二时钟信号 CLKB 为高电平时,第十七薄膜晶体管 M17 导通,由于移位寄存器起始信号输入端 INPUT-1 输入起始信号 INPUT 为高电平,第十七薄膜晶体管 M17 的源极为高电平,第十七薄膜晶体管 M17 的加入能够减少 PU 结点的处输出的信号的电平的上升时间,使得 PU 结点处的信号的上升沿变得陡峭,从而减小信号输出端 OUT 输出的栅极驱动信号的上升时间。

[0053] 如图 12 所示为本发明移位寄存器单元实施例五结构示意图,该实施例在图 4 所示的移位寄存器单元的基础上增加了一个直流高电压 VDD 的输入端 VDDIN,分别连接 M1、M5、M7、M11、M13 的漏极,也可以只连接其中部分,如 M1、M5、M11,这样可以沿长 M9、M10、M15、M16 的使用寿命。

[0054] 无论是图 4 所示的移位寄存器单元,还是图 12 所示的移位寄存器单元,对于第一薄膜晶体管 M1 漏极连接的输入端,该输入端为当移位寄存器起始信号输入端 INPUT-1 为高电平时,端口电平也为高电平的端口(图 4 是移位寄存器起始信号输入端 INPUT-1,图 12 是直流高电压 VDD 的输入端 VDDIN),对于第五薄膜晶体管 M5 漏极连接的输入端,该输入端为当第二时钟信号输入端 CLKBIN 为高电平时,端口电平也为高电平的端口(图 4 是第二时钟信号输入端 CLKBIN,图 12 是直流高电压 VDD 的输入端 VDDIN),对于第七薄膜晶体管 M7 漏极连接的输入端,该输入端为当第二时钟信号输入端 CLKBIN 为高电平时,端口电平也为高电平的端口(图 4 是第二时钟信号输入端 CLKBIN,图 12 是直流高电压 VDD 的输入端 VDDIN),对于第十一薄膜晶体管 M11 漏极连接的输入端,该输入端为当第一时钟信号输入端 CLKIN 为高电平时,端口电平也为高电平的端口(图 4 是第二时钟信号输入端 CLKIN,图 12 是直流高电压 VDD 的输入端 VDDIN),对于第十三薄膜晶体管 M13 漏极连接的输入端,该输入端为当第一时钟信号输入端 CLKIN 为高电平时,端口电平也为高电平的端口(图 4 是第二时钟信号输入端 CLKIN,图 12 是直流高电压 VDD 的输入端 VDDIN)。

[0055] 如图 13 所示为本发明液晶显示器栅极驱动装置结构示意图,如图 14 所示为图 13 所示液晶显示器栅极驱动装置的输入输出时序图,STV 为帧起始信号,STV 只输入到第一移位寄存器单元的移位寄存器起始信号输入端 INPUT-1,低电平信号 VSS(图 14 中未示出 VSS) 输入到每个移位寄存器单元的低电平信号输入端 VSSIN,第奇数个移位寄存器单元的第一时钟信号输入端 CLKIN 输入第一时钟信号 CLK,第二时钟信号输入端 CLKBIN 输入第二

时钟信号 CLK ;第偶数个移位寄存器单元的第一时钟信号输入端 CLKIN 输入第二时钟信号 CLKB,第二时钟信号输入端 CLKBIN 输入系统第一时钟信号 CLK,除第一个移位寄存器单元和最后一个移位寄存器单元之外,每个移位寄存器单元的信号输出端均和与其相邻的上一移位寄存器单元的复位信号输入端 RESETIN 以及与其相邻的下一移位寄存器的移位寄存器起始信号输入端 INPUT-1 连接,第一个移位寄存器单元的信号输出端 OUT 只与第二个移位寄存器单元的移位寄存器起始信号输入端 INPUT-1 连接,最后一个移位寄存器单元(如图 13 所示图中的第 $n+1$ 移位寄存器单元)的输出端 OUT 分别和与其相邻的第 n 个移位寄存器单元的复位信号输入端 RESETIN 以及自身的复位信号输入端 RESETIN 连接,其中 n 为正整数。

[0056] 薄膜晶体管液晶显示器采用逐行扫描的方式,同一行中与液晶像素连接的薄膜晶体管的栅极均与同一移位寄存器单元相连,液晶显示器栅极驱动装置中的移位寄存器单元可以控制处于同行中的全部薄膜晶体管的导通和截止。图 13 中液晶显示器栅极驱动装置的具体原理为:假设液晶显示器面板中有 n 行像素,参见图 14 所示时序图,在第一阶段帧起始信号输入到第一移位寄存器单元的移位寄存器起始信号输入端 INPUT-1;第二阶段,第一移位寄存器单元的信号输出端 OUT 输出高电平信号 OUTPUT1,同时该高电平信号 OUTPUT1 输入到第二移位寄存器单元的移位寄存器起始信号输入端 INPUT-1;第三阶段,第二移位寄存器单元的信号输出端 OUT 输出高电平信号 OUTPUT2,此后每个移位寄存器单元依次输出高电平信号,用于控制与该移位寄存器单元相连的同行薄膜晶体管的导通,原理同第二、三阶段;到第四阶段,第 n 个移位寄存器单元输出高电平信号 OUTPUT n ,同时第 n 个移位寄存器单元输出的高电平信号 OUTPUT n 作为第 $n+1$ 移位寄存器单元的移位寄存器起始信号输入端 INPUT-1 的输入起始信号;第五阶段,第 $n+1$ 移位寄存器单元输出高电平信号 OUTPUT $n+1$,该第 $n+1$ 移位寄存器单元输出的高电平信号 OUTPUT $n+1$ 不用于驱动负载,即第 $n+1$ 移位寄存器单元不负责驱动控制一行像素的薄膜晶体管,其输出的高电平信号 OUTPUT $n+1$ 仅用于作为第 n 移位寄存器单元和其自身的复位信号。图 13 中的各个移位寄存器单元可以是如图 4、图 5、图 6、图 7、图 10、图 11 或图 12 所示的移位寄存器单元。

[0057] 图 13 中,最后一个移位寄存器单元,即第 $n+1$ 移位寄存器单元不用于驱动负载,可以看作是冗余移位寄存器单元。图 13 所示的栅极驱动装置中,只包括一个冗余移位寄存器单元,实际上,还可以包括更多个冗余移位寄存器单元,各个冗余移位寄存器单元可以组合起来保证液晶显示器栅极驱动装置更可靠地复位。

[0058] 本发明实施例提供的移位寄存器单元及液晶显示器栅极驱动装置,由于增加了 CLK 为高电平时的去噪声电路(包括 M11,M12,M13,M14,M15 及 M16),在第 IV 阶段,晶体管 M3、M4 截止,输出保持低电平,CLK 变为高电平,则 M11、M13 导通,PD_ck 节点变为高电平,则晶体管 M15 和 M16 导通,此时,如果 PU 结点有噪声,则可通过 M15 放掉;如果输出有噪声,则可通过 M16 放掉,从而增强了去噪声能力,进而增加了移位寄存器的工作稳定性。

[0059] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非对其进行限制,尽管参照较佳实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对本发明的技术方案进行修改或者等同替换,而这些修改或者等同替换亦不能使修改后的技术方案脱离本发明技术方案的精神和范围。

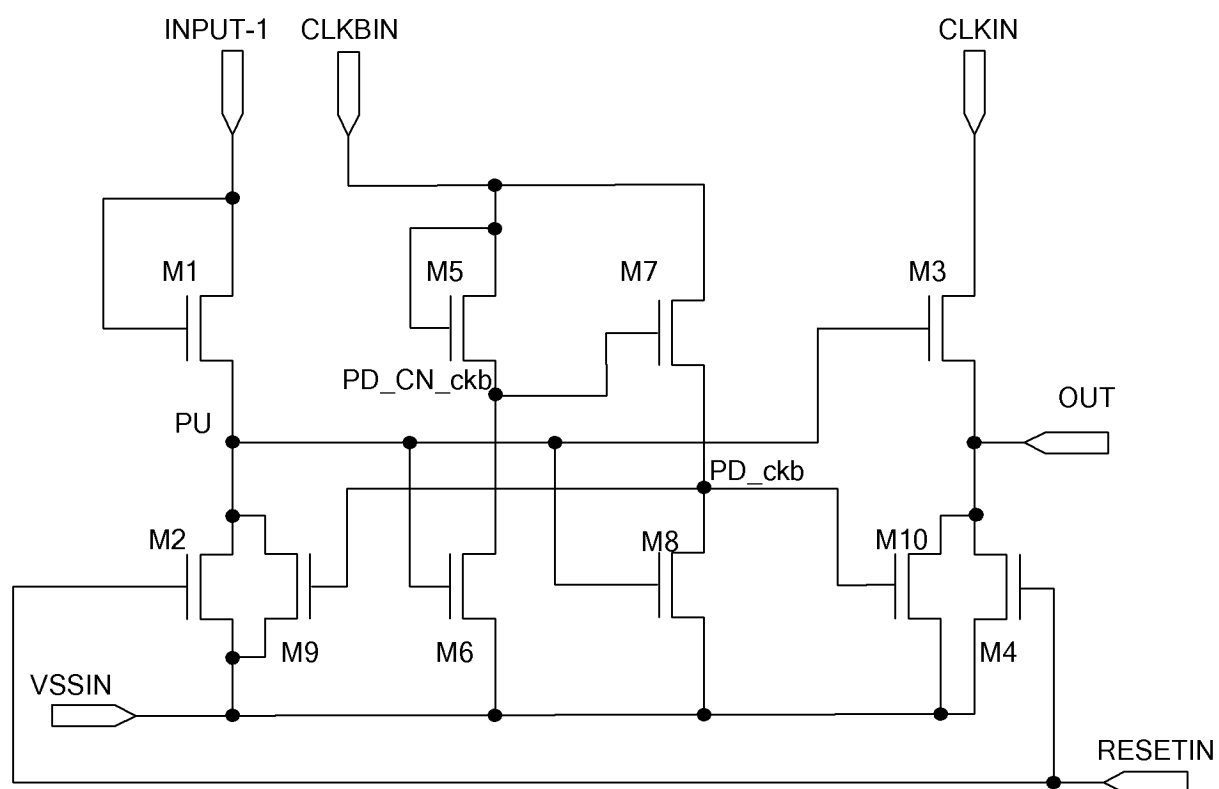


图 1

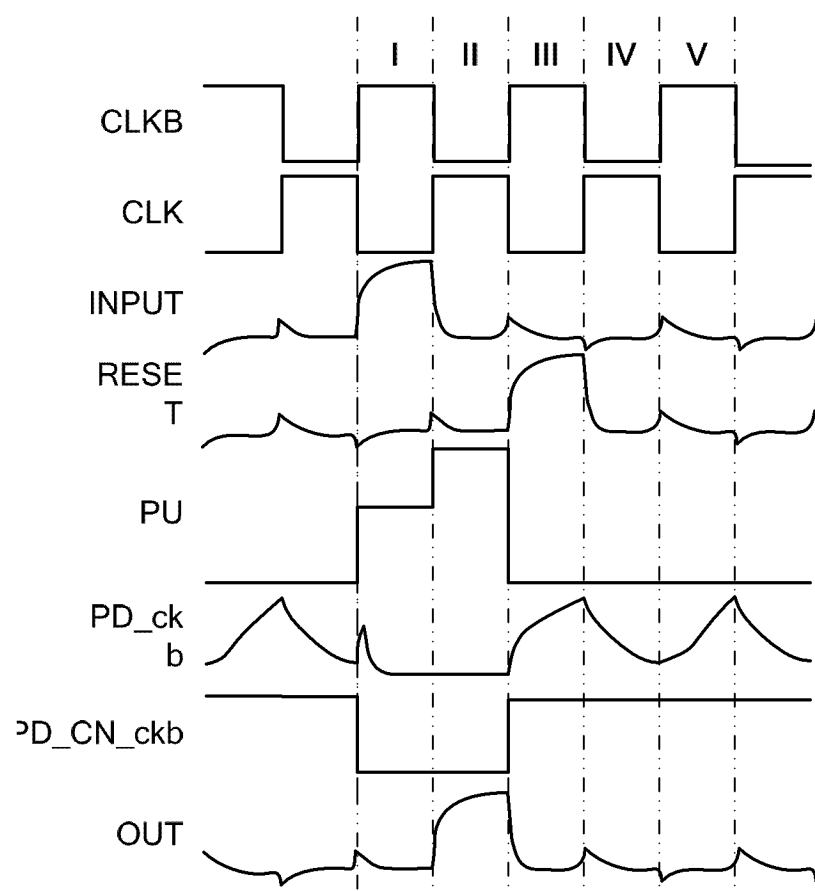


图 2

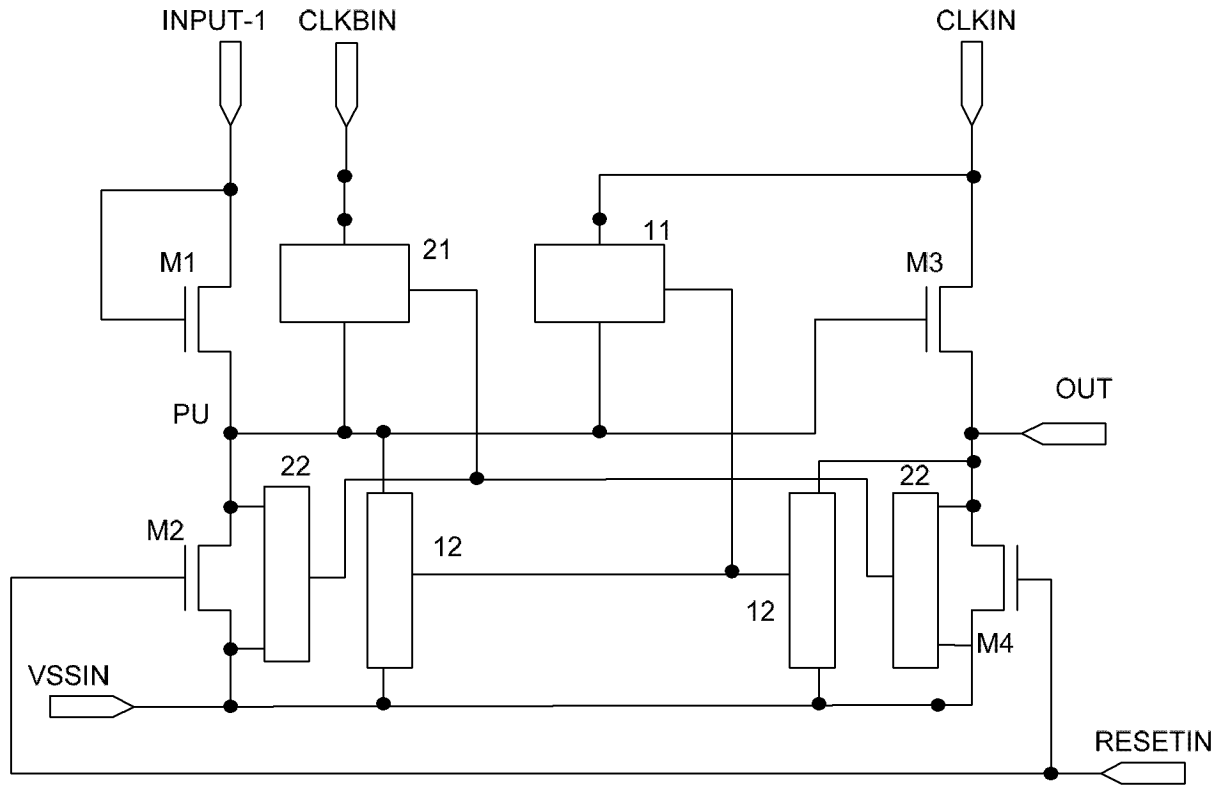


图 3

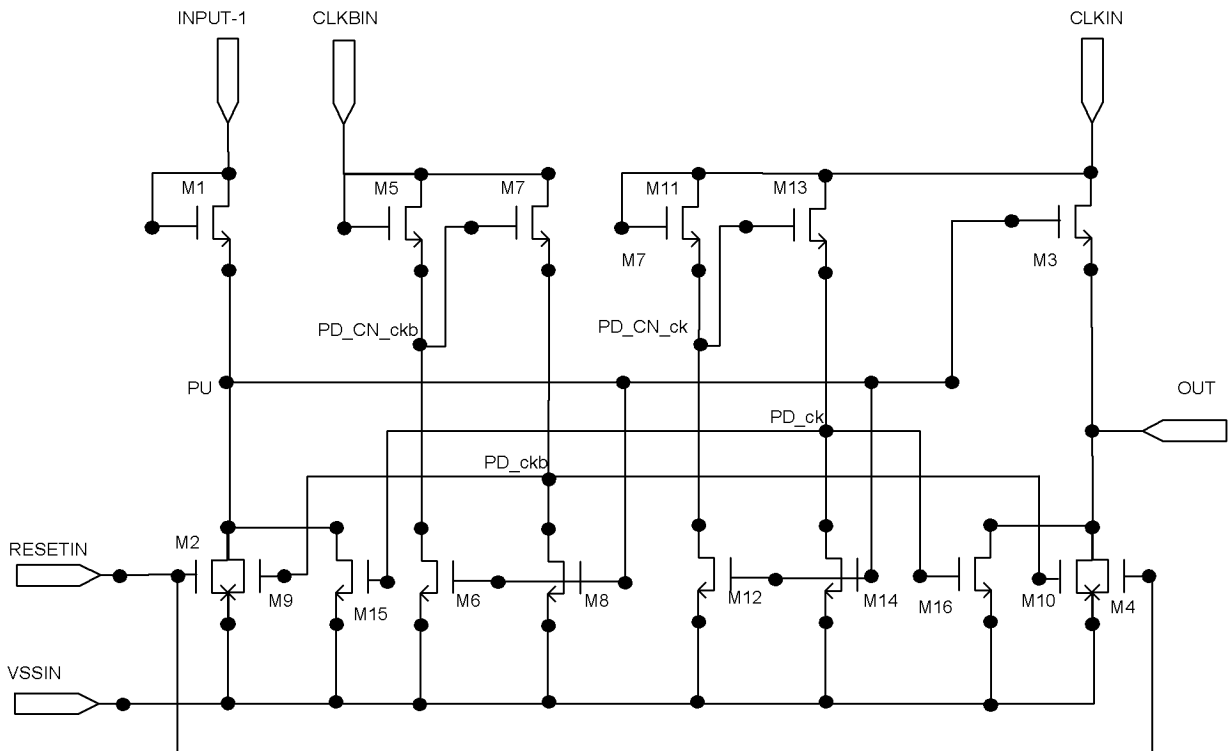


图 4

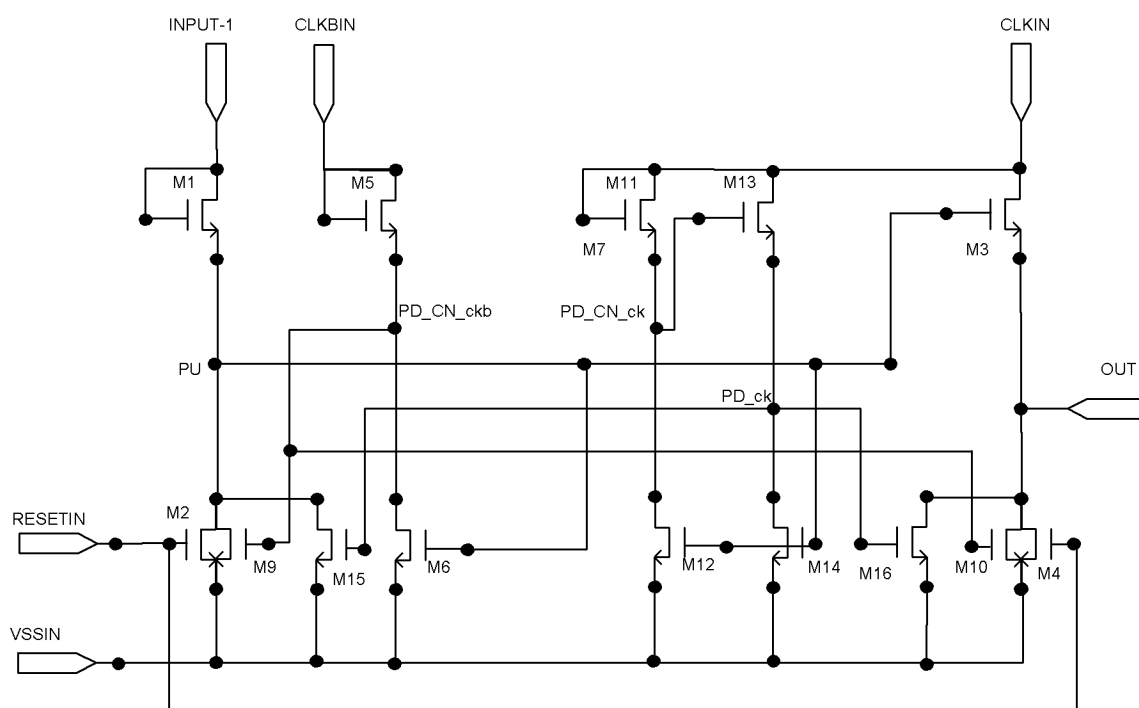


图 5

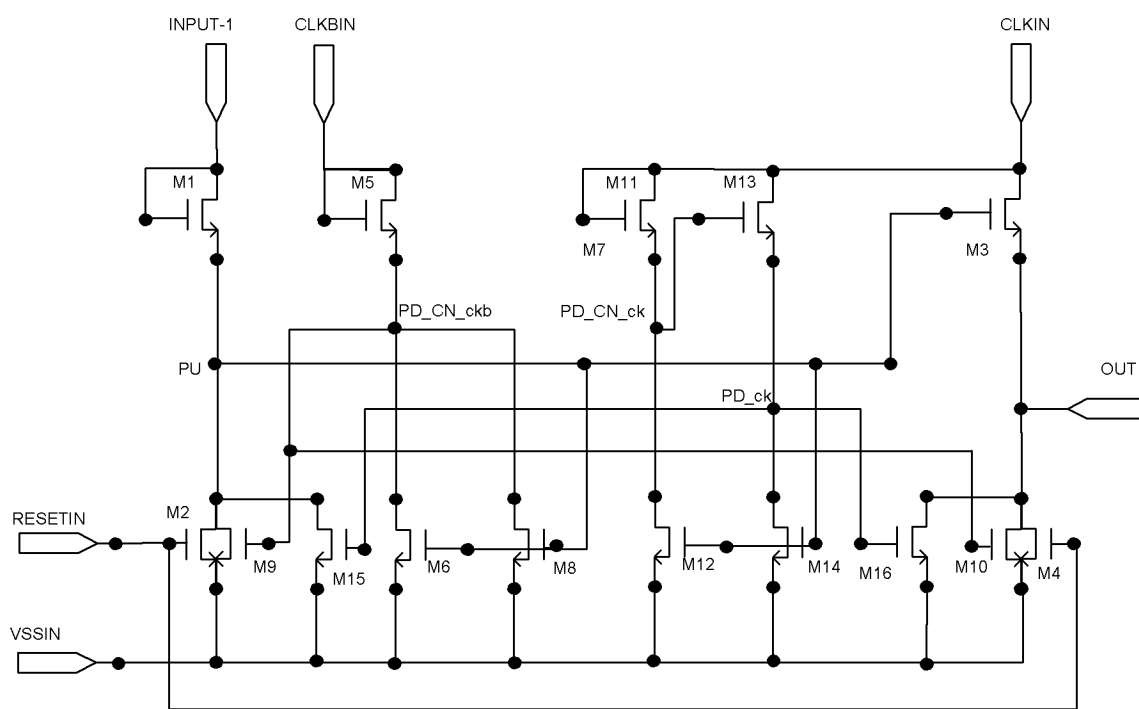


图 6

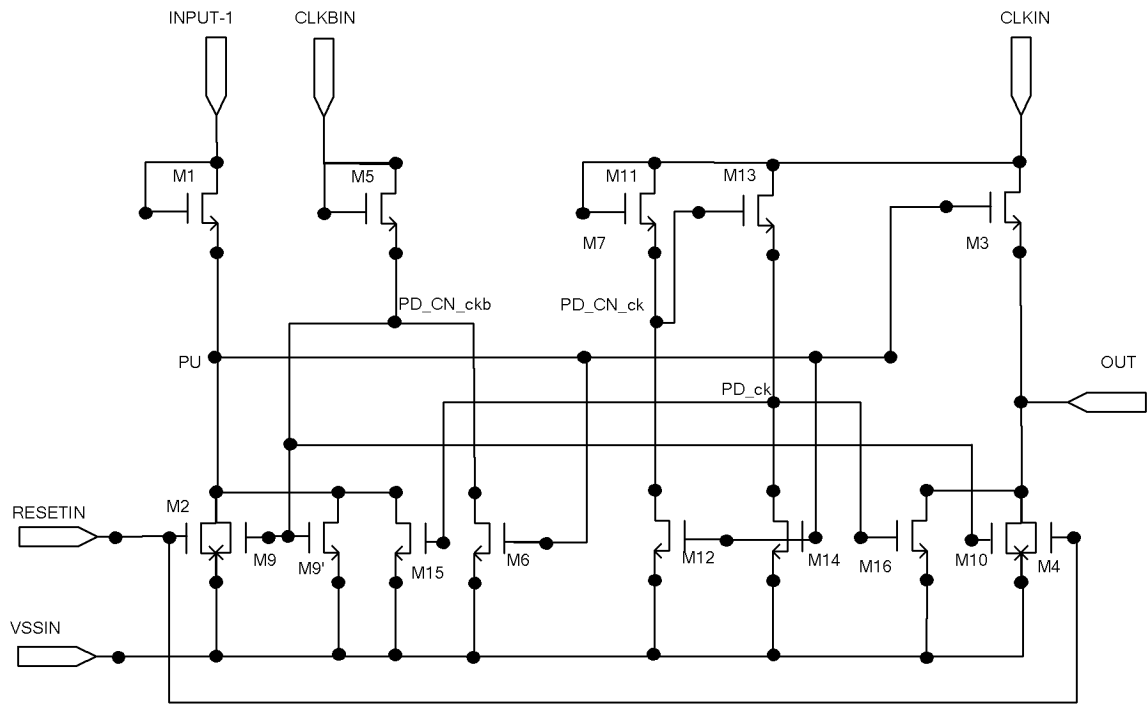


图 7

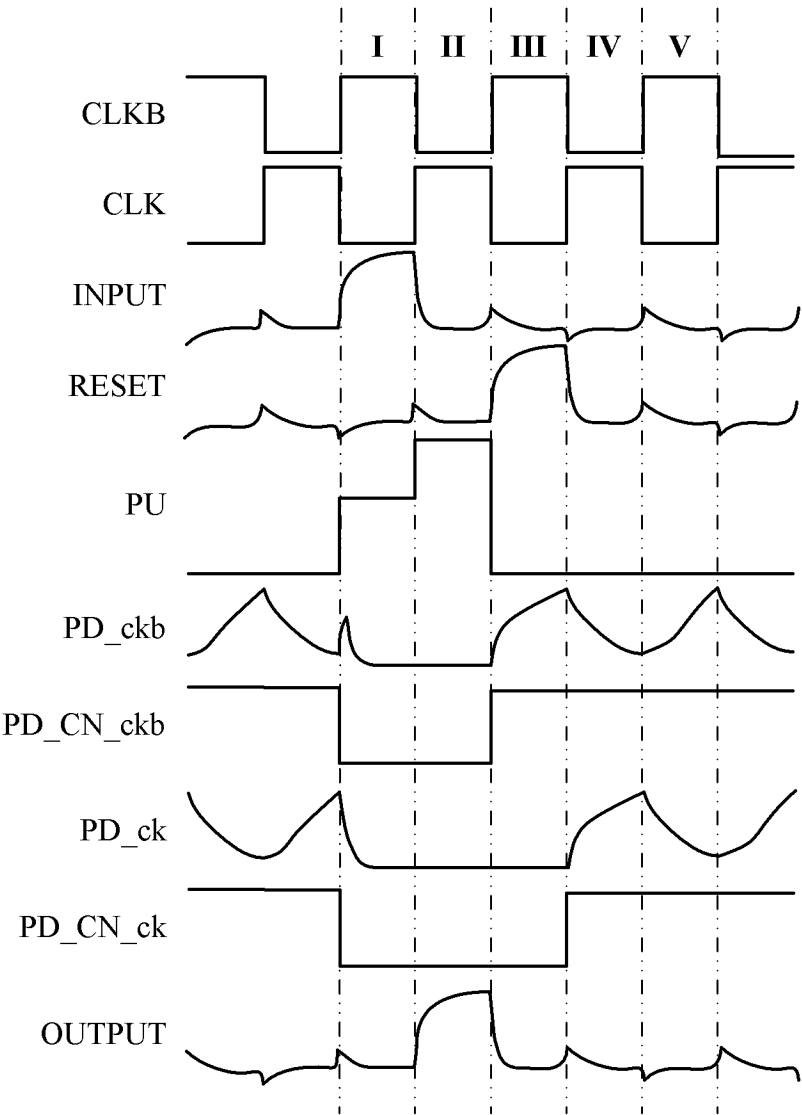


图 8

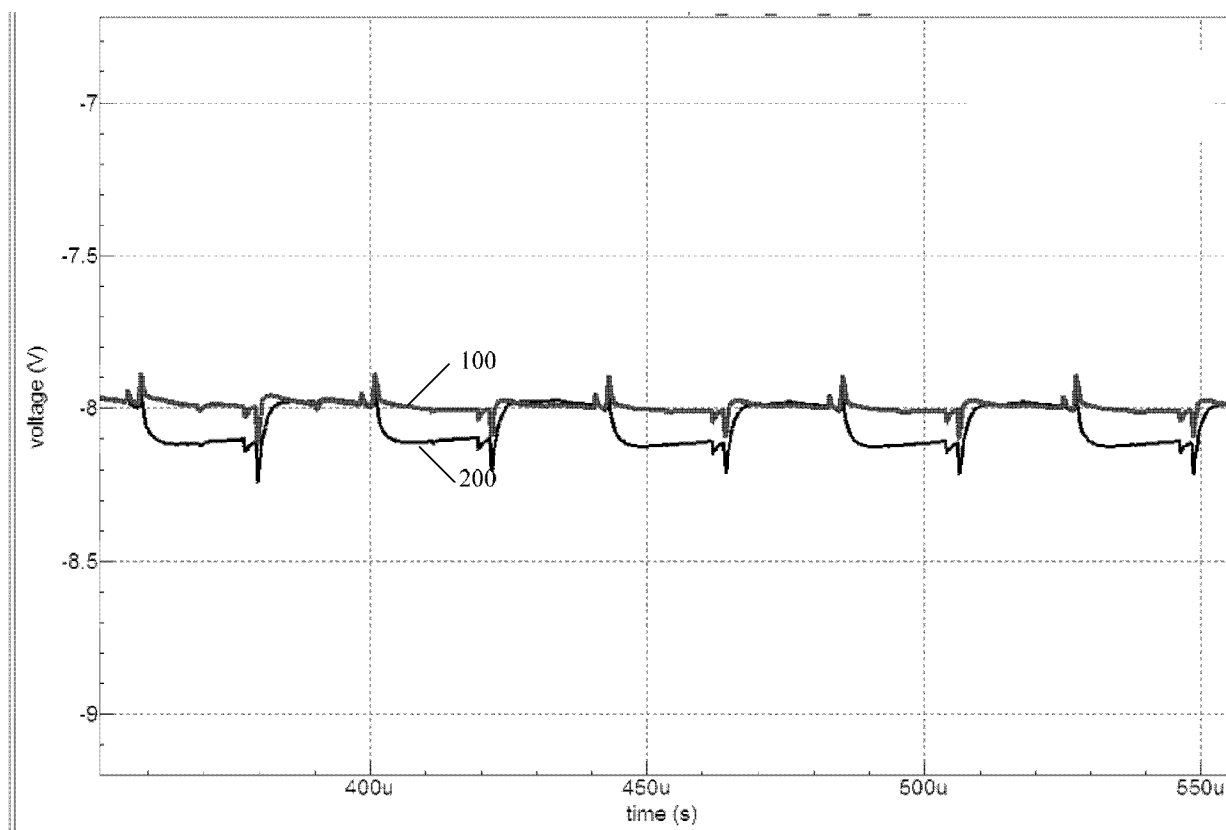


图 9

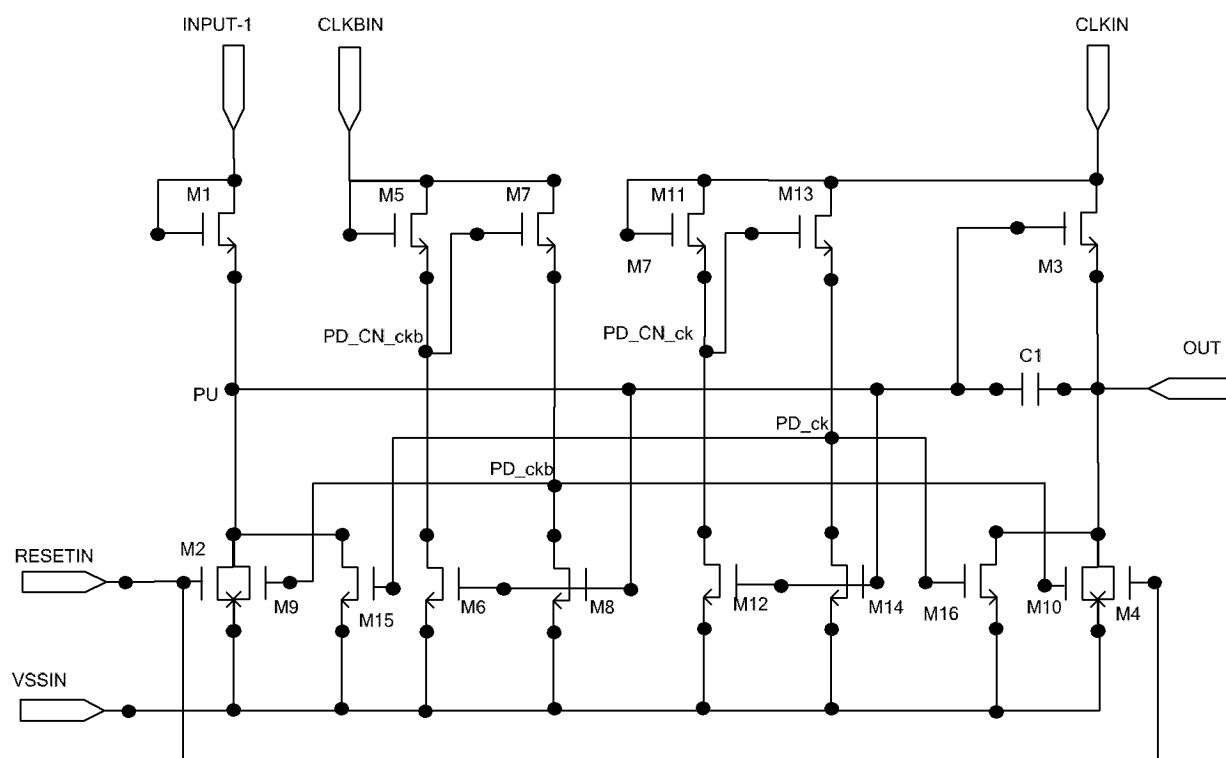


图 10

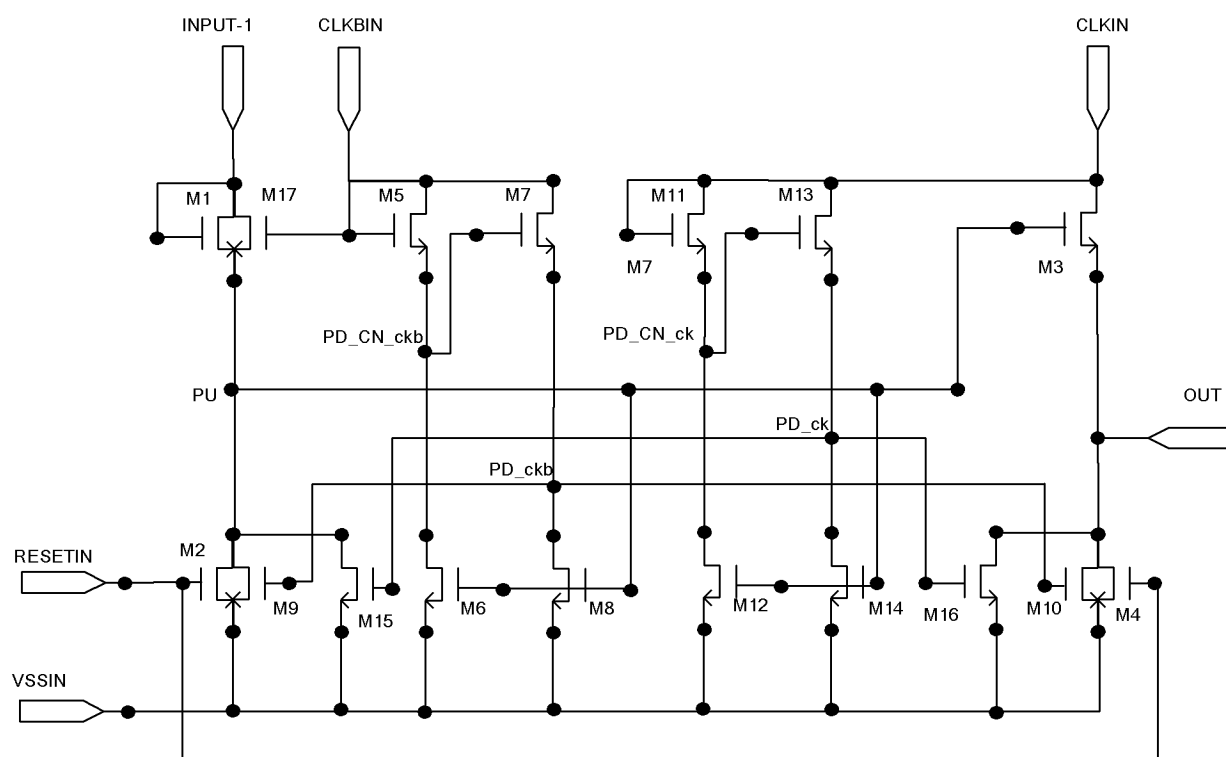


图 11

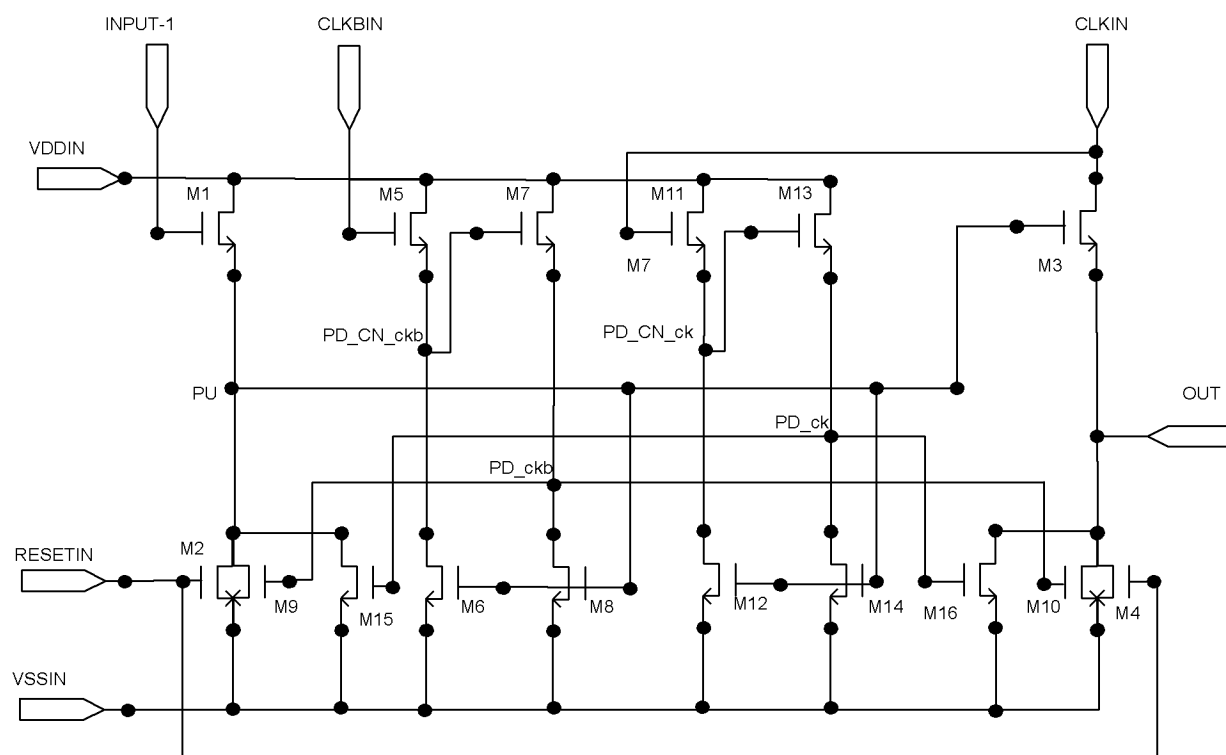


图 12

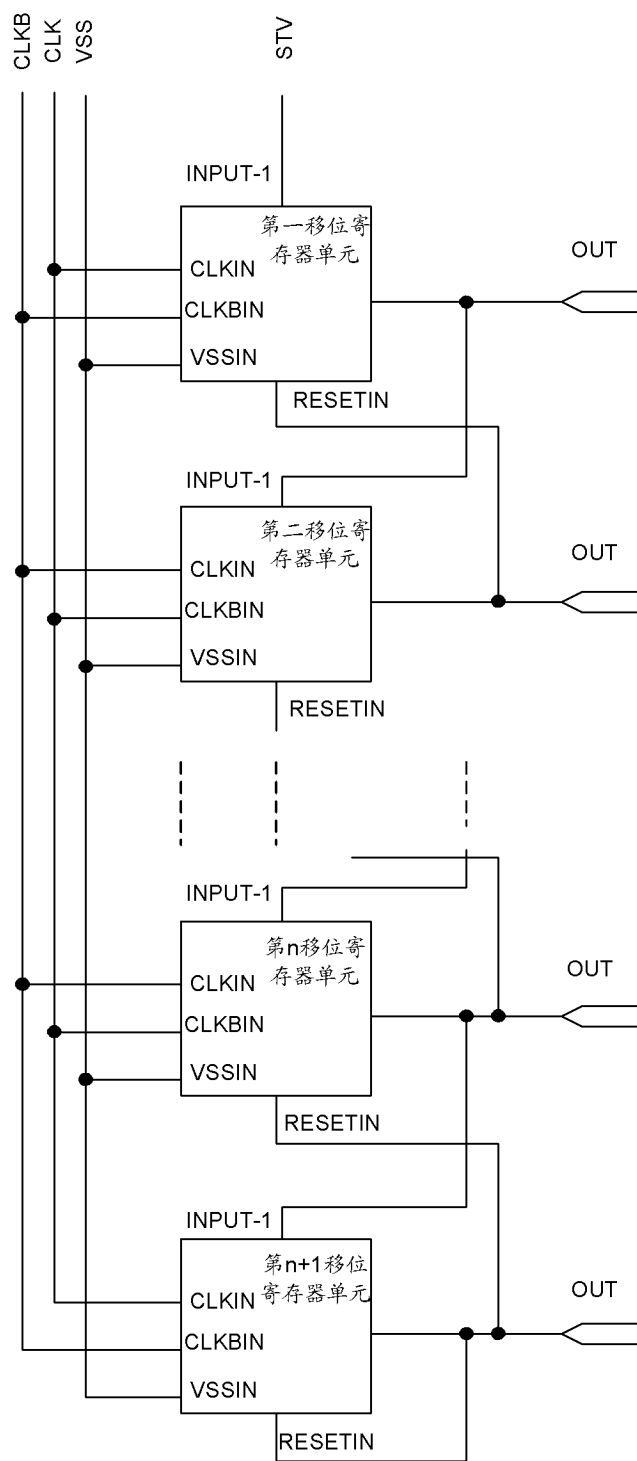


图 13

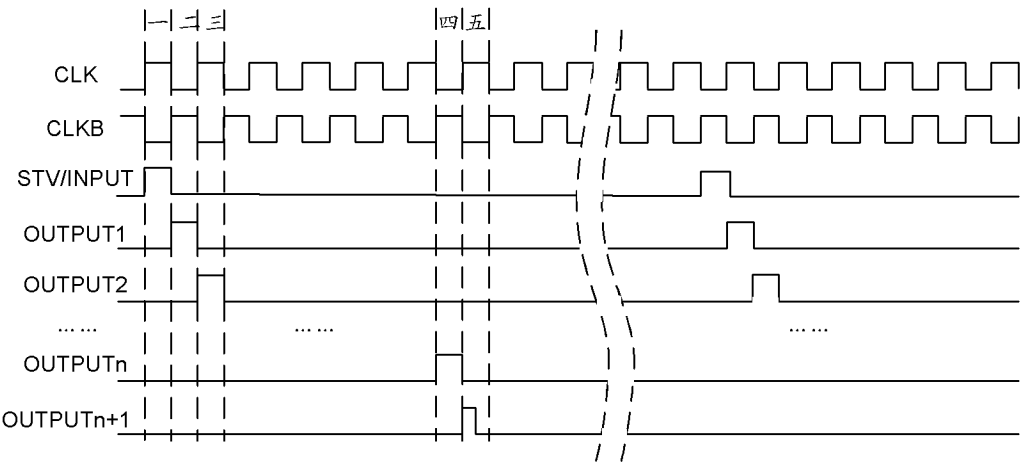


图 14

专利名称(译)	移位寄存器单元及液晶显示器栅极驱动装置		
公开(公告)号	CN102693692A	公开(公告)日	2012-09-26
申请号	CN201110074579.2	申请日	2011-03-25
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	商广良		
发明人	商广良		
IPC分类号	G09G3/20 G09G3/36		
代理人(译)	许静 赵爱军		
其他公开文献	CN102693692B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种移位寄存器单元以及液晶显示器栅极驱动装置，解决现有技术中存在的移位寄存器无法在CLK为高电平时去噪声的问题，其中移位寄存器单元在现有技术晶体管结构的基础上，增加了CLK为高电平时的去噪声电路，从而增强了去噪声能力，进而增加了移位寄存器的工作稳定性。

