



(12) 发明专利申请

(10) 申请公布号 CN 102110424 A

(43) 申请公布日 2011. 06. 29

(21) 申请号 201010597174. 2

(22) 申请日 2010. 12. 10

(30) 优先权数据

10-2009-0132497 2009. 12. 29 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 赵奎行 金世泳

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 赵静

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/133 (2006. 01)

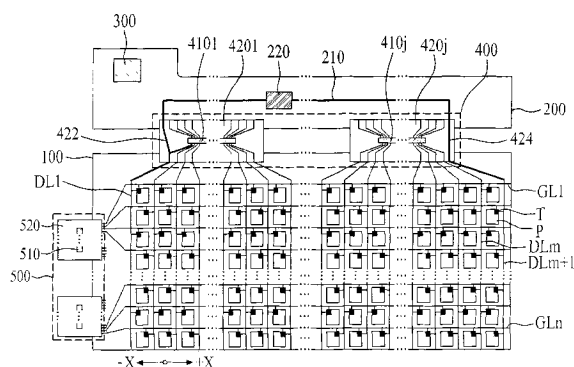
权利要求书 2 页 说明书 9 页 附图 4 页

(54) 发明名称

液晶显示装置

(57) 摘要

一种液晶显示装置,包括:与 n 条栅线交叉来限定 $m \times n$ 个像素的 $m+1$ 条数据线;在 $m \times n$ 个像素的每个像素中的 $m \times n$ 个薄膜晶体管,其中在列 m 中的 n 个薄膜晶体管交替连接到第 m 数据线和第 $m+1$ 数据线;以及将第一数据线连接到第 $m+1$ 数据线的电连接器。



1. 一种驱动液晶显示装置的方法,其中所述液晶装置具有以 $m+1$ 条数据线和 n 条栅线的 $m \times n$ 矩阵布置的液晶单元,并且其中,列中的液晶单元交替连接到该列的相对两侧的数据线,该方法包括:

接收包括各水平行的数据的一帧图像数据;

将第一水平行的数据中的第一至第 m 数据提供给第一数据线至第 m 数据线,其中极性沿着所述第一水平行的数据交替改变;以及

将第二水平行的数据中的第一至第 $m-1$ 数据提供给第 2 至第 m 数据线,以及将第二水平行的数据中的第 m 数据提供给所述第一数据线,其中极性沿着所述第二水平行的数据交替改变。

2. 如权利要求 1 所述的方法,进一步包括:

分离电连接到第 $m+1$ 数据线的所述第一数据线的阻抗大小。

3. 如权利要求 2 所述的方法,其中分离阻抗大小减少施加到电连接到第 $m+1$ 数据线的所述第一数据线的信号的延迟。

4. 如权利要求 2 所述的方法,其中分离阻抗大小包括把电连接到第 $m+1$ 数据线的所述第一数据线的阻抗大小调整为基本上等于第二至第 m 数据线的阻抗。

5. 如权利要求 2 所述的方法,其中分离阻抗大小包括缓冲施加到所述第一数据线和所述第 $m+1$ 数据线的驱动信号。

6. 一种液晶显示装置,包括:

$m+1$ 条数据线,所述 $m+1$ 条数据线与 n 条栅线交叉来限定 $m \times n$ 个像素;

$m \times n$ 个薄膜晶体管,所述 $m \times n$ 个薄膜晶体管在 $m \times n$ 个像素的每个像素中,其中列 m 中的 n 个薄膜晶体管交替连接到第 m 数据线和第 $m+1$ 数据线;以及

电连接器,所述电连接器将第一数据线连接到第 $m+1$ 数据线。

7. 如权利要求 6 所述的液晶显示装置,进一步包括:

沿着所述电连接器的阻抗调整装置,所述阻抗调整装置调整所述第一数据线和所述第 $m+1$ 数据线的阻抗大小,用以分离所述第一数据线的阻抗大小和所述第 $m+1$ 数据线的阻抗大小。

8. 如权利要求 6 所述的液晶显示装置,其中所述阻抗调整装置减少施加到电连接器上的信号的延迟。

9. 如权利要求 8 所述的液晶显示装置,进一步包括:

印刷电路板,所述印刷电路板包括将所述第一数据线连接到所述第 $m+1$ 数据线的所述电连接器,其中所述阻抗调整装置在所述印刷电路板上。

10. 如权利要求 8 所述的液晶显示装置,其中所述阻抗调整装置是缓冲电路。

11. 如权利要求 6 所述的液晶显示装置,进一步包括:

印刷电路板,所述印刷电路板包括将所述第一数据线连接到所述第 $m+1$ 数据线的所述电连接器;

多个带载封装物,所述多个带载封装物将所述印刷电路板连接到液晶显示面板,其中每个带载封装物包括数据驱动电路。

12. 如权利要求 11 所述的液晶显示装置,所述电连接器将第一带载封装物连接到最后一个带载封装物。

13. 如权利要求 11 所述的液晶显示装置,进一步包括:

沿着所述电连接器的阻抗调整装置,所述阻抗调整装置调整所述第一数据线和所述第 $m+1$ 数据线的阻抗大小,用以分离所述第一数据线的阻抗大小和所述第 $m+1$ 数据线的阻抗大小,其中所述阻抗调整装置在所述带载封装物上。

14. 如权利要求 11 所述的液晶显示装置,其中所述阻抗调整装置被包括在所述数据驱动电路中。

15. 如权利要求 6 所述的液晶显示装置,进一步包括:

时序控制器,所述时序控制器包括:

第一排列部分,所述第一排列部分产生一水平行的输入图像数据;

计数部分,所述计数部分产生表示所述输入图像数据的偶数水平行或奇数水平行的控制信号;

第二排列部分,所述第二排列部分根据所述控制信号排列所述水平行的输入图像数据。

16. 如权利要求 15 所述的液晶显示装置,其中所述第二排列部分循环地移位所述水平行的输入图像数据。

液晶显示装置

[0001] 本申请要求享有于 2009 年 12 月 29 日提交的韩国专利申请 No. 10-2009-0132497 的权益,在此为所有目的通过援引该专利申请而将其引入本文,如同在此完全阐述一样。

技术领域

[0002] 本发明涉及一种液晶显示 (LCD) 装置,尤其涉及一种使用列反转 (column inversion) 显示驱动方法来促进降低在点反转反显示驱动方法中的功耗的 LCD 装置。

背景技术

[0003] 通常,液晶显示 (LCD) 装置通过使用液晶显示面板,控制背光单元提供的光的透射比 (transmittance),从而显示期望的图像,其中该液晶显示面板包括以矩阵型结构布置的多个液晶单元 (liquid cell)、以及用来向多个液晶单元提供图像信号的多个控制开关。

[0004] 在 LCD 装置中,液晶显示面板中的液晶单元可由帧反转 (frame inversion) 方法、行反转 (line inversion) 或列反转 (column inversion) 方法、或者点反转 (dot inversion) 方法来驱动。

[0005] 在帧反转方法中,提供给液晶显示面板中的液晶单元的图像信号的极性每帧反转一次。

[0006] 在行反转方法中,提供给液晶显示面板中的液晶单元的图像信号的极性对应于栅线每水平行反转一次,而且每帧反转一次。行反转方法可以引起水平方向上液晶单元中的串扰问题,由此条纹图案中的闪烁 (flicker) 可表现为水平线。

[0007] 在列反转方法中,提供给液晶显示面板中的液晶单元的图像信号的极性对应于数据线每垂直行反转一次,而且每帧反转一次。列反转方法可以引起垂直方向上液晶单元中的串扰问题,由此条纹图案中的闪烁可表现为垂直线。

[0008] 在点反转方法中,提供给液晶显示面板上的液晶单元的图像信号的极性每液晶单元反转一次,而且每帧反转一次。也就是,图像信号的极性被施加给液晶单元,使得相邻单元的极性在水平和垂直方向上交替改变。通过应用点反转方法,由于在水平和垂直方向上相邻的液晶单元中的闪烁被抵销,所以点反转方法与其他反转方法相比能够改善图像质量。

[0009] 然而,驱动点反转方法使得提供给数据线的图像信号的极性在水平方向和垂直方向上都反转。因此,由于像素电压变化,即点反转方法中图像信号的频率比其他反转方法中那些图像信号的频率相对更大,所以点反转方法存在高功耗的问题。

发明内容

[0010] 因此,本发明涉及一种 LCD 装置,该 LCD 装置实质上避免了由于现有技术的限制和缺点而引起的一个或多个问题。

[0011] 本发明的一个优点是提供了一种 LCD 装置,该 LCD 装置通过使用列反转方法的像素电压,降低了点反转方法中的功耗。

[0012] 本发明的另一个优点是提供了一种 LCD 装置,其防止了由于数据线中的阻抗偏差导致的像素电压的充电失败而引起的图像质量恶化。

[0013] 本发明的其他优点和特征部分地将在随后的说明书中呈现,并且对于本领域技术人员来说基于对随后的说明书的研究而部分地变得显而易见,或者可以从本发明的实践中得到。通过书面的说明书和其权利要求书以及附图中具体指出的结构实现和获得本发明的目的和其他优点。

[0014] 为了获得这些和其他优点并根据本发明的目的,如具体和概括描述的那样,一种液晶显示装置,包括:与 n 条栅线交叉来限定 $m \times n$ 个像素的 $m+1$ 条数据线;在 $m \times n$ 个像素的每个像素中的 $m \times n$ 个薄膜晶体管,其中列 m 中的 n 个薄膜晶体管交替连接到第 m 数据线和第 $m+1$ 数据线;以及将第 1 数据线连接到第 $m+1$ 数据线的电连接器。

[0015] 在本发明的另一个方面,一种驱动液晶显示装置的方法,其中液晶装置具有以 $m+1$ 条数据线和 n 条栅线的 $m \times n$ 矩阵布置的液晶单元,并且其中,某列中的各液晶单元交替连接到该列相对两侧上的各条数据线,该方法包括:接收包括各水平行数据的一帧图像数据;将第一水平行数据中的第一至第 m 数据提供给第一数据线至第 m 数据线,其中极性沿着所述第一水平行数据交替改变;将第二水平行数据中的第一至第 $m-1$ 数据提供给第 2 至第 m 数据线,并将第二水平行数据中的第 m 数据提供给所述第一数据线,其中极性沿着所述第二水平行数据交替改变。

[0016] 应当理解,本发明上述一般的说明和下面详细的说明都是例示性和说明性的,旨在提供对所要求保护的发明的进一步的解释。

附图说明

[0017] 提供对本发明进一步的理解并包括在内构成本申请的一部分的附图图解了本发明的实施方式,并与说明书一起用来解释本发明的原理。在附图中:

[0018] 图 1 图解了根据本发明第一实施方式的 LCD 装置;

[0019] 图 2 图解了在图 1 的 LCD 装置中的液晶单元的布置;

[0020] 图 3 图解了在图 1 的 LCD 装置中的时序控制器;

[0021] 图 4 图解了由图 3 的第二排列部分实现的数据重新排列 (data re-alignment);

[0022] 图 5 图解了用于解释在图 1 的 LCD 装置中的阻抗调整装置的波形图;

[0023] 图 6 图解了用于解释在图 1 的 LCD 装置中的阻抗调整装置的另一个例子的电路图;

[0024] 图 7A 和 7B 图解了一种根据本发明第一实施方式的驱动 LCD 装置的方法;

[0025] 图 8 图解了根据本发明第一实施方式的 LCD 装置的另一个例子;以及

[0026] 图 9 图解了根据本发明第二实施方式的 LCD 装置。

具体实施方式

[0027] 现在将详细地介绍本发明的典型的实施方式,其实例示于附图中。尽可能地在所有附图中使用相同的参考标号指代相同或相似的部分。

[0028] 在下文中,将参考附图描述根据本发明的 LCD 装置。

[0029] 图 1 图解了根据本发明第一实施方式的 LCD 装置。图 2 图解了在图 1 的 LCD 装置

中液晶单元的布置。

[0030] 参考图 1 和图 2, 根据本发明第一实施方式的 LCD 装置包括液晶显示面板 100、印刷电路板 200、时序控制器 300、数据驱动电路 400 和栅驱动电路 500。

[0031] 在液晶显示面板 100 上, 存在由 n 条栅线 (GL1 至 GL n) 和 $m+1$ 条数据线 (DL1 至 DL $m+1$) 交叉来限定的多个液晶单元。此时, 第 $(m+1)$ 数据线 (DL $m+1$) 通过印刷电路板 200 连接到第一数据线 DL1。

[0032] 多个液晶单元中的每一个液晶单元包括薄膜晶体管 (T) 和像素 (P), 其中该薄膜晶体管 (T) 连接到 n 条栅线 (GL1 至 GL n) 中的任一条栅线以及 $m+1$ 条数据线 (DL1 至 DL $m+1$) 中的任一条数据线, 并且该像素 (P) 连接到该薄膜晶体管 (T)。

[0033] 这些液晶单元经由沿每条数据线 (DL1 至 DL $m+1$) 以 Z 字形 (zigzag) 图案布置的薄膜晶体管 (T) 以 Z 字形图案 (ZZ) 连接到 Z 字形数据线 (DL1 至 DL $m+1$)。换言之, 包含在同一列中的液晶单元每水平交替连接到相邻数据线 (DL)。

[0034] 例如, 连接到奇数栅线 (GL1, GL3, ……) 的奇数水平行的液晶单元, 分别连接到相对于相应的液晶单元在 X 轴负方向 ($-X$) 上的第一至第 m 数据线 (DL1 至 DL m)。

[0035] 同时, 连接到偶数栅线 (GL2, GL4, ……) 的偶数水平行的液晶单元, 分别连接到相对于相应的液晶单元在 X 轴正方向 ($+X$) 上的第二至第 $(m+1)$ 数据线 (DL2 至 DL $m+1$)。

[0036] 在奇数数据线 (DL1, DL3, ……) 每水平交替连接到奇数液晶单元和偶数液晶单元时, 偶数数据线 (DL2, DL4, ……) 每水平交替连接到偶数液晶单元和奇数液晶单元。

[0037] 响应于来自栅线 (GL1 至 GL n) 的栅信号, 薄膜晶体管 (T) 把来自数据线 (DL1 至 DL $m+1$) 的像素电压提供至相应的液晶单元。

[0038] 像素 (P) 包括连接到薄膜晶体管 (T) 的像素电极 (未示出)、以及与该像素电极相邻设置的公共电极 (未示出), 且有插入其间的液晶。通过根据经由薄膜晶体管 (T) 提供的像素电压来驱动液晶, 该像素 (P) 控制液晶的光透射比, 由此显示预定的图像。

[0039] 印刷电路板 200 连接到数据驱动电路 400, 其中印刷电路板 200 把从时序控制器 300 输出的图像数据和时序控制信号以及从电源电路 (未示出) 输出的驱动电压传递给数据驱动电路 400 和栅驱动电路 500。

[0040] 在印刷电路板 200 上, 有将第一数据线 (DL1) 和第 $(m+1)$ 数据线 (DL $m+1$) 相互电连接的像素电压传输线 210。

[0041] 每个偶数水平周期, 像素电压传输线 210 把从数据驱动电路 400 输出给第一数据线 (DL1) 的像素电压传输到第 $(m+1)$ 数据线 (DL $m+1$)。

[0042] 时序控制器 300 在印刷电路板 200 上。通过使用经由印刷电路板 200 上的用户连接器 (未示出) 输入的输入图像和时序同步信号, 时序控制器 300 产生图像数据和时序控制信号以使得与输入图像对应的图像显示在液晶显示面板 100 上。如图 3 所示, 时序控制器 300 包括控制信号发生器 310 和数据处理器 320。

[0043] 通过使用经由用户连接器输入的例如数据使能 (DE)、点时钟 (DCLK)、垂直同步信号 (Vsync)、水平同步信号 (Hsync) 之类的时序同步信号, 控制信号发生器 310 产生控制数据驱动电路 400 的驱动时序的数据控制信号 (DCS)、以及控制栅驱动电路 500 的驱动时序的栅控制信号 (GCS)。

[0044] 数据控制信号 (DCS) 可以是源启动脉冲 (startpulse)、源采样时钟、源输出使能、

极性控制信号 (POL) 和其他信号等。此时,极性控制信号 (POL) 可以至少每一帧反转一次。

[0045] 栅控制信号 (GCS) 可以是栅启动脉冲、栅移位时钟和栅输出使能和其他信号等。

[0046] 通过使用水平同步信号 (Hsync), 对应于各个水平周期, 数据处理器 320 将输入图像数据 (RGB) 排列成单元, 其中每个单元包括 m 个输入图像数据 (RGB)。数据处理器 320 产生用于所述输入图像 (RGB) 的每个单元的 m 个排列数据 (alignment data) 并且产生用于第 i (i 是奇数或者偶数) 水平周期的 m 个图像数据以根据该水平周期提供给第一至第 m 数据线, 或者产生用于第 $(i+1)$ 水平周期的 m 个图像数据以根据该水平周期提供给第二至第 $(m+1)$ 数据线。在用于第 $(i+1)$ 水平周期的 m 个图像数据中, 第一图像数据对应于要被提供给第 $(m+1)$ 数据线的图像数据。为此, 数据处理器 320 包括第一排列部分 332、计数部分 324 和第二排列部分 326。

[0047] 根据前述时序同步信号, 对于每个水平行, 通过排列输入图像 (RGB), 第一排列部分 332 产生 m 个排列数据。

[0048] 通过计数水平同步信号 (Hsync), 计数部分 324 对应于奇数水平周期产生具有第一逻辑状态的计数信号 (CS), 并对应于偶数水平周期产生第二逻辑状态的计数信号 (CS), 并且计数部分 324 把产生的计数信号 (CS) 提供给第二排列部分 326。

[0049] 第二排列部分 326 根据从计数部分 324 提供的计数信号 (CS) 的逻辑状态, 重新排列 m 个排列数据, 并且第二排列部分 326 产生用于第 i 水平周期的 m 个图像数据, 或者用于第 $(i+1)$ 水平周期的 m 个图像数据。

[0050] 更具体地, 如果第一逻辑状态的计数信号 (CS) 从计数部分 324 被提供到第二排列部分 326, 则第二排列部分 326 传递 (pass) 没有改变的 m 个排列数据, 由此产生用于第 i 水平周期的 m 个图像数据。

[0051] 同时, 如果第二逻辑状态的计数信号 (CS) 从计数部分 324 被提供给第二排列部分 326, 则第二排列部分 326 逐一地移位 m 个排列数据, 如图 4 所示, 并同时第 m 排列数据重新排列以使其位于第一排列数据处, 以便产生用于第 $(i+1)$ 水平周期的 m 个图像数据 (D_m, D_1 至 D_{m-1}), 其中这 m 个图像数据以第 m 排列数据、以及第一至第 $m-1$ 排列数据的顺序被重新排列。而且, 该 m 个排列数据可以在另一方向上被移位, 也就是, 第二排列部分 326 逐一地移位 m 个排列数据, 并同时第 1 排列数据 (D_1) 重新排列以使其位于最后一个排列数据处, 以便产生用于第 $(i+1)$ 水平周期的 m 个图像数据 (D_2 至 D_m, D_1), 其中这 m 个图像数据以第 2 至第 m 排列数据、以及第一排列数据的顺序被重新排列。在这些情况中的任一情况下, 数据的循环移位不是向左进行, 就是向右进行。

[0052] 在图 1 中, 数据驱动电路 400 包括 j 个数据驱动集成电路 4101 至 410j (其中 j 是值 m/k 的整数, k 是 j 和 m 之间的整数), 这些数据驱动集成电路把根据第 i 水平周期或者第 $(i+1)$ 水平周期从时序控制器 300 提供的用于该水平周期的 m 个图像数据转换成 m 个像素电压, 然后将这 m 个像素电压提供给第一至第 m 数据线 (DL_1 至 DL_m)。

[0053] j 个数据驱动集成电路 4101 至 410j 每一个都具有分别连接到 k 条数据线的 k 个输出通道。因此, j 个数据驱动集成电路 4101 至 410j 每一个都将 m 个图像数据中的 k 个图像数据转换成具有列反转方法的极性的像素电压, 然后将这些像素电压提供给连接的 k 条数据线。因此, 从 j 个数据驱动集成电路 4101 至 410j 每一个的输出通道输出的像素电压在每个输出通道被反转, 并且上述像素电压具有列反转方法的极性, 该列反转方法的极性

根据极性控制信号 (POL) 至少每一帧被反转一次。

[0054] 通过使用具有相同数目的 k 条输出通道的 j 个数据驱动集成电路 4101 至 410j, 数据驱动电路 400 向 m 条数据线提供 m 个像素电压。然而, 由于第 $(m+1)$ 数据线 (DL_{m+1}) 存在于液晶显示面板 100 中, 所以数据驱动电路 400 需要多出一条输出通道。在这种情况下, 第 j 数据驱动集成电路 410j 内的输出通道的数目必须增加一条, 因此具有另外制造具有 $k+1$ 条输出通道的数据驱动集成电路的问题。为了克服这个问题, 本发明的数据驱动集成电路 400, 通过第一数据驱动集成电路 4101 的第一输出通道, 把与根据水平周期在时序控制器 300 内重新排列的图像数据相对应的像素电压提供给第一数据线 (DL_1) 或者第 $(m+1)$ 数据线 (DL_{m+1})。

[0055] 更具体地, 用以提供给第一数据线 (DL_1) 或者第 $(m+1)$ 数据线 (DL_{m+1}) 的像素电压, 是由根据第 i 水平周期或第 $(i+1)$ 水平周期而从时序控制器 300 提供的用于该水平周期的第一图像数据转换而来的, 该像素电压被输出给 j 个数据驱动集成电路 4101 至 410j 中的第一数据驱动集成电路 4101 的第一输出通道。即, 如果把用于第 i 水平周期的 k 个图像数据提供给第一数据驱动集成电路 4101, 那么, 用以提供给第一数据线 (DL_1) 的像素电压被输出给第一数据驱动集成电路 4101 的第一输出通道。同时, 如果把用于第 $(i+1)$ 水平周期的 k 个图像数据提供给第一数据驱动集成电路 4101, 那么, 用以提供给第 $(m+1)$ 数据线 (DL_{m+1}) 的像素电压被输出给第一数据驱动集成电路 4101 的第一输出通道。

[0056] 上述数据驱动电路 400 具有连接在印刷电路板 200 和液晶显示面板 100 之间的 j 个数据电路薄膜 4201 至 420j, 以及 j 个数据驱动集成电路 4101 至 410j。

[0057] j 个数据电路薄膜 4201 至 420j 每一个都通过载带自动焊接 (Tape Automated Bonding) (TAB) 工序而被固着于液晶显示面板 100 和印刷电路板 200。 j 个数据电路薄膜 4201 至 420j 每一个可由带载封装 (Tape Carrier Package) (TCP) 或者薄膜上芯片 (Chip On Film) (COF) 形成。而且, j 个数据驱动集成电路 4101 至 410j 分别形成在 j 个数据电路薄膜 4201 至 420j 中。因此, j 个数据电路薄膜 4201 至 420j 每一个向数据驱动集成电路 4101 至 410j 每一个提供由印刷电路板 200 提供的的数据控制信号 (DCS) 和图像数据。

[0058] 从第一数据驱动集成电路 4101 的第一输出通道输出的像素电压, 经由第一数据电路薄膜 4201、印刷电路板 200 的像素电压传输线 210 和第 j 数据电路薄膜 420j 提供给第 $(m+1)$ 数据线 (DL_{m+1})。因此, 第一数据电路薄膜 4201 包括用以将第一数据驱动集成电路 4101 的第一输出通道与印刷电路板 200 的像素电压传输线 210 电连接的第一信号线 422, 以及第 j 数据电路薄膜 420j 包括用以将印刷电路板 200 的像素电压传输线 210 与第 $(m+1)$ 数据线 (DL_{m+1}) 电连接的第二信号线 424。因此, 本发明实现了利用列反转驱动的点反转驱动, 而且导致同样的数据驱动集成电路。

[0059] 由于第一数据线 (DL_1) 和第 $(m+1)$ 数据线 (DL_{m+1}) 通过像素电压传输线 210 彼此电连接, 所以, 如图 5 的 (a) 所示, 第一数据线 (DL_1) 和第 $(m+1)$ 数据线 (DL_{m+1}) 上的阻抗比其余数据线 (DL_2 至 DL_m) 上的阻抗相对更高, 这可能引起提供给第一数据线 (DL_1) 和第 $(m+1)$ 数据线 (DL_{m+1}) 的像素电压的延迟。根据本发明的另一个实施方式的 LCD 装置中, 为了最小化提供给第一数据线 (DL_1) 和第 $(m+1)$ 数据线 (DL_{m+1}) 的像素电压的延迟, 可以有连接到像素电压传输线 210 的附加的阻抗调整装置 220, 如图 1 所示。

[0060] 根据本发明一个实施方式的阻抗调整装置 220 进一步包括连接到像素电压传输

线 210 的缓冲器。该缓冲器分离第一数据线 (DL1) 的阻抗和第 (m+1) 数据线 (DLm+1) 的阻抗,以便调整第一数据驱动集成电路 4101 的第一输出通道内所取的全部阻抗,如图 5 中的 (b) 所示,由此防止或者最小化像素电压的延迟。阻抗调整装置 220 也可包括其他的分离第一数据线 (DL1) 的阻抗和第 (m+1) 数据线 (DLm+1) 的阻抗的电路。

[0061] 根据本发明另一实施方式的阻抗调整装置 220 可包括作为电压跟随器 (voltage follower) 运作的 OP-AMP,如图 6 所示。该 OP-AMP 可包括经由像素电压传输线 210 电连接到第一数据线 (DL1) 的非反相端 (+)、经由像素电压传输线 210 电连接到第 (m+1) 数据线 (DLm+1) 的输出端 (Vo)、以及电连接到输出端 (Vo) 的反相端 (-)。而且,OP-AMP 可进一步包括提供有驱动电压 (VDD) 的正极性偏压端 (V+) 和提供有地电压的负极性偏压端 (V-)。

[0062] 包括 OP-AMP 的阻抗调整装置 220 分离第一数据线 (DL1) 的阻抗和第 (m+1) 数据线 (DLm+1) 的阻抗,以便通过使用提供至非反相端 (+) 的电压和提供至反相端 (-) 的电压来调整第一数据驱动集成电路 4101 的第一输出通道内所取的全部阻抗,如图 5 的 (b) 所示,由此防止或者最小化像素电压的延迟。

[0063] 在图 1 中,栅驱动电路 500 可包括多个栅驱动集成电路 510 和多个栅电路薄膜 520。

[0064] 多个栅驱动集成电路 510 根据经由时序控制器 300、印刷电路板 200、第一数据电路薄膜 4201、液晶显示面板 100 和栅电路薄膜 520 提供的栅控制信号 (GCS) 产生栅信号,然后将所产生的栅信号顺序地提供给 n 条栅线 (GL1 至 GLn)。

[0065] 多个栅电路薄膜 520 通过 TAB 工序固着于液晶显示面板 100 的一侧,其中多个栅电路薄膜 520 以固定间隔设置,且电连接到 n 条栅线 (GL1 至 GLn)。因此,多个栅电路薄膜 520 每一个都可由带载封装 (TCP) 或薄膜上芯片 (COF) 形成。而且,栅驱动集成电路 510 在多个栅电路薄膜 520 的每一个栅电路薄膜中形成。

[0066] 如果不是在栅电路薄膜 520 上形成多个栅驱动集成电路 510,那么多个栅电路薄膜 520 也可通过玻璃上芯片 (Chip-On-Glass) 工序在液晶显示面板 100 上作为芯片型形成,或者可以通过板内选通 (Gate-In-Panel) 工序与薄膜晶体管同时直接地形成在液晶显示面板 100 上。

[0067] 图 7A 和 7B 图解了一种根据本发明实施方式的 LCD 装置的驱动方法。

[0068] 根据本发明实施方式的 LCD 装置的一种驱动方法将参照图 7A 和 7B 结合图 1 进行描述。

[0069] 首先,如图 7A 所示,在奇数水平周期期间,例如在第一水平周期期间,数据驱动电路 400 把由时序控制器 300 提供的用于第一水平周期的 m 个图像数据反转为列反转方法的第一至第 m 像素电压 (+, -, +, -, ……),其极性每相邻数据线被反转一次;然后,数据驱动电路 400 通过第一至第 m 输出通道向第一至第 m 数据线 (DL1 至 DLm) 提供该第一至第 m 像素电压。因此,具有基于列反转方法的极性的像素电压经由第一至第 m 数据线 (DL1 至 DLm) 被提供给第一水平中的第一至第 m 液晶单元。通过使用阻抗调整装置 220,第一数据驱动集成电路 4101 的第一输出通道内所取的全部阻抗的大小被调整到第二至第 m 数据线 (DL2 至 DLm) 中所取的阻抗的大小,由此防止了提供给第一数据线 (DL1) 的像素电压的延迟。

[0070] 在偶数水平周期期间,例如在第二水平周期期间,数据驱动电路 400 把由时序控制器 300 提供的用于第二水平周期的 m 个图像数据反转为列反转方法的第一至第 m 像素电

压(+,-,+,-,...),其极性每相邻数据线被反转一次,然后通过第一至第 m 输出通道向第一至第 m 数据线(DL1至DL m)提供该第一至第 m 像素电压。因此,具有基于列反转方法的极性的像素电压经由第二至第 $(m+1)$ 数据线(DL2至DL $m+1$)提供给第二水平行中的第一至第 m 液晶单元。通过使用阻抗调整装置 220,第一数据驱动集成电路 4101 的第一输出通道内所取的全部阻抗的大小被调整到第二至第 m 数据线(DL2至DL m)中所取的阻抗的大小,由此防止了提供给第 $(m+1)$ 数据线(DL $m+1$)的像素电压的延迟。

[0071] 在根据本发明实施方式的上述 LCD 装置中,数据驱动电路 400 输出的像素电压具有基于列反转方法的极性,该像素电压被提供给沿数据线(DL1至DL $m+1$)以 Z 字形图案布置的液晶单元,由此利用点反转方法驱动在液晶显示面板 100 内布置的液晶单元,因此导致功耗降低。

[0072] 根据本发明实施方式的液晶显示装置共用第一和第 $(m+1)$ 数据线(DL1,DL $m+1$),从而不必增加任何一个数据驱动集成电路 4101 至 410j 内的输出通道,由此降低了制造成本。

[0073] 通过使用连接到使第一和第 $(m+1)$ 数据线(DL1,DL $m+1$)彼此电连接的像素电压传输线 210 的阻抗调整装置 220,根据本发明实施方式的上述 LCD 装置能够将第一数据驱动集成电路 4101 的第一输出通道中所取的全部阻抗的大小调整为其余数据线的阻抗的大小,从而能够防止由像素电压的延迟引起的图像质量恶化。因此,根据本发明实施方式的 LCD 装置防止由 120Hz 或更高的快速驱动引起的有缺陷的像素充电(pixel-charging),由此防止了图像质量恶化。

[0074] 在根据本发明第一实施方式的 LCD 装置中,提供给第一和第 $(m+1)$ 数据线(DL1,DL $m+1$)的像素电压是从第一数据驱动集成电路 4101 的第一输出通道经由像素电压传输线 210 供给的。然而,不限于上述方法,即,提供给第一和第 $(m+1)$ 数据线(DL1,DL $m+1$)的像素电压可从数据驱动电路 400 的第 m 输出通道供给,如图 8 所示。

[0075] 时序控制器 300 排列数据以便将相应的像素电压从数据驱动电路 400 的第 m 输出通道提供给第一和第 $(m+1)$ 数据线(DL1,DL $m+1$),然后时序控制器 300 向数据驱动电路 400 提供排列后的数据。

[0076] 而且,阻抗调整装置 220 包括经由像素电压传输线 210 连接到数据驱动电路 400 的第 m 输出通道的非反相端、经由像素电压传输线 210 连接到第一数据线(DL1)的输出端、以及连接到输出端的反相端。

[0077] 即使提供给第一和第 $(m+1)$ 数据线(DL1,DL $m+1$)的像素电压是从数据驱动电路 400 的第 m 输出通道供给的,该第 m 输出通道中所取的全部阻抗也由阻抗调整装置 220 调整,从而能够实现与本发明第一实施方式相同的效果。

[0078] 图 9 图解了根据本发明第二实施方式的 LCD 装置。

[0079] 参照图 9,根据本发明第二实施方式的 LCD 装置包括液晶显示面板 100、印刷电路板 200、时序控制器 300、数据驱动电路 600 和栅驱动电路 700。

[0080] 除了数据驱动电路 600 和栅驱动电路 700 的结构之外,根据本发明第二实施方式的 LCD 装置与根据本发明第一实施方式的 LCD 装置在结构上相同,因此将省略对相同部分的详细解释,并且在所有附图中将使用相同的参考标号指代相同或类似的部分。

[0081] 数据驱动电路 600 包括 j 个数据驱动集成电路 4101 至 410j 以及柔性电路薄膜

620。

[0082] 尽管在根据本发明第一实施方式的 LCD 装置中, j 个数据驱动集成电路 4101 至 410 j 每一个都形成在数据电路薄膜 4201 至 420 j 每一个上,但是在根据本发明第二实施方式的 LCD 装置中, j 个数据驱动集成电路 4101 至 410 j 每一个都形成在液晶显示面板 100 上。根据本发明第二实施方式的 LCD 装置中的数据驱动集成电路 4101 至 410 j 与本发明第一实施方式中的相同,因此将省略对数据驱动集成电路 4101 至 410 j 的详细解释,并将使用相同的参考标号。

[0083] 柔性电路薄膜 620 通过 TAB 工序被固着于液晶显示面板 100 和印刷电路板 200。该柔性电路薄膜 620 把从印刷电路板 200 提供的数据控制信号 (DCS) 和图像数据提供给数据驱动集成电路 4101 至 410 j 每一个,而且还把从由印刷电路板 200 提供的栅控制信号 (GCS) 提供给栅驱动电路 700。

[0084] 如根据本发明第一实施方式的 LCD 装置解释的那样,柔性电路薄膜 620 可包括第一信号线 422 和第二信号线 424,其中第一信号线 422 将第一数据驱动集成电路 4101 的第一输出通道与印刷电路板 200 上的像素电压传输线 210 电连接,并且第二信号线 424 将印刷电路板 200 上的像素电压传输线 210 与第 $(m+1)$ 数据线 (DL $m+1$) 电连接。

[0085] 除了根据本发明第二实施方式的栅驱动电路 700 包括多个通过玻璃上芯片工序以芯片型安装在液晶显示面板 100 上的栅驱动集成电路 701 之外,根据本发明第二实施方式的栅驱动电路 700 与根据本发明第一实施方式的栅驱动电路相同,因此将省略对根据本发明第二实施方式的栅驱动电路 700 的详细解释。

[0086] 栅驱动电路 700 可由板内选通工序而与薄膜晶体管同时直接地形成在液晶显示面板 100 上,或者可以在本发明第一实施方式所示的栅电路薄膜 4201 至 420 j 上形成。

[0087] 除了数据驱动电路 600 和栅驱动电路 700 通过玻璃上芯片工序分别安装在液晶显示面板 100 上之外,根据本发明第二实施方式的 LCD 装置与本发明第一实施方式的 LCD 装置相同,从而能实现与本发明第一实施方式相同的作用。

[0088] 在根据本发明第二实施方式的上述 LCD 装置中,提供给第一和第 $(m+1)$ 数据线的像素电压经由像素电压传输线 210 从第一数据驱动集成电路 4101 的第一输出通道供给。然而,其不局限于该方法。例如,如图 8 所示,提供给第一和第 $(m+1)$ 数据线的像素电压可从数据驱动电路 400 的第 m 输出通道供给。

[0089] 因此,具有基于列反转方法的极性的像素电压从数据驱动电路输出,然后被提供给沿数据线以 Z 字形图案布置的液晶单元,由此布置在液晶显示面板内的液晶单元以点反转方法而受到驱动,因此降低了功耗。

[0090] 而且,通过使用将第一和第 $(m+1)$ 数据线 (DL1, DL $m+1$) 彼此电连接的像素电压传输线 210,第一和第 $(m+1)$ 数据线 (DL1, DL $m+1$) 被共用,从而不必增加任何一个数据驱动集成电路内的输出通道,因此降低了制造成本。

[0091] 通过使用连接到像素电压传输线 210 的阻抗调整装置 220,能调整用于向第一和第 $(m+1)$ 数据线提供像素电压的数据驱动集成电路的输出通道内所得到的全部阻抗,由此防止了由像素电压的延迟导致的图像质量的恶化。

[0092] 尽管在印刷电路板 200 上示出了阻抗调整装置 220,然而阻抗调整装置 220 也可包括在数据驱动电路中。另外,本发明包括没有阻抗调整装置的实施方式。

[0093] 在不脱离本发明精神或范围的情况下可以对本发明作出各种修改和改变,这对本领域的技术人员来说是显而易见的。因此,本发明意在涵盖对本发明的这些修改和改变,只要这些修改和改变在所附权利要求书(所要求保护的技术方案)及其等同物的范围之内。

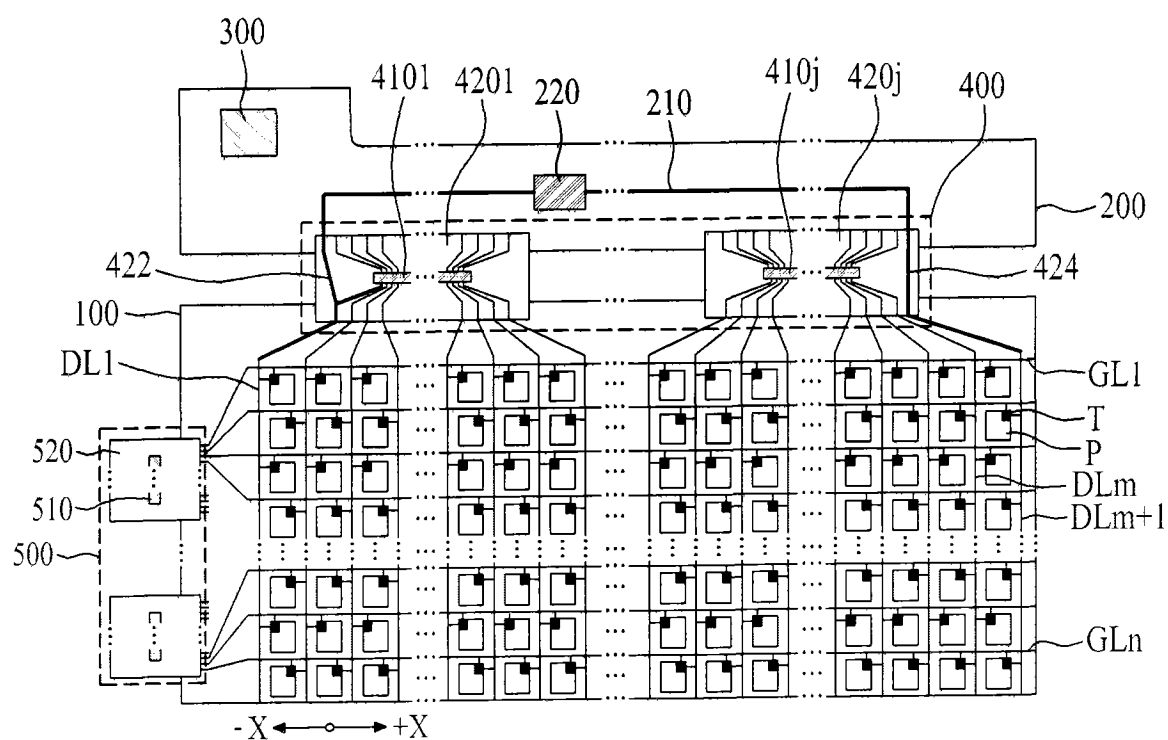


图 1

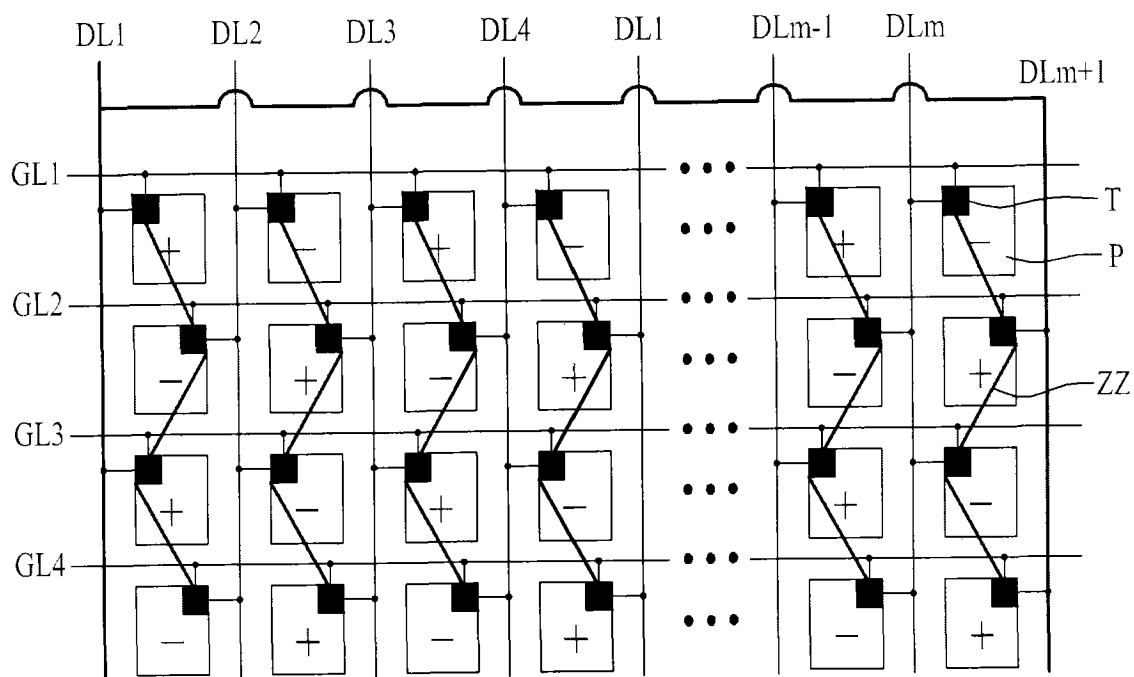


图 2

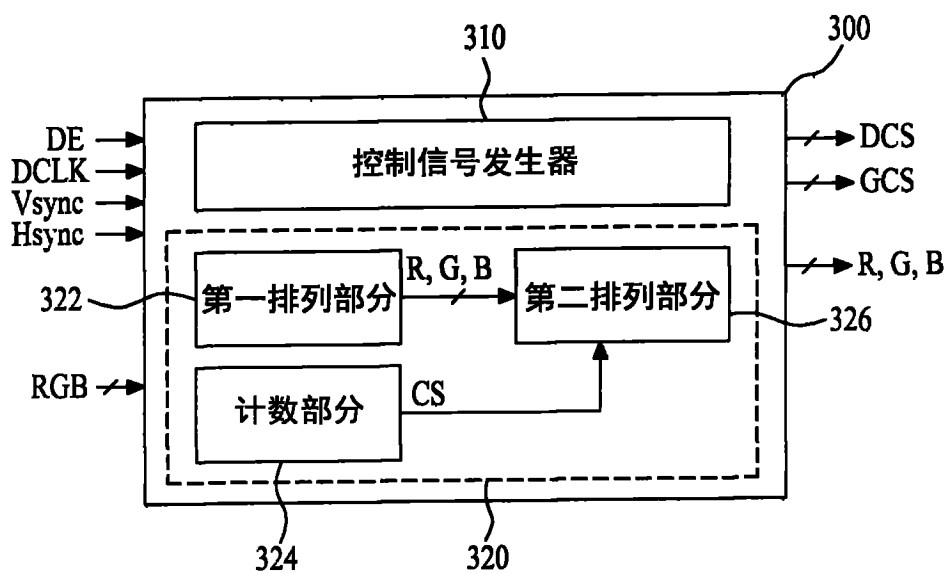


图 3

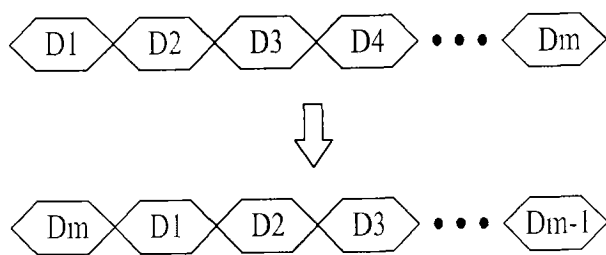


图 4

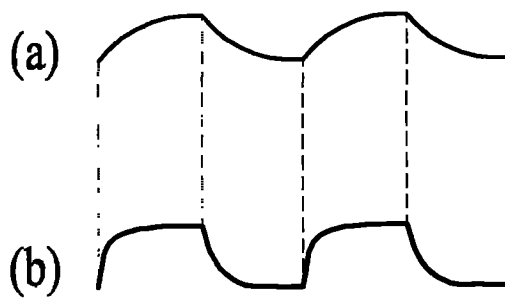


图 5

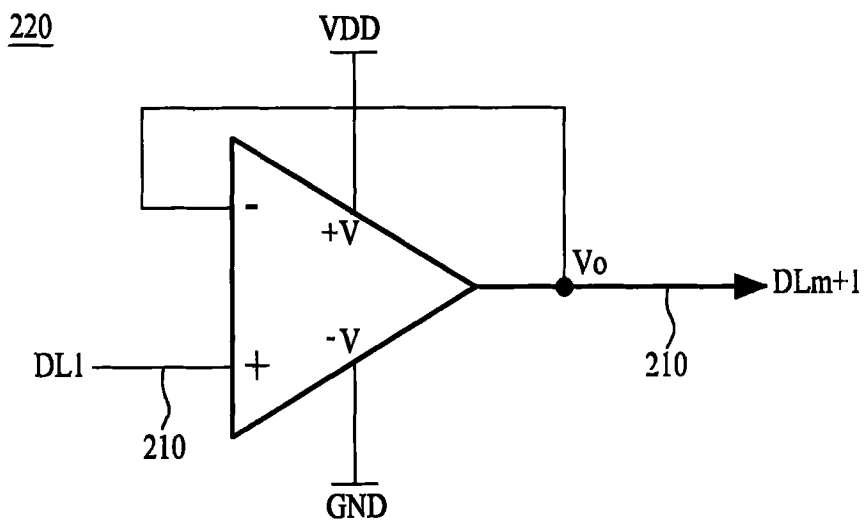


图 6

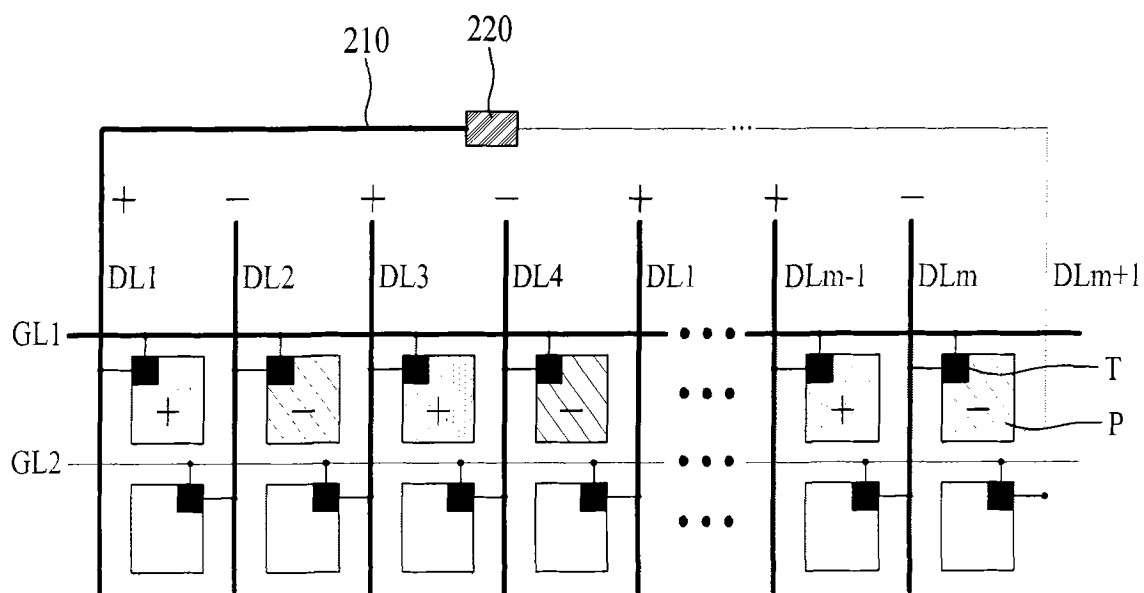


图 7A

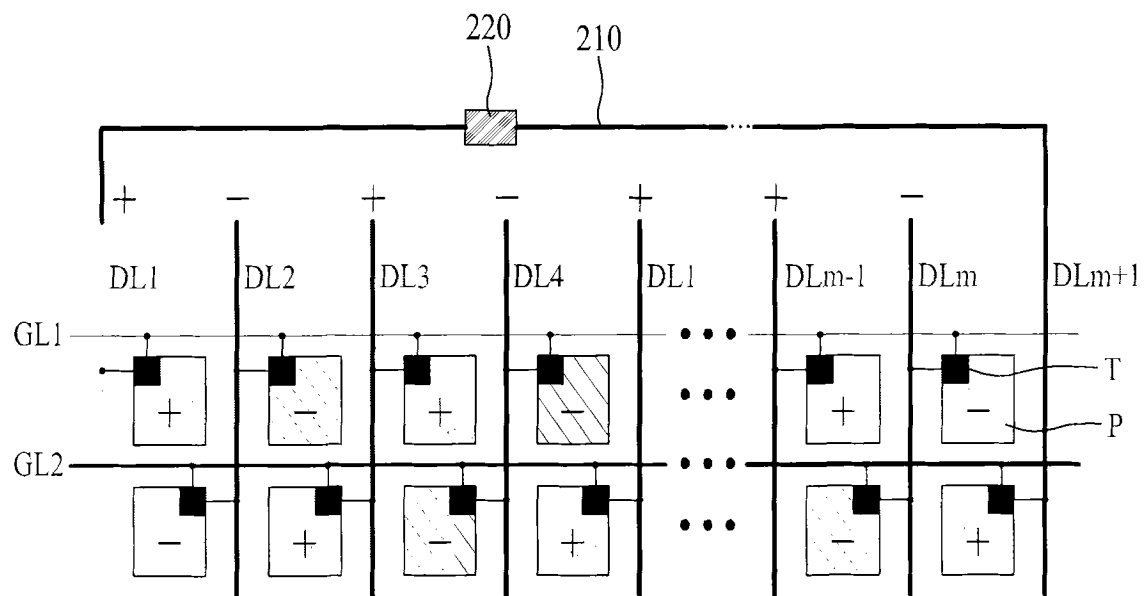


图 7B

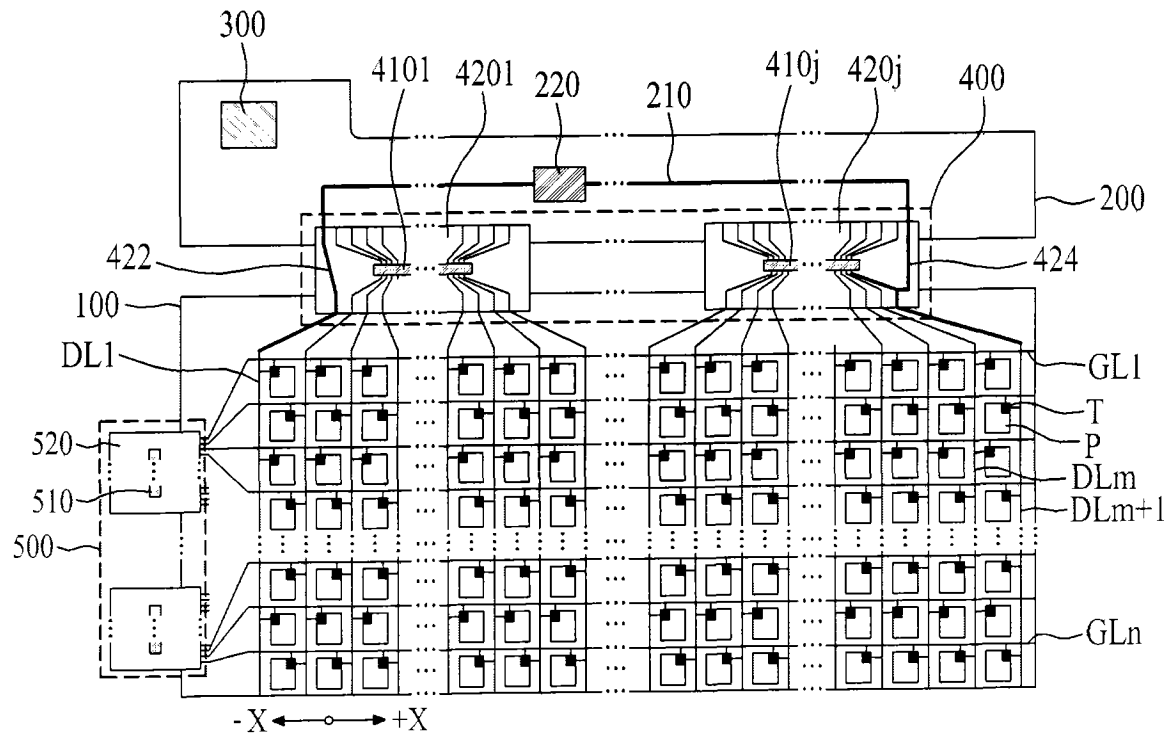


图 8

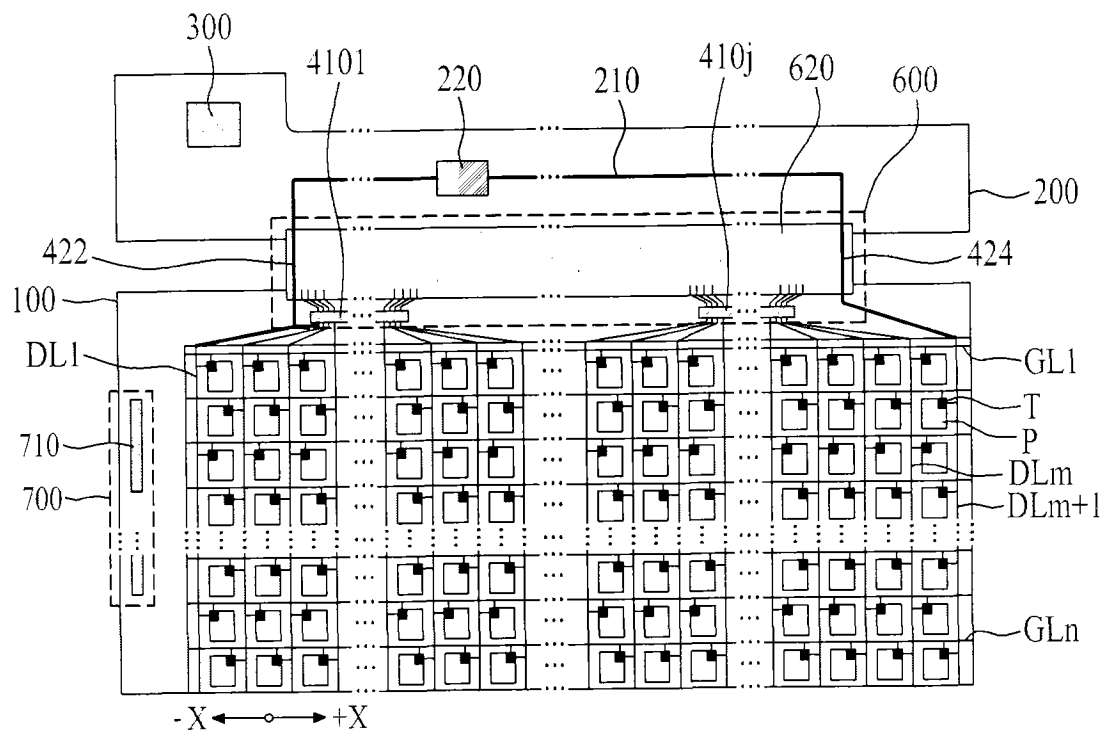


图 9

专利名称(译)	液晶显示装置		
公开(公告)号	CN102110424A	公开(公告)日	2011-06-29
申请号	CN201010597174.2	申请日	2010-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	赵奎行 金世泳		
发明人	赵奎行 金世泳		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3614 G02F1/136286		
代理人(译)	徐金国 赵静		
优先权	1020090132497 2009-12-29 KR		
其他公开文献	CN102110424B		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示装置，包括：与n条栅线交叉来限定 $m \times n$ 个像素的 $m+1$ 条数据线；在 $m \times n$ 个像素的每个像素中的 $m \times n$ 个薄膜晶体管，其中在列m中的n个薄膜晶体管交替连接到第m数据线和第 $m+1$ 数据线；以及将第一数据线连接到第 $m+1$ 数据线的电连接器。

