

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)



## [12] 发明专利申请公布说明书

[21] 申请号 200810185157.0

[43] 公开日 2009年12月9日

[11] 公开号 CN 101598875A

[22] 申请日 2008.12.11

[21] 申请号 200810185157.0

[30] 优先权

[32] 2008.6.2 [33] KR [31] 10-2008-0051644

[71] 申请人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 尹溱模 孔仁泳

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国

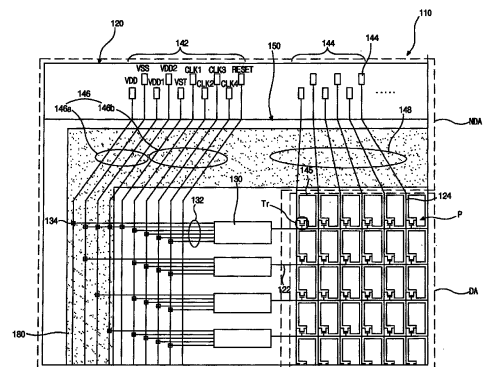
权利要求书 3 页 说明书 17 页 附图 6 页

### [54] 发明名称

液晶显示设备及其制造方法

### [57] 摘要

一种面板内栅极型液晶显示设备包括：彼此隔开并且互相面对的第一和第二基板，其包括显示区域和非显示区域；第一基板上的显示区域中的栅极线、数据线、薄膜晶体管和像素电极，栅极线和数据线互相交叉以限定像素区，薄膜晶体管连接到栅极线和数据线，像素电极连接到薄膜晶体管；第一基板上的非显示区域中的栅极焊盘和数据焊盘，其接收直流(DC)信号和交流(AC)信号；连接到栅极焊盘的栅极链路线，其包括第一栅极链路线和第二栅极链路线；连接到该栅极链路线的连接线；连接到连接线的栅极电路块，栅极电路块使用DC信号和AC信号生成栅极信号并将该栅极信号提供到栅极线；以及在第一和第二基板之间并且与栅极链路线重叠的密封图案。



1. 一种面板内栅极型液晶显示设备，包括：

彼此隔开并且互相面对的第一和第二基板，该第一和第二基板包括显示区域和非显示区域；

在该第一基板上的显示区域中的栅极线、数据线、薄膜晶体管和像素电极，栅极线和数据线互相交叉以限定像素区，薄膜晶体管连接到栅极线和数据线，且像素电极连接到薄膜晶体管；

在第一基板上的非显示区域中的栅极焊盘和数据焊盘，该栅极焊盘和数据焊盘接收直流（DC）信号和交流（AC）信号；

连接到该栅极焊盘的栅极链路线，其包括第一栅极链路线和第二栅极链路线，该第一栅极链路线传输 DC 信号并且被设置为彼此相邻且互相平行，该第二栅极链路线传输 AC 信号并且被设置为彼此相邻且互相平行；

连接到栅极链路线的连接线；

连接到连接线的栅极电路块，该栅极电路块使用 DC 信号和 AC 信号生成栅极信号并将该栅极信号提供到栅极线；以及

在第一和第二基板之间的密封图案，该密封图案与栅极链路线重叠。

2. 如权利要求 1 所述的设备，其中该密封图案与第一栅极链路线重叠并且暴露第二栅极链路线。

3. 如权利要求 1 所述的设备，其中该密封图案与第二栅极链路线重叠并且暴露第一栅极链路线。

4. 如权利要求 1 所述的设备，其中该密封图案与第一栅极链路线和第二栅极链路线重叠。

5. 如权利要求 1 所述的设备，其中该栅极电路块是包括移位寄存器级的移位寄存器。

6. 如权利要求 1 所述的设备，其中该 DC 信号包括栅极电路块的源电

压信号 VDD、地电压信号 VSS、第一源电压信号 VDD1 和第二源电压信号 VDD2。

7. 如权利要求 1 所述的设备, 其中该 AC 信号包括栅极电路块的开始信号 VST, 第一、第二、第三和第四时钟信号 CLK1、CLK2、CLK3 和 CLK4, 和复位信号 RESET。

8. 如权利要求 1 所述的设备, 还包括连接数据线和数据焊盘的数据链路线。

9. 如权利要求 1 所述的设备, 其中该栅极链路线具有连接到栅极焊盘的第一部分和连接到连接线的第二部分, 并且该密封图案与栅极链路线的第二部分重叠。

10. 一种制造面板内栅极型液晶显示设备的方法, 包括:

在第一基板上的显示区域中形成栅极线、数据线、薄膜晶体管和像素电极, 栅极线和数据线互相交叉以限定像素区, 薄膜晶体管连接到栅极线和数据线, 像素电极连接到薄膜晶体管;

在第一基板上的非显示区域中形成栅极焊盘和数据焊盘, 该栅极焊盘和数据焊盘接收直流 (DC) 信号和交流 (AC) 信号;

在第一基板上的非显示区域中形成栅极链路线, 该栅极链路线连接到栅极焊盘, 并包括第一栅极链路线和第二栅极链路线, 该第一栅极链路线传输 DC 信号并且被设置为彼此相邻且互相平行, 该第二栅极链路线传输 AC 信号并且被设置为彼此相邻且互相平行;

形成连接到栅极链路线的连接线;

形成连接到连接线的栅极电路块, 该栅极电路块使用 DC 信号和 AC 信号生成栅极信号并将该栅极信号提供到栅极线; 以及

使用密封图案连接该第一基板与第二基板以使得该密封图案与栅极链路线重叠。

11. 如权利要求 9 所述的方法，其中该密封图案与第一栅极链路线重叠并且暴露第二栅极链路线。

12. 如权利要求 9 所述的方法，其中该密封图案与第二栅极链路线重叠并且暴露第一栅极链路线。

13. 如权利要求 9 所述的方法，其中该密封图案与第一栅极链路线和第二栅极链路线重叠。

14. 如权利要求 9 所述的方法，其中该栅极链路线具有连接到栅极焊盘的第一部分和连接到连接线的第二部分，并且密封图案与栅极链路线的第二部分重叠。

## 液晶显示设备及其制造方法

本申请要求于 2008 年 6 月 2 日在韩国提交的韩国专利申请第 10-2008-0051644 号的权益，这里通过引用而将其全文完全包括在此。

### 技术领域

本发明涉及一种液晶显示 (LCD) 设备，更为具体地说，涉及一种面板内栅极 (gate-in-panel) (GIP) 型液晶显示 (LCD) 设备及其制造方法。

### 背景技术

随着信息技术的迅速发展，开发出了具有薄外形、低重量和低能耗特性的平板显示 (FPD) 设备。在 FPD 设备中，液晶显示 (LCD) 设备由于其优秀的分辨率、色彩显示和显示质量特性，而被广泛用于笔记本式计算机和台式监视器中。

通常，液晶显示 (LCD) 设备包括彼此隔开且互相面对的两个基板，以及插入在该两个基板之间的液晶层。每个基板包括一电极，每个基板的电极也互相面对。向每个电极施加电压，并且在该电极之间引起电场。通过改变该电场的强度而重新排列该液晶层的液晶分子，并且根据该液晶分子的排列改变光的透射率，从而显示图像。

该 LCD 设备包括：液晶面板，其包括两个基板和插入在其间的液晶层；设置在该液晶面板之下并且用作光源的背光单元；和设置在该液晶面板的外部部分并且驱动该液晶面板的驱动电路单元。

通常，该驱动电路单元包括印刷电路板 (PCB)。该驱动电路单元被分类为：栅极驱动电路单元，其连接到该液晶面板的栅极线并且向该栅极线提供栅极信号；和数据驱动电路单元，其连接到该液晶面板的数据线并且向该

数据线提供数据信号。可以通过卷带式封装（TCP）方法将该驱动电路单元附到该液晶面板的一侧或两侧。

然而，如果该栅极驱动电路单元和数据驱动电路单元被单独地连接，则会增加该 LCD 设备的尺寸和重量。因此，提出一种面板内栅极(gate-in-panel)（GIP）型 LCD 设备，其中该栅极驱动电路单元的一些电路与该液晶面板的开关元件同时形成，该栅极驱动电路单元的其他电路被结合到该数据驱动电路单元中并且被附到该液晶面板的一侧。

图 1 是根据现有技术的 GIP 型 LCD 设备的平面图。

在图 1 中，该 GIP 型 LCD 设备 10 包括第一基板 20，该第一基板 20 之上的第二基板 50，和插入在该基板 20 和 50 之间的液晶层（未示出）。

第一基板 20 也可被称为阵列基板，包括用于显示图像的显示区域 DA 和用于驱动电路和信号线的非显示区域 NDA。

在该第一基板 20 的显示区域 DA 中，形成栅极线 22、数据线 24、薄膜晶体管 Tr 和像素电极 45。该栅极线 22 和数据线 24 相互交叉以限定像素区域 P。分别地，该薄膜晶体管 Tr 连接到栅极线 22 和数据线 24，像素电极 45 连接到薄膜晶体管 Tr。

在第一基板 20 的非显示区域 NDA 中，形成栅极焊盘 42、数据焊盘 44、栅极电路块 30、栅极链路线 46、数据链路线 48 和连接线 32。数据焊盘 44 在数据链路线 48 的一端形成并连接到外部的驱动电路单元（未示出），该数据链路线 48 从显示区域 DA 中的数据线 24 延伸。栅极焊盘 42 在栅极链路线 46 的一端形成并连接到外部的驱动电路单元（未示出）。该栅极链路线 46 通过连接图案 34 连接到连接线 32。该连接线 32 连接到栅极电路块 30，该栅极电路块 30 连接到显示区域 DA 中的栅极线 22 的一端。

在该 LCD 设备 10 中，外部的驱动电路单元向栅极焊盘 42 和数据焊盘 44 提供栅极控制信号和数据信号。该栅极控制信号包括开始信号 VST，时钟信号 CLK1、CLK2、CLK3 和 CLK4，源电压信号 VDD，地电压信号 VSS，第一源电压信号 VDD1，第二源电压信号 VDD2，和复位信号 RESET。该数据信号包括对应于像素区域 P 的图像信号。

栅极电路块 30 包括移位寄存器。该栅极电路块 30 通过连接线 32 从该驱动电路单元接收栅极控制信号。该栅极电路块 30 按顺序生成用于导通薄膜晶体管 Tr 的栅极信号并将该栅极信号提供到栅极线 22。

使用密封图案 80 连接第一和第二基板 20 和 50。该密封图案 80 在非显示区域 NDA 的边缘部分中形成。也就是说，该密封图案 80 对应于第二基板 50 的边缘部分，并且在该图中，其左右在栅极链路线 46 的外部部分中形成，上下在显示区域 DA 的外部部分中形成。

该密封图案 80 的宽度 W 是大约 1.2mm，从该密封图案 80 到栅极电路块 30 的距离大约是 2mm。由于该密封图案 80 的区域不用于显示图像并且也不是用于电路的区域，所以在制造完成该 LCD 设备后利用框架来挡住该密封图案 80。该区域可以被称为边框 (bezel)。该边框增加了 LCD 设备的非显示区域，从而减少了 LCD 设备的显示区域。

如果该密封图案 80 是形成在其中栅极链路线 46 和连接线 32 互相连接的部分之上，则该栅极链路线 46 和连接线 32 可形成寄生电容器，其中密封图案 80 作为介电材料，且这会导致由该栅极链路线 46 和连接线 32 所传输的栅极信号的延迟。

图 2 是示出了根据现有技术的 GIP 型 LCD 设备的栅极信号的延迟的示意图，图 3 是示出了根据现有技术的 GIP 型 LCD 设备的栅极信号的误操作的示意图。这里，图 1 的密封图案 80 在图 1 的用于传输时钟信号的栅极链路线 46 之上形成。

如图 2 所示, 在根据现有技术的 GIP 型 LCD 设备中, 该时钟信号由于寄生电容所导致的电阻电容延迟而失真, 并且图 1 的栅极电路块 30 根据该失真的时钟信号生成栅极信号。因此, 正常的栅极信号 G1 的上升时间和下降时间被延迟, 并且失真的栅极信号 G2 被提供到图 1 的栅极线 22 导致图像质量恶化。

此外, 在图 3 中, 图 1 的栅极电路块 30 使用该失真的时钟信号生成栅极信号, 并且可能存在不正常地生成栅极高电压的误操作。

由图 1 的栅极链路线 46 传输的栅极控制信号包括直流 (DC) 信号和交流 (AC) 信号, 并且该信号的电压值和周期具有不同形状。即使该寄生电容相同, 该具有各种形状的栅极控制信号也会导致不同的延迟值。此外, 存在由于根据该栅极链路线 46 的位置的寄生电容而导致的信号失真的变化。因此, 当生成该栅极高电压时会发生误操作。

因此, 在根据现有技术的 GIP 型 LCD 设备中, 该密封图案形成在栅极链路线的外部部分。由于增加了不需要显示图像的密封图案区域, 从而降低了该 LCD 设备的外部品级, 并减少了显示区域。

## 发明内容

仅通过介绍的方式, 在一个方面中, 一种面板内栅极型液晶显示设备包括: 彼此隔开并且互相面对的第一和第二基板, 该第一和第二基板包括显示区域和非显示区域; 该第一基板上的显示区域中的栅极线、数据线、薄膜晶体管和像素电极, 该栅极线和数据线互相交叉以限定像素区, 薄膜晶体管连接到该栅极线和数据线, 像素电极连接到薄膜晶体管; 第一基板上的非显示区域中的栅极焊盘和数据焊盘, 该栅极焊盘和数据焊盘接收直流 (DC) 信号和交流 (AC) 信号; 连接到该栅极焊盘的栅极链路线, 包括第一栅极链路线和第二栅极链路线, 该第一栅极链路线传输 DC 信号并且被设置为彼此相邻且互相平行, 该第二栅极链路线传输 AC 信号并且被设置成彼此相邻且

互相平行；连接到该栅极链路线的连接线；连接到该连接线的栅极电路块，该栅极电路块使用 DC 信号和 AC 信号生成栅极信号并将该栅极信号提供到栅极线；以及位于该第一和第二基板之间并且与该栅极链路线重叠的密封图案。

在另一方面中，一种制造面板内栅极型液晶显示设备的方法包括：在第一基板上的显示区域中形成栅极线、数据线、薄膜晶体管和像素电极，该栅极线和数据线互相交叉以限定像素区，薄膜晶体管连接到该栅极线和数据线，像素电极连接到薄膜晶体管；在第一基板上的非显示区域中形成栅极焊盘和数据焊盘，该栅极焊盘和数据焊盘接收直流（DC）信号和交流（AC）信号；在第一基板上的非显示区域中形成栅极链路线，该栅极链路线连接到该栅极焊盘，且包括第一栅极链路线和第二栅极链路线，该第一栅极链路线传输 DC 信号并且被设置成彼此相邻且互相平行，该第二栅极链路线传输 AC 信号并且被设置成彼此相邻且互相平行；形成连接到该栅极链路线的连接线；形成连接到该连接线的栅极电路块，该栅极电路块使用 DC 信号和 AC 信号生成栅极信号并将该栅极信号提供到栅极线；以及使用密封图案连接该第一基板与第二基板以使得该密封图案与栅极链路线重叠。

可以认识到，前述概括说明和以下具体说明是示例性和解释性的，以及提供对于如权利要求所述的本发明的进一步解释。

## 附图说明

附图被包含以提供对于本发明的进一步理解并被结合和构成本说明书的一部分，其中示出了本发明的实施例并且与文字说明一起来解释本发明的原理。在附图中：

图 1 是根据现有技术的 GIP 型 LCD 设备的平面图。

图 2 是示出了根据现有技术的 GIP 型 LCD 设备的栅极信号的延迟的示意图。

图 3 是示出了根据现有技术的 GIP 型 LCD 设备的栅极信号的误操作的示意图。

图 4 是根据本发明第一实施例的 GIP 型 LCD 设备的平面图。

图 5 是示出了根据本发明第一实施例的 GIP 型 LCD 设备的栅极控制信号的波形的示意图。

图 6 是示出了根据本发明第一实施例的 GIP 型 LCD 设备的栅极电路块所生成的栅极信号的波形的示意图。

图 7 是根据本发明第二实施例的 GIP 型 LCD 设备的平面图。

图 8 是根据本发明第三实施例的 GIP 型 LCD 设备的平面图。

### 具体实施方式

现在将参照附图具体说明附图所示本发明的实施例。

图 4 是根据本发明第一实施例的 GIP 型 LCD 设备的平面图。图 5 是示出了根据本发明第一实施例的 GIP 型 LCD 设备的栅极控制信号的波形的示意图。

在图 4 中，GIP 型 LCD 设备 110 包括第一基板 120，第一基板 120 之上的第二基板 150，和插入在该基板 120 和 150 之间的液晶层（未示出）。

第一基板 120 也可被称为阵列基板，包括用于显示图像的显示区域 DA 和用于驱动电路和信号线的非显示区域 NDA。

在第一基板 120 的显示区域 DA 中，形成栅极线 122、数据线 124、薄

膜晶体管 Tr 和像素电极 145。该栅极线 122 和数据线 124 互相交叉以限定像素区 P。分别地，该薄膜晶体管 Tr 作为开关元件，连接到该栅极线 122 和数据线 124，并且像素电极 145 连接到该薄膜晶体管 Tr。

在第一基板 120 的非显示区域 NDA 中，形成栅极焊盘 142、数据焊盘 144、栅极电路块 130、栅极链路线 146、数据链路线 148 和连接线 132。数据焊盘 144 在数据链路线 148 的一端形成，并且连接到外部的驱动电路单元（未示出），该数据链路线 148 从显示区域 DA 中的数据线 124 延伸。栅极焊盘 142 在栅极链路线 146 的一端形成并且连接到外部的驱动电路单元（未示出）。栅极链路线 146 通过连接图案 134 连接到连接线 132。连接线 132 连接到栅极电路块 130，并且该栅极电路块 130 连接到显示区域 DA 中的栅极线 122 的一端。

虽然图中未示出，每个薄膜晶体管 Tr 包括顺序形成的导电材料的栅电极、绝缘材料的栅极绝缘层、半导体材料的有源层、以及导电材料的源极电极和漏极电极。在薄膜晶体管 Tr 上形成有机或无机绝缘材料的钝化层。该钝化层包括用于暴露该漏极电极的漏极接触孔，并且透明导电材料的像素电极 145 通过该漏极接触孔连接到该漏极电极。

栅极链路线 146 可以由与薄膜晶体管 Tr 的栅极电极相同的材料形成并且在与之相同的层中形成。连接线 132 可以由与薄膜晶体管 Tr 的源极电极和漏极电极相同的材料形成并且在与之相同的层中形成。连接图案 134 可以由与像素电极 145 相同的材料形成并且在与之相同的层中形成。

虽然图中未示出，在第二基板 150 的下表面上形成滤色器层，在该滤色器层上形成公共电极。该滤色器层包括对应于像素区 P 的红、绿和蓝色滤色器。

该第一和第二基板 120 和 150 附有在其间的液晶层以使得像素电极 145 面对该公共电极。

在 LCD 设备 110 中，外部的驱动电路单元向栅极焊盘 142 和数据焊盘 144 提供栅极控制信号和数据信号。该栅极控制信号包括源电压信号 VDD，地电压信号 VSS，第一源电压信号 VDD1，第二源电压信号 VDD2，开始信号 VST，时钟信号 CLK1、CLK2、CLK3 和 CLK4，和复位信号 RESET。该数据信号包括对应于像素区域 P 的图像信号。

栅极电路块 130 包括由多个移位寄存器级组成的移位寄存器。栅极电路块 130 通过连接线 132 从驱动电路单元接收栅极控制信号。该栅极电路块 130 按顺序生成用于导通薄膜晶体管 Tr 的栅极信号并将该栅极信号提供到栅极线 122。

这里，参照图 5，该栅极控制信号被分类为直流 (DC) 信号和交流 (AC) 信号。DC 信号包括源电压信号 VDD，地电压信号 VSS，第一源电压信号 VDD1 和第二源电压信号 VDD2。AC 信号包括开始信号 VST 以及第一、第二、第三和第四时钟信号 CLK1、CLK2、CLK3 和 CLK4。由此，传输该栅极控制信号的栅极链路线 146 被划分为用于传输 DC 信号的第一栅极链路线 146a 和用于传输 AC 信号的第二栅极链路线 146b。也就是说，该第一栅极链路线 146a 分别用于传输 DC 信号，并且被彼此分开以便彼此相连且互相平行。该第二栅极链路线 146b 分别用于传输 AC 信号，并且被彼此分开以便彼此相邻且互相平行。

更具体地，源电压信号 VDD 和地电压信号 VSS 是被用作栅极电路块 130 的电源的 DC 电压。第一源电压信号 VDD1 和第二源电压信号 VDD2 是被交替用于最小化栅极电路块 130 的开关元件的应力的 DC 电压。源电压信号 VDD 和第二源电压信号 VDD2 是高电平电压，地电压信号 VSS 和第一源电压信号 VDD1 是低电平电压。同时，开始信号 VST 是在每帧的开始处同步并且启动栅极电路块 130 的工作的 AC 电压。第一、第二、第三和第四时钟信号 CLK1、CLK2、CLK3 和 CLK4 是用于生成栅极电路块 130 中的栅极信号的 AC 电压。复位信号 RESET 是用于该栅极电路块 130 的复位的 AC 电

压。

在 LCD 设备 110 的第一基板 120 中，传输 DC 信号的第一栅极链路线 146a 被布置为彼此相邻并且形成一个组，传输 AC 信号的第二栅极链路线 146b 被布置为彼此相邻并且形成另一组。

使用密封图案 180 连接第一和第二基板 120 和 150。密封图案 180 围绕显示区域 DA 并且形成在非显示区域 NDA 的边缘部分中。也就是说，密封图案 180 对应于第二基板 150 的边缘部分并且形成在显示区域 DA 的外部部分中，使得该密封图案 180 与第一栅极链路线 146a 重叠。换句话说，在图中的 LCD 设备 110 左侧的非显示区域 NDA 中，密封图案 180 覆盖该第一栅极链路线 146a 并且被布置为彼此相邻。

更具体地，该第一和第二栅极链路线 146a 和 146b 包括连接到连接线 132 的第一部分和连接到栅极焊盘 142 的第二部分，该密封图案 180 覆盖该第一栅极链路线 146a 的第二部分。这里，该第一和第二栅极链路线 146a 和 146b 的第一部分可以是弯曲的。第一和第二栅极链路线 146a 和 146b 的第二部分可以平行于数据线 124。

由于密封图案 180 与第一栅极链路线 146a 的第二部分重叠，所以可以省去用于该密封图案 180 的额外区域。因此，可以减少 LCD 设备 110 的非显示区域 NDA 的宽度，并且可以增加该 LCD 设备的显示区域 DA 的相对比例。

这里，存在由于在第一栅极链路线 146a 的第二部分之上形成的密封图案 180 而产生的寄生电容。然而，由于该寄生电容而导致的 DC 信号的上升时间延迟和下降时间延迟的失真是不显著的。因此，减小了由于该寄生电容而导致的第二栅极链路线 146a 所传输的 DC 信号的失真，并且可以防止由栅极电路块 130 所生成的栅极信号的误操作。

图 6 是示出了根据本发明第一实施例的 GIP 型 LCD 设备的栅极电路块所生成的栅极信号的波形的示意图。

如图 6 所示，在根据本发明第一实施例的图 4 的 GIP 型 LCD 设备 110 中，图 4 的用于传输 DC 信号的第一栅极链路线 146a 被形成为彼此相邻，并且图 4 的密封图案 180 被形成在该第一栅极链路线 146a 的第二部分之上。因此，最小化 DC 信号的失真，并且图 4 的栅极电路块 130 没有误操作地生成正常栅极信号以及将该栅极信号提供到图 4 的栅极线 122。

因此，这样就增加了 LCD 设备的显示区域的相对比例，并且减少了边框。提高了该 LCD 设备的外部品级。

图 7 是根据本发明第二实施例的 GIP 型 LCD 设备的平面图。

在图 7 中，GIP 型 LCD 设备 210 包括第一基板 220，第一基板 220 之上的第二基板 250，和插入在该基板 220 和 250 之间的液晶层（未示出）。

第一基板 220 也可以被称为阵列基板，包括用于显示图像的显示区域 DA 和用于驱动电路和信号线的非显示区域 NDA。

在第一基板 220 的显示区域 DA 中，形成栅极线 222、数据线 224、薄膜晶体管 Tr 和像素电极 245。该栅极线 222 和数据线 224 互相交叉以限定像素区 P。分别地，该薄膜晶体管 Tr 作为开关元件，连接到该栅极线 222 和数据线 224，并且像素电极 245 连接到该薄膜晶体管 Tr。

在第一基板 220 的非显示区域 NDA 中，形成栅极焊盘 242、数据焊盘 244、栅极电路块 230、栅极链路线 246、数据链路线 248 和连接线 232。数据焊盘 244 形成在数据链路线 248 的一端，并且连接到外部的驱动电路单元（未示出），该数据链路线 248 从显示区域 DA 中的数据线 224 延伸。栅极焊盘 242 形成在栅极链路线 246 的一端并且连接到外部的驱动电路单元（未

示出)。栅极链路线 246 通过连接图案 234 连接到连接线 232。连接线 232 连接到栅极电路块 230, 并且该栅极电路块 230 连接到显示区域 DA 中的栅极线 222 的一端。

虽然图中未示出, 每个薄膜晶体管 Tr 包括顺序形成的导电材料的栅极电极、绝缘材料的栅极绝缘层、半导体材料的有源层、以及导电材料的源极电极和漏极电极。在薄膜晶体管 Tr 上形成有机或无机绝缘材料的钝化层。该钝化层包括用于暴露该漏极电极的漏极接触孔, 并且透明导电材料的像素电极 245 通过该漏极接触孔连接到该漏极电极。

栅极链路线 246 可以由与薄膜晶体管 Tr 的栅极电极相同的材料形成并且在与之相同的层中形成。连接线 232 可以由与薄膜晶体管 Tr 的源极电极和漏极电极相同的材料形成并且在与之相同的层中形成。连接图案 234 可以由与像素电极 245 相同的材料形成并且在与之相同的层中形成。

虽然图中未示出, 在第二基板 250 的下表面上形成滤色器层, 在该滤色器层上形成公共电极。该滤色器层包括对应于像素区 P 的红、绿和蓝色滤色器。

该第一和第二基板 220 和 250 附有在其间的液晶层以使得像素电极 245 面对该公共电极。

在 LCD 设备 210 中, 外部的驱动电路单元向栅极焊盘 242 和数据焊盘 244 提供栅极控制信号和数据信号。该栅极控制信号包括源电压信号 VDD, 地电压信号 VSS, 第一源电压信号 VDD1, 第二源电压信号 VDD2, 开始信号 VST, 时钟信号 CLK1、CLK2、CLK3 和 CLK4, 和复位信号 RESET。该数据信号包括对应于像素区域 P 的图像信号。

栅极电路块 230 包括由多个移位寄存器级组成的移位寄存器。栅极电路块 230 通过连接线 232 从驱动电路单元接收栅极控制信号。该栅极电路块 230

按顺序生成用于导通薄膜晶体管 Tr 的栅极信号并将该栅极信号提供到栅极线 222。

该栅极控制信号被分类为直流 (DC) 信号和交流 (AC) 信号。DC 信号包括源电压信号 VDD, 地电压信号 VSS, 第一源电压信号 VDD1 和第二源电压信号 VDD2。AC 信号包括开始信号 VST 以及第一、第二、第三和第四时钟信号 CLK1、CLK2、CLK3 和 CLK4。由此, 传输该栅极控制信号的栅极链路线 246 被划分成用于传输 DC 信号的第一栅极链路线 246a 和用于传输 AC 信号的第二栅极链路线 246b。也就是说, 该第一栅极链路线 246a 分别用于传输 DC 信号, 并且被设置为彼此相邻。该第二栅极链路线 246b 分别用于传输 AC 信号, 并且被设置为彼此相邻。

更具体地, 源电压信号 VDD 和地电压信号 VSS 是被用作栅极电路块 230 的电源的 DC 电压。第一源电压信号 VDD1 和第二源电压信号 VDD2 是被交替用于最小化栅极电路块 230 的开关元件的应力的 DC 电压。源电压信号 VDD 和第二源电压信号 VDD2 是高电平电压, 地电压信号 VSS 和第一源电压信号 VDD1 是低电平电压。同时, 开始信号 VST 是在每帧的开始处同步并且启动栅极电路块 230 的工作的 AC 电压。第一、第二、第三和第四时钟信号 CLK1、CLK2、CLK3 和 CLK4 是用于生成栅极电路块 230 中的栅极信号的 AC 电压。复位信号 RESET 是用于该栅极电路块 230 的复位的 AC 电压。

在 LCD 设备 210 的第一基板 220 中, 传输 DC 信号的第一栅极链路线 246a 被布置为彼此相邻并且形成一个组, 该传输 AC 信号的第二栅极链路线 246b 被布置为彼此相邻并且形成另一组。

使用密封图案 280 连接第一和第二基板 220 和 250。密封图案 280 围绕显示区域 DA 并且形成在非显示区域 NDA 的边缘部分中。也就是说, 密封图案 280 对应于第二基板 250 的边缘部分并且被形成在显示区域 DA 的外部部分中, 从而使得该密封图案 280 与第二栅极链路线 246b 重叠。换句话说,

在图中的 LCD 设备 210 左侧的非显示区域 NDA 中,密封图案 280 覆盖被布置为彼此相邻的第二栅极链路线 246b。

更具体地,该第一和第二栅极链路线 246a 和 246b 包括连接到连接线 232 的第一部分和连接到栅极焊盘 242 的第二部分,并且该密封图案 280 覆盖该第二栅极链路线 246b 的第二部分。这里,该第一和第二栅极链路线 246a 和 246b 的第一部分可以是弯曲的。第一和第二栅极链路线 246a 和 246b 的第二部分可以平行于数据线 224。

由于密封图案 280 与第二栅极链路线 246b 的第二部分重叠,所以可以省去用于该密封图案 280 的额外区域。因此,可以减少 LCD 设备 210 的非显示区域 NDA 的宽度,并且可以增加该 LCD 设备的显示区域 DA 的相对比例。

这里,由于在第二栅极链路线 246b 的第二部分之上形成的密封图案 280 而存在寄生电容。然而,由于与该密封图案 280 重叠的所有第二栅极链路线 246b 都传输 AC 信号,所以由该寄生电容所导致的上升时间延迟和下降时间延迟基本上在每条线是相同的。因此,最小化由于该寄生电容而导致的第二栅极链路线 246b 所传输的 AC 信号的失真的偏移,并且该栅极电路块 230 没有误操作地生成栅极信号以及将该栅极信号提供到栅极线 222。

因此,这样就增加了 LCD 设备的显示区域的相对比例,并且减少了边框。提高了该 LCD 设备的外部品级。

图 8 是根据本发明第三实施例的 GIP 型 LCD 设备的平面图。

在图 8 中,GIP 型 LCD 设备 310 包括第一基板 320,第一基板 320 之上的第二基板 350,和插入在该基板 320 和 350 之间的液晶层(未示出)。

第一基板 320 也可以被称为阵列基板,包括用于显示图像的显示区域

DA 和用于驱动电路和信号线的非显示区域 NDA。

在第一基板 320 的显示区域 DA 中，形成栅极线 322、数据线 324、薄膜晶体管 Tr 和像素电极 345。该栅极线 322 和数据线 324 互相交叉以限定像素区 P。分别地，该薄膜晶体管 Tr 作为开关元件，连接到该栅极线 322 和数据线 324，并且像素电极 345 连接到该薄膜晶体管 Tr。

在第一基板 320 的非显示区域 NDA 中，形成栅极焊盘 342、数据焊盘 344、栅极电路块 330、栅极链路线 346、数据链路线 348 和连接线 332。数据焊盘 344 形成在数据链路线 348 的一端，并且连接到外部的驱动电路单元（未示出），该数据链路线 348 从显示区域 DA 中的数据线 324 延伸。栅极焊盘 342 形成在栅极链路线 346 的一端并且连接到外部的驱动电路单元（未示出）。栅极链路线 346 通过连接图案 334 连接到连接线 332。连接线 332 连接到栅极电路块 330，并且该栅极电路块 330 连接到显示区域 DA 中的栅极线 322 的一端。

虽然图中未示出，每个薄膜晶体管 Tr 包括顺序形成的导电材料的栅极电极、绝缘材料的栅极绝缘层、半导体材料的有源层、以及导电材料的源极电极和漏极电极。在薄膜晶体管 Tr 上形成有机或无机绝缘材料的钝化层。该钝化层包括用于暴露该漏极电极的漏极接触孔，并且透明导电材料的像素电极 345 通过该漏极接触孔连接到该漏极电极。

栅极链路线 346 可以由与薄膜晶体管 Tr 的栅极电极相同的材料形成并且在与之相同的层中形成。连接线 332 可以由与薄膜晶体管 Tr 的源极电极和漏极电极相同的材料形成并且在与之相同的层中形成。连接图案 334 可以由与像素电极 345 相同的材料形成并且在与之相同的层中形成。

虽然图中未示出，在第二基板 350 的下表面上形成滤色器层，在该滤色器层上形成公共电极。该滤色器层包括对应于像素区 P 的红、绿和蓝色滤色器。

该第一和第二基板 320 和 350 附有在其间的液晶层以使得像素电极 345 面对该公共电极。

在 LCD 设备 310 中，外部的驱动电路单元向栅极焊盘 342 和数据焊盘 344 提供栅极控制信号和数据信号。该栅极控制信号包括源电压信号 VDD，地电压信号 VSS，第一源电压信号 VDD1，第二源电压信号 VDD2，开始信号 VST，时钟信号 CLK1、CLK2、CLK3 和 CLK4，和复位信号 RESET。该数据信号包括对应于像素区域 P 的图像信号。

栅极电路块 330 包括由多个移位寄存器级组成的移位寄存器。栅极电路块 330 通过连接线 332 从驱动电路单元接收栅极控制信号。该栅极电路块 330 按顺序生成用于导通薄膜晶体管 Tr 的栅极信号并将该栅极信号提供到栅极线 322。

该栅极控制信号被分类为直流（DC）信号和交流（AC）信号。DC 信号包括源电压信号 VDD，地电压信号 VSS，第一源电压信号 VDD1 和第二源电压信号 VDD2。AC 信号包括开始信号 VST 以及第一、第二、第三和第四时钟信号 CLK1、CLK2、CLK3 和 CLK4。由此，传输该栅极控制信号的栅极链路线 346 被划分为用于传输 DC 信号的第一栅极链路线 346a 和用于传输 AC 信号的第二栅极链路线 346b。也就是说，该第一栅极链路线 346a 分别用于传输 DC 信号，并且被设置为彼此相邻。该第二栅极链路线 346b 分别用于传输 AC 信号，并且被设置为彼此相邻。

更具体地，源电压信号 VDD 和地电压信号 VSS 是被用作栅极电路块 330 的电源的 DC 电压。第一源电压信号 VDD1 和第二源电压信号 VDD2 是被交替用于最小化栅极电路块 330 的开关元件的应力的 DC 电压。源电压信号 VDD 和第二源电压信号 VDD2 是高电平电压，地电压信号 VSS 和第一源电压信号 VDD1 是低电平电压。同时，开始信号 VST 是在每帧的开始处同步并且启动栅极电路块 330 的工作的 AC 电压。第一、第二、第三和第四时钟

信号 CLK1、CLK2、CLK3 和 CLK4 是用于生成栅极电路块 330 中的栅极信号的 AC 电压。复位信号 RESET 是用于该栅极电路块 330 的复位的 AC 电压。

在 LCD 设备 310 的第一基板 320 中，该传输 DC 信号的第一栅极链路线 346a 被布置为彼此相邻并且形成一个组，该传输 AC 信号的第二栅极链路线 346b 被布置为彼此相邻并且形成另一组。

使用密封图案 380 连接第一和第二基板 320 和 350。密封图案 380 围绕显示区域 DA 并且形成在非显示区域 NDA 的边缘部分中。也就是说，密封图案 380 对应于第二基板 350 的边缘部分并且被形成在显示区域 DA 的外部部分中，使得该密封图案 380 重叠该用于传输 DC 信号的第一栅极链路线 246a 和用于传输 AC 信号的第二栅极链路线 346b。换句话说，在图中的 LCD 设备 310 左侧的非显示区域 NDA 中，密封图案 380 覆盖被布置为彼此相邻的第一栅极链路线 346a 和第二栅极链路线 346b。

更具体地，该第一和第二栅极链路线 346a 和 346b 包括连接到连接线 332 的第一部分和连接到栅极焊盘 342 的第二部分，并且该密封图案 380 覆盖该第一和第二栅极链路线 346a 和 346b 的第二部分。这里，该第一和第二栅极链路线 346a 和 346b 的第一部分可以是弯曲的。第一和第二栅极链路线 346a 和 346b 的第二部分可以平行于数据线 324。

由于密封图案 380 与第一和第二栅极链路线 346a 和 346b 的第二部分重叠，所以可以省去用于该密封图案 380 的额外区域。因此，可以减少 LCD 设备 310 的非显示区域 NDA 的宽度，并且可以增加该 LCD 设备的显示区域 DA 的相对比例。此外，密封图案 380 覆盖第一栅极链路线 346a 和第二栅极链路线 346b 的第二部分，且因此密封图案 380 具有足够的厚度以增加第一和第二基板 320 和 350 的连接性。

这里，存在由于在第一栅极链路线 346a 和第二栅极链路线 346b 的第二

部分之上形成的密封图案 380 而产生的寄生电容。然而，由该寄生电容所导致的该第一栅极链路线 346a 传输的 DC 信号的失真是不显著的，并且因为该第二栅极链路线 346b 彼此相邻，所以由该寄生电容所导致的该第二栅极链路线 346b 传输的 AC 信号的失真具有最小的偏移。因此，该栅极电路块 330 没有误操作地生成栅极信号并且将该栅极信号提供到栅极线 322。

因此，这样就增加了 LCD 设备的显示区域的相对比例，并且减少了边框。提高了该 LCD 设备的外部品级。

在根据本发明的 GIP 型 LCD 设备中，用于传输 DC 信号的第一栅极链路线被设置成彼此相邻且互相平行，用于传输 AC 信号的第二栅极链路线被设置成彼此相邻且互相平行。该第一和第二栅极链路线包括连接到栅极焊盘的第一部分和连接到连接线的第二部分。密封图案与该第一栅极链路线和 / 或第二栅极链路线的第二部分重叠。因此，可以省去用于该密封图案的额外区域，并且可以减少由于寄生电容而导致的信号失真和信号失真的偏移，从而提供了正常的栅极信号。

本领域技术人员将会清楚，对于本发明的制造和应用可以作出各种修改和变型而不脱离本发明的精神或范围。因此，本发明将覆盖本发明的落入所附权利要求及其等效形式的范围内的修改和变型。



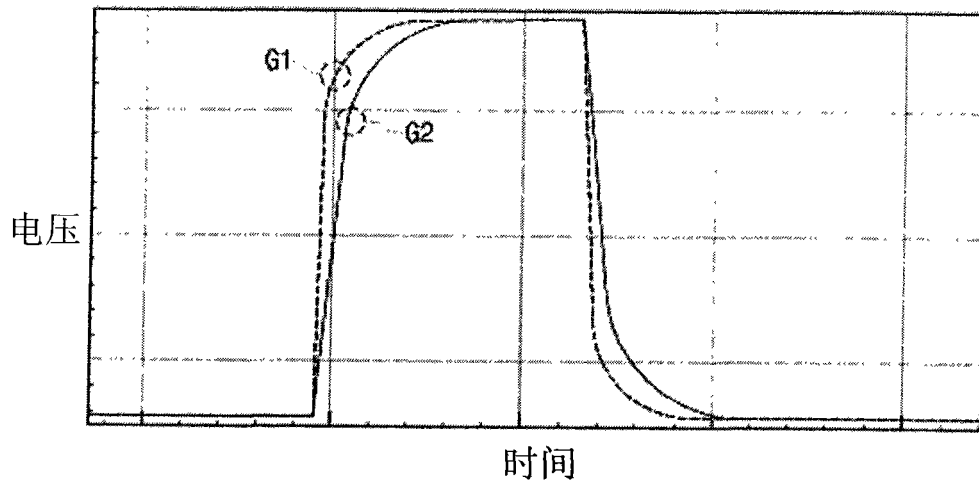


图 2

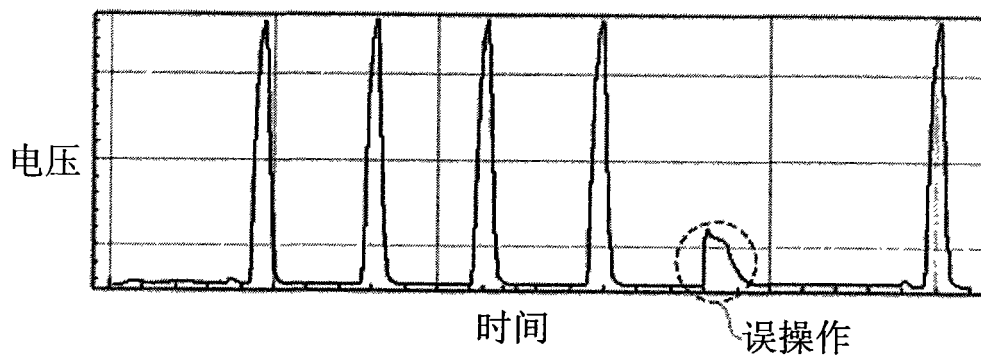


图 3

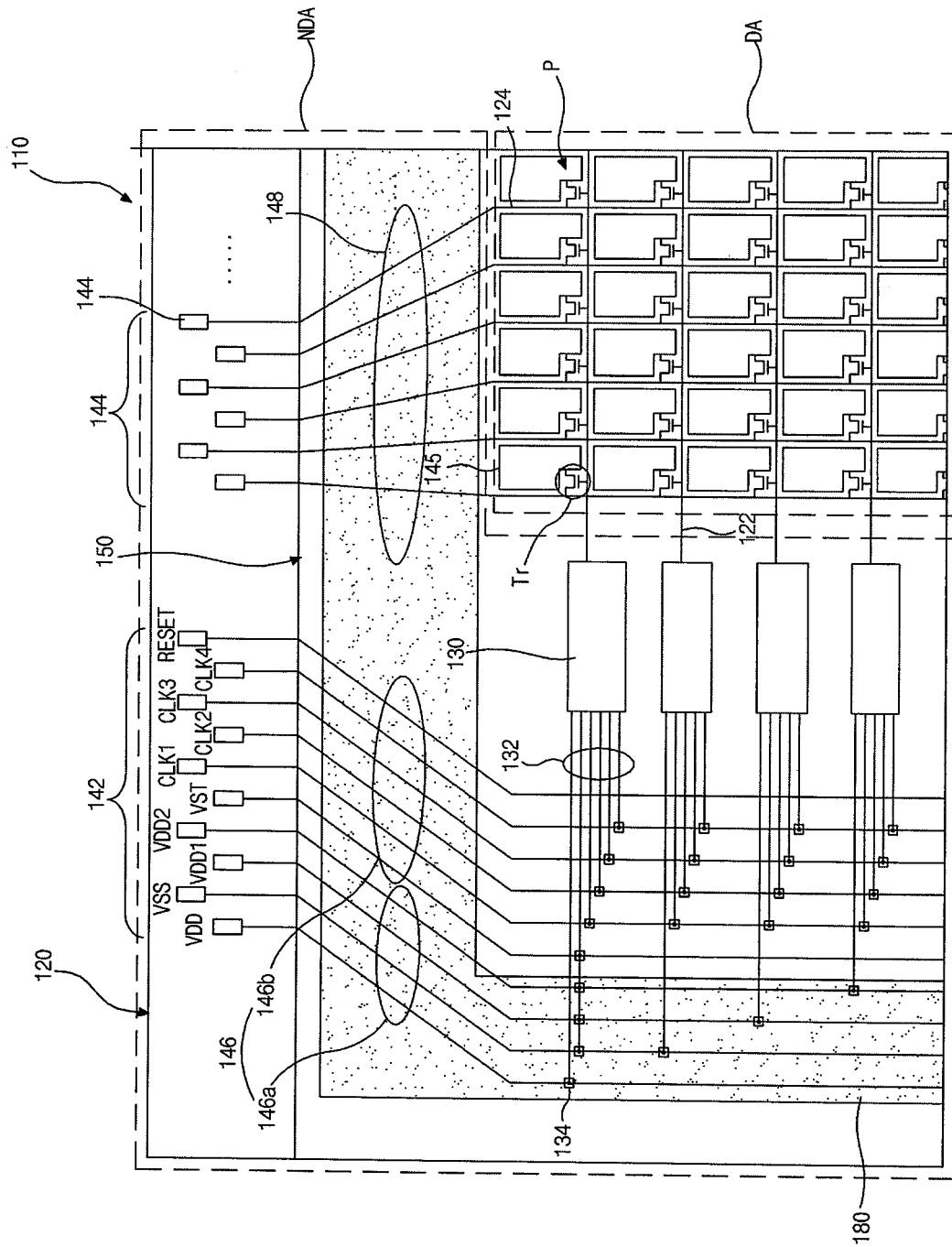


图4

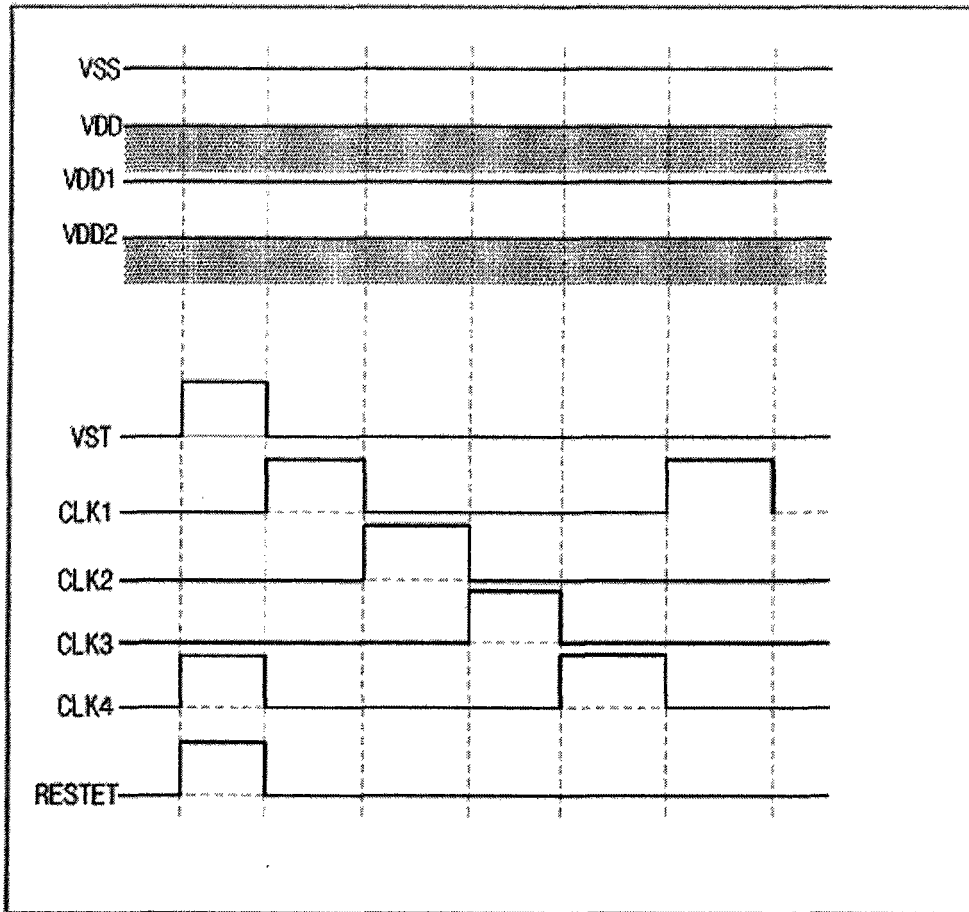


图 5

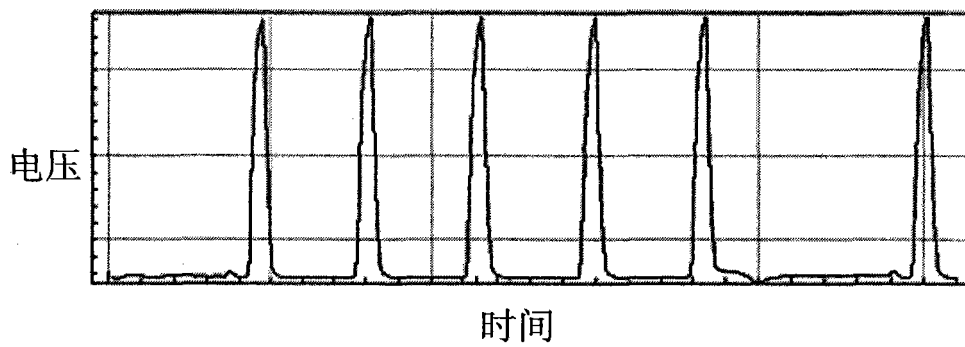


图 6



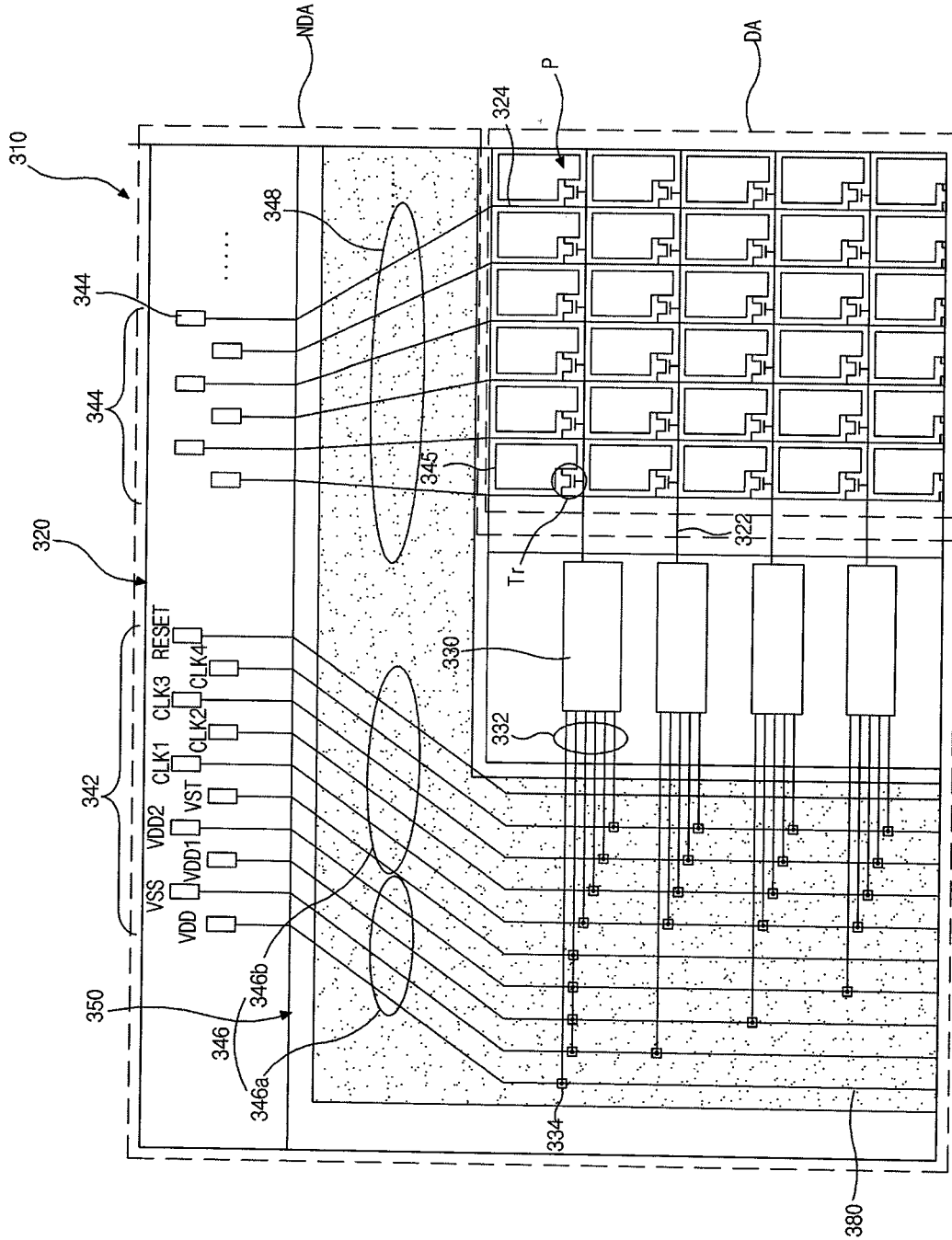


图8

