



(12) 发明专利

(10) 授权公告号 CN 101149500 B

(45) 授权公告日 2011.07.27

(21) 申请号 200710153025.5

CN 1811535 A, 2006.08.02, 全文.

(22) 申请日 2007.09.18

审查员 李晴晴

(30) 优先权数据

10-2006-0090255 2006.09.18 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李洪雨 许命九 李钟焕

(74) 专利代理机构 北京康信知识产权代理有限
责任公司 11240

代理人 章社泉 吴贵明

(51) Int. Cl.

G02F 1/133(2006.01)

G02F 1/1362(2006.01)

G09G 3/36(2006.01)

(56) 对比文件

CN 1755444 A, 2006.04.05, 全文.

CN 1573459 A, 2005.02.02, 全文.

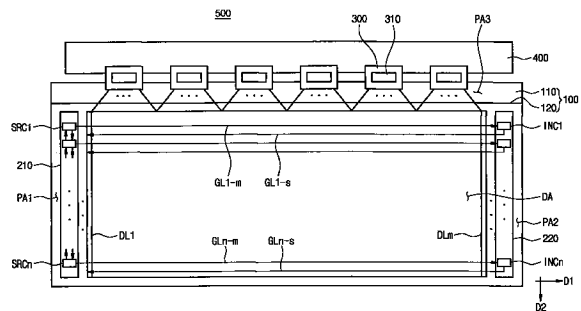
权利要求书 3 页 说明书 11 页 附图 6 页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明公开了一种显示装置,该显示装置具有像素,该像素包括连接于主栅极线和数据线的主像素以及连接于子栅极线和数据线的子像素。在时间段 1H 期间,主栅极驱动器向主栅极线输出主栅极脉冲。在时间段 1H 的第一部分期间,子栅极驱动器接收主栅极脉冲并向子栅极线输出子栅极脉冲。在时间段 1H 的第一部分期间,数据驱动器向数据线施加子像素电压,并在时间段 1H 的第二部分期间,向数据线施加主像素电压。



1. 一种液晶显示装置,包括:

第一基板,所述第一基板包括主栅极线、子栅极线、数据线、和像素,所述像素包括连接于所述主栅极线和所述数据线的主像素以及连接于所述子栅极线和所述数据线的子像素;

第二基板,与所述第一基板耦合并面对所述第一基板;

主栅极驱动器,在 1H 的第一阶段向所述主栅极线施加第一主栅极脉冲;

子栅极驱动器,在第二阶段期间向所述子栅极线施加子栅极脉冲,其中,所述第二阶段是所述第一阶段的第一个 H/2 阶段;以及

数据驱动器,在所述第二阶段期间向所述数据线施加子像素电压,并在第三阶段期间向所述数据线施加主像素电压,所述第三阶段是所述第一阶段的与所述第二阶段不同的第二个 H/2 阶段。

2. 根据权利要求 1 所述的液晶显示装置,其中,所述主栅极驱动器包括移位寄存器,所述移位寄存器具有串联连接的第一平台和第二平台,在所述第一阶段期间,所述第一平台向所述主栅极线提供所述第一主栅极脉冲。

3. 根据权利要求 2 所述的液晶显示装置,其中,所述主栅极驱动器通过薄膜形成工艺直接设置在所述第一基板上。

4. 根据权利要求 2 所述的液晶显示装置,其中,在对应于所述第一阶段的阶段期间,所述第一平台接收具有高电平的第一时钟信号,以在所述第一时钟信号具有高电平时输出所述第一主栅极脉冲,并且所述第二平台接收相对于所述第一时钟信号具有反向电平的第二时钟信号,以在所述第二时钟信号具有高电平时输出第二主栅极脉冲。

5. 根据权利要求 4 所述的液晶显示装置,其中,所述子栅极驱动器包括第一逆变器,所述第一逆变器在所述第二阶段期间接收所述第一主栅极脉冲并向所述子栅极线施加所述子栅极脉冲。

6. 根据权利要求 5 所述的液晶显示装置,其中,所述第一平台包括切换区,所述切换区具有的结构与所述第一逆变器的结构相同。

7. 根据权利要求 5 所述的液晶显示装置,其中,所述子栅极驱动器通过薄膜形成工艺直接设置在所述第一基板上。

8. 根据权利要求 5 所述的液晶显示装置,其中,在对应于所述第二阶段的阶段期间,所述第一逆变器接收具有低电平的第三时钟信号,以便在所述第三时钟信号具有低电平时输出第一子栅极脉冲。

9. 根据权利要求 8 所述的液晶显示装置,其中,所述子栅极驱动器进一步包括:

第二逆变器,所述第二逆变器接收相对于所述第三时钟信号具有反向电平的第四时钟信号,以便在所述第四时钟信号具有低电平时输出第二子栅极脉冲。

10. 根据权利要求 8 所述的液晶显示装置,其中,所述第一逆变器包括:

子上拉区,在所述第二阶段期间,所述子上拉区向输出端子输出所述第一主栅极脉冲;以及

放电区,在所述第三阶段期间,所述放电区将输出到所述输出端子的所述第一主栅极脉冲放电成与栅极截止电压的电平相对应的电平。

11. 根据权利要求 10 所述的液晶显示装置,其中,所述第一逆变器进一步包括:

输入端子,用于接收所述第一主栅极脉冲;
时钟端子,用于接收所述第三时钟信号;以及
电压输入端子,用于接收所述栅极截止电压。

12. 根据权利要求 9 所述的液晶显示装置,其中,所述第四时钟信号施加于所述第二逆变器的时钟端子。

13. 根据权利要求 12 所述的液晶显示装置,其中,所述第三时钟信号相对于所述第一时钟信号延迟的时间等于所述第二阶段,并且所述第四时钟信号相对于所述第二时钟信号延迟的时间等于所述第三阶段。

14. 根据权利要求 1 所述的液晶显示装置,
其中,所述主像素包括:

主薄膜晶体管,连接于所述主栅极线和所述数据线,以响应所述第一主栅极脉冲而输出所述主像素电压;以及

主像素电极,连接于所述主薄膜晶体管的输出电极,以接收所述主像素电压,并且

其中,所述子像素包括:

子薄膜晶体管,连接于所述子栅极线和所述数据线,以响应所述子栅极脉冲而输出所述子像素电压;以及

子像素电极,连接于所述子薄膜晶体管的输出电极,以接收所述子像素电压。

15. 根据权利要求 14 所述的液晶显示装置,其中,所述主像素电压具有的电平高于所述子像素电压的电平。

16. 根据权利要求 15 所述的液晶显示装置,其中,在所述第二阶段期间,所述子薄膜晶体管响应所述子栅极脉冲而向所述子像素电极施加所述子像素电压,并且所述主薄膜晶体管响应所述第一主栅极脉冲而对所述主像素电极预先充以所述子像素电压。

17. 根据权利要求 16 所述的液晶显示装置,其中,在所述第三阶段期间,所述主薄膜晶体管向所述主像素电极施加所述主像素电压,并且所述子薄膜晶体管响应所述子栅极脉冲而截止。

18. 一种液晶显示 (LCD) 装置,包括:

第一基板;

第二基板,面对所述第一基板;

像素,具有主像素和子像素;

主栅极驱动器,用于向所述主像素输出主栅极脉冲;以及

子栅极驱动器,用于响应所述主栅极脉冲而向所述子像素输出子栅极脉冲。

19. 根据权利要求 18 所述的液晶显示装置,进一步包括:

数据驱动器,连接于所述主像素和所述子像素,在第一阶段期间,所述数据驱动器向所述主像素和所述子像素输出第一数据信号,并且在第二阶段期间,向所述主像素输出第二数据信号。

20. 根据权利要求 19 所述的液晶显示装置,进一步包括:子像素薄膜晶体管,具有连接于所述子栅极驱动器的栅电极、连接于所述数据驱动器的源电极、以及连接于子像素电极的漏电极,

其中,在所述第二阶段期间,所述子像素薄膜晶体管截止。

21. 一种驱动显示装置的方法,所述方法包括:

在 1H 的第一阶段期间,向主栅极线施加主栅极脉冲;

在第二阶段期间,向子栅极线施加子栅极脉冲,其中,所述第二阶段是所述第一个 H/2 阶段;

在所述第二阶段期间,向数据线施加子像素电压,并在第三阶段期间,向所述数据线施加主像素电压,所述第三阶段是所述第一阶段的与第二阶段不同的第二个 H/2 阶段;

在所述第二阶段期间,响应所述子栅极脉冲,利用所述子像素电压显示子图像,并在所述第三阶段期间,响应所述主栅极脉冲,利用所述主像素电压显示主图像。

液晶显示装置

[0001] 本申请要求于 2006 年 9 月 18 日提交的第 2006-90255 号韩国专利申请的权益和优先权,其结合于此作为通用参考,如同在此全面地阐述。

技术领域

[0002] 本发明涉及一种显示装置,更具体地说,涉及一种液晶显示 (LCD) 装置,该 LCD 装置具有用于驱动主像素的主栅极驱动器和用于驱动子像素的子栅极驱动器。

背景技术

[0003] 通常, LCD 装置可包括 LCD 面板,该 LCD 面板包括底部基板、面对底部基板的顶部基板、以及介于底部基板与顶部基板之间的液晶层。LCD 面板还可包括栅极线、数据线、以及连接于栅极线和数据线的像素。信号施加于栅极线和数据线,以在整个液晶层上施加电场。由于液晶层中的液晶可具有各向异性介电常数,因此当电场施加于整个液晶层时液晶的排列可能改变。另外,由于液晶具有各向异性折射率,所以 LCD 装置的透光率可能会根据液晶的排列而改变。LCD 装置在两个基板之间施加电场,使得液晶具有对应于数据信号所传递的显示信息的透光率。因此,液晶的排列可根据所施加的电场而改变。

[0004] 此外,液晶的排列可以控制背光照明的穿过液晶层的传输,以在 LCD 装置上显示图像。

[0005] LCD 装置可以包括:栅极驱动器,用于向栅极线顺序地输出栅极脉冲;以及数据驱动器,用于向数据线输出数据电压。栅极驱动器和数据驱动器每一个均可以作为芯片而设置在 LCD 面板的薄膜上。

[0006] 近来,为了减少芯片的数量, LCD 装置可以采用栅极-IC 减少 (GIL) 结构,在该结构中,栅极驱动器通过薄膜形成工艺直接设置在底部基板上。在具有 GIL 结构的 LCD 装置中,栅极驱动器可以包括移位寄存器,该移位寄存器具有串联连接的多个平台 (stage),以向栅极线提供栅极脉冲。

[0007] 此外,图像垂直调整 (PVA) 模式 LCD 装置、多象限垂直配向 (MVA) 模式 LCD 装置、以及超级图像垂直调整 (S-PVA) 模式 LCD 装置已经得到发展,以改进 LCD 装置的视角。

[0008] 例如, S-PVA 模式 LCD 装置可以具有包括两个子像素的像素,其中每个子像素具有主像素电极和子像素电极,并且不同的子电压施加于主像素电极和子像素电极,以便形成具有不同灰度的域。由于观看显示在 LCD 装置上的图像的观看者可以识别介于主电压与不同子电压之间的中间值,所以 LCD 装置的横向视角不会由于中间灰度电平 (灰度级) 处的伽马 (γ , gamma) 曲线失真而变窄,从而可以提高 LCD 装置的横向可视性。

[0009] S-PVA 模式 LCD 装置根据其驱动方案可以分为耦合电容器 (CC) 型 LCD 装置或两晶体管 (TT) 型 LCD 装置。

[0010] CC 型 LCD 装置可以进一步包括位于主像素电极与子像素电极之间的耦合电容器。施加于主像素电极的主电压可以被电容器中的存储电压改变。因此,施加于主像素电极的主电压可以不同于施加于子像素电极的子电压。

[0011] TT 型 LCD 装置可以采用两个晶体管,这两个晶体管以预定的时间间隔顺序地导通,以向主像素电极施加主电压并向子像素电极施加子像素电压,其中主电压和子像素电压具有不同的电压电平。但是,TT 型 LCD 装置的驱动频率可以增加,以便驱动两个晶体管。驱动频率的增加可能增加 TT 型 LCD 装置的功率消耗。

[0012] 而且,在具有 GIL 结构的 TT 型 S-PVA 模式 LCD 装置中,由于可能驱动两倍数量的晶体管,所以栅极驱动器的平台数量可能增加。栅极驱动器中的附加平台可能增加 LCD 面板的尺寸,这也可能增加 LCD 装置的功率消耗。

发明内容

[0013] 本发明提供了一种 LCD 装置,该 LCD 装置尺寸能够最小化,同时通过降低驱动频率而节省功率消耗。

[0014] 本发明的其它特征将在随后的描述中阐述,并且部分将从描述中显而易见,或者可以通过本发明的实践而获知。

[0015] 本发明提供了一种显示装置,该显示装置包括:第一基板,该第一基板包括主栅极线、子栅极线、数据线、和像素,该像素包括连接于主栅极线和数据线的主像素以及连接于子栅极线和数据线的子像素;第二基板,与第一基板耦合并面对第一基板;主栅极驱动器,在第一阶段向主栅极线施加第一主栅极脉冲;子栅极驱动器,在第二阶段期间向子栅极线施加子栅极脉冲,其中第二阶段包括第一阶段的一部分;以及数据驱动器,在第二阶段期间向数据线施加子像素电压,并在第三阶段期间向数据线施加主像素电压,第三阶段包括第一阶段的与第二阶段分离的部分。

[0016] 本发明还提供了一种液晶显示装置,该液晶显示装置包括第一基板、面对第一基板的第二基板、具有主像素和子像素的像素、向主像素输出主栅极脉冲的主栅极驱动器、以及响应于主栅极脉冲而向子像素输出子栅极脉冲的子栅极驱动器。

[0017] 可以理解,上面的一般性描述和下面的详细描述是示例性和解释性的,并且用来提供对所要求保护的本发明的进一步解释。

附图说明

[0018] 将附图包括进来以提供对本发明的进一步理解,使其结合进来并组成本说明书的一部分,这些附图图解了本发明的实施例,并与描述一起用来解释本发明的原理。

[0019] 图 1 示出了根据本发明示例性实施例的 LCD 装置的平面图;

[0020] 图 2 示出了用于图 1 所示的主栅极驱动器、子栅极驱动器和像素的内部模块等效电路的电路图;

[0021] 图 3 示出了图 2 所示的主栅极驱动器的平台的内部电路图;

[0022] 图 4 示出了图 2 所示的子栅极驱动器的逆变器的内部电路图;

[0023] 图 5 示出了用于图 2 所示的第一时钟、第二时钟、第三时钟、第四时钟、第一主栅极脉冲、第二主栅极脉冲、第一子栅极脉冲和第二子栅极脉冲的波形的时序图;

[0024] 图 6 示出了对应于第一主栅极脉冲、第二主栅极脉冲、第一子栅极脉冲和第二子栅极脉冲的第一主像素电压、第二主像素电压、第一子像素电压和第二子像素电压的时序图。

具体实施方式

[0025] 在下文中,参照示出了本发明的实施例的附图对本发明进行更全面地描述。但是,本发明可以以各种不同的形式来具体体现,而不应该解释为限于这里所阐述的实施例。相反,提供这些实施例是为了使本公开更全面,并且将本发明的范围更充分地传达给本领域的普通技术人员。在附图中,为了清楚起见,可以放大层和区域的尺寸和相对尺寸。附图中类似的参考标号表示类似的元件。

[0026] 可以理解,当指出一个元件或层在另一元件或层“上”或“连接于”另一元件或层时,它可以直接在其它元件或层上或直接连接于其它元件或层,或者可以存在中介元件或层。相反,仅当指出一个元件“直接”在另一元件或层上或“直接连接于”另一元件或层时,不存在中介元件或层。

[0027] 可以理解,尽管这里可以使用术语第一、第二、第三等等来描述各种元件、部件、区域、层和 / 或部分,但这些元件、部件、区域、层和 / 或部分不应该受这些术语限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一个元件、部件、区域、层或部分区分开来。因此,在不背离本发明宗旨的前提下,下面所讨论的第一元件、部件、区域、层或部分也可以称作第二元件、部件、区域、层或部分。

[0028] 图 1 示出了根据本发明示例性实施例的 LCD 装置的平面图。图 1 中所示的 LCD 装置 500 可以是具有像素(包括主像素和子像素)的 S-PVA LCD 装置。

[0029] 参照图 1, S-PVA LCD 装置 500 可以包括:用于显示图像的 LCD 面板 100、接近 LCD 面板 100 设置的印刷电路板 400、以及将 LCD 面板 100 连接于印刷电路板 400 的带载封装件 300。

[0030] LCD 面板 100 可以包括:阵列基板 110、面对阵列基板 110 的滤色片基板 120、以及介于阵列基板 110 与滤色片基板 120 之间的液晶层(未示出)。阵列基板 110 可以分为用于显示图像的显示区域 DA 以及邻近该显示区域 DA 而设置的第一外围区域 PA1、第二外围区域 PA2 和第三外围区域 PA3。

[0031] 像素可以以矩阵形式设置在阵列基板 110 的显示区域 DA 中。显示区域 DA 还可以包括:沿第一方向 D1 延伸的主栅极线 GL1-m 至 GLn-m(其中 n 是等于或大于 1 的整数)、还是沿第一方向 D1 延伸的子栅极线 GL1-s 至 GLn-s、以及沿基本上垂直于第一方向 D1 的第二方向 D2 延伸的数据线 DL1 至 DLm(其中 m 是等于或大于 1 的整数)。像素可以设置在由栅极线和数据线限定的像素区域中。每个像素可以包括主像素和子像素。主像素可以连接于对应的主栅极线和数据线。子像素可以连接于对应的子栅极线和数据线。

[0032] 诸如红色、绿色和蓝色像素的彩色像素(包括分别用于过滤红色、绿色和蓝色光的红色、绿色和蓝色滤色片)可以对应于像素区域而设置在滤色片基板 120 上。

[0033] 第一外围区域 PA1 可以接近主栅极线 GL1-m 至 GLn-m 的第一端而设置,并且可以包括顺序地向主栅极线 GL1-m 至 GLn-m 施加主栅极脉冲的主栅极驱动器 210。主栅极驱动器 210 可以包括具有平台 SRC1 至 SRCn 的移位寄存器,这些平台串联地连接在一起。平台 SRC1 至 SRCn 的输出端子可以分别连接于主栅极线 GL1-m 至 GLn-m。主栅极线 GL1-m 至 GLn-m 可以以一一对应的关系对应于平台 SRC1 至 SRCn。因此,平台 SRC1 至 SRCn 可以顺序地向对应的主栅极线施加主栅极脉冲。

[0034] 第二外围区域 PA2 可以接近主栅极线 GL1-m 至 GLn-m 的第二端而设置。第二外围区域 PA2 可以包括子栅极驱动器 220, 该子栅极驱动器连接于主栅极线 GL1-m 至 GLn-m, 以接收主栅极脉冲并向子栅极线 GL1-s 至 GLn-s 输出子栅极脉冲。子栅极驱动器 220 可以包括逆变器 INC1 至 INCn, 这些逆变器可以连接于子栅极线 GL1-s 至 GLn-s。子栅极线 GL1-s 至 GLn-s 可以以一一对应的关系对应于逆变器 INC1 至 INCn。因此, 逆变器 INC1 至 INCn 可以在导通的同时向对应的子栅极线施加子栅极脉冲。

[0035] 主栅极驱动器 210 的平台 SRC1 至 SRCn 以及子栅极驱动器 220 的逆变器 INC1 至 INCn 将在后面参照图 2、图 3、图 4、图 5 和图 6 更详细地描述。

[0036] 在本发明的该示例性实施例中, 主栅极驱动器 210 和子栅极驱动器 220 可以与像素基本上同时地通过制造工艺 (诸如薄膜形成工艺) 设置在阵列基板 110 上。以这种方式, 主栅极驱动器 210 和子栅极驱动器 220 可以集成到阵列基板 110 上, 从而不再需要驱动芯片。因此, 可以减小 LCD 装置 500 的尺寸。

[0037] 第三外围区域 PA3 可以接近数据线 DL1 至 DLm 的一端而设置, 并且带载封装件 300 的第一端可以连接于第三外围区域 PA3。带载封装件 300 的第二端可以连接于印刷电路板 400。数据驱动芯片 310 可以设置在带载封装件 300 上, 以向数据线 DL1 至 DLm 提供数据信号。因此, 数据驱动芯片 310 可以响应从印刷电路板 400 输出的控制信号而向数据线 DL1 至 DLm 提供数据信号。

[0038] 第一栅极控制信号可以从印刷电路板 400 通过带载封装件 300 施加于主栅极驱动器 210。此外, 第二栅极控制信号可以从印刷电路板 400 通过带载封装件 300 施加于子栅极驱动器 220。因此, 主栅极驱动器 210 可以响应于第一栅极控制信号而向主栅极线 GL1-m 至 GLn-m 提供主栅极脉冲。子栅极驱动器 220 可以响应于第二栅极控制信号而向子栅极线 GL1-s 至 GLn-s 提供子栅极脉冲。

[0039] 图 2 示出了用于图 1 所示的主栅极驱动器、子栅极驱动器和像素的内部模块等效电路的电路图。

[0040] 参照图 2, 第一像素 P1 可以连接于第一主栅极线 GL1-m、第一子栅极线 GL1-s 和第一数据线 DL1, 并且第二像素 P2 可以连接于第二主栅极线 GL2-m、第二子栅极线 GL2-s 和第一数据线 DL1。

[0041] 第一像素 P1 可以包括第一主像素和第一子像素。第一主像素可以包括第一主薄膜晶体管 T1-m 和第一主像素电极 MPE1, 并且第一子像素可以包括第一子薄膜晶体管 T1-s 和第一子像素电极 SPE1。

[0042] 第一主薄膜晶体管 T1-m 可以连接于第一主栅极线 GL1-m 和第一数据线 DL1, 并且第一子薄膜晶体管 T1-s 可以连接于第一子栅极线 GL1-s 和第一数据线 DL1。更具体地说, 第一主薄膜晶体管 T1-m 的栅电极可以连接于第一主栅极线 GL1-m, 第一主薄膜晶体管 T1-m 的源电极可以连接于第一数据线 DL1, 并且第一主薄膜晶体管 T1-m 的漏电极可以连接于第一主像素电极 MPE1。第一子薄膜晶体管 T1-s 的栅电极可以连接于第一子栅极线 GL1-s, 第一子薄膜晶体管 T1-s 的源电极可以连接于第一数据线 DL1, 并且第一子薄膜晶体管 T1-s 的漏电极可以连接于第一子像素电极 SPE1。

[0043] 第二像素 P2 可以包括第二主像素和第二子像素。第二主像素可以包括第二主薄膜晶体管 T2-m 和第二主像素电极 MPE2, 并且第二子像素可以包括第二子薄膜晶体管 T2-s

和第二子像素电极 SPE2。

[0044] 第二主薄膜晶体管 T2-m 可以连接于第二主栅极线 GL2-m、第一数据线 DL1 和第二主像素电极 MPE2, 并且第二子薄膜晶体管 T2-s 可以连接于第二子栅极线 GL2-s、第一数据线 DL1 和第二子像素电极 SPE2。更具体地说, 第二主薄膜晶体管 T2-m 的栅电极可以连接于第二主栅极线 GL2-m, 第二主薄膜晶体管 T2-m 的源电极可以连接于第一数据线 DL1, 并且第二主薄膜晶体管 T2-m 的漏电极可以连接于第二主像素电极 MPE2。第二子薄膜晶体管 T2-s 的栅电极可以连接于第二子栅极线 GL2-s, 第二子薄膜晶体管 T2-s 的源电极可以连接于第一数据线 DL1, 并且第二子薄膜晶体管 T2-s 的漏电极可以连接于第二子像素电极 SPE2。

[0045] 主栅极驱动器 210 的第一平台 SRC1 可以连接于第一主栅极线 GL1-m, 以向第一主栅极线 GL1-m 施加第一主栅极脉冲。

[0046] 第一平台 SRC1 可以包括: 第一输入端子 IN1 和第二输入端子 IN2、第一时钟端子 CK1 和第二时钟端子 CK2、截止电压 (offvoltage) 输入端子 Vin、输出端子 OUT、进位 (carry) 端子 CR、以及复位端子 RE。起始信号 STV 可以施加于第一输入端子 IN1, 第一时钟信号 CK-L 可以施加于第一时钟端子 CK1, 并且第二时钟信号 CKB-L 可以施加于第二时钟端子 CK2。如图 5 所示并如下面更详细的描述, 第二时钟信号 CKB-L 相对于第一时钟信号 CK-L 可以具有反向信号电平。

[0047] 栅极截止电压 Voff 可以施加于截止电压输入端子 Vin。在本发明的另一示例性实施例中, 接地电压可以施加于截止电压输入端子 Vin。可以根据主像素中的主薄膜晶体管 T1-m 至 Tn-m 的阈值电压来选择栅极截止电压 Voff, 并且根据薄膜晶体管是例如 p 型薄膜晶体管还是 n 型薄膜晶体管, 该栅极截止电压可以变化。

[0048] 第一主栅极脉冲可以从输出端子 OUT 输出到第一主栅极线 GL1-m, 并且进位信号可以从进位端子 CR 输出。此外, 从第二平台 SRC2 输出的进位信号可以施加于第二输入端子 IN2。

[0049] 主栅极驱动器 210 的第二平台 SRC2 可以连接于第二主栅极线 GL2-m, 以向第二主栅极线 GL2-m 施加第二主栅极脉冲。

[0050] 第二平台 SRC2 可以具有与第一平台 SRC1 相同的结构。第一时钟信号 CK-L 可以施加于第二时钟端子 CK2, 并且第二时钟信号 CKB-L 可以施加于第一时钟端子 CK1。这种设置可以类似于主栅极驱动器 210 中的其它平台。具体地说, 第一时钟信号 CK-L 可以施加于主栅极驱动器 210 的奇数平台的第一时钟端子 CK1 和偶数平台的第二时钟端子 CK2。此外, 第二时钟信号 CKB-L 可以施加于主栅极驱动器 210 的奇数平台的第二时钟端子 CK2 和偶数平台的第一时钟端子 CK1。

[0051] 虽然图 2 仅示出了主栅极驱动器 210 的第一平台 SRC1 和第二平台 SRC2, 随后的平台 SRC3 至 SRCn 可以具有与第一平台 SRC1 和第二平台 SRC2 相同的结构, 所以将省略其详细描述。可以从最后的平台 SRCn 将进位信号提供给这些平台的复位端子 RE, 以使这些平台复位。

[0052] 子栅极驱动器 220 的第一逆变器 INC1 可以连接于第一主栅极线 GL1-m 并连接于第一子栅极线 GL1-s, 并且可以响应于接收第一主栅极脉冲而向第一子栅极线 GL1-s 施加第一子栅极脉冲。

[0053] 第一逆变器 INC1 可以包括输入端子 IN、时钟端子 CK、截止电压输入端子 Vin 和输

出端子 OUT。第一主栅极脉冲可以在输入端子 IN 处被接收,并且第三时钟信号 CK-R 可以施加于时钟端子 CK。截止电压 V_{off} 可以施加于截止电压输入端子 V_{in} ,并且第一子栅极脉冲可以从输出端子 OUT 输出。栅极截止电压 V_{off} 可以与施加于第一平台 SRC1 的截止电压 V_{off} 相同。可替换地,施加于逆变器 INC1 至 INCn 的栅极截止电压 V_{off} 可以根据子像素中的子薄膜晶体管 T1-s 至 Tn-s 的阈值电压来选择,并且该栅极截止电压可以根据子薄膜晶体管是例如 p 型薄膜晶体管还是 n 型薄膜晶体管而变化。

[0054] 子栅极驱动器 220 的第二逆变器 INC2 可以连接于第二主栅极线 GL2-m,并且可以响应于接收第二主栅极脉冲而向第二子栅极线 GL2-s 施加第二子栅极脉冲。第二逆变器 INC2 可以包括与第一逆变器 INC1 的结构基本相同的结构。但是,第四时钟信号 CKB-R 可以施加于第二逆变器 INC2 的时钟端子 CK。如图 5 所示并且如下面更详细的描述,第四时钟信号 CKB-R 相对于第三时钟信号 CK-R 可以具有反向信号电平。

[0055] 图 3 示出了图 2 所示的主栅极驱动器的第一平台 SRC1 的内部电路图。

[0056] 参照图 3,第一平台 SRC1 可以包括:上拉区 211、下拉区 212、上拉驱动器 213、抗波动区 214、保持区 216、切换区 217、复位区 218、以及进位区 219。

[0057] 上拉区 211 可以包括上拉晶体管 NT1,该上拉晶体管包括:连接于上拉驱动器 213 的控制电极、连接于第一时钟端子 CK1 的输入电极、以及连接于输出端子 OUT 的输出电极。第一时钟信号 CK-L 可以施加于第一时钟端子 CK1。上拉晶体管 NT1 可以响应于由上拉驱动器 213 提供的控制电压而向输出端子 OUT 输出第一时钟信号 CK-L。因此,在 1H 阶段期间,第一主栅极脉冲可以由具有高电平的第一时钟信号 CK-L 拉起,这将在下面参照图 5 更详细地描述。

[0058] 进位区 219 可以包括进位晶体管 NT14,该进位晶体管包括:连接于上拉驱动器 213 的控制电极、连接于第一时钟端子 CK1 的输入电极、以及连接于进位端子 CR 的输出电极。进位晶体管 NT14 可以响应于由上拉驱动器 213 提供的控制电压而向进位端子 CR 输出第一时钟信号 CK-L。因此,在 1H 阶段期间,第一进位信号可以由第一时钟信号 CK-L 增加至高电平。

[0059] 下拉区 212 可以包括下拉晶体管 NT2,该下拉晶体管包括:连接于第二输入端子 IN2 的控制电极、连接于输出端子 OUT 的输入电极、以及连接于截止电压输入端子 V_{in} 的输出电极。来自随后平台(诸如第二平台 SRC2)的进位信号可以施加于第二输入端子 IN2,并且栅极截止电压 V_{off} 可以施加于截止电压输入端子 V_{in} 。下拉晶体管 NT2 可以响应于第二主栅极脉冲而下拉已由第一时钟信号 CK-L 拉起的第一主栅极脉冲,使得第一主栅极脉冲具有对应于栅极截止电压 V_{off} 的电平。

[0060] 上拉驱动器 213 可以包括缓冲晶体管 NT3、第一电容器 C1、第二电容器 C2 和放电晶体管 NT4。缓冲晶体管 NT3 可以包括:输入端子和控制电极,两者都连接于第一输入端子 IN1;以及输出电极,连接于上拉晶体管 NT1 的控制电极。起始信号 STV 可以施加于第一平台 SRC1 的第一输入端子 IN1。第一电容器 C1 可以设置在上拉晶体管 NT1 的控制电极与输出电极之间,并且第二电容器 C2 可以设置在进位晶体管 NT14 的控制电极与输出电极之间。放电晶体管 NT4 可以包括:连接于缓冲晶体管 NT3 的输出电极的输入电极、连接于第二输入端子 IN2 的控制电极、以及连接于截止电压输入端子 V_{in} 的输出电极。

[0061] 当缓冲晶体管 NT3 响应于起始信号 STV 而导通时,可以对第一电容器 C1 和第二电

容器 C2 充电。如果第一电容器 C1 被充以等于或大于上拉晶体管 NT1 的阈值电压的电压,则上拉晶体管 NT1 可以导通。因此,第一时钟信号 CK-L 可以借助于上拉晶体管 NT1 输出到输出端子 OUT,使得第一主栅极脉冲具有高电平。

[0062] 当放电晶体管 NT4 响应于来自随后平台的进位信号而导通时,存储在第一电容器 C1 中的电压可以通过放电晶体管 NT4 放电到栅极截止电压 V_{off} 的电平。因此,第一节点 N1 的电势可以降低到栅极截止电压 V_{off} 的电平,并且上拉晶体管 NT1 可以切断,以将第一主栅极脉冲降低到低电平。

[0063] 抗波动区 214 可以包括第一抗波动晶体管 NT5、第二抗波动晶体管 NT6、以及第三抗波动晶体管 NT7。第一抗波动晶体管 NT5 可以包括:连接于第一时钟端子 CK1 的控制电极、连接于上拉晶体管 NT1 的输出电极的输入电极、以及连接于上拉晶体管 NT1 的控制电极的输出电极。第二抗波动晶体管 NT6 可以包括:连接于第二时钟端子 CK2 的控制电极、连接于第一输入端子 IN1 的输入电极、以及连接于上拉晶体管 NT1 的控制电极的输出电极。第三抗波动晶体管 NT7 可以包括:连接于第二时钟端子 CK2 的控制电极、连接于上拉晶体管 NT1 的输出电极的输入电极、以及连接于截止电压输入端子 V_{in} 的输出电极。第二时钟信号 CKB-L 可以施加于第二时钟端子 CK2。

[0064] 第一抗波动晶体管 NT5 可以响应施加于第一时钟端子 CK1 的第一时钟信号 CK-L 而向上拉晶体管 NT1 的控制电极提供可从输出端子 OUT 输出的第一主栅极脉冲。因此,由于第一主栅极脉冲,第一节点 N1 的电势可以保持在与栅极截止电压 V_{off} 的电平相对应的电平,从而防止第一节点 N1 的波动。第二抗波动晶体管 NT6 可以响应施加于第二时钟端子 CK2 的第二时钟信号 CKB-L 而向第一节点 N1 提供施加于第一输入端子 IN1 的起始信号 STV。由于起始信号 STV 保持在低状态,所以第一节点 N1 的电势可以保持在低电平,从而可以防止第一节点 N1 的波动。此外,第三抗波动晶体管 NT7 可以响应于第二时钟信号 CKB-L 而将第一主栅极脉冲的电平降低到与栅极截止电压 V_{off} 相对应的电平,从而防止第一主栅极脉冲的波动。

[0065] 保持区 216 可以包括保持晶体管 NT8,该保持晶体管包括:连接于主逆变器 217 的输出端子的控制电极、连接于输出端子 OUT 的输入电极、以及连接于截止电压输入端子 V_{in} 的输出电极。

[0066] 主逆变器 217 可以包括:第一倒相晶体管 NT9、第二倒相晶体管 NT10、第三倒相晶体管 NT11、第四倒相晶体管 NT12、第三电容器 C3、以及第四电容器 C4。主逆变器 217 可以向保持晶体管 NT8 的控制端子施加信号,以使保持晶体管 NT8 导通和截止。

[0067] 第一倒相晶体管 NT9 可以包括:输入电极和控制电极,两者都连接于第一时钟端子 CK1;以及输出电极,通过第四电容器 C4 连接于第二倒相晶体管 NT10 的输出电极。第二倒相晶体管 NT10 可以包括:连接于第一时钟端子 CK1 的输入电极、通过第三电容器 C3 连接于该输入电极的控制电极、以及连接于保持晶体管 NT8 的控制电极的输出电极。第三倒相晶体管 NT11 可以包括:连接于第一倒相晶体管 NT9 的输出电极的输入电极、连接于输出端子 OUT 的控制电极、以及连接于截止电压输入端子 V_{in} 的输出电极。第四倒相晶体管 NT12 可以包括:连接于保持晶体管 NT8 的控制电极的输入电极、连接于输出端子 OUT 的控制电极、以及连接于截止电压输入端子 V_{in} 的输出电极。

[0068] 在其中第一主栅极脉冲处于高电平的 1H 阶段期间,第三倒相晶体管 NT11 和第四

倒相晶体管 NT12 可以响应于第一主栅极脉冲而导通。因此,从第一倒相晶体管 NT9 和第二倒相晶体管 NT10 输出的第一时钟信号 CK-L 可以通过第三倒相晶体管 NT11 和第四倒相晶体管 NT12 而放电到与栅极截止电压 V_{off} 的电平相对应的电平。因此,在 1H 阶段期间,主逆变器 217 的输出端子可以向保持晶体管 NT8 的控制端子输出栅极截止电压 V_{off} ,并且保持晶体管 NT8 可以截止。

[0069] 之后,当第一主栅极脉冲具有低电平时,第三倒相晶体管 NT11 和第四倒相晶体管 NT12 可以截止。因此,主逆变器 217 可以输出来自第一倒相晶体管 NT9 和第二倒相晶体管 NT10 的第一时钟信号 CK-L。从而,当从主逆变器 217 输出的第一时钟信号 CK-L 具有高电平时,保持晶体管 NT8 将第一主栅极脉冲放电到与栅极截止电压 V_{off} 的电平相对应的电平。

[0070] 同时,复位区 218 可以包括复位晶体管 NT13,该复位晶体管包括:连接于复位端子 RE 的控制电极、连接于上拉晶体管 NT1 的控制电极的输入电极、以及连接于截止电压输入端子 V_{in} 的输出电极。复位晶体管 NT13 可以响应于最后平台 SRCn 中所产生的最后进位信号而将第一节点 N1 的电压降低到与栅极截止电压 V_{off} 的电平相对应的电平,该最后进位信号可以通过复位端子 RE 输入到复位晶体管 NT13 中。因此,上拉晶体管 NT1 和进位晶体管 NT14 可以响应于最后平台 SRCn 的最后进位信号而截止。

[0071] 可将最后进位信号提供给这些平台的复位端子 RE,以使平台的上拉晶体管 NT1 和进位晶体管 NT14 截止,从而使平台复位。

[0072] 图 4 示出了图 2 所示的子栅极驱动器的逆变器 INC1 的内部电路图。

[0073] 参照图 4,第一逆变器 INC1 可以包括第五倒相晶体管 NT15、第六倒相晶体管 NT16、第七倒相晶体管 NT17、第八倒相晶体管 NT18、第五电容器 C5、以及第六电容器 C6。

[0074] 第五倒相晶体管 NT15 可以包括:输入电极和控制电极,两者都连接于输入端子 IN;以及输出电极,连接于第六电容器 C6 的第一电极。第六电容器 C6 的第二电极可以连接于输出端子 OUT。第六倒相晶体管 NT16 可以包括:连接于输入端子 IN 的输入电极、连接于第五倒相晶体管 NT15 的输出电极的控制电极、以及连接于输出端子 OUT 的输出电极。第五电容器 C5 可以设置在输入端子 IN 与第六倒相晶体管 NT16 的控制电极之间。第七倒相晶体管 NT17 可以包括:连接于第五倒相晶体管 NT15 的输出电极的输入电极、连接于时钟端子 CK 的控制电极、以及连接于截止电压输入端子 V_{in} 的输出电极。第八倒相晶体管 NT18 可以包括:连接于输出端子 OUT 的输入电极、连接于时钟端子 CK 的控制电极、以及连接于截止电压输入端子 V_{in} 的输出电极。

[0075] 在输入到输入端子 IN 的第一主栅极脉冲具有高电平的 1H 阶段期间,第五倒相晶体管 NT15 和第六倒相晶体管 NT16 可以响应于第一主栅极脉冲而导通。同时,当输入到时钟端子 CK 的第三时钟信号 CK-R 具有低电平时,第七倒相晶体管 NT17 和第八倒相晶体管 NT18 可以截止。此时,在与第三时钟信号 CK-R 的低阶段重叠的第一个 H/2 阶段期间,经过第五倒相晶体管 NT15 和第六倒相晶体管 NT16 的第一主栅极脉冲通过输出端子 OUT 而被输出。因此,在第一个 H/2 阶段期间,第一主栅极脉冲可以输出到第一子栅极线 GL1-s,作为第一子栅极脉冲。

[0076] 然后,如果将第三时钟信号 CK-R 的电平切换到高电平,则第七倒相晶体管 NT17 和第八倒相晶体管 NT18 可以导通。因此,当第七倒相晶体管 NT17 和第八倒相晶体管 NT18 导通时,在第二个 H/2 阶段期间,从第五倒相晶体管 NT15 和第六倒相晶体管 NT16 输出的第一

主栅极脉冲可以放电到与栅极截止电压 V_{off} 的电平相对应的电平。从而,在第二个 H/2 阶段期间,当第三时钟信号 CK-R 处于高电平时,输出端子 OUT 可以输出与栅极截止电压 V_{off} 的电平相对应的电平的第一子栅极脉冲。

[0077] 在这种方式中,由于在 S-PVA LCD 装置 500 中一个像素包括主像素和子像素,所以在 1H 阶段期间主像素和子像素可以导通,以驱动包括主像素和子像素的一个像素行 (pixel row)。

[0078] 子栅极驱动器 220 的每个随后的逆变器 INC2 至 INCn 均可以具有与包括在子栅极驱动器 220 中的主逆变器 INC1 的结构基本相同的结构。因此,与主栅极驱动器 210 相比,可以以更少的晶体管来操作子栅极驱动器 220。因此,子栅极驱动器 220 的尺寸可以小于主栅极驱动器 210 的尺寸,并且可以简化 S-PVA LCD 装置 500 的制造工艺。

[0079] 现在,将更详细地描述 1H 阶段和 H/2 阶段。根据本发明的示出实施例,主栅极驱动器 210 可以顺序地产生主栅极脉冲,以在 1H 阶段期间具有高电平信号,该 1H 阶段可以包括等于主栅极脉冲阶段的一半的阶段。在 1H 的第一个 H/2 阶段期间,子栅极驱动器 220 可以产生子栅极脉冲。第一阶段 H/2 可以是主栅极脉冲阶段的 1/4 阶段和 1H 阶段的一半。子栅极驱动器 220 可以包括多个逆变器 INC1 至 INCn,其中每个逆变器接收主栅极脉冲以及第三时钟信号 CK-R 或第四时钟信号 CKB-R,与施加于主栅极驱动器 210 的第一时钟信号 CK-L 或第二时钟信号 CKB-L 相比,第三时钟信号 CK-R 或第四时钟信号 CKB-R 中的每一个均延迟 H/2 阶段,以产生子栅极脉冲。

[0080] 此外,第一时钟信号 CK-L、第二时钟信号 CKB-L、第三时钟信号 CK-R、以及第四时钟信号 CKB-R 具有相同的频率和阶段设定,该阶段设定与等于主栅极脉冲阶段的 2H 阶段相对应。因此,主栅极驱动器 210 和子栅极驱动器 220 的驱动频率可以保持恒定,从而降低 S-PVA LCD 装置 500 的功率消耗。

[0081] 图 5 示出了用于图 2 所示的第一时钟、第二时钟、第三时钟、第四时钟、第一主栅极脉冲、第二主栅极脉冲、第一子栅极脉冲和第二子栅极脉冲的波形的时序图。

[0082] 参照图 5,在其中第一主栅极晶体管导通的 1H 阶段期间,第一时钟信号 CK-L 具有高电平。此外,由于第一时钟信号 CK-L 相对于第二时钟信号 CKB-L 具有倒相电平的信号,所以第二时钟信号 CKB-L 相对于第一时钟信号 CK-L 具有 1H 阶段的相移。而且,由于第三时钟信号 CK-R 相对于第四时钟信号 CKB-R 具有倒相电平的信号,所以第四时钟信号 CKB-R 相对于第三时钟信号 CK-R 具有 1H 阶段的相移。此外,第三时钟信号 CK-R 相对于第一时钟信号 CK-L 具有 H/2 阶段的相移,并且第四时钟信号 CKB-R 相对于第二时钟信号 CKB-L 具有 H/2 阶段的相移。

[0083] 在 1H 阶段期间,第一平台 SRC1 输出第一主栅极脉冲 $G1-m$,该第一主栅极脉冲具有的高电平对应于第一时钟信号 CK-L 的高电平。在 1H 阶段的第一个 H/2 阶段期间,第一逆变器 INC1 响应于接收第一主栅极脉冲 $G1-m$ 而输出第一子栅极脉冲 $G1-s$ 以及第三时钟信号 CK-R。因此,在 1H 阶段的第一个 H/2 阶段期间,第一主栅极脉冲 $G1-m$ 和第一子栅极脉冲 $G1-s$ 具有高电平,并且该两脉冲分别施加于第一主栅极线 $GL1-m$ 和第一子栅极线 $GL1-s$ 。

[0084] 在 1H 阶段的第一个 H/2 阶段之后,从第一逆变器 INC1 输出的第一子栅极脉冲 $G1-s$ 被放电到与栅极截止电压 V_{off} 的电平相对应的低电平。因此,在 1H 阶段的第二个 H/2 阶段期间,仅第一主栅极脉冲 $G1-m$ 具有高电平。

[0085] 在下一个 1H 阶段期间,第二平台 SRC2 输出与第二时钟信号 CKB-L 的高阶段相对应的第二主栅极脉冲 G2-m。在该下一个 1H 阶段的第一个 H/2 阶段期间,第二逆变器 INC2 响应于接收第二主栅极脉冲 G2-m 和第四时钟信号 CKB-R 而输出第二子栅极脉冲 G2-s。因此,在该下一个 1H 阶段的第一个 H/2 阶段期间,第二主栅极脉冲 G2-m 和第二子栅极脉冲 G2-s 具有高电平,并且分别被施加于第二主栅极线 GL2-m 和第二子栅极线 GL2-s。

[0086] 之后,从第二逆变器 INC2 输出的第二子栅极脉冲 G2-s 被放电到与栅极截止电压 V_{off} 的电平相对应的低电平。因此,在该下一个 1H 阶段的第二个 H/2 阶段期间,仅第二主栅极脉冲 G2-m 具有高电平。

[0087] 图 6 示出了对应于第一主栅极脉冲 G1-m、第二主栅极脉冲 G2-m、第一子栅极脉冲 G1-s 和第二子栅极脉冲 G2-s 的第一主像素电压、第二主像素电压、第一子像素电压和第二子像素电压的波形的时序图。

[0088] 参照图 2、图 3、图 4、图 5 和图 6,在 1H 阶段期间,第一主薄膜晶体管 T1-m 响应处于高电平的第一主栅极脉冲 G1-m 而被导通,并且在 1H 阶段的第一个 H/2 阶段期间,第一子薄膜晶体管 T1-s 响应处于高电平的第一子栅极脉冲 G1-s 而被导通。

[0089] 在 1H 阶段的第一个 H/2 阶段期间,第一子像素电压 V_{pS1} 可以施加于第一数据线 DL1。当导通时第一子像素电压 V_{pS1} 可以通过第一主薄膜晶体管 T1-m 施加于第一主像素电极 MPE1,并且当导通时可以通过第一子薄膜晶体管 T1-s 施加于第一子像素电极 SPE1。

[0090] 尽管在 1H 阶段的第二个 H/2 阶段期间,当第一主栅极脉冲 G1-m 处于高电平时第一主薄膜晶体管 T1-m 导通,但当第一子栅极脉冲 G1-s 切换到低电平时第一子薄膜晶体管 T1-s 截止。此外,在 1H 阶段的第二个 H/2 阶段期间,第一主像素电压 V_{pM1} 可以施加于第一数据线 DL1。因此,当导通时第一主像素电压 V_{pM1} 可以通过第一主薄膜晶体管 T1-m 仅施加于第一主像素电极 MPE1。

[0091] 由于在 1H 阶段的第一个 H/2 阶段期间,第一主像素电极 MPE1 可以被充以第一子像素电压 V_{pS1} ,所以在 1H 阶段的第二个 H/2 阶段期间,第一主像素电极 MPE1 可以在短时间内被充以第一主像素电压 V_{pM1} 。因此,具有上述结构的 S-PVA LCD 装置 500 可以提高对应于主像素的液晶的响应速度。

[0092] 同时,在下一个 1H 阶段期间,第二主薄膜晶体管 T2-m 可以响应处于高电平的第二主栅极脉冲 G2-m 而导通,并且在下一个 1H 阶段的第一个 H/2 阶段期间,第二子薄膜晶体管 T2-s 可以响应处于高电平的第二子栅极脉冲 G2-s 而导通。

[0093] 在该下一个 1H 阶段的第一个 H/2 阶段期间,第二子像素电压 V_{pS2} 可以施加于第一数据线 DL1。当导通时第二子像素电压 V_{pS2} 可以通过第二主薄膜晶体管 T2-m 施加于第二主像素电极 MPE2,并且当导通时可以通过第二子薄膜晶体管 T2-s 施加于第二子像素电极 SPE2。

[0094] 尽管在该下一个 1H 阶段的第二个 H/2 阶段期间,当第二主栅极脉冲 G2-m 处于高电平时第二主薄膜晶体管 T2-m 导通,但当第二子栅极脉冲 G2-s 切换到低电平时第二子薄膜晶体管 T2-s 截止。此外,在该下一个 1H 阶段的第二个 H/2 阶段期间,第二主像素电压 V_{pM2} 可以仅施加于第一数据线 DL1。因此,当导通时第二主像素电压 V_{pM2} 可以通过第二主薄膜晶体管 T2-m 仅施加于第二主像素电极 MPE2。

[0095] 由于在该下一个 1H 阶段的第一个 H/2 阶段期间,第二主像素电极 MPE2 可以被充

以第二子像素电压 V_{pS2} ,所以在该下一个 1H 阶段的第二个 H/2 阶段期间,第二主像素电极 MPE2 可以在短时间内被充以第二主像素电压 V_{pM2} 。因此,具有上述结构的 S-PVA LCD 装置 500 可以提高对应于主像素的液晶的响应速度。

[0096] 根据具有上述结构的 LCD 装置,子栅极驱动器可以包括多个逆变器,这些逆变器接收主栅极脉冲以及由施加于主栅极驱动器的时钟信号延迟 H/2 阶段的时钟信号,以输出子栅极脉冲。

[0097] 因此,与主栅极驱动器相比,可以通过使用较少数量的晶体管来操作子栅极驱动器。从而,可以减小子栅极驱动器的尺寸。此外,主栅极驱动器和子栅极驱动器的驱动频率保持恒定的频率,从而降低 LCD 装置的功率消耗。

[0098] 对本领域技术人员来说很显然,在不脱离本发明的精神或范围的情况下,可以对本发明进行各种修改和变化。因此,只要这些修改和变换在所附权利要求及其等同物的范围内,本发明的意图在于覆盖本发明的这些修改和变化。

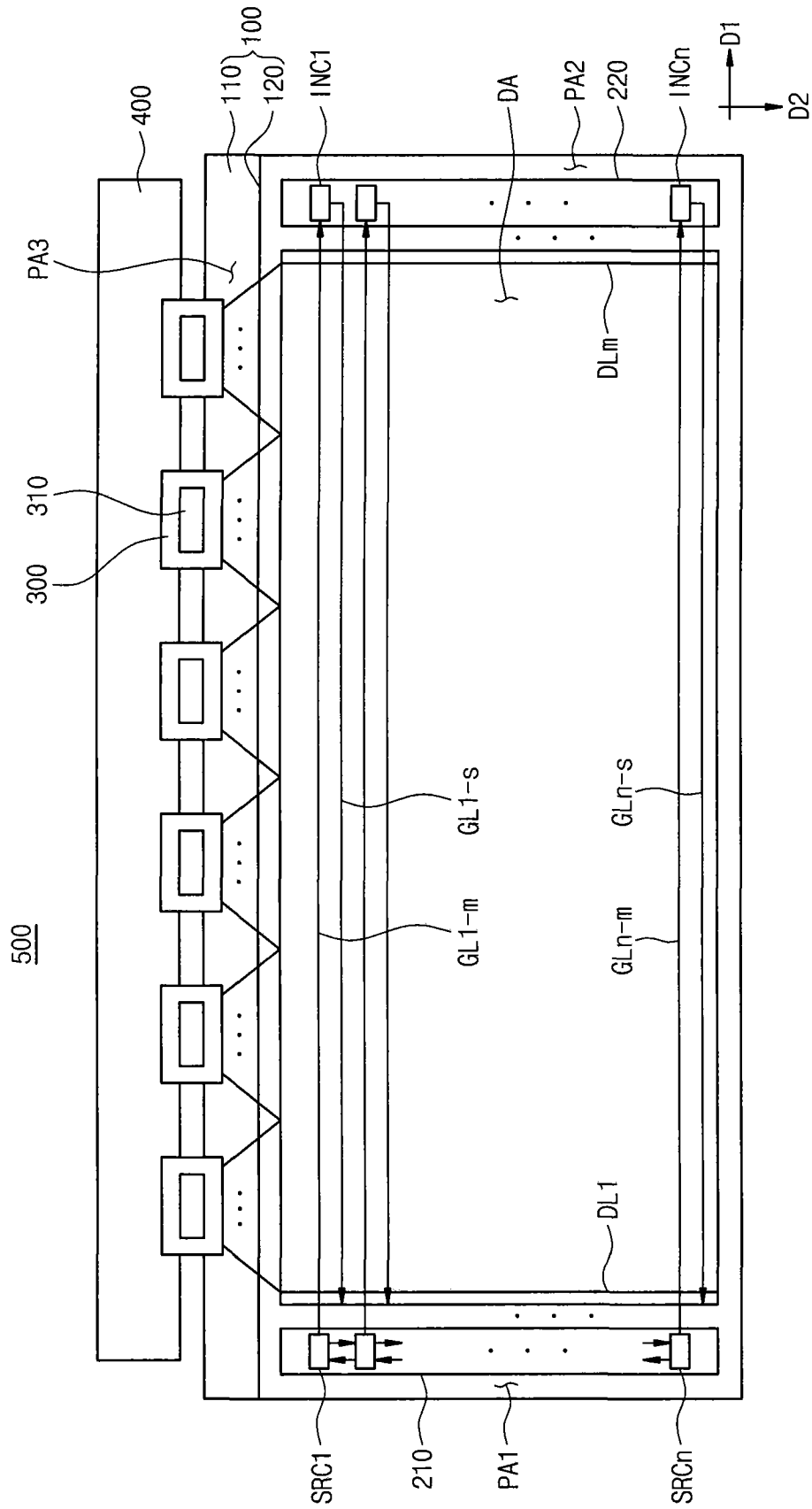


图 1

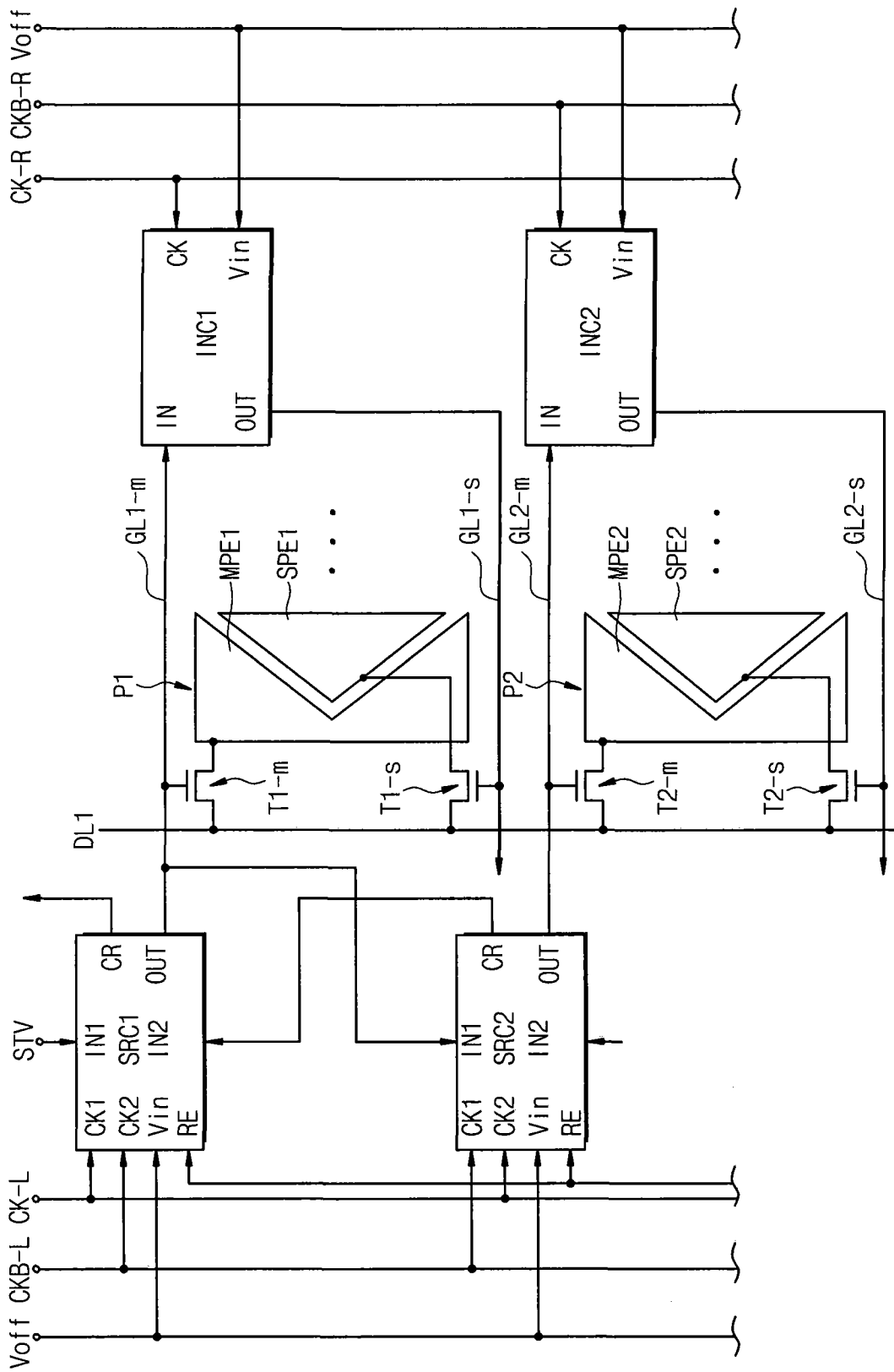


图 2

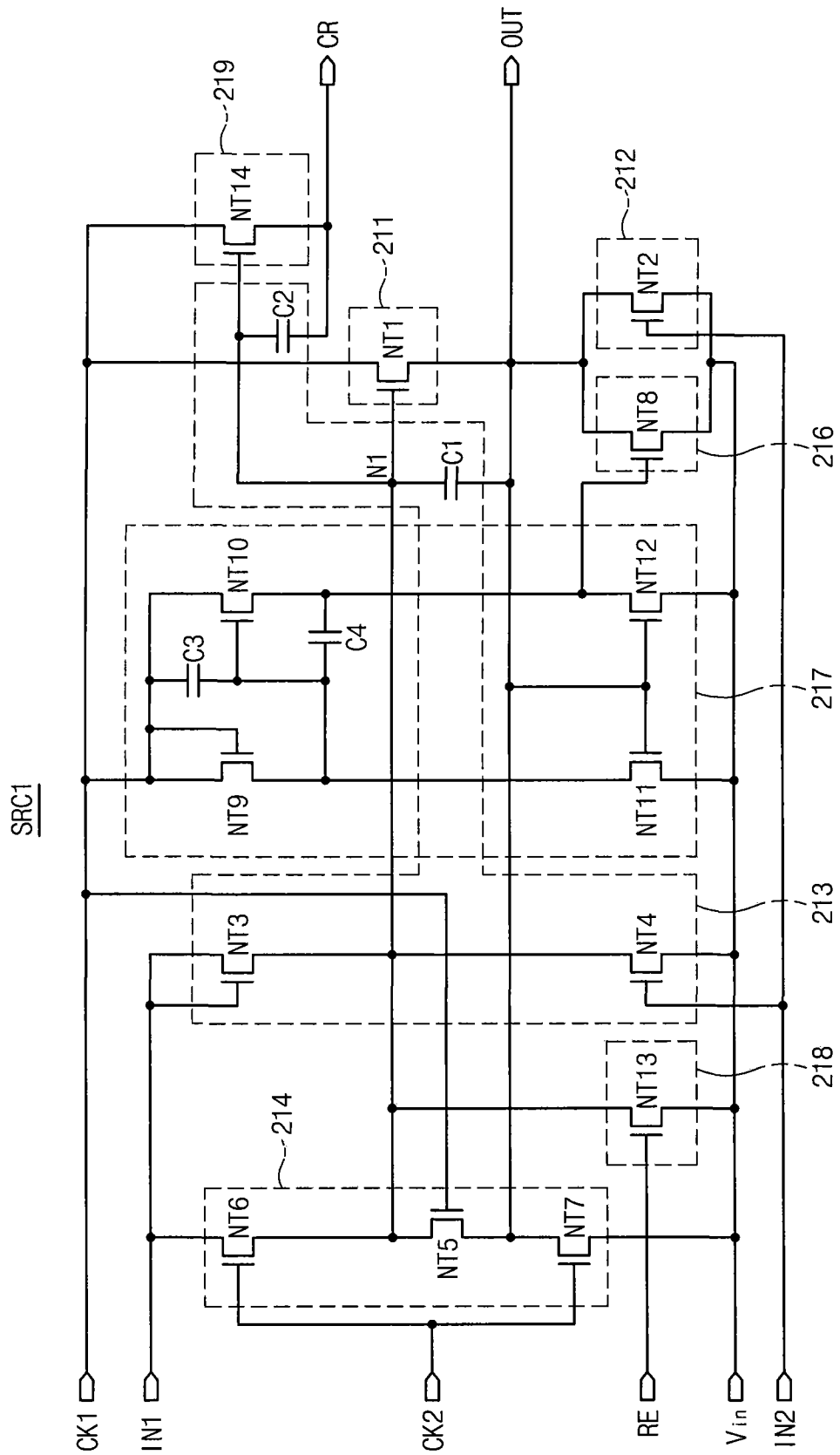


图 3

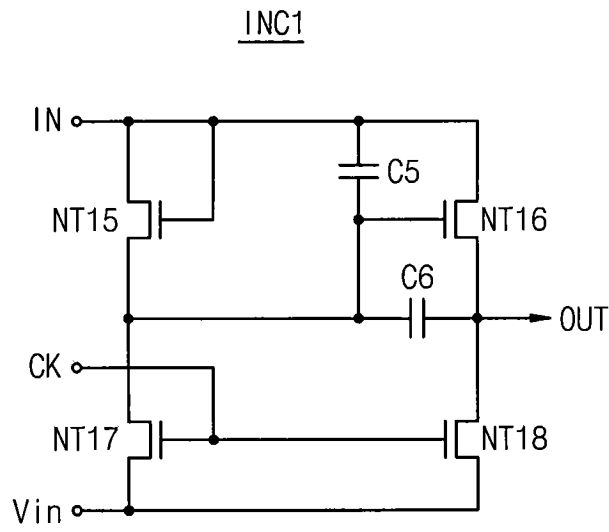


图 4

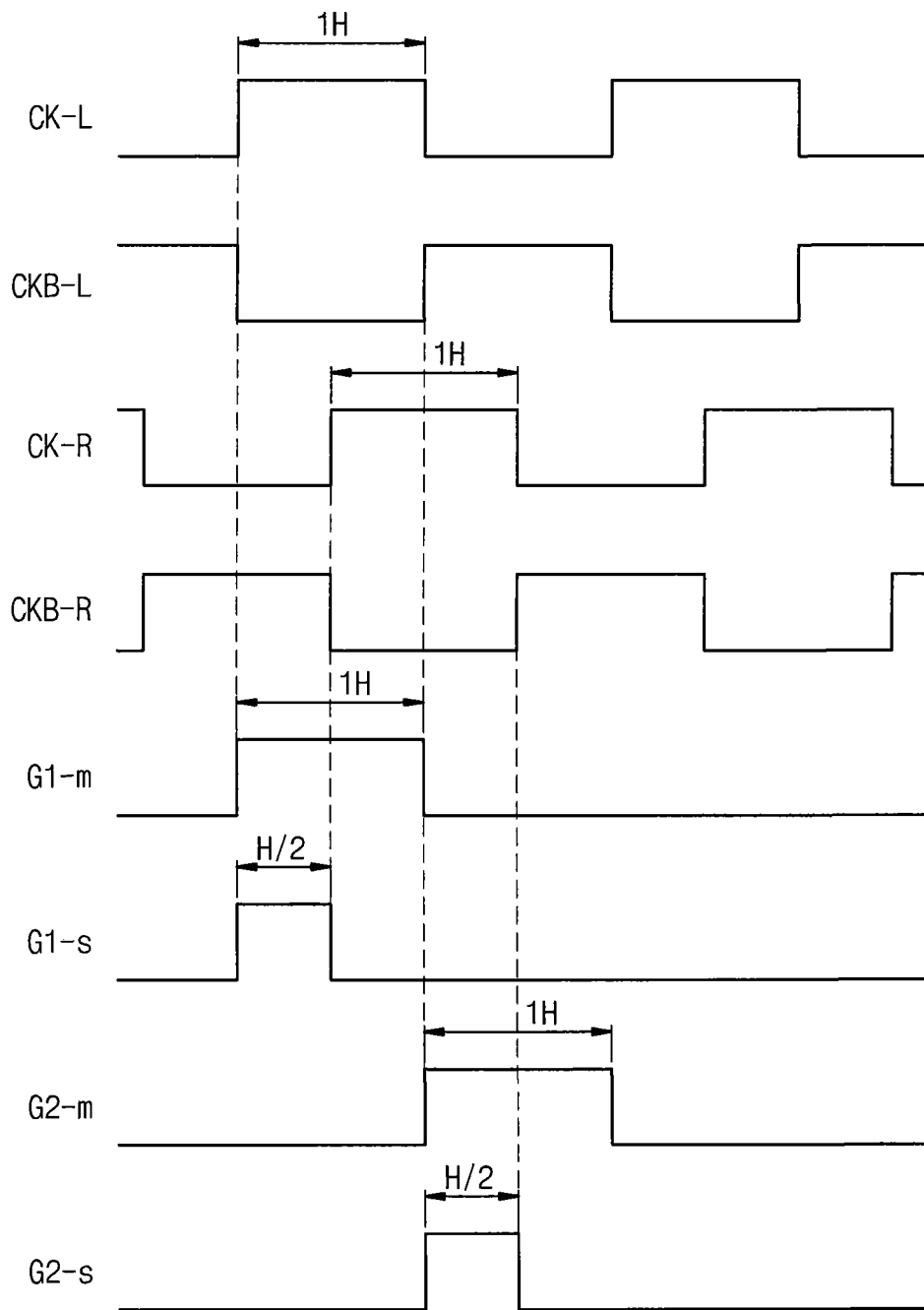


图 5

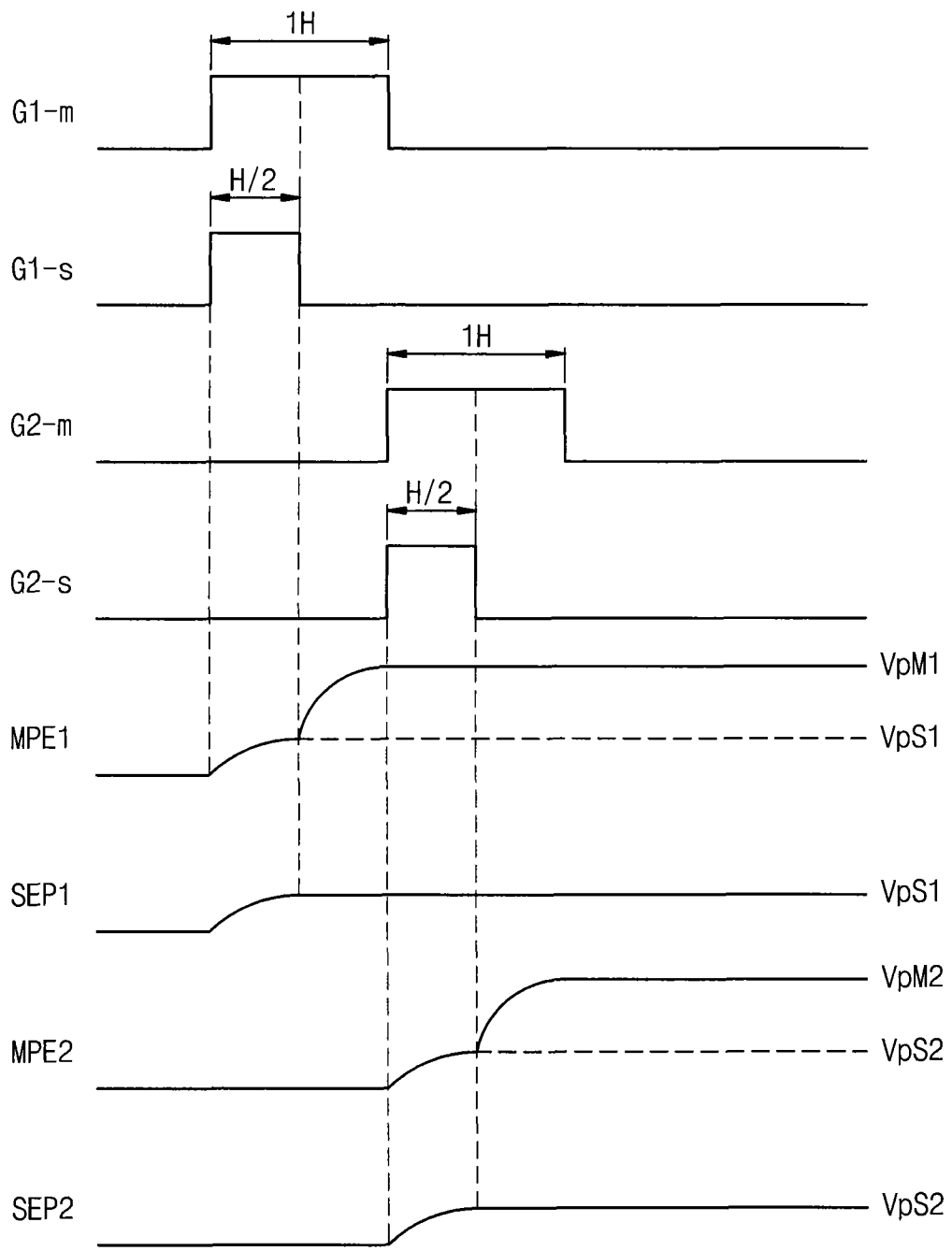


图 6

专利名称(译)	液晶显示装置		
公开(公告)号	CN101149500B	公开(公告)日	2011-07-27
申请号	CN200710153025.5	申请日	2007-09-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李洪雨 许命九 李钟焕		
发明人	李洪雨 许命九 李钟焕		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36		
CPC分类号	G09G2300/0408 G09G3/3659 G09G2300/0443 G09G2300/0447 G09G2300/0426 G09G3/3677 G09G3/2074		
代理人(译)	吴贵明		
审查员(译)	李晴晴		
优先权	1020060090255 2006-09-18 KR		
其他公开文献	CN101149500A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种显示装置，该显示装置具有像素，该像素包括连接于主栅极线和数据线的主像素以及连接于子栅极线和数据线的子像素。在时间段1H期间，主栅极驱动器向主栅极线输出主栅极脉冲。在时间段1H的第一部分期间，子栅极驱动器接收主栅极脉冲并向子栅极线输出子栅极脉冲。在时间段1H的第一部分期间，数据驱动器向数据线施加子像素电压，并在时间段1H的第二部分期间，向数据线施加主像素电压。

