



(12) 发明专利

(10) 授权公告号 CN 101127199 B

(45) 授权公告日 2010.06.02

(21) 申请号 200710148737.8

审查员 刘士奎

(22) 申请日 2007.09.06

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 刘翰中

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 陈晨

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(56) 对比文件

JP 2006-184718 A, 2006.07.13, 全文.

CN 1855200 A, 2006.11.01, 全文.

CN 1637796 A, 2005.07.13, 全文.

CN 1881390 A, 2006.12.20, 全文.

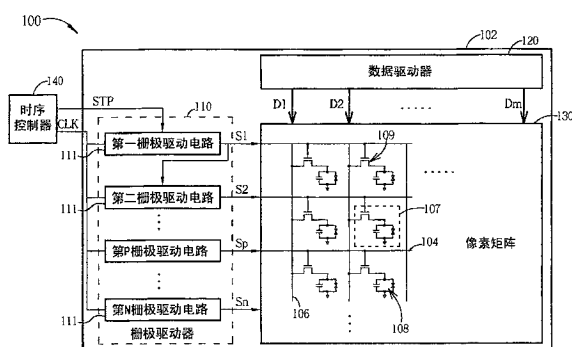
权利要求书 3 页 说明书 6 页 附图 7 页

(54) 发明名称

输出无重叠扫描信号的栅极驱动器、液晶显示器及方法

(57) 摘要

本发明提供一种输出无重叠扫描信号的栅极驱动器、液晶显示器及方法。该栅极驱动器包括相互耦接的多级栅极驱动电路,用以输出多个扫描信号。每一级栅极驱动电路包括一移位寄存器以及一阻隔电路,其中移位寄存器用以根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号,阻隔电路耦接于移位寄存器,用以阻隔移位寄存器输出的扫描信号达一预定时段,而产生相邻级栅极驱动电路彼此时序无重叠的多个扫描信号,改善液晶显示器的画面质量。



1. 一种可输出无重叠扫描信号的栅极驱动器,包括相互耦接的多级栅极驱动电路,用以输出多个扫描信号,每一级栅极驱动电路包括:

一移位寄存器,用以根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号;以及

一阻隔电路,耦接于该移位寄存器,用以阻隔该移位寄存器输出的扫描信号达一预定时段;

其中该阻隔电路包括 N 型通道的受控开关组件和 / 或 P 型通道的受控开关组件。

2. 如权利要求 1 所述的栅极驱动器,其中当该阻隔电路由一第一 N 型通道的受控开关组件和一第二 N 型通道的受控开关组件组成时,

该第一 N 型通道的受控开关组件包含一源极及一漏极,该第一 N 型通道的受控开关组件的源极耦接于栅极线,该第一 N 型通道的受控开关组件的漏极耦接于该移位寄存器;以及

该第二 N 型通道的受控开关组件包含一漏极及一源极,该第二 N 型通道的受控开关组件的漏极耦接于栅极线,该第二 N 型通道的受控开关组件的源极耦接于一低电平电压源。

3. 如权利要求 1 所述的栅极驱动器,其中当该阻隔电路由一第一 P 型通道的受控开关组件和一第二 P 型通道的受控开关组件组成时,

该第一 P 型通道的受控开关组件包含一漏极及一源极,该第一 P 型通道的受控开关组件的漏极耦接于栅极线,该第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;以及

该第二 P 型通道的受控开关组件包含一漏极及一源极,该第二 P 型通道的受控开关组件的漏极耦接于栅极线,该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源。

4. 如权利要求 1 所述的栅极驱动器,其中当该阻隔电路由一第一 P 型通道的受控开关组件和一第二 N 型通道的受控开关组件组成时,

该第一 P 型通道的受控开关组件包含一源极及一漏极,该第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;以及

该第二 N 型通道的受控开关组件包含一源极及一漏极,该第二 N 型通道的受控开关组件的源极耦接于一低电平电压源,该第二 N 型通道的受控开关组件的漏极耦接于该第一 P 型通道的受控开关组件的漏极。

5. 如权利要求 1 所述的栅极驱动器,其中当该阻隔电路由一第一 N 型通道的受控开关组件和一第二 P 型通道的受控开关组件组成时,

该第一 N 型通道的受控开关组件包含一漏极及一源极,该第一 N 型通道的受控开关组件的漏极耦接于该移位寄存器;以及

该第二 P 型通道的受控开关组件包含一源极及一漏极,该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源,该第二 P 型通道的受控开关组件的漏极耦接于该第一 N 型通道的受控开关组件的源极。

6. 一种可输出无重叠扫描信号的液晶显示器,包括:

一基板;

多条栅极线,排列于该基板上;

多条数据线,排列于该基板上,并与所述多条栅极线交错;

多个像素,每一像素包含一薄膜晶体管及一像素电容,该薄膜晶体管耦接于一数据线及一栅极线,该像素电容耦接于该薄膜晶体管;

一数据驱动器,用以输出多个像素数据至所述多条数据线;以及

一栅极驱动器,包括相互耦接的多级栅极驱动电路,用以输出多个扫描信号,每一级栅极驱动电路包括:

一移位寄存器,用以根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号;以及

一阻隔电路,耦接于该移位寄存器,用以阻隔该移位寄存器输出的扫描信号达一预定时段;

其中该阻隔电路包括 N 型通道的受控开关组件和 / 或 P 型通道的受控开关组件。

7. 如权利要求 6 所述的栅极驱动器,其中当该阻隔电路由一第一 N 型通道的受控开关组件和一第二 N 型通道的受控开关组件组成时,

该第一 N 型通道的受控开关组件包含一源极及一漏极,该第一 N 型通道的受控开关组件的源极耦接于栅极线,该第一 N 型通道的受控开关组件的漏极耦接于该移位寄存器;以及

该第二 N 型通道的受控开关组件包含一漏极及一源极,该第二 N 型通道的受控开关组件的漏极耦接于栅极线,该第二 N 型通道的受控开关组件的源极耦接于一低电平电压源。

8. 如权利要求 6 所述的栅极驱动器,其中当该阻隔电路由一第一 P 型通道的受控开关组件和一第二 P 型通道的受控开关组件组成时,

该第一 P 型通道的受控开关组件包含一漏极及一源极,该第一 P 型通道的受控开关组件的漏极耦接于栅极线,该第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;以及

该第二 P 型通道的受控开关组件包含一漏极及一源极,该第二 P 型通道的受控开关组件的漏极耦接于栅极线,该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源。

9. 如权利要求 6 所述的栅极驱动器,其中当该阻隔电路由一第一 P 型通道的受控开关组件和一第二 N 型通道的受控开关组件组成时,

该第一 P 型通道的受控开关组件包含一源极及一漏极,该第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;以及

该第二 N 型通道的受控开关组件包含一源极及一漏极,该第二 N 型通道的受控开关组件的源极耦接于一低电平电压源,该第二 N 型通道的受控开关组件的漏极耦接于该第一 P 型通道的受控开关组件的漏极。

10. 如权利要求 6 所述的栅极驱动器,其中当该阻隔电路由一第一 N 型通道的受控开关组件和一第二 P 型通道的受控开关组件组成时,

该第一 N 型通道的受控开关组件包含一漏极及一源极,该第一 N 型通道的受控开关组件的漏极耦接于该移位寄存器;以及

该第二 P 型通道的受控开关组件包含一源极及一漏极,该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源,该第二 P 型通道的受控开关组件的漏极耦接于该第一 N 型通道的受控开关组件的源极。

11. 如权利要求 6 所述的液晶显示器,其中该数据驱动器产生控制该阻隔电路的控制

信号。

12. 一种液晶显示器输出无重叠扫描信号的方法,包括:

一移位寄存器根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号;
以及

当该移位寄存器输出的扫描信号达一工作时段时,使用控制信号控制耦接于该移位寄存器的阻隔电路,阻隔该移位寄存器输出的扫描信号达一预定时段;

其中该阻隔电路包括 N 型通道的受控开关组件和 / 或 P 型通道的受控开关组件。

13. 如权利要求 12 所述的方法,其中当该阻隔电路由一第一 P 型通道的受控开关组件和一第二 N 型通道的受控开关组件组成时,

该第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;

该第二 N 型通道的受控开关组件的其源极耦接于一低电平电压源;以及

其中该控制信号为相互相同相位,同步地控制该第二 N 型通道以及该第一 P 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

14. 如权利要求 12 所述的方法,其中当该阻隔电路由一第一 N 型通道的受控开关组件和一第二 P 型通道的受控开关组件组成时,

该第一 N 型通道的受控开关组件的漏极耦接于该移位寄存器;

该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源;以及

其中该控制信号为相互相同相位,同步地控制该第一 N 型通道以及该第二 P 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

15. 如权利要求 12 所述的方法,其中当该阻隔电路由一第一 N 型通道的受控开关组件和一第二 N 型通道的受控开关组件组成时,

该第一 N 型通道的受控开关组件的漏极耦接于该移位寄存器;以及

该第二 N 型通道的受控开关组件的源极耦接于一低电平电压源;

其中该控制信号为相互相反相位,同步地控制该第一 N 型通道的受控开关组件和该第二 N 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

16. 如权利要求 12 所述的方法,其中当该阻隔电路由一第一 P 型通道的受控开关组件和一第二 P 型通道的受控开关组件组成时,

该第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;以及

该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源;

其中该控制信号为相互相反相位,同步地控制该第一 P 型通道的受控开关组件和该第二 P 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

输出无重叠扫描信号的栅极驱动器、液晶显示器及方法

技术领域

[0001] 本发明涉及一种液晶显示器及驱动电路,特别是涉及栅极驱动器 (GateDriver) 中一阻隔电路及时序调控方法。

背景技术

[0002] 图 4A 是传统液晶显示器的结构方块图。请参照图 4A,液晶显示器 400 包括栅极驱动器 410、一数据驱动器 (Data Driver) 420、像素矩阵 (PixelMatrix) 430 以及时序控制器 (Timing Controller) 440。像素矩阵 430 包括多条栅极线 104、多条数据线 106、多个像素 107 及像素电容 108。栅极线 104 与数据线 106 均排列于基板 402 上且彼此交错。每一像素 107 包含一薄膜晶体管 109,耦接于栅极线 104 及数据线 106。像素电容 108 耦接于薄膜晶体管 109。栅极驱动器 410 包括第一移位寄存器 411、第二移位寄存器 411、... 以及第 N 移位寄存器 411,其中 N 为大于 1 的正整数。第 p ($1 \leq p \leq N$) 移位寄存器 411 是根据时序控制器 440 输出的频率信号 (Clock) CLK 以及启始信号 (StartPulse) STP,或扫描信号 $S(p-1)$ (其中 $p > 1$),而输出扫描信号 S_p ,以开启像素矩阵 430 的第 p 列像素,进而接收数据驱动器 420 输出的像素数据信号。

[0003] 请同时参照图 4B 及图 4C,图 4B 是图 4A 中传统液晶显示器的栅极驱动器 410 及像素矩阵 430 (以 PMOS 架构的 TFT 为例) 的耦接线路图;图 4C 是图 4B 中栅极驱动器所输出扫描信号 $S(p-1)$ 、 S_p 及 $S(p+1)$ 与频率信号 CLK 的时序图。根据时序控制器 440 输出的频率信号 CLK,在进入时序周期 $T(p-1)$ 时,扫描信号 $S(p-1)$ 将为低电压电平 Low ($\sim V_{SS}$) 输出,而第 p 移位寄存器 411 以及第 $(p+1)$ 移位寄存器 411 尚无信号输出,也即扫描信号 S_p 及 $S(p+1)$ 都为高电压电平 High ($\sim V_{DD}$);在时序周期 T_p 时,第 p 移位寄存器 411 将根据频率信号 CLK 及处于低电压电平 Low 的扫描信号 $S(p-1)$,而输出低电压电平 Low 的扫描信号 S_p ,此时,则第 $(p-1)$ 移位寄存器 411 将处于关闭状态;以此类推,在时序周期 $T(p+1)$ 时,第 $(p+1)$ 移位寄存器 411 也以同样方式输出低电压电平 Low 的扫描信号 $S(p+1)$ 。

[0004] 然而,由于移位寄存器中开关组件的组件特性,在接受频率信号 CLK 的触发时,将造成第 $(p-1)$ 移位寄存器 411 输出的扫描信号 $S(p-1)$ 在 T_p 结束时仍处于低电压电平 Low,即扫描信号 $S(p-1)$ 的上升频率边缘尚未被触发时,第 p 移位寄存器 411 输出的扫描信号 S_p 即由高电压电平 High 转化为低电压电平 Low,而使第 $(p-1)$ 列与第 p 列栅极线将在某一段时间同时处于开启状态,如此将劣化画面显示质量。

[0005] 对于相邻两级移位寄存器在同一时序上所发生的栅极端扫描信号干涉的情形,在美国专利第 5818412 号、第 5963188 号及第 6670943 号,以及美国专利申请公开号 20050156859、20060248421 及 20070030239 等,也提出改善的方法;其利用栅极驱动器所包含的一紧接于移位寄存器的信号阻隔电路,达到第 $(p-1)$ 级的上升频率边缘较第 p 级的下降频率边缘早触发,以提供无重叠的扫描信号至相邻两级移位寄存器所相对应的栅极线。然而,前述专利及专利申请公开文件所揭示的信号阻隔电路设计较为复杂,都包含多个复杂的逻辑开关电路,因此无法使用 NMOS 或 PMOS 架构的单种主动组件实践该设计,而难以达

到精简制造过程及节省成本的目标。

发明内容

[0006] 本发明提供一种可输出无重叠扫描信号的栅极驱动器,包括相互耦接的多级栅极驱动电路,用以输出多个扫描信号。每一级栅极驱动电路包括一移位寄存器及一阻隔电路,其中移位寄存器用以根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号,阻隔电路耦接于移位寄存器,用以阻隔移位寄存器输出的扫描信号达一预定时段,其中该阻隔电路包括 N 型通道的受控开关组件和 / 或 P 型通道的受控开关组件。

[0007] 在栅极驱动器中,该 N 型通道的受控开关组件,可以包含一源极及一漏极,该源极耦接于该栅极线,该漏极耦接于该移位寄存器。

[0008] 该 N 型通道的受控开关组件,还可以包含一漏极及一源极,该漏极耦接于该栅极线,该源极耦接于一低电平电压源。

[0009] 在栅极驱动器中,该 P 型通道的受控开关组件,可以包含一漏极及一源极,该漏极耦接于该栅极线,该源极耦接于该移位寄存器。

[0010] 该 P 型通道的受控开关组件,还可以包含一漏极及一源极,该漏极耦接于该栅极线,该源极耦接于一高电平电压源。

[0011] 本发明另提供一种液晶显示器,其包括基板、像素矩阵、栅极驱动器及数据驱动器。像素矩阵包括多条栅极线、多条与栅极线垂直的数据线、多个像素及一像素电容。前述栅极线与数据线均排列于基板上;每一像素包含一薄膜晶体管,耦接于一数据线及一栅极线;像素电容耦接于薄膜晶体管。数据驱动器用以输出多个像素数据至数据线。栅极驱动器包括相互耦接的多级栅极驱动电路,用以输出多个扫描信号,每一级栅极驱动电路包括:一移位寄存器,用以根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号;以及一阻隔电路,耦接于该移位寄存器,用以阻隔该移位寄存器输出的扫描信号达一预定时段在该液晶显示器中,其中该阻隔电路包括 N 型通道的受控开关组件和 / 或 P 型通道的受控开关组件。

[0012] 在该液晶显示器中,该 N 型通道的受控开关组件,可以包含一源极及一漏极,该源极耦接于该栅极线,该漏极耦接于该移位寄存器。

[0013] 该 N 型通道的受控开关组件,还可以包含一漏极及一源极,该漏极耦接于该栅极线,该源极耦接于一低电平电压源。

[0014] 在该液晶显示器中,该 P 型通道的受控开关组件,包含一漏极及一源极,该漏极耦接于该栅极线,该源极耦接于该移位寄存器。

[0015] 该 P 型通道的受控开关组件,还可以包含一漏极及一源极,该漏极耦接于该栅极线,该源极耦接于一高电平电压源。

[0016] 在该液晶显示器中,该数据驱动器产生控制该阻隔电路的控制信号。

[0017] 本发明另提供一种液晶显示器输出无重叠扫描信号的方法,包括:一移位寄存器根据一频率信号及前一级栅极驱动电路的扫描信号而产生一扫描信号;以及当该移位寄存器输出的扫描信号达一工作时段时,使用控制信号控制耦接于该移位寄存器的阻隔电路,阻隔该移位寄存器输出的扫描信号达一预定时段,其中该阻隔电路包括 N 型通道的受控开关组件和 / 或 P 型通道的受控开关组件。

[0018] 在上述方法中,该 P 型通道的受控开关组件的源极耦接于该移位寄存器,以及该 N 型通道的受控开关组件的源极耦接于一低电平电压源,其中该控制信号为相互相同相位,同步地控制该 N 型通道以及该 P 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

[0019] 在上述方法中,该 N 型通道的受控开关组件的漏极耦接于该移位寄存器,以及该 P 型通道的受控开关组件的源极耦接于一高电平电压源,其中该控制信号为相互相同相位,同步地控制该 N 型通道以及该 P 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

[0020] 在上述方法中,该 N 型通道的受控开关组件的漏极耦接于该移位寄存器;或者该 N 型通道的受控开关组件的源极耦接于一低电平电压源;以及该控制信号为相互相反相位,同步地控制该 N 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

[0021] 在上述方法中,该阻隔电路包括一第一 P 型通道的受控开关组件的源极耦接于该移位寄存器;或者该第二 P 型通道的受控开关组件的源极耦接于一高电平电压源;以及该控制信号为相互相反相位,同步地控制该 P 型通道的受控开关组件,以阻隔该移位寄存器输出的扫描信号达该预定时段。

[0022] 从而根据本发明的输出无重叠扫描信号的液晶显示器及其方法,可达到精简制造过程及节省成本的目标,改善液晶显示器的画面质量。

附图说明

[0023] 图 1A 为本发明液晶显示器的第一实施例的结构方块图。

[0024] 图 1B 为图 1A 中第 (p-1)、第 p 及第 (p+1) 级驱动电路的第一线路方块图。

[0025] 图 1C 为图 1A 中第 (p-1) 级、第 p 级及第 (p+1) 级栅极驱动电路的第一时序图。

[0026] 图 1D 为图 1A 中第 (p-1)、第 p 及第 (p+1) 级驱动电路的第二线路方块图。

[0027] 图 1E 为图 1A 中第 (p-1) 级、第 p 级及第 (p+1) 级栅极驱动电路的第二时序图。

[0028] 图 1F 为图 1A 中具有多组受控开关组件的第 (p-1) 级及第 p 级栅极驱动电路的第三线路方块图。

[0029] 图 1G 为图 1A 中具有多组受控开关组件的第 (p-1) 级及第 p 级栅极驱动电路的第四线路方块图。

[0030] 图 2A 为由 NMOS 架构所组成的本发明第二实施例的线路方块图。

[0031] 图 2B 为由 NMOS 架构所组成的本发明第二实施例的时序图。

[0032] 图 3A 为由 PMOS 架构所组成的本发明第三实施例的线路方块图。

[0033] 图 3B 为由 PMOS 架构所组成的本发明第三实施例的时序图。

[0034] 图 4A 为传统液晶显示器结构方块图。

[0035] 图 4B 为图 4A 中传统液晶显示器的栅极驱动器及像素矩阵(以 PMOS 架构的 TFT 为例)的耦接线路图。

[0036] 图 4C 为图 4B 中栅极驱动器所输出扫描信号 S(p-1)、S_p 及 S(p+1) 与频率信号 CLK 的时序图。

[0037] 并且,上述附图中的各附图标记说明如下:

- [0038] 100、400 :液晶显示器
- [0039] 102 :基板
- [0040] 104 :栅极线
- [0041] 106 :数据线
- [0042] 107 :像素
- [0043] 108 :像素电容
- [0044] 109 :薄膜晶体管
- [0045] 110、410 :栅极驱动器
- [0046] 111 :栅极驱动电路
- [0047] 112、113、114、115、212、312 :阻隔电路
- [0048] 116、117、118、119、200、202、300、302 :受控开关组件
- [0049] 120、420 :数据驱动器
- [0050] 130、430 :像素矩阵
- [0051] 140、440 :时序控制器
- [0052] 411 :移位寄存器

具体实施方式

[0053] 请参考图 1A,其为本发明液晶显示器的第一实施例的结构方块图。液晶显示器 100 包括一基板 102、一像素矩阵 130、一栅极驱动器 110、一数据驱动器 120 及一时序控制器 140,其中液晶显示器 100 外围电路设计主要为 CMOS 架构,而像素矩阵 130 的薄膜晶体管为 NMOS 架构并设置于基板 102 上。像素矩阵 130 包括多条栅极线 104、多条数据线 106、多个像素 107 及一像素电容 108。栅极线 104 与数据线 106 均排列于基板 102 上,且两者彼此交错。每一像素 107 包含一薄膜晶体管 109,耦接于一栅极线 104 及一数据线 106。像素电容 108 耦接于薄膜晶体管 109。栅极驱动器 110 包括相互耦接的 N 级栅极驱动电路 111,分别用以依序输出 N 个扫描信号 $S_1 \sim S_n$,以开启像素矩阵 130 的各列像素,进而接收数据驱动器 120 输出的像素数据信号 $D_1 \sim D_m$,其中 m、n 为大于 1 的正整数。第 p ($1 \leq p \leq N$) 栅极驱动电路 111 根据时序控制器 140 输出的频率信号 CLK 以及启始信号 STP,或扫描信号 $S_{(p-1)}$ (其中 $p > 1$),而输出扫描信号 S_p ,以开启像素矩阵 130 的第 p 列像素。

[0054] 请参考图 1B 及图 1C,其为图 1A 中第 (p-1) 级、第 p 级及第 (p+1) 级栅极驱动电路 111 的第一线路方块图及时序图,其中任一栅极驱动电路 111 的阻隔电路 112 包括一第一 P 型通道的受控开关组件 116,其源极耦接于移位寄存器 411,以及一第二 N 型通道的受控开关组件 118,其源极耦接于一低电平电压源 (VSS),漏极耦接于第一 P 型通道的受控开关组件 116 的漏极。根据时序控制器 140 输出的频率信号 CLK,在时序周期 $T_{(p-1)}$ 结束时,第 (p-1) 级栅极驱动电路 111 将输出高电压电平 High ($\sim VDD$) 的扫描信号 $S_{(p-1)}$,而在时序周期 T_p 结束的前一段时间内,二控制信号 OE1 及 OE2 都同时设定为 High ($\sim VDD$),以使第 p 级的上升频率边缘较第 (p-1) 级的下降频率边缘晚被触发,也就是利用栅极驱动器 110 的阻隔电路 112 的受控开关组件 116、118 及控制信号 OE1、OE2 的频率调控,在移位寄存器 411 输出的扫描信号达一工作时段时,使用控制信号 OE1、OE2 控制耦接于移位寄存器 411 的阻隔电路 112,阻隔移位寄存器 411 输出的扫描信号达一预定时段,以提供无重叠的扫描

信号至相邻的两级栅极驱动电路 111 所相对应的栅极线。以此类推,在时序周期 $T(p+1)$ 及 $T(p+2)$ 时,第 $(p+1)$ 栅极驱动电路 111 也以同样方式输出扫描信号 $S(p+1)$ 。

[0055] 请参考图 1D 及图 1E,其为图 1A 中第 $(p-1)$ 级、第 p 级及第 $(p+1)$ 级栅极驱动电路的第二线路方块图及时序图,其中任一栅极驱动电路的阻隔电路 113 包括一第一 N 型通道的受控开关组件 117,其漏极耦接于移位寄存器 411,以及一第二 P 型通道的受控开关组件 119,其源极耦接于一高电平电压源 (VDD),漏极耦接于第一 N 型通道的受控开关组件 117 的源极。根据时序控制器 140 输出的频率信号 CLK,在时序周期 $T(p-1)$ 结束时,第 $(p-1)$ 级栅极驱动电路 111 将输出高电压电平 High ($\sim VDD$) 的扫描信号 $S(p-1)$,而在时序周期 T_p 结束的前一段时间内,二控制信号 XOE1 及 XOE2 都同时设定为 Low ($\sim VSS$),以使第 p 级的上升频率边缘较第 $(p-1)$ 级的下降频率边缘晚被触发,也就是利用栅极驱动器 110 的阻隔电路 113 的受控开关组件 117、119 及控制信号 XOE1、XOE2 的频率调控,在移位寄存器 411 输出的扫描信号达一工作时段时,使用控制信号 XOE1、XOE2 控制耦接于移位寄存器 411 的阻隔电路 113,阻隔移位寄存器 411 输出的扫描信号达一预定时段,以提供无重叠的扫描信号至相邻的两级栅极驱动电路 111 所相对应的栅极线。以此类推,在时序周期 $T(p+1)$ 及 $T(p+2)$ 时,第 $(p+1)$ 栅极驱动电路 111 也以同样方式输出扫描信号 $S(p+1)$ 。

[0056] 请参考图 1F,其为图 1A 中具有多组受控开关组件的第 $(p-1)$ 级及第 p 级栅极驱动电路的第三线路方块图,其中任一栅极驱动电路的阻隔电路 114 包括一第一 P 型通道的受控开关组件,其源极耦接于该移位寄存器,以及一第二 N 型通道的受控开关组件,其源极耦接于一低电平电压源 (VSS)。鉴于因应各种不同宽长比 (Aspect Ratio) 的薄膜晶体管组件设计,本发明的阻隔电路也可利用多个同步的控制信号 ($OEa1 \dots OEaM, OEb1 \dots OEbN$),及相对应的多个受控开关组件,在移位寄存器 411 输出的扫描信号达一工作时段时,使用控制信号 ($OEa1 \dots OEaM, OEb1 \dots OEbN$) 控制耦接于移位寄存器 411 的阻隔电路 114,阻隔移位寄存器 411 输出的扫描信号达一预定时段,而提供无重叠的扫描信号至相邻两级栅极驱动电路所相对应的栅极线。

[0057] 请参考图 1G,其为图 1A 中具有多组受控开关元件的第 $(p-1)$ 级及第 p 级栅极驱动电路的第四线路方块图,其中任一栅极驱动电路的阻隔电路 115 包括一第一 N 型通道的受控开关组件,其漏极耦接于移位寄存器 411,以及一第二 P 型通道的受控开关组件,其源极耦接于一高电平电压源 (VDD)。鉴于因应各种不同宽长比 (Aspect Ratio) 的薄膜晶体管组件设计,本发明的阻隔电路也可利用多个同步的控制信号 ($XOEa1 \dots XOEaM, XOEb1 \dots XOEbN$),及相对应的多个受控开关组件,在移位寄存器 411 输出的扫描信号达一工作时段时,使用控制信号 ($XOEa1 \dots XOEaM, XOEb1 \dots XOEbN$) 控制耦接于移位寄存器 411 的阻隔电路 115,阻隔移位寄存器 115 输出的扫描信号达一预定时段,而提供无重叠的扫描信号至相邻两级栅极驱动电路所相对应的栅极线。

[0058] 请参考图 2A 及图 2B,其为由 NMOS 架构所组成的本发明第二实施例,揭示第 $(p-1)$ 级、第 p 级及第 $(p+1)$ 级栅极驱动电路的线路方块图及时序图,其中阻隔电路 212 包括一第一 N 型通道的受控开关组件 200,其漏极耦接于移位寄存器 411,以及一第二 N 型通道的受控开关组件 202,其源极耦接于一低电平电压源,漏极耦接于第一 N 型通道的受控开关组件 200 的源极;其中控制信号 OE 及 XOE 为相互相反相位,同步地控制二 N 型通道的受控开关组件 200、202,以阻隔移位寄存器 411 输出的扫描信号达一预定时段。与第一实施例的相

异处主要为：第二实施例的液晶显示器外围电路设计及像素矩阵 230 的薄膜晶体管为 NMOS 架构，而两者均为 NMOS 架构，为节省制造步骤与成本的最佳方法；此外，本设计使用至少存有一反相相位的多个控制信号来同步控制阻隔电路 212，以提供无重叠的扫描信号至相邻的两级栅极驱动电路所相对应的栅极线。

[0059] 当时序周期 $T(p-1)$ 即将结束时，第 $(p-1)$ 级栅极驱动电路将输出高电压电平 $\text{High}(\sim VDD)$ 的扫描信号 $S(p-1)$ 之前，控制信号 OE 及其反相相位 XOE 亦将分别设定为 $\text{High}(\sim VDD)$ 及 $\text{Low}(\sim VSS)$ ，并维持该状态直到时序周期 T_{p+1} 开始之际，而使第 p 级的上升频率边缘较第 $(p-1)$ 级的下降频率边缘晚被触发，也就是利用阻隔电路 212 的受控开关组件 200、202 及控制信号 OE、XOE 的频率调控，以提供无重叠的扫描信号至相邻两级栅极驱动电路所相对应的栅极线。以此类推，在时序周期 $T(p+1)$ 及 $T(p+2)$ 时，第 $(p+1)$ 栅极驱动电路也以同样方式输出高电平的扫描信号 $S(p+1)$ 。

[0060] 请参考图 3A 及图 3B，其为由 PMOS 架构所组成的本发明第三实施例，揭示第 $(p-1)$ 级、第 p 级及第 $(p+1)$ 级栅极驱动电路的线路方块图及时序图，其中阻隔电路 312 包括第一 P 型通道的受控开关组件 300，其源极耦接于移位寄存器 411，以及一第二 P 型通道的受控开关组件 302，其源极耦接于一高电平电压源 (VDD)，漏极耦接于第一 P 型通道的受控开关组件 300 的漏极。与第一实施例的不同之处，主要为第二实施例的面板外围电路设计及像素矩阵 330 的薄膜晶体管为 PMOS 架构，而两者均为 PMOS 架构，为节省制造步骤与成本的最佳方法；此外，本设计使用至少存有一反相相位的多个控制信号 OE、XOE 来控制阻隔电路 312，以提供无重叠的扫描信号至相邻的两级栅极驱动电路所相对应的栅极线。

[0061] 当时序周期 T_p 即将结束时，第 p 级栅极驱动电路将输出低电压电平 $\text{Low}(\sim VSS)$ 的扫描信号 S_p 之前，控制信号 OE 及其反相相位 XOE 也将分别且同步地设定为 $H(\sim VDD)$ 及 $L(\sim VSS)$ ，并维持该状态直到时序周期 T_p 开始之际，而使得第 p 级的下降频率边缘较第 $(p-1)$ 级的上升频率边缘晚被触发，以提供无重叠的扫描信号至相邻两级栅极驱动电路所相对应的栅极线。以此类推，在时序周期 $T(p+1)$ 及 $T(p+2)$ 时，第 $(p+1)$ 栅极驱动电路也以同样方式输出低电平的扫描信号 $S(p+1)$ 。

[0062] 所以，根据本发明的输出无重叠扫描信号的液晶显示器及其方法，栅极驱动器设计适用为 CMOS、NMOS 及 PMOS 架构，均能提供无重叠的扫描信号至相邻级栅极驱动电路所相对应的栅极线，而改善液晶显示器的画面质量。

[0063] 通过以上较佳具体实施例的详述，已更加清楚描述本发明的特征与精神，而并非以上述所揭示的较佳具体实施例来对本发明要求保护的范围加以限制。相反地，其目的是希望能涵盖各种改变及具相等性的安排于本发明所要求保护的权利要求范围内。上述实施例仅为例示性说明本发明的原理及其功效，而非用于限制本发明。任何本领域的技术人员均可在不违背本发明的技术原理及精神的情况下，对上述实施例进行修改及变化，均应属本发明的涵盖范围。

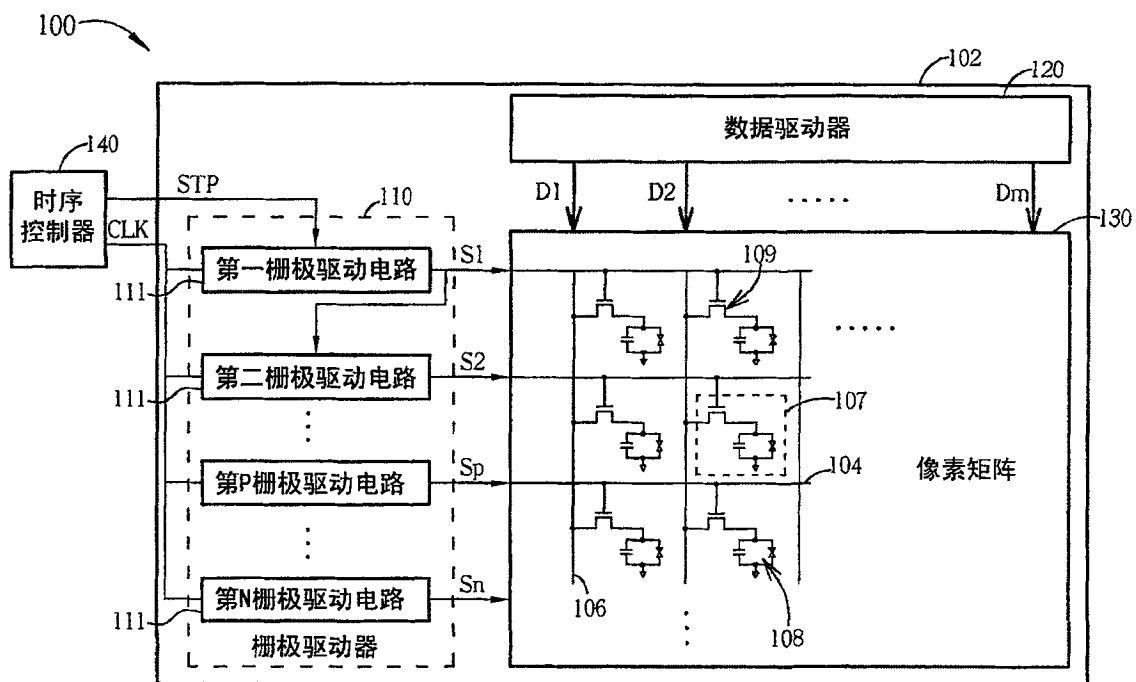


图 1A

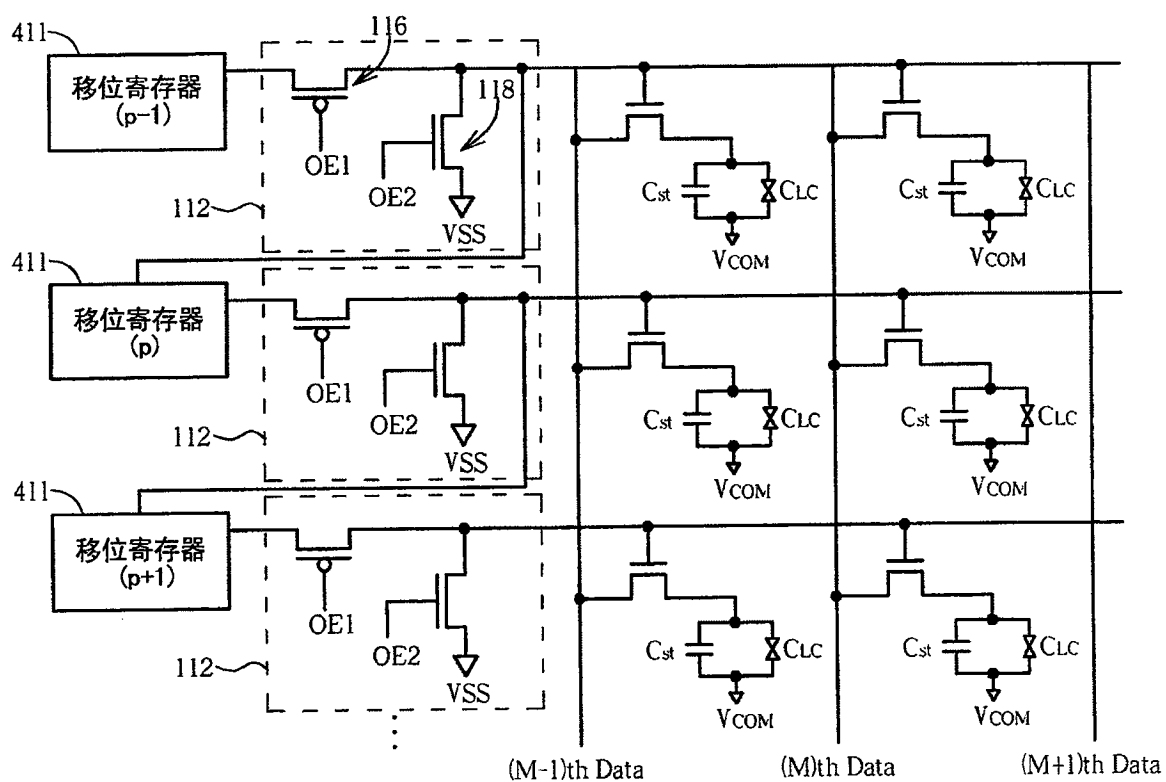


图 1B

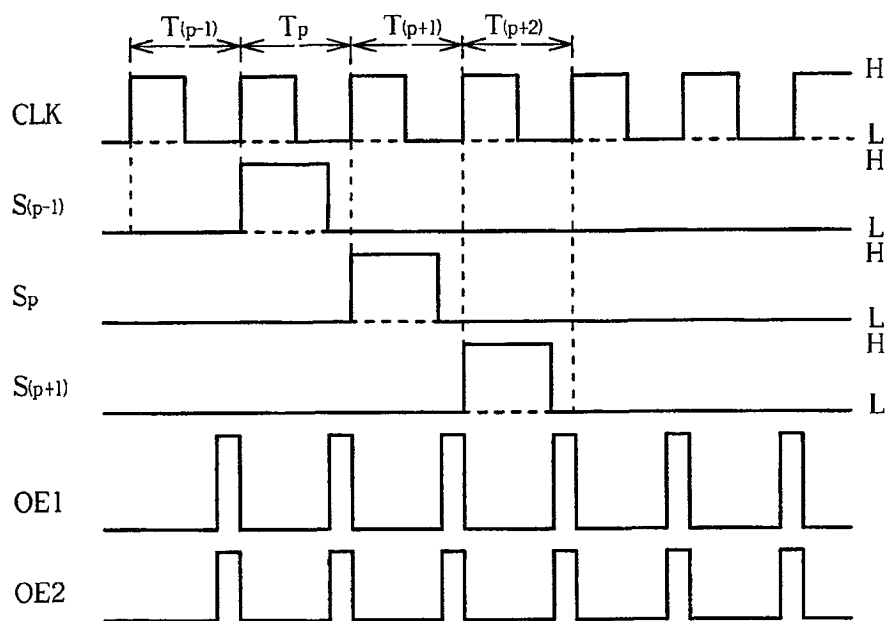


图 1C

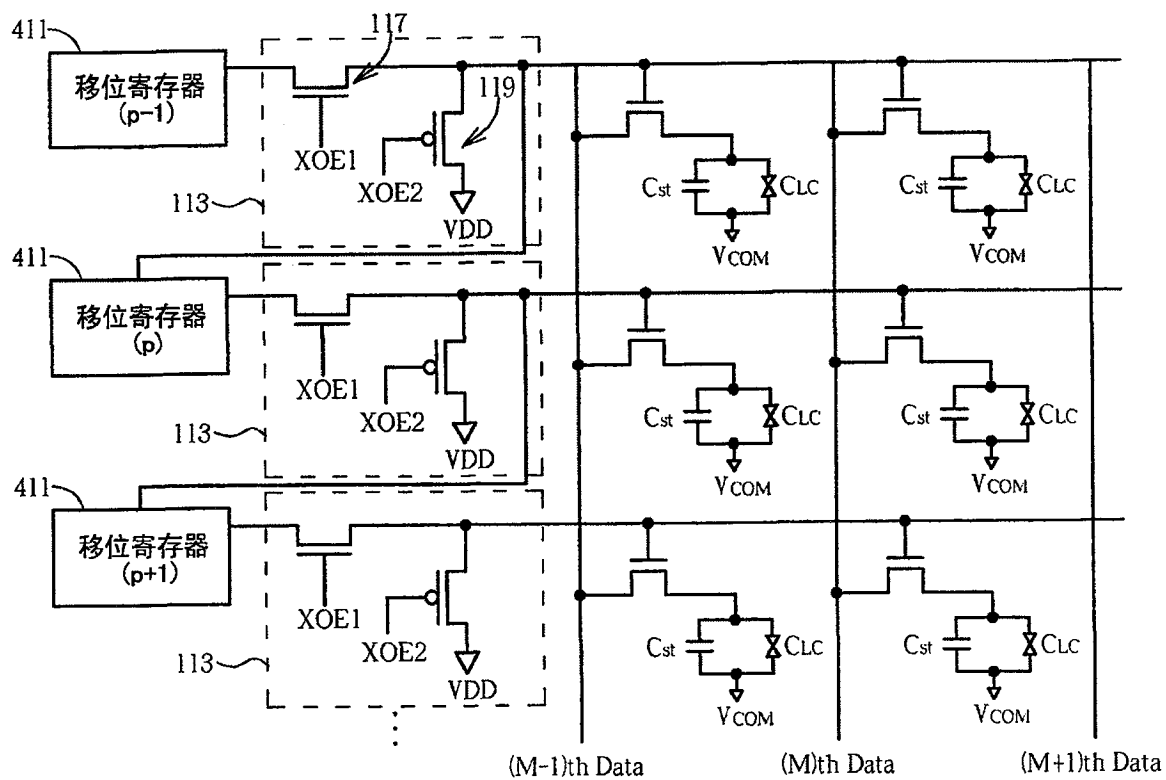


图 1D

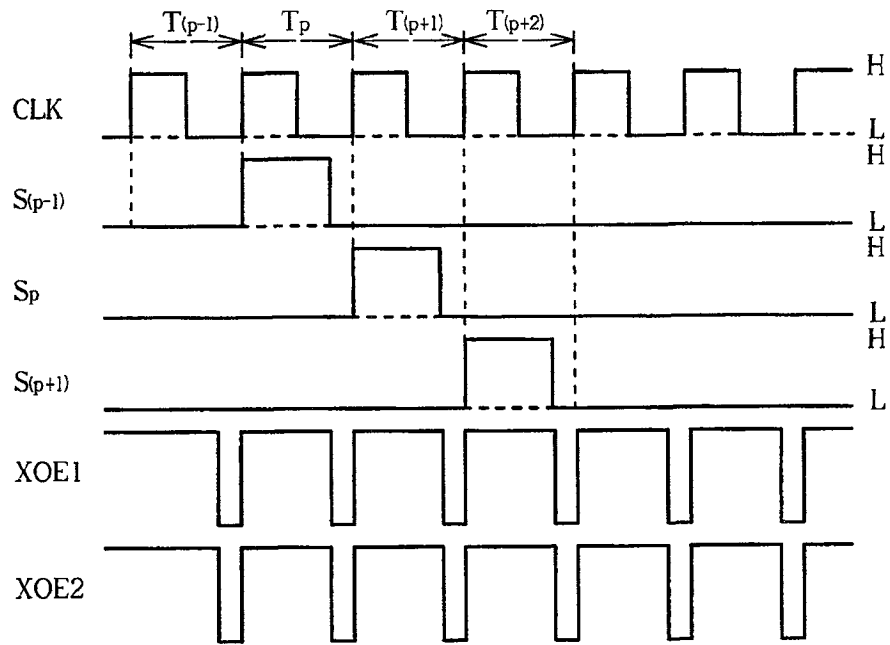


图 1E

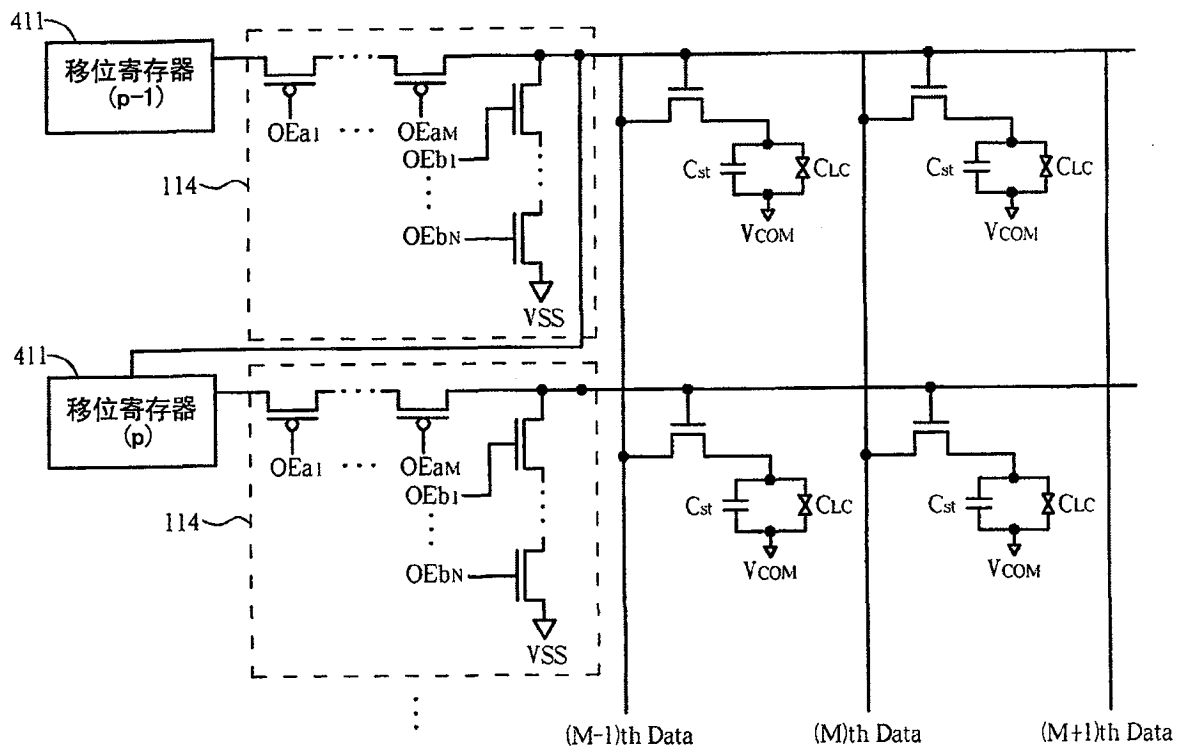


图 1F

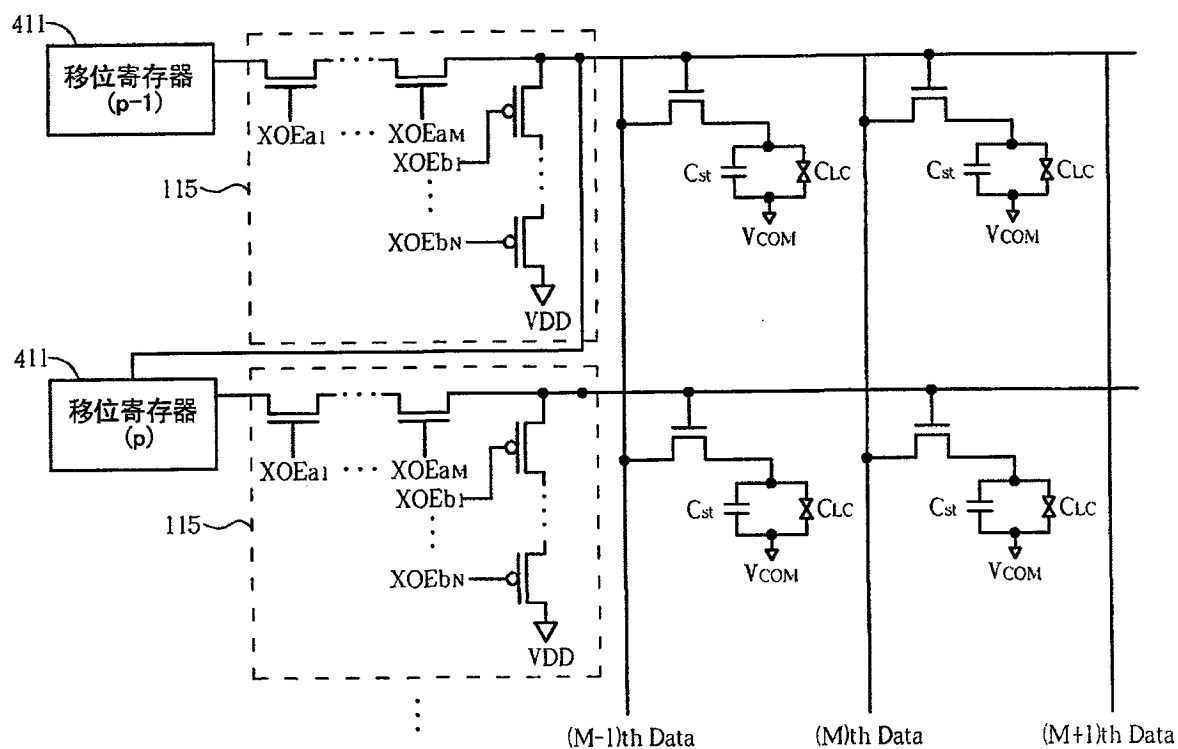


图 1G

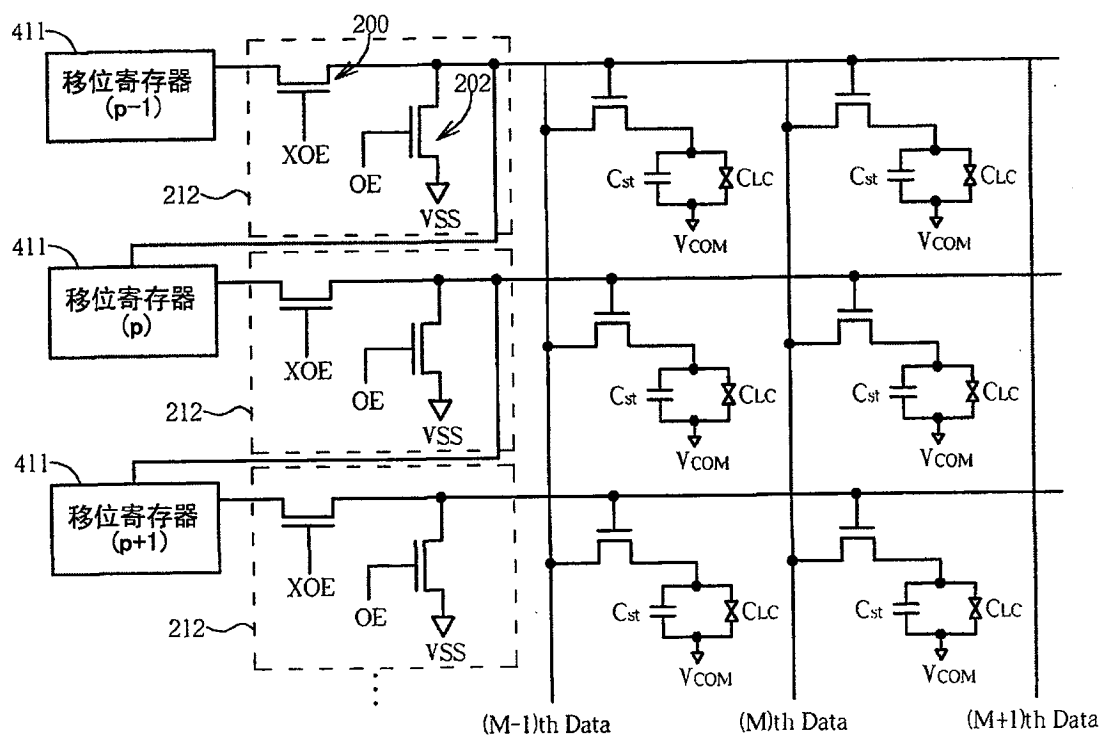


图 2A

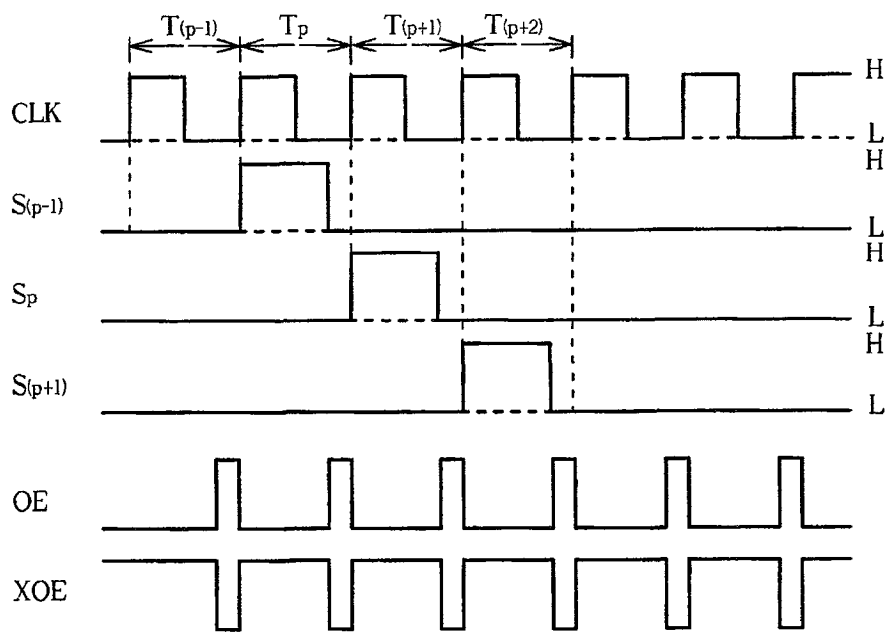


图 2B

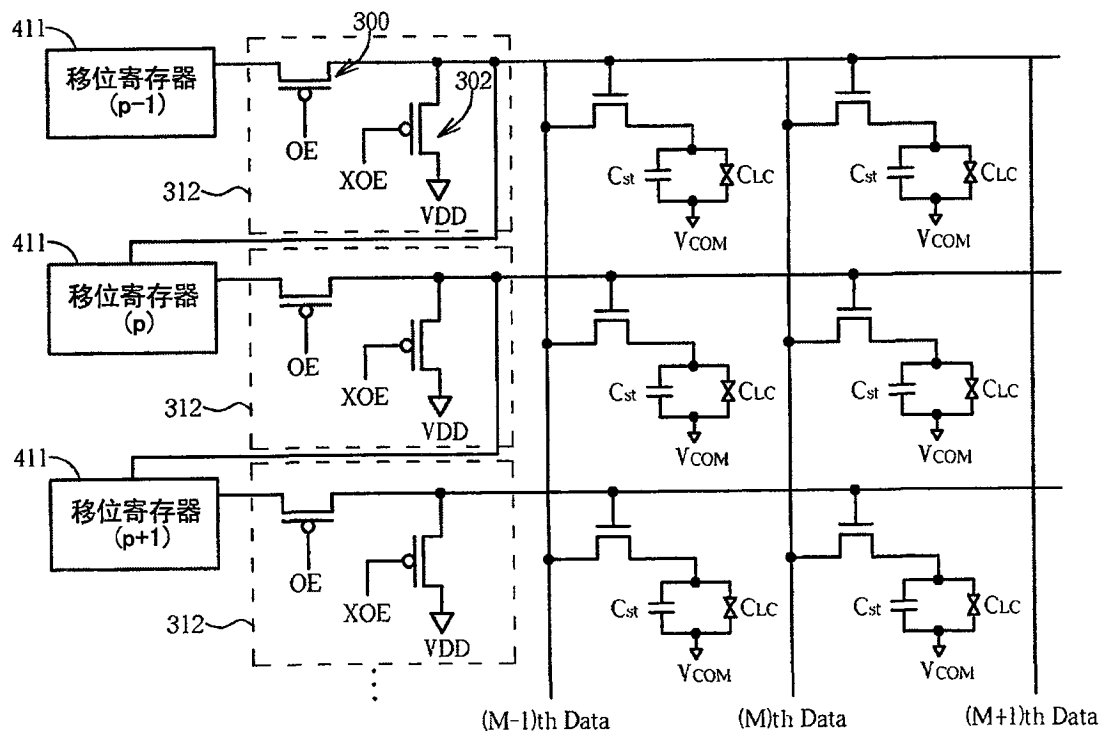


图 3A

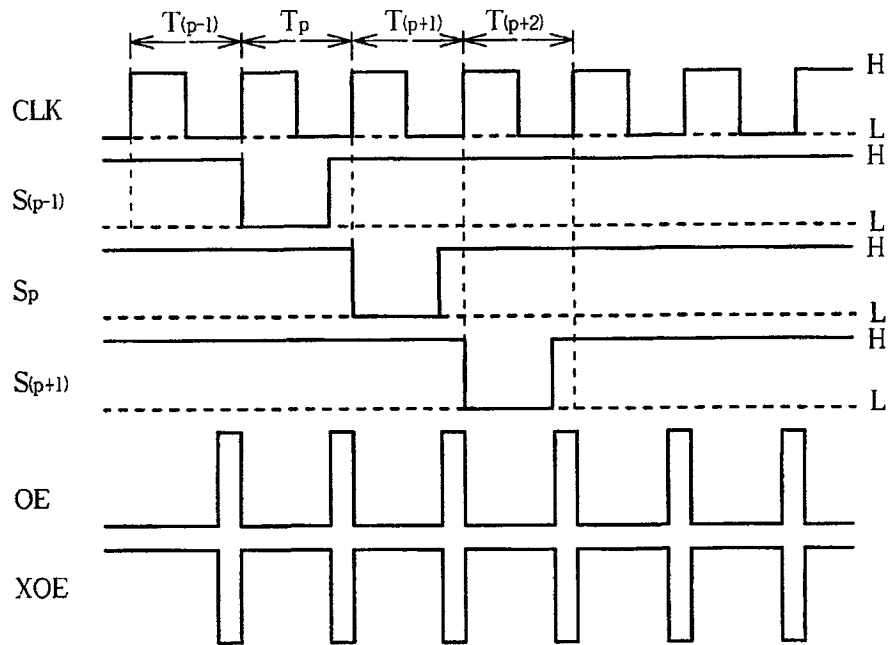


图 3B

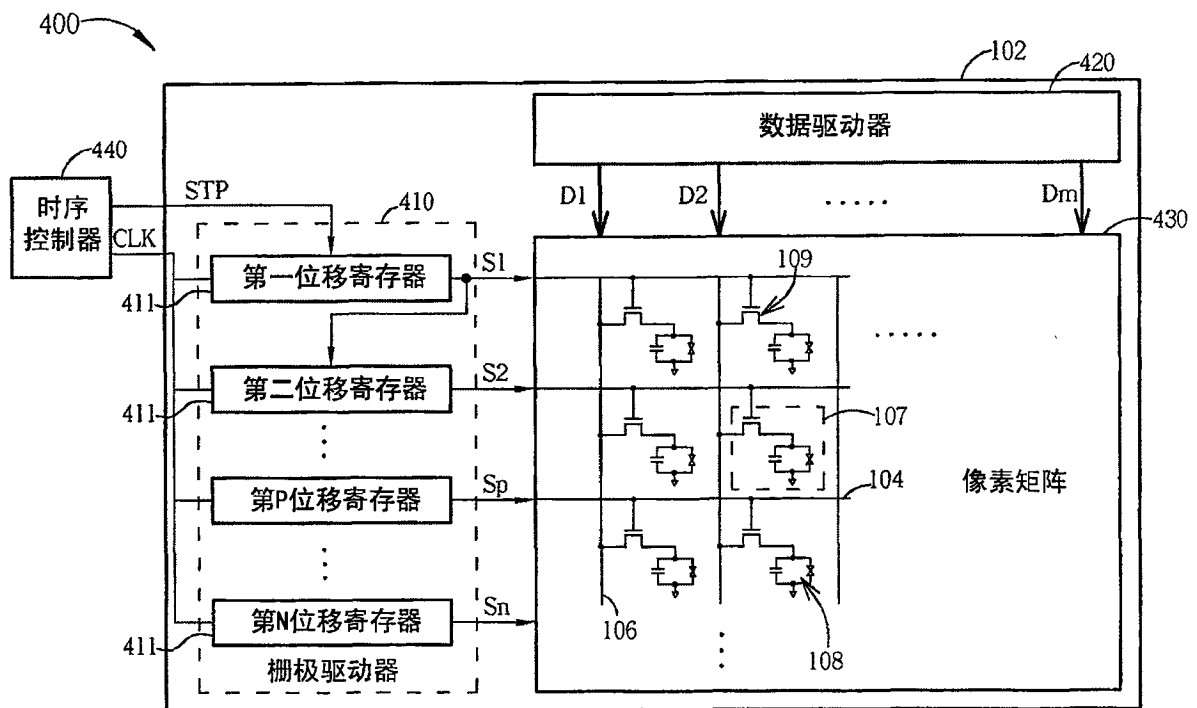


图 4A

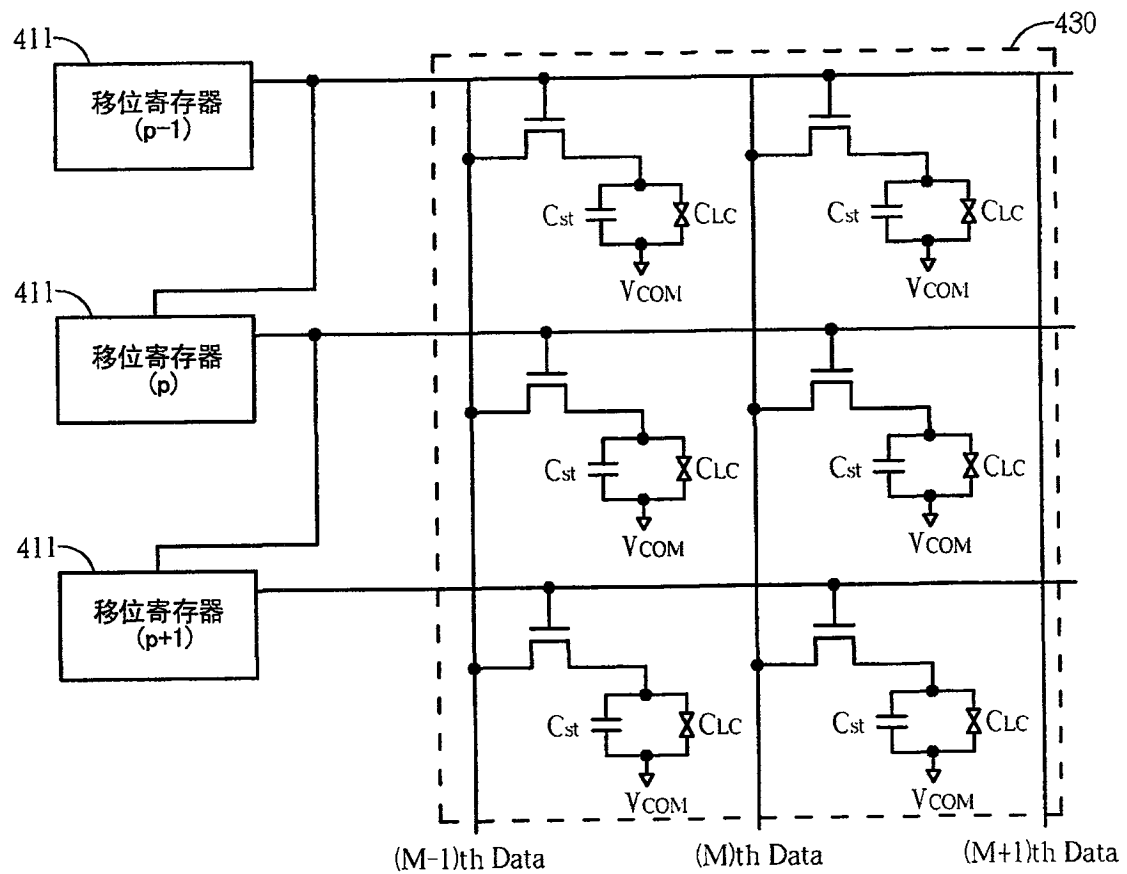


图 4B

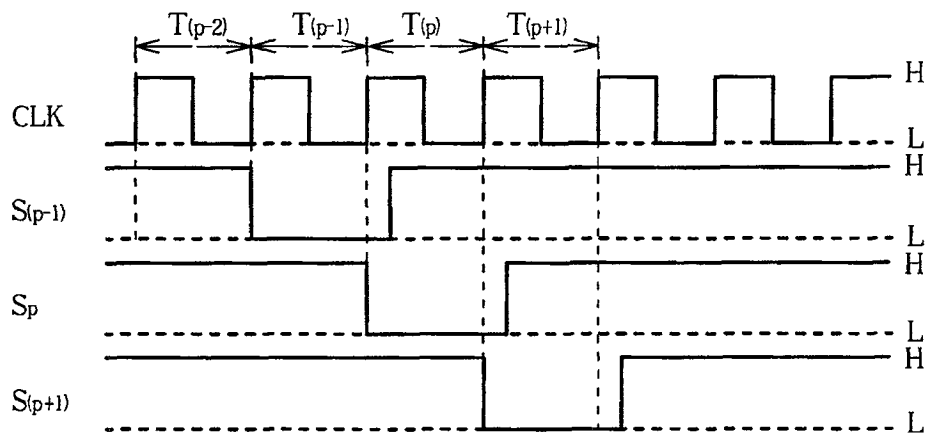


图 4C

专利名称(译)	输出无重叠扫描信号的栅极驱动器、液晶显示器及方法		
公开(公告)号	CN101127199B	公开(公告)日	2010-06-02
申请号	CN200710148737.8	申请日	2007-09-06
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	刘幹中		
发明人	刘幹中		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
代理人(译)	陈晨		
其他公开文献	CN101127199A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种输出无重叠扫描信号的栅极驱动器、液晶显示器及方法。该栅极驱动器包括相互耦接的多级栅极驱动电路，用以输出多个扫描信号。每一级栅极驱动电路包括一移位寄存器以及一阻隔电路，其中移位寄存器用以根据一频率信号及前一级的栅极驱动电路的扫描信号而产生一扫描信号，阻隔电路耦接于移位寄存器，用以阻隔移位寄存器输出的扫描信号达一预定时段，而产生相邻级栅极驱动电路彼此时序无重叠的多个扫描信号，改善液晶显示器的画面质量。

