

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/136 (2006.01)

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710112606.4

[45] 授权公告日 2009 年 9 月 9 日

[11] 授权公告号 CN 100538484C

[22] 申请日 2007.6.22

[21] 申请号 200710112606.4

[30] 优先权

[32] 2006.6.30 [33] KR [31] 10-2006-0060865

[73] 专利权人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 崔秉国 金孝昱 李昌斌

[56] 参考文献

US6278504B1 2001.8.21

JP2-18967A 1990.1.23

JP1-277820A 1989.11.8

US2003/0123009A1 2003.7.3

US5187551A 1993.2.16

US2004/0207791A1 2004.10.21

CN1743931A 2006.3.8

审查员 张玉艳

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李辉

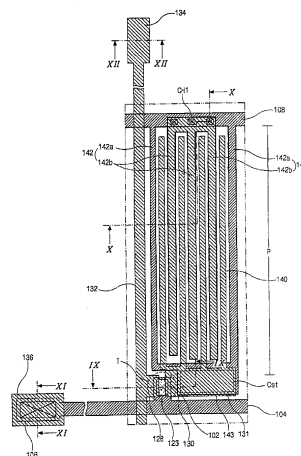
权利要求书 5 页 说明书 16 页 附图 37 页

[54] 发明名称

面内切换型液晶显示装置及其制造方法

[57] 摘要

本发明公开了一种面内切换型液晶显示装置及其制造方法。用于面内切换型液晶显示装置的阵列基板包括：基板上的选通线；与选通线交叉以在基板上限定像素区的数据线；与选通线平行并分开的公共线；连接到选通线的栅极；置于栅极上方的半导体层，其中，半导体层的面积小于栅极的面积；连接到数据线的源极及与源极分开的漏极，源极和漏极置于半导体层上；与漏极集成并在像素区中从漏极延伸的多个像素电极；以及连接到公共线并与所述多个像素电极交替排列的多个公共电极，其中，源极、漏极、数据线和所述多个像素电极的每一个都由第一导电材料层和第二导电材料层构成，其中第二导电材料层置于第一导电材料层上。



- 1、一种用于面内切换型液晶显示装置的阵列基板，该阵列基板包括：
基板上的选通线；
与所述选通线交叉以在所述基板上限定像素区的数据线；
与所述选通线大体平行并分开的公共线；
连接到所述选通线的栅极；
置于所述栅极上方的半导体层，其中该半导体层的面积小于所述栅极的面积；
连接到所述数据线的源极以及与所述源极分开的漏极，所述源极和所述漏极置于所述半导体层上；
与所述漏极集成并在所述像素区中从所述漏极延伸的多个像素电极；以及
连接到所述公共线并与所述多个像素电极交替排列的多个公共电极，
其中，所述源极、所述漏极、所述数据线以及所述多个像素电极的每一个都由第一导电材料层和第二导电材料层构成，其中所述第二导电材料层置于所述第一导电材料层上，其中分别从有源层和欧姆接触层延伸的本征非晶硅层和掺杂非晶硅层未被置于数据线下方。
- 2、根据权利要求1所述的阵列基板，其中，所述第一导电材料层包括金属材料，而所述第二导电材料层包括透明导电材料。
- 3、根据权利要求1所述的阵列基板，其中，所述多个公共电极包括从所述公共线延伸的第一公共电极，以及由所述第一导电材料层和所述第二导电材料层构成的第二公共电极。
- 4、根据权利要求1所述的阵列基板，其中，所述第一公共电极的一部分充当第一电容器电极，并且其中，一第二电容器电极从所述漏极延伸并与所述第一电容器电极交叠。
- 5、根据权利要求4所述的阵列基板，该阵列基板进一步包括在所述第一电容器电极与所述第二电容器电极之间的栅绝缘层，其中，所述第

一电容器电极、所述第二电容器电极以及所述栅绝缘层充当存储电容器。

6、根据权利要求1所述的阵列基板，该阵列基板进一步包括：

选通焊盘，其置于所述选通线的一端；以及

数据焊盘，其置于所述数据线的一端。

7、根据权利要求6所述的阵列基板，该阵列基板进一步包括位于所述选通焊盘上的选通焊盘端子，该选通焊盘端子由所述第一导电材料层和所述第二导电材料层构成。

8、根据权利要求7所述的阵列基板，该阵列基板进一步包括位于所述选通焊盘端子和所述数据焊盘上的钝化层，该钝化层包括暴露所述选通焊盘端子的开口，并包括暴露所述数据焊盘的开口。

9、根据权利要求8所述的阵列基板，其中，所述多个公共电极与所述栅极由相同的材料形成在同一层上。

10、根据权利要求9所述的阵列基板，所述多个公共电极的一部分充当第一电容器电极，并且其中，一第二电容器电极从所述漏极延伸并与所述第一电容器电极交叠，并且其中，一栅绝缘层位于所述第一电容器电极与所述第二电容器电极之间，其中所述第一电容器电极、所述第二电容器电极以及所述栅绝缘层充当存储电容器。

11、根据权利要求1所述的阵列基板，其中，所述第一导电材料层包括钼、钛、钽、钨、铜和钽化铝中的至少一种。

12、根据权利要求1所述的阵列基板，其中，所述第二导电材料层包括铟锡氧化物和铟锌氧化物中的一种。

13、根据权利要求1所述的阵列基板，其中，所述半导体层包括由本征非晶硅构成的有源层和在所述有源层上由掺杂非晶硅构成的欧姆接触层。

14、根据权利要求1所述的阵列基板，其中，所述多个公共电极从所述公共线延伸。

15、一种制造用于面内切换型液晶显示装置的阵列基板的方法，该方法包括以下步骤：

在基板上形成选通线、栅极、选通焊盘、公共线以及第一公共电极，

所述栅极从所述选通线延伸，所述选通焊盘置于所述选通线的一端，所述公共线与所述选通线大体平行并分开，所述第一公共电极从所述公共线延伸；

在所述选通线、所述栅极、所述选通焊盘、所述公共线以及所述第一公共电极上形成栅绝缘层；

在置于所述栅极上方的所述栅绝缘层上形成半导体层，所述半导体层的面积小于所述栅极的面积；

利用所述半导体层上的第一导电材料层和所述第一导电材料层上的第二导电材料层来形成数据线、源极、漏极、数据焊盘、选通焊盘端子、多个像素电极以及第二公共电极，所述数据线与所述选通线交叉，所述源极从所述数据线延伸，所述漏极与所述源极分开，所述数据焊盘置于所述数据线的一端，所述选通焊盘端子接触所述选通焊盘，所述多个像素电极从所述漏极延伸，所述第二公共电极与所述多个像素电极交替排列；

在所述数据线、所述源极、所述漏极、所述数据焊盘、所述选通焊盘端子、所述多个像素电极以及所述第二公共电极上形成钝化层；以及

在所述钝化层处形成暴露所述数据焊盘的开口，并在所述钝化层处形成暴露所述选通焊盘端子的开口，

其中分别从有源层和欧姆接触层延伸的本征非晶硅层和掺杂非晶硅层未被置于数据线下。方。

16、根据权利要求 15 所述的方法，该方法进一步包括以下步骤：

在所述选通线、所述栅极、所述选通焊盘、所述公共线以及所述第一公共电极上顺序形成所述栅绝缘层、本征非晶硅层、掺杂非晶硅层以及感光材料层；

使用在所述感光材料层上方的具有透射区、遮挡区以及半透射区的掩模，来对所述感光材料层进行曝光和显影，以形成第一感光材料图案，所述遮挡区与所述栅极对应，所述透射区与所述选通焊盘对应，所述半透射区与其它部分对应，所述第一感光材料图案具有与所述栅极对应的第一厚度，以及小于所述第一厚度并与所述其它部分对应的第二厚度，

通过所述第一感光图案对与所述选通焊盘对应的感光材料层进行曝光；

使用所述第一感光图案作为构图掩模，来对所述掺杂非晶硅层、所述本征非晶硅层以及所述栅绝缘层进行构图，以形成暴露所述选通焊盘的接触孔；

将所述第一感光图案去除掉所述第二厚度，以形成具有第三厚度的第二感光图案；

使用所述第二感光图案作为构图掩模，来对所述掺杂非晶硅层和所述本征非晶硅层进行构图，以形成所述半导体层；以及

去除所述第二感光图案。

17、一种制造用于面内切换型液晶显示装置的阵列基板的方法，该方法包括以下步骤：

在具有像素区的基板上形成选通线、栅极、选通焊盘、公共线以及多个公共电极，所述栅极从所述选通线延伸，所述选通焊盘置于所述选通线的一端，所述公共线与所述选通线大体平行并分开，所述多个公共电极置于所述像素区中并从所述公共线延伸；

在所述选通线、所述栅极、所述选通焊盘、所述公共线以及所述多个公共电极上形成栅绝缘层；

在置于所述栅极上方的栅绝缘层上形成半导体层，所述半导体层的面积小于所述栅极的面积；

利用所述半导体层上的第一导电材料层和所述第一导电材料层上的第二导电材料层，来形成数据线、源极、漏极、数据焊盘、选通焊盘端子以及多个像素电极，所述数据线与所述选通线交叉，所述源极从所述数据线延伸，所述漏极与所述源极分开，所述数据焊盘置于所述数据线的一端，所述选通焊盘端子接触所述选通焊盘，所述多个像素电极从所述漏极延伸并与所述多个公共电极交替排列；

在所述数据线、所述源极、所述漏极、所述数据焊盘、所述选通焊盘端子以及所述多个像素电极上形成钝化层；以及

在所述钝化层处形成暴露所述数据焊盘的开口，并在所述钝化层处形成暴露所述选通焊盘端子的开口，

其中分别从有源层和欧姆接触层延伸的本征非晶硅层和掺杂非晶硅层未被置于数据线下方。

面内切换型液晶显示装置及其制造方法

技术领域

本发明涉及一种面内切换（IPS）型液晶显示（LCD）装置，更特别地涉及一种用于 IPS 型 LCD 装置的阵列基板，以及一种用于具有更高图像显示质量和提高的孔径比的阵列基板的制造方法。

背景技术

常规 LCD 装置利用液晶分子的光学各向异性性质和偏光性质来显示图像。液晶分子具有与多个分子因其细长形状而造成的排列有关的取向特性。可以通过向液晶分子施加电场，来对液晶分子的排列以及它们的方向进行控制。从而，当向液晶分子施加电场时，根据液晶分子的排列改变了光的偏光性质，这使得 LCD 装置能够显示图像。

有源矩阵 LCD（AM-LCD）装置是普通类型的 LCD 装置，其具有以矩阵形式排列的薄膜晶体管（TFT）。因为有源矩阵 LCD 装置具有高分辨率和优异的活动图像显示能力，所以有源矩阵 LCD 装置得到了相对显著的研究和发展。

LCD 装置包括第一基板、第二基板和插入在第一基板与第二基板之间的液晶层。公共电极和像素电极分别形成在第一基板和第二基板上。可以把第一基板和第二基板分别称为色彩基板和阵列基板。液晶层由在公共电极与像素电极之间感应的垂直电场驱动。虽然 LCD 装置往往具有良好的透光性和孔径比，但是使用垂直电场的 LCD 装置具有较窄的视角。IPS 型 LCD 装置可能具有更宽的视角。

图 1 是根据现有技术的 IPS 型 LCD 装置的示意截面图。如图 1 所示，IPS 型 LCD 装置 1 包括阵列基板 AS、滤色器基板 CS 和液晶层 LC。阵列基板 AS 和滤色器基板 CS 彼此相邻，并且在阵列基板 AS 与滤色器基板 CS 之间插入液晶层 LC。阵列基板 AS 包括第一基板 10、薄膜晶体管

(TFT) T、多个公共电极 30 和多个像素电极 32，该第一基板 10 包括像素区 P。TFT T、所述多个公共电极 30 和所述多个像素电极 32 形成在像素区 P 中。TFT T 置于像素区 P 中，并包括栅极 14、半导体层 18、源极 20 和漏极 22。源极 20 和漏极 22 彼此分开。所述多个公共电极 30 和所述多个像素电极 32 形成在同一层上。所述多个公共电极 30 与所述多个像素电极 32 相互平行并交替排列。

虽然没有示出，但是在第一基板 10 上沿第一方向形成有连接到栅极 14 的选通线，在第一基板 10 上沿第二方向形成有连接到源极 20 的数据线。选通线与数据线交叉以限定像素区 P。此外，在第一基板 10 上沿第一方向形成有公共线，该公共线连接到所述多个公共电极 30 并且与选通线平行。

滤色器基板 CS 包括第二基板 40、黑底 42 和滤色器层 34。黑底 42 遮挡排除了所述多个像素区 P 之外的其它部分。滤色器层 34 形成在黑底 42 上并与所述多个像素区 P 对应。特别的是，滤色器层 34 包括红光子滤色器 34a、绿光子滤色器 34b 和蓝光子滤色器（没有示出）。液晶层 LC 由在每个公共电极 30 与每个像素电极 32 之间感应的水平电场 45 驱动。

图 2 是根据现有技术的用于 IPS 型 LCD 装置的阵列基板的示意平面图。通过四道掩模工序来制造图 2 中的阵列基板。如图 2 所示，在基板 50 上沿第一方向形成有选通线 54，在基板 50 上沿第二方向形成有数据线 92。选通线 54 与数据线 92 交叉以限定像素区 P。选通焊盘 56 置于选通线 54 的一端，数据焊盘 94 置于数据线 92 的一端。公共线 58 被形成与选通线 54 平行并分开。接触选通焊盘 56 的选通焊盘端子 GP 置于选通焊盘 56 上，接触数据焊盘 94 的数据焊盘端子 DP 置于数据焊盘 94 上。

TFT T 置于选通线 54 和数据线 92 的交叉点处，该 TFT T 包括栅极 52、有源层 84、欧姆接触层（没有示出）、源极 88 和漏极 90。栅极 52 连接到选通线 54。有源层 84 置于栅极 52 处，欧姆接触层（没有示出）置于有源层 84 处。源极 88 和漏极 90 置于欧姆接触层（没有示出）处，并且源极 88 与漏极 90 彼此分开。源极 88 连接到数据线 92。连接到漏极 90 的多个像素电极 99 置于像素区 P 处。连接到公共线 58 的多个公共电

极 97 置于像素区 P 处。所述多个像素电极 99 与所述多个公共电极 97 交替排列。

由于源极 88、漏极 90、数据线 92 和有源层 84 是利用一个掩模来形成的，因此它们具有相同形状。结果，从有源层 84 延伸的本征非晶硅层 72，突出超过源极 88、漏极 90 和数据线 92。通过光对本征非晶硅层 72 和有源层 84 进行曝光来产生光电流。光电流可能导致 TFT 中的截止电流，从而使 TFT 的特性劣化。此外，漏光电流可能导致数据线 92 和像素电极 99 中的信号耦合，这可能产生显示图像的劣化（包括图像上的波状噪声）。如上所述，作为使用一个掩模来形成源极 88、漏极 90、数据线 92 和有源层 84 的结果，可能产生截止电流和导致的图像缺陷。

图 3A 到图 3H、图 4A 到图 4H、图 5A 到图 5H 以及图 6A 到图 6H 是分别沿图 2 中的线“III-III”、“IV-IV”、“V-V”、“VI-VI”而截取的示意截面图，表示根据现有技术的用于 IPS 型 LCD 装置的阵列基板的制造过程。

图 3A、4A、5A 和 6A 表示第一掩模工序。如图 3A、4A、5A 和 6A 所示，基板 50 包括像素区 P，该像素区 P 包括开关区 S、选通区 GA、数据区 DA 和公共信号区 CA。在基板 50 上形成选通线（没有示出）、选通焊盘 56 和栅极 52。选通焊盘 56 形成在选通区 GA 中，并置于选通线的一端。栅极 52 连接到选通线并置于开关区 S 中。在公共信号区 CA 中形成公共线，该公共线与选通线平行并分开。

图 3B 到图 3F、图 4B 到图 4F、图 5B 到图 5F 以及图 6B 到图 6F 表示第二掩模工序。如图 3B、4B、5B 和 6B 所示，在包括栅极 52、选通线、选通焊盘 56 和公共线 58 的基板 50 上，顺序形成栅绝缘层 60、本征非晶硅（a-Si:H）层 62、掺杂非晶硅（n+或 p+ a-Si:H）层 64 和第一导电金属层 66。通过涂敷光致抗蚀剂，在第一导电金属层 66 上形成感光材料层 68。然后，将掩模 M 置于感光材料层 68 上方，该掩模 M 具有透射区 TA、遮挡区 SA 和半透射区 HTA。

透射区 TA 具有相对高的透光度，从而通过透射部分 TA 的光可以改变感光材料层 68 的化学特性。遮挡区 SA 完全遮挡光。半透射区 HTA 具

有缝隙结构或半透射膜,从而可以降低通过半透射区 HTA 的光的强度或透光度。结果,半透射区 HTA 的透光度小于透射区 TA 的透光度,并大于遮挡区 SA 的透光度。如图 3B 中所示,半透射区 HTA 以及在半透射区 HTA 两侧的遮挡区 SA 对应于开关区 S。其中一个遮挡区 SA 遮挡像素区 P 的一部分。透射区 TA 对应于像素区 P 的其它部分和选通区 GA。如图 4B 中所示,遮挡区 SA 对应于数据区 DA。通过掩模 M 将感光材料层 68 曝光。

如图 3C、4C、5C 和 6C 所示,对(图 3B、4B、5B 和 6B 中的)感光材料层 68 进行显影,以分别在开关区 S 和数据区 DA 中形成第一感光图案 70a 和第二感光图案 70b。与栅极 52 对应的第一感光图案 70a 具有厚度比其它部分相对低的部分。通过第一感光图案 70a 和第二感光图案 70b 对第一导电金属层 66 进行曝光。使用第一感光图案 70a 和第二感光图案 70b 作为刻蚀掩模,来对第一导电金属层 66、掺杂非晶硅层 64 和本征非晶硅层 62 进行刻蚀。例如,在对第一导电金属层 66 进行刻蚀之后,可以利用干法刻蚀方法来对掺杂非晶硅层 64 和本征非晶硅层 62 进行刻蚀。刻蚀可能依赖于第一导电金属层 66 的类型。

如图 3D、4D、5D 和 6D 所示,在第一感光图案 70a 下方,在开关区 S 中形成了第一半导体图案 76 和第一金属图案 78,该第一半导体图案 76 包括本征非晶硅图案 72 和掺杂非晶硅图案 74。在第二感光图案 70b 下方,在数据区 DA 中形成了从第一半导体图案 76 延伸的第二半导体图案 80 以及从第一金属图案 78 延伸的第二金属图案 82。然后,对第一感光图案 70a 和第二感光图案 70b 进行部分去除。

如图 3E、4E、5E 和 6E 所示,对与栅极 52 和第一感光图案 70a 的两侧对应的第一金属图案 78 进行曝光。类似地,也对在第二感光图案 70b 两侧的第二金属图案 82 进行曝光。特别的是,完全去除第一感光图案 70a 的厚度相对较小的部分,以对第一金属图案 78 进行曝光。对第一感光图案 70a 的其它部分和第二感光图案 70b 进行部分去除。

如图 3F、4F、5F 和 6F 所示,使用第一感光图案 70a,来对通过第一感光图案 70a 而曝光的(图 3E 中的)第一金属图案 78 和在被曝光的

第一金属图案 78 下方的（图 3E 中的）掺杂非晶硅图案 74 进行刻蚀，以形成有源层 84、欧姆接触层 86、源极 88 和漏极 90。有源层 84 置于栅绝缘层 60 上，并且与栅极 52 对应。欧姆接触层 86 置于有源层 84 上。源极 88 和漏极 90 置于欧姆接触层 86 上，并且彼此分开。由于对（图 3E 中的）第一金属图案 78 和（图 3E 中的）掺杂非晶硅图案 74 进行刻蚀而形成了源极 88、漏极 90 和欧姆接触层 86，因此通过源极 88、漏极 90 和欧姆接触层 86 对有源层 84 进行曝光。将被曝光的有源层 84 限定为沟道。当对（图 3E 中的）掺杂非晶硅图案 74 进行刻蚀后，对有源层 84 进行过刻蚀，从而使得没有杂质残留在有源层 84 上。

可以使用第二感光图案 70b 来对（图 4E 中的）第二金属层 82 以及第二半导体图案 80 的掺杂非晶硅图案 74 同时进行刻蚀，从而在数据区 DA 中形成数据线 92。数据线 92 与选通线交叉以限定像素区 P。在数据线 92 的一端形成数据焊盘 94。通过去除第一感光图案 70a 和第二感光图案 70b，来完成第二掩模工序。进一步，在源极 88、漏极 90 和数据线 92 处，暴露有源层 84 和本征非晶硅图案 72 的边缘“AT”。

图 3G、4G、5G 和 6G 表示第三掩模工序。如图 3G、4G、5G 和 6G 所示，在源极 88、漏极 90、数据焊盘 94 和数据线 92 上形成钝化层 96。对钝化层 96 进行构图，以形成漏极接触孔 98a、公共线接触孔 98b、选通焊盘接触孔 98c 和数据线接触孔 98d。漏极接触孔 98a 暴露漏极 90，公共线接触孔 98b 暴露公共线 58，选通焊盘接触孔 98c 暴露选通焊盘 56，而数据焊盘接触孔 98d 暴露数据焊盘 94。

图 3H、4H、5H 和 6H 表示第四掩模工序。如图 3H、4H、5H 和 6H 所示，在钝化层 96 上形成透明导电材料层（没有示出）。对透明导电材料层进行刻蚀，从而在像素区 P 中形成多个像素电极 99 和多个公共电极 97。所述多个像素电极 99 和所述多个公共电极 97 彼此交替排列。通过（图 3G 中的）漏极接触孔 98a 将所述多个像素电极 99 连接到漏极 90。通过公共线接触孔 98b 将所述多个公共电极 97 连接到公共线 56。在选通焊盘 56 上形成选通焊盘端子 GP，而在数据焊盘 94 上形成数据焊盘端子 DP。通过选通焊盘接触孔 98c 将选通焊盘端子 GP 连接到选通焊盘 56。

通过数据焊盘接触孔 98d 将数据焊盘端子 DP 连接到数据焊盘 94。

通过以上四个掩模工序，制造了阵列基板。如上所述，由于使用一个掩模来形成第二金属层、掺杂非晶硅层和本征非晶硅层，因此第二半导体图案的本征非晶硅图案形成在数据线下方，并且可能突出超过数据线。本征非晶硅图案的突出，可能导致诸如波状噪声的图像缺陷。此外，由于有源层从第二半导体图案的本征非晶硅图案延伸，因此导致有源层的一部分未被栅极覆盖。从而，可能在薄膜晶体管中产生截止电流，这可能使薄膜晶体管的性质劣化。

发明内容

在第一方面中，提供了一种用于面内切换型液晶显示装置的阵列基板，该阵列基板包括：基板上的选通线；与所述选通线交叉以在所述基板上限定像素区的数据线；与所述选通线大体平行并分开的公共线；连接到所述选通线的栅极；置于所述栅极上方的半导体层，其中该半导体层的面积小于所述栅极的面积；连接到所述数据线的源极以及与所述源极分开的漏极，所述源极和所述漏极置于所述半导体层上；与所述漏极集成并在所述像素区中从所述漏极延伸的多个像素电极；以及连接到所述公共线并与所述多个像素电极交替排列的多个公共电极，其中，所述源极、所述漏极、所述数据线以及所述多个像素电极的每一个都由第一导电材料层和第二导电材料层构成，其中所述第二导电材料层置于所述第一导电材料层上，其中分别从有源层和欧姆接触层延伸的本征非晶硅层和掺杂非晶硅层未被置于数据线下方。

在第二方面中，提供了一种制造用于面内切换型液晶显示装置的阵列基板的方法，该方法包括以下步骤：在基板上形成选通线、栅极、选通焊盘、公共线以及第一公共电极，所述栅极从所述选通线延伸，所述选通焊盘置于所述选通线的一端，所述公共线与所述选通线大体平行并分开，所述第一公共电极从所述公共线延伸；在所述选通线、所述栅极、所述选通焊盘、所述公共线以及所述第一公共电极上形成栅绝缘层；在置于所述栅极上方的所述栅绝缘层上形成半导体层，所述半导体层的面

积小于所述栅极的面积；利用所述半导体层上的第一导电材料层和所述第一导电材料层上的第二导电材料层来形成数据线、源极、漏极、数据焊盘、选通焊盘端子、多个像素电极以及第二公共电极，所述数据线与所述选通线交叉，所述源极从所述数据线延伸，所述漏极与所述源极分开，所述数据焊盘置于所述数据线的一端，所述选通焊盘端子接触所述选通焊盘，所述多个像素电极从所述漏极延伸，所述第二公共电极与所述多个像素电极交替排列；在所述数据线、所述源极、所述漏极、所述数据焊盘、所述选通焊盘端子、所述多个像素电极以及所述第二公共电极上形成钝化层；以及在所述钝化层处形成暴露所述数据焊盘的开口，并在所述钝化层处形成暴露所述选通焊盘端子的开口，其中分别从有源层和欧姆接触层延伸的本征非晶硅层和掺杂非晶硅层未被置于数据线下

方。

在第三方面中，提供了一种制造用于面内切换型液晶显示装置的阵列基板的方法，该方法包括以下步骤：在具有像素区的基板上形成选通线、栅极、选通焊盘、公共线以及多个公共电极，所述栅极从所述选通线延伸，所述选通焊盘置于所述选通线的一端，所述公共线与所述选通线大体平行并分开，所述多个公共电极置于所述像素区中并从所述公共线延伸；在所述选通线、所述栅极、所述选通焊盘、所述公共线以及所述多个公共电极上形成栅绝缘层；在置于所述栅极上方的栅绝缘层上形成半导体层，所述半导体层的面积小于所述栅极的面积；利用所述半导体层上的第一导电材料层和所述第一导电材料层上的第二导电材料层，来形成数据线、源极、漏极、数据焊盘、选通焊盘端子以及多个像素电极，所述数据线与所述选通线交叉，所述源极从所述数据线延伸，所述漏极与所述源极分开，所述数据焊盘置于所述数据线的一端，所述选通焊盘端子接触所述选通焊盘，所述多个像素电极从所述漏极延伸并与所述多个公共电极交替排列；在所述数据线、所述源极、所述漏极、所述数据焊盘、所述选通焊盘端子以及所述多个像素电极上形成钝化层；以及在所述钝化层处形成暴露所述数据焊盘的开口，并在所述钝化层处形成暴露所述选通焊盘端子的开口，其中分别从有源层和欧姆接触层延伸

的本征非晶硅层和掺杂非晶硅层未被置于数据线下方。

应当理解关于本发明的前述一般描述和以下详细描述都只是示例性和解释性的，旨在提供对要求保护的本发明的进一步描述。本领域技术人员在考查以下附图和详细描述后，应当清楚其它系统、方法、特征和优点。所有这种其它系统、方法、特征和优点都包括在本说明书内，并落入本发明的范围内，并且由以下权利要求保护。不应将本部分中的任何内容当作是对权利要求的限制。以下结合实施例描述更进一步的方面和优点。

附图说明

参考以下附图和说明，可以更好地理解本系统和/或方法。参考以下附图对非限制性和非穷尽的实施例进行描述。图中的组成部分不一定按比例绘制，而是将重点放在对发明原理的例示上。在附图中，类似的标号表示不同视图中的对应部分。这些附图被包括进来以提供对本发明的进一步说明，并且被并入并构成本说明书的一部分，它们例示了本发明的实施例，并与文字说明一起用于解释本发明的原理。在附图中：

图 1 是根据现有技术的 IPS 型 LCD 装置的示意截面图；

图 2 是根据现有技术的用于 IPS 型 LCD 装置的阵列基板的示意平面图；

图 3A 至 3H、图 4A 至 4H、图 5A 至 5H 和图 6A 至 6H 分别是沿图 2 中的线“III-III”、“IV-IV”、“V-V”、“VI-VI” 截取的示意截面图，例示了根据现有技术的用于 IPS 型 LCD 装置的阵列基板的制造过程；

图 7 是根据一个实施例的用于 IPS 型 LCD 装置的阵列基板的示意平面图；

图 8A 至 8D 是根据一个实施例的分别沿图 7 中的线“IX-IX”、“X-X”、“XI-XI” 和 “XII-XII” 截取的示意截面图；

图 9A 至 9G、图 10A 至 10G、图 11A 至 11G 和图 12A 至 12G 分别是沿图 7 中的线“IX-IX”、“X-X”、“XI-XI” 和 “XII-XII” 截取的示意截面图，示出了根据一个实施例的用于 IPS 型 LCD 装置的阵列基板的制造

过程;

图 13 是根据另一个实施例的用于 IPS 型 LCD 装置的阵列基板的示意平面图; 以及

图 14 是根据一个实施例的沿图 13 中的线 “XIV-XIV” 截取的示意截面图。

具体实施方式

下面详细说明本发明的实施例, 在附图中例示了本发明实施例的示例。在根据本实施例的通过四道掩模工序制造的用于 IPS 型 LCD 装置的阵列基板中, 有源层的面积小于栅极的面积, 并且未暴露在来自背光单元的光下。从而, 可以减少或防止图像劣化和截止电流。

图 7 是根据一个实施例的用于 IPS 型 LCD 装置的阵列基板的示意平面图。如图 7 所示, 沿第一方向的选通线 104 和沿第二方向的数据线 132 彼此交叉, 以限定像素区 P。公共线 108 与选通线 104 平行并分开。薄膜晶体管 (TFT) T 置于选通线 104 和数据线 132 的交叉处, 该薄膜晶体管包括栅极 102、半导体层 123、源极 128 和漏极 130。连接至漏极 130 的多个像素电极 140 置于像素区 P 中。多个公共电极 142 置于像素区 P 中, 所述多个公共电极 142 连接至公共线 108, 并与所述多个像素电极 140 交替排列。所述多个像素电极 140 和所述多个公共电极 142 大体平行于数据线 132。

所述多个公共电极 142 包括第一公共电极 142a 和第二公共电极 142b。第一公共电极 142a 从公共线 108 延伸, 并置于像素区 P 的边界部分处。第二公共电极 142b 置于像素区 P 的中央部分处, 并通过第一接触孔 CH1 连接到公共线 108。像素电极 140 的一部分与第一公共电极 142a 的一部分交叠, 以形成存储电容器 Cst。第一公共电极 142a 的交叠部分充当第一电容器电极 131。像素电极 140 的交叠部分充当第二电容器电极 143。在第一电容器电极 131 与第二电容器电极 143 之间的栅绝缘层 (没有示出) 充当电介质材料。第一电容器电极 131、第二电容器电极 143 和栅绝缘层构成存储电容器 Cst。此外, 选通焊盘 106 置于选通线 104 的一

端，选通焊盘端子 136 置于选通焊盘 106 上。数据焊盘 134 置于数据线 132 的一端。

根据本实施例，通过四道掩模工序制造了用于 IPS 型 LCD 装置的阵列基板。由于源极 128 和漏极 130 具有由不透明金属材料和透明导电材料构成的双层结构，因此数据焊盘 134 可以既充当数据焊盘，又充当数据焊盘端子。此外，由于半导体层 123 的面积小于栅极 102 的面积，因此半导体层 123 的非晶硅有源层未暴露在光下。从而，因为非晶硅有源层未暴露在光下，所以在 TFT T 中没有截止电流。特别的是，半导体层 123 置于栅极 102 内。由于不在数据线 132 下方形成半导体层 123，因此不会产生诸如波状噪声的图像缺陷。

所述多个公共电极 142 包括置于像素区 P 的边界部分处的第一公共电极 142a，以及通过第一接触孔 CH1 连接到公共线 108 的第二公共电极 142b。第一公共电极 142a 与选通线 104 由相同材料形成在同一层。第二公共电极 142b 与像素电极 140 由相同材料形成在同一层。由于栅绝缘层（没有示出）一层充当存储电容器 Cst 中的电介质材料，因此存储电容器 Cst 具有足够的存储电容，并且提高了孔径比。

图 8A 至 8D 是根据一个实施例的分别沿图 7 中的线“IX-IX”、“X-X”、“XI-XI”和“XII-XII”截取的示意截面图。如图 8A 至 8D 所示，基板 100 包括像素区 P、选通区 GA、数据区 DA、开关区 S 和公共信号区 CA。薄膜晶体管（TFT）T 包括基板 100 上的栅极 102、栅极 102 上的栅绝缘层 110、栅绝缘层 110 上的有源层 120、有源层 120 上的欧姆接触层 122、有源层 120 上的源极 128，以及置于开关区 S 处的漏极 130。有源层 120 和欧姆接触层 122 构成半导体层 123。

源极 128 和漏极 130 置于欧姆接触层 122 上并彼此分开。源极 128 和漏极 130 中的每一个都具有由第一导电材料层 124 和第二导电材料层 126 构成的双层结构。第一导电材料层 124 可以由金属材料（如钼（Mo）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）或钕化铝（AlNd））形成。第二导电材料层 126 可以由透明导电材料（如铟锡氧化物（ITO）或铟锌氧化物（IZO））形成。

将连接到源极 128 的数据线 132 以及置于数据线 132 的一端处的数据焊盘 134 置于数据区 DA 中。数据线 132 和数据焊盘 134 也包括第一导电材料层 124 和第二导电材料层 126。连接到栅极 102 的选通线（没有示出）与数据线 132 交叉，以限定像素区 P。将选通区 GA 中的选通焊盘 106 置于选通线（没有示出）的一端。选通焊盘端子 136 接触选通焊盘 106，并且也包括第一导电材料层 124 和第二导电材料层 126。

多个像素电极 140 从漏极 130 延伸，并置于像素区 P 中。多个公共电极 142 连接到公共线 108，并且与所述多个像素电极 140 交替排列。所述多个公共电极 142 置于像素区 P 中，并且包括第一公共电极 142a 和第二公共电极 142b。第一公共电极 142a 置于像素区 P 的边界部分处。第二公共电极 142b 置于像素区 P 的中央部分处。第二公共电极 142b 也包括第一导电材料层 124 和第二导电材料层 126。

像素电极 140 与第一公共电极 142a 交叠，以形成存储电容器 Cst。第一公共电极 142a 的交叠部分充当第一电容器电极 131。像素电极 140 的交叠部分充当第二电容器电极 143。在第一电容器电极 131 与第二电容器电极 143 之间的栅绝缘层 110 充当电介质材料。第一电容器电极 131、第二电容器电极 143 和栅绝缘层构成存储电容器 Cst。

在该用于 IPS 型 LCD 装置的阵列基板中，分别从有源层 120 和欧姆接触层 122 延伸的本征非晶硅层和掺杂非晶硅层未被置于数据线 132 下方。因此，减少了诸如波状噪声的图像缺陷。此外，由于有源层 120 的面积小于栅极 102 的面积，因此有源层 120 不会暴露在光下，从而在 TFT 中不会产生截止电流。

图 9A 至 9G、图 10A 至 10G、图 11A 至 11G 和图 12A 至 12G 分别是沿图 7 中的线“IX-IX”、“X-X”、“XI-XI”和“XII-XII”截取的示意截面图，示出了根据一个实施例的用于 IPS 型 LCD 装置的阵列基板的制造过程。图 9A 至 9G 示出了薄膜晶体管（TFT）和存储电容器，图 10A 至 10G 示出了像素区 P，图 11A 至 11G 示出了选通焊盘，图 12A 至 12G 示出了数据焊盘。

图 9A、10A、11A 和 12A 表示第一掩模工序。如图 9A、10A、11A

和 12A 所示, 基板 100 包括像素区 P、选通区 GA、数据区 DA、开关区 S 和公共信号区 CA。通过淀积至少一种诸如铝 (Al)、钽化铝 (AlNd)、铬 (Cr)、钼 (Mo)、钨 (W)、钛 (Ti)、铜 (Cu) 或钽 (Ta) 的导电金属材料, 来在基板 100 上形成第一导电金属层 (没有示出)。通过第一掩模工序对第一导电金属层 (没有示出) 进行刻蚀, 以形成栅极 102、(图 7 中的) 选通线 104 和在 (图 7 中的) 选通线 104 的一端处的选通焊盘 106。栅极 102 置于开关区 S 中。(图 7 中的) 选通线 104 和选通焊盘 106 置于选通区 GA 中。与 (图 7 中的) 选通线 104 平行并分开的公共线 108 置于公共信号区 CA 中。

图 9B 至 9E、10B 至 10E、11B 至 11E 以及 12B 至 12E 表示第二掩模工序。如图 9B、10B、11B 和 12B 所示, 在栅极 102、选通焊盘 106 和公共线 108 上顺序形成栅绝缘层 110、本征非晶硅层 112、掺杂非晶硅层 114 和感光材料层 116。通过淀积至少一种诸如氮化硅 (SiN_x) 或氧化硅 (SiO_x) 的无机绝缘材料, 来形成栅绝缘层 110。通过涂敷光致抗蚀剂来形成感光材料层 116。

将具有透射区 TA、遮挡区 SA 和半透射区 HTA 的掩模 M, 置于感光材料层 116 上方。如上所述, 半透射区 HTA 的透光度小于透射区 TA 的透光度, 而大于遮挡区 SA 的透光度。遮挡区 SA 与开关区 S 对应, 而透射区 TA 与选通焊盘 106 对应。透射区 TA 与公共信号区 CA 部分对应。半透射区 HTA 与其它部分对应。遮挡区 SA 的面积小于栅极 102 的面积。通过掩模 M 对感光材料层 116 进行曝光。

如图 9C、10C、11C 和 12C 所示, 对 (图 9B、10B、11B 和 12B 中的) 感光材料层 116 进行构图, 以在掺杂非晶硅层 114 上形成感光图案 118。由于感光图案 118 的一部分与掩模 M 的遮挡区 SA 对应, 因此感光图案 118 在开关区 S 中的部分相比于其它部分较厚。去除与公共线 108 的一部分和选通焊盘 106 对应的 (图 9B、10B、11B 和 12B 中的) 感光材料层 116, 以对掺杂非晶硅层 114 进行曝光。

如图 9D、10D、11D 和 12D 所示, 使用感光图案 118 作为刻蚀掩模, 来对掺杂非晶硅层 114、本征非晶硅层 112 和栅绝缘层 110 进行刻蚀, 以

暴露公共线 108 的一部分和选通焊盘 106 的一部分。对感光图案 118 进行灰化,以暴露掺杂非晶硅层 114。部分去除开关区 S 中的感光图案 118,而使得开关区 S 中的掺杂非晶硅层 114 不被暴露。然而,去除其它区域中的感光图案 118,而使得所述其它区域中的掺杂非晶硅层 114 被暴露。

如图 9E、10E、11E 和 12E 所示,使用(图 9D、10D、11D 和 12D 中的)感光图案 118 作为构图掩模,来对(图 9D、10D、11D 和 12D 中的)掺杂非晶硅层 114 和本征非晶硅层 112 进行构图,以形成有源层 120 和有源层 120 上的欧姆接触层 122。将有源层 120 和欧姆接触层 122 置于栅极 102 上方。

图 9F、10F、11F 和 12F 表示第三掩模工序。如图 9F、10F、11F 和 12F 所示,第一和第二导电金属材料层(没有示出)在欧姆接触层 122 上。通过第三掩模工序对第一导电金属材料层和第二导电金属材料层(没有示出)进行刻蚀,来形成源极 128、漏极 130、多个像素电极 140 和第二公共电极 142b。源极 128 和漏极 130 置于开关区 S 中,并彼此分开。所述多个像素电极 140 和第二公共电极 142b 置于像素区 P 中。源极 128、漏极 130、所述多个像素电极 140 和第二公共电极 142b 中的每一个,都具有由第一导电材料层 124 和第二导电材料层 126 构成的双层结构。所述多个像素电极 140 从漏极 130 延伸,并且每一个都具有条状形状。第二公共电极 142b 连接到公共线 108,并与所述多个像素电极 140 交替排列。所述多个像素电极 140、第一公共电极 142a 和第二公共电极 142b 大体平行于数据线 132。所述多个像素电极 140、第一公共电极 142a 和第二公共电极 142b 可以具有各种形状。选通焊盘端子 136 具有第一导电材料层 124,第二导电材料层 126 形成在选通焊盘 106 上并与选通焊盘 106 接触。在数据区 DA 中形成数据线 132,该数据线 132 具有第一导电材料层 124 和第二导电材料层 126,并且包括了在数据线 132 的一端处的数据焊盘。

如上所述,源极 128、漏极 130、所述多个像素电极 140、第二公共电极 142b、选通焊盘端子 136、数据线 132 和数据焊盘 134 中的每一个,都包括第一导电材料层 124 和第二导电材料层 126。第一导电材料层 124

由诸如钼 (Mo)、钛 (Ti)、钽 (Ta)、钨 (W)、铜 (Cu) 或钕化铝 (AlNd) 的金属材料形成。第二导电材料层 126 由诸如铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 的透明导电材料形成。

像素电极 140 与第一公共电极 142a 交叠, 来形成存储电容器 Cst。第一公共电极 142a 的交叠部分充当第一电容器电极 131。像素电极 140 的交叠部分充当第二电容器电极 143。第一电容器电极 131 与第二电容器电极 143 之间的栅绝缘层 110, 充当电介质材料。第一电容器电极 131、第二电容器电极 143 和栅绝缘层构成存储电容器 Cst。使用源极 128 和漏极 130 作为刻蚀掩模, 来对欧姆接触层 122 进行刻蚀, 以暴露有源层 120。

图 9G、10G、11G 和 12G 表示第四掩模工序。如图 9G、10G、11G 和 12G 所示, 通过涂敷诸如苯并环丁烯 (BCB) 或丙烯酸树脂的有机绝缘材料, 来在源极 128、漏极 130、所述多个像素电极 140、第二公共电极 142b、选通焊盘端子 136、数据线 132 和数据焊盘 134 上形成钝化层 150。作为另一种选择, 钝化层 150 可以是无机绝缘材料, 如氮化硅 (SiN_x) 或氧化硅 (SiO_x)。通过第四掩模工序对钝化层 150 进行构图, 以暴露选通焊盘端子 136 和数据焊盘 134。虽然在像素区 P 中形成了钝化层, 但是可以去除像素区 P 中的钝化层。可以对像素电极 140 和第二公共电极 142b 进行部分刻蚀, 以减小像素电极 140 与第二公共电极 142b 之间的台阶差, 从而使漏光最小化。通过以上四道掩模工序, 制造了用于 IPS 型 LCD 装置的阵列基板。

图 13 是根据另一个实施例的用于 IPS 型 LCD 装置的阵列基板的示意平面图。图 14 是根据一个实施例的沿图 13 中的线 XIV-XIV 截取的截面图。以下不对上面描述过的结构和组成部分进行描述。特别的是, 以下对与图 7 中不同的结构和组成部分进行描述。

如图 13 和 14 所示, 多个公共电极 242 从公共线 208 延伸, 该公共线 208 与选通线 204 平行并分开。所述多个公共电极 242 与多个像素电极 240 大体平行并交替排列。第一电容器电极 231 从公共电极 242 延伸, 并与像素电极 240 交叠。像素电极 240 的交叠部分充当第二电容器电极 243, 栅绝缘层 210 充当电介质材料。第一电容器电极 231、第二电容器

电极 243 和栅绝缘层构成存储电容器 Cst。

所述多个公共电极 242 与栅极 202 由相同材料形成在同一层。所述多个公共电极 242 彼此平行，并且栅绝缘层 210 置于所述多个公共电极 242 上。所述多个像素电极 240 置于栅绝缘层 210 上，并与所述多个公共电极 242 交替排列。所述多个像素电极 240 具有由第一导电材料层 224 和第二导电材料层 226 构成的双层结构。公共线 208 和所述多个公共电极 242 可以是一个整体。

在图 13 和 14 所示的阵列基板中，半导体层 223 的面积小于栅极 202 的面积。半导体层 223 未形成在数据线 232 下方。源极 228 和漏极 230 具有由第一导电材料层 224 和第二导电材料层 226 构成的双层结构。第二电容器电极 243 从漏极 230 延伸。由于本征非晶硅有源层的面积小于栅极 202 的面积并且没有被置于数据线 232 的下方，因此减少了诸如波状噪声的图像质量劣化。同样，在该用于 IPS 型 LCD 装置的阵列基板中，由于半导体层 223 的面积小于栅极 202 的面积，因此半导体层 223 的非晶硅有源层 223a 未暴露在光下。从而，在 TFT 中没有截止电流。此外，由于半导体层 223 未形成在数据线 232 下方，因此不会产生诸如波状噪声的图像缺陷。

由于栅极 202 一层充当存储电容器 Cst 中的电介质材料，因此存储电容器具有足够的存储电容，并且提高了孔径比。此外，由于将像素电极 240 与漏极 230 集成在一起，因此黑底的覆盖接触孔的部分不是必需的。结果，提高了孔径比。

本领域技术人员应当清楚，在不背离本发明的精神或范围的情况下，可以对本发明的 LCD 装置做出各种修改和变型。因此，本发明将涵盖落入所附权利要求及其等同物的范围内的对本发明的各种修改和变型。

对在此描述的实施例的例示，旨在提供各种实施例的结构的一般理解。这些例示并不旨在用于对利用在此描述的结构或方法的装置和系统中的所有要素和特征的完整描述。本领域技术人员在阅读该公开的情况下，可以想到许多其它实施例。可以使用其它实施例，并且可以从该公开得出其它实施例，从而可以在不背离该公开的范围的情况下作出结构

上和逻辑上的替代和改变。此外，例示仅是代表性的，可以不按比例绘制。例示的某些比例可能放大，而其它比例可能最小化。因此，该公开和附图被认为是说明性的而不是限制性的。以上公开的主题被认为是说明性的而不是限制性的，而所附权利要求将涵盖落入本发明的真正精神和范围之内内的所有这样的修改、改进和其它实施例。

本申请要求 2006 年 6 月 30 日提交的韩国专利申请 No. 10-2006-0060865 的优先权，通过引用将其并入于此，如在此进行了全面阐述一样。

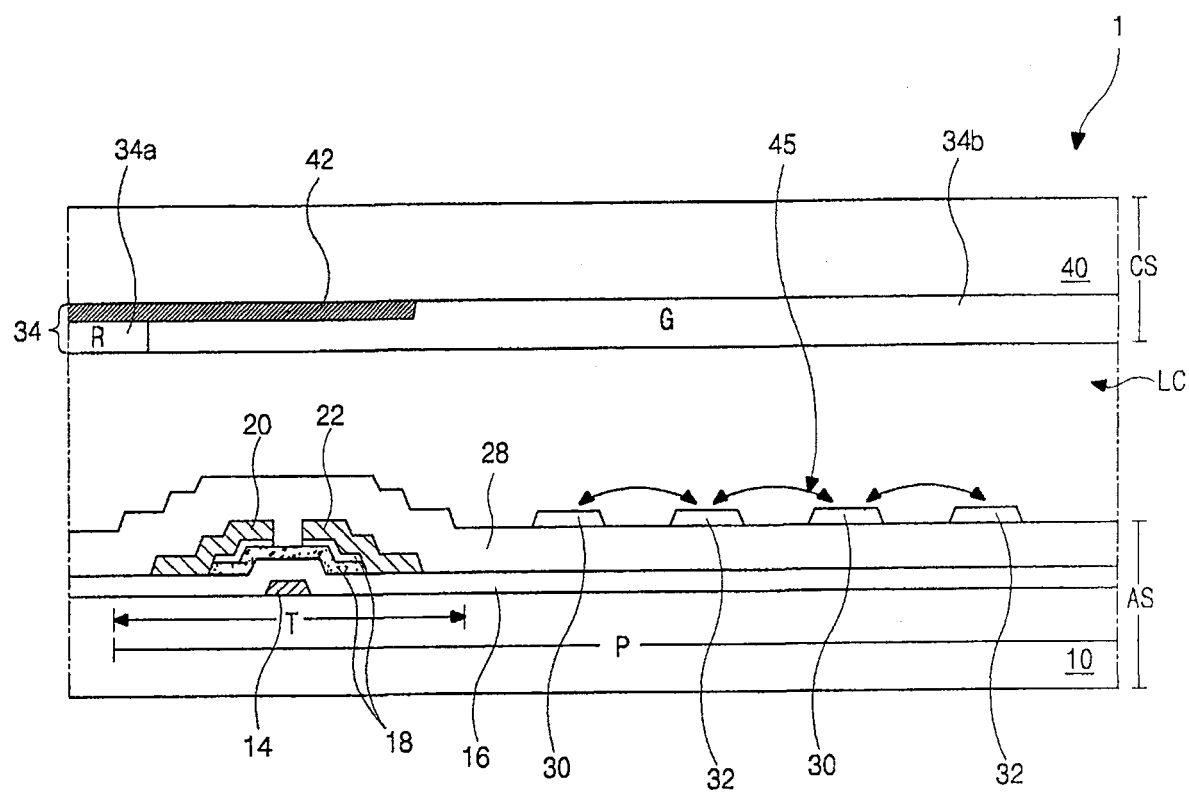


图 1
现有技术

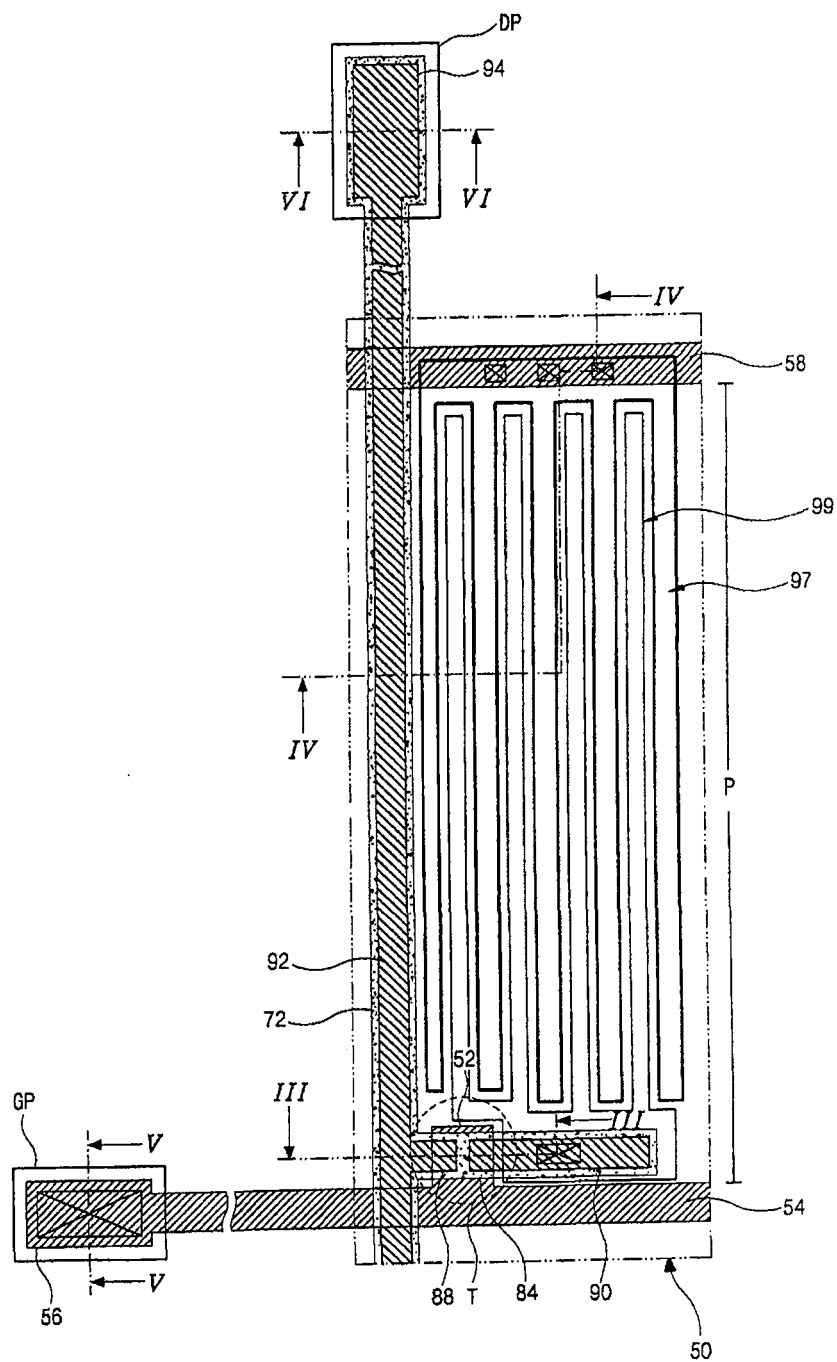


图 2
现有技术

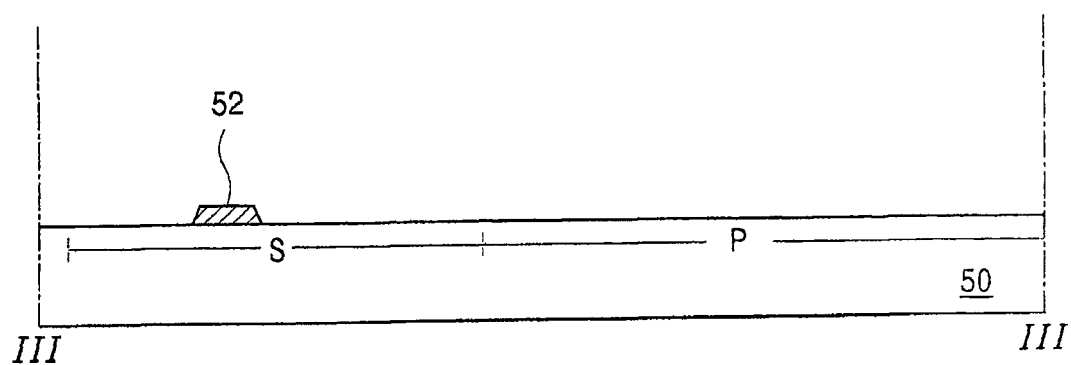


图 3A
现有技术

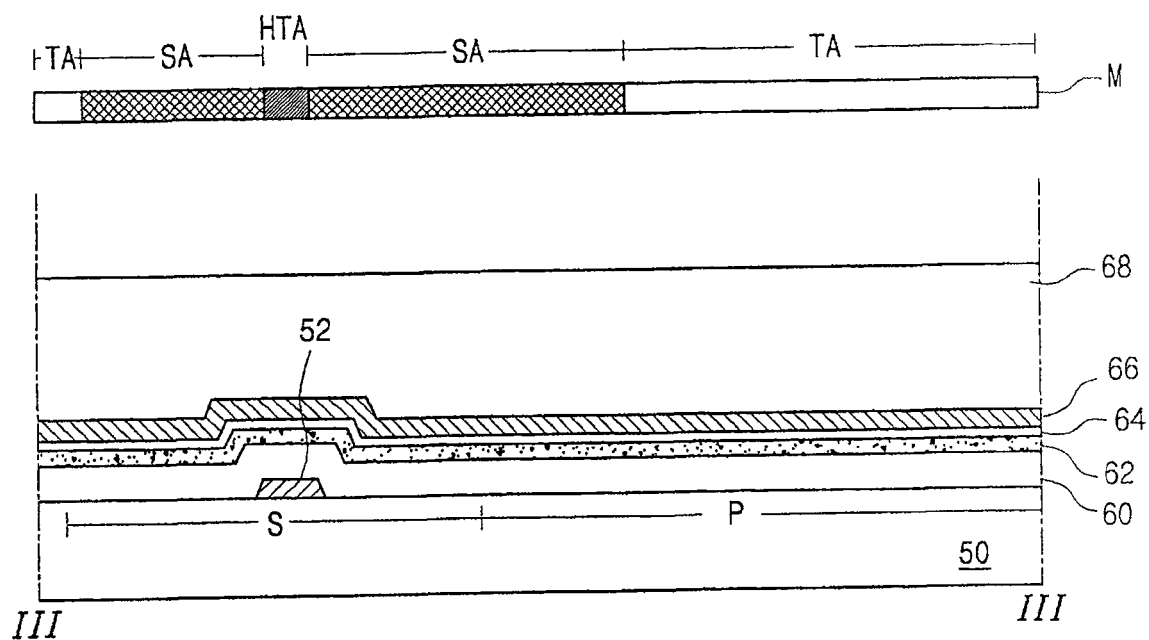


图 3B
现有技术

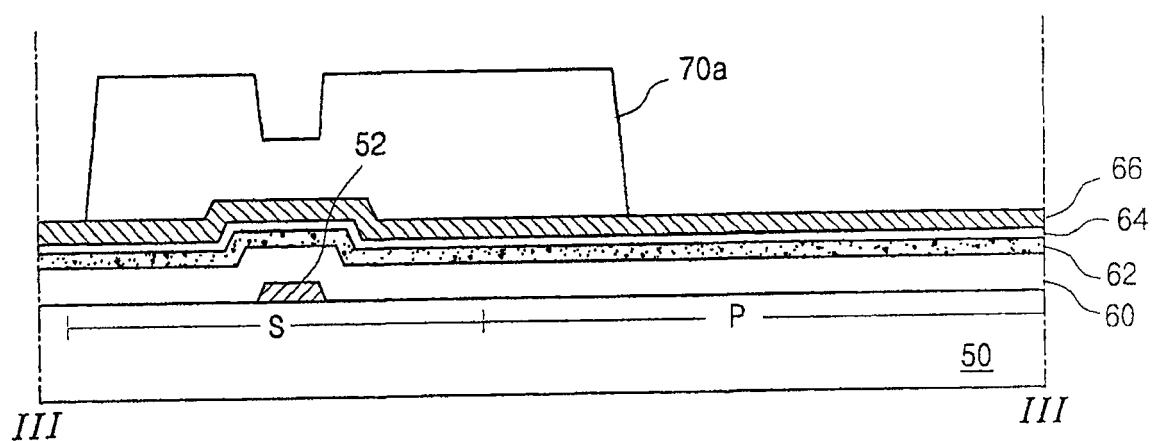


图 3C
现有技术

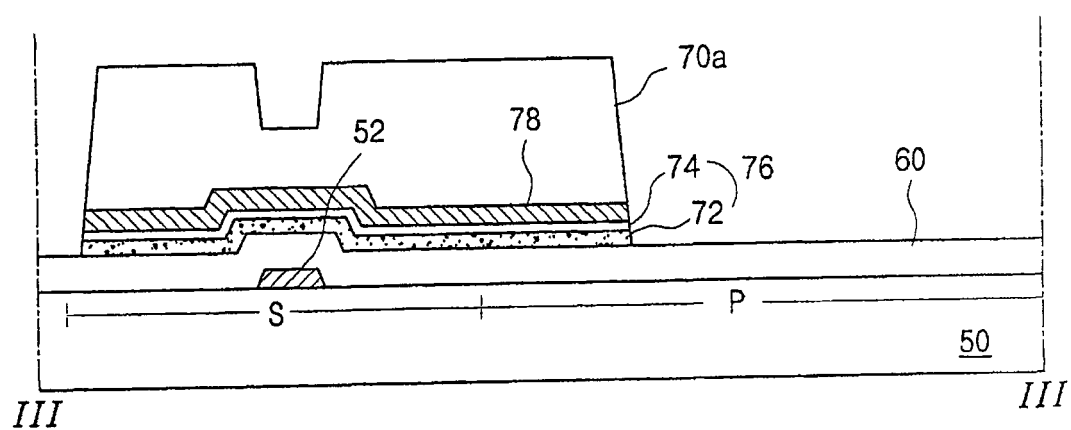


图 3D
现有技术

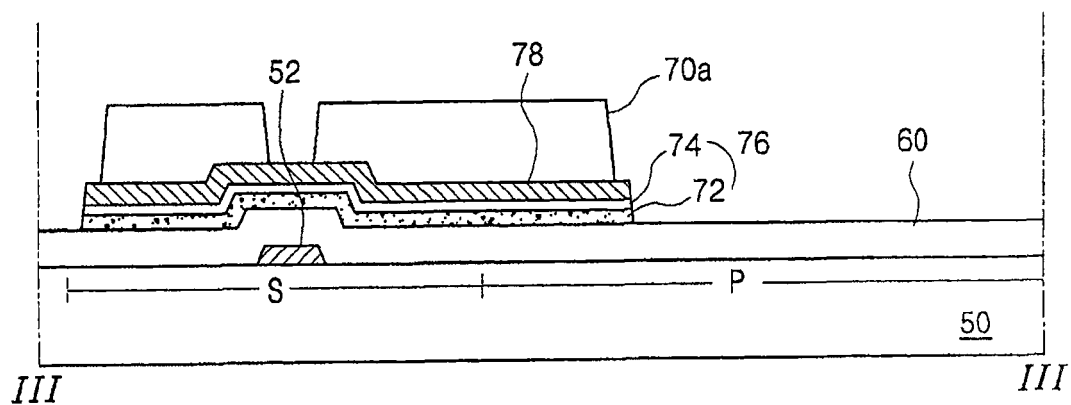


图 3E
现有技术

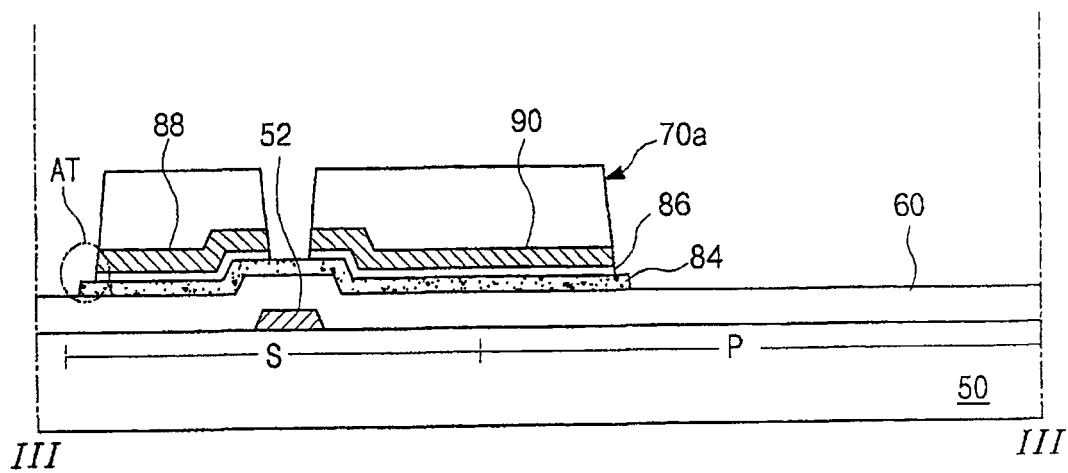


图 3F
现有技术

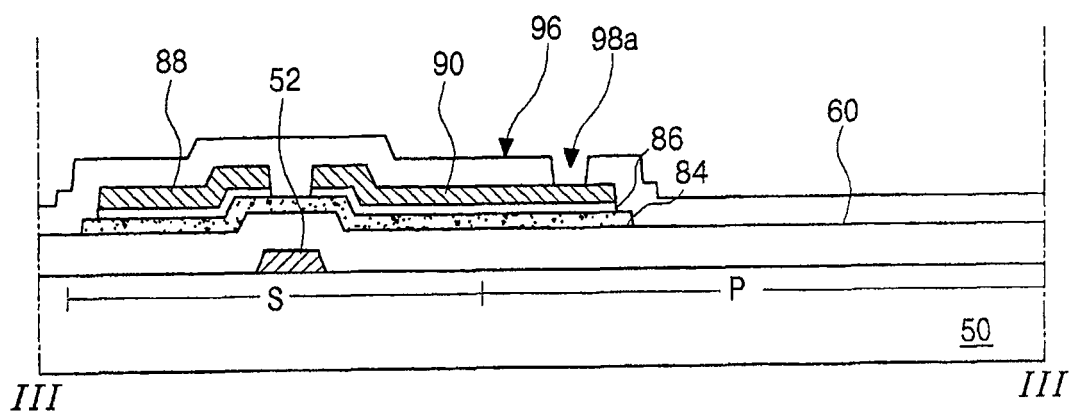


图 3G
现有技术

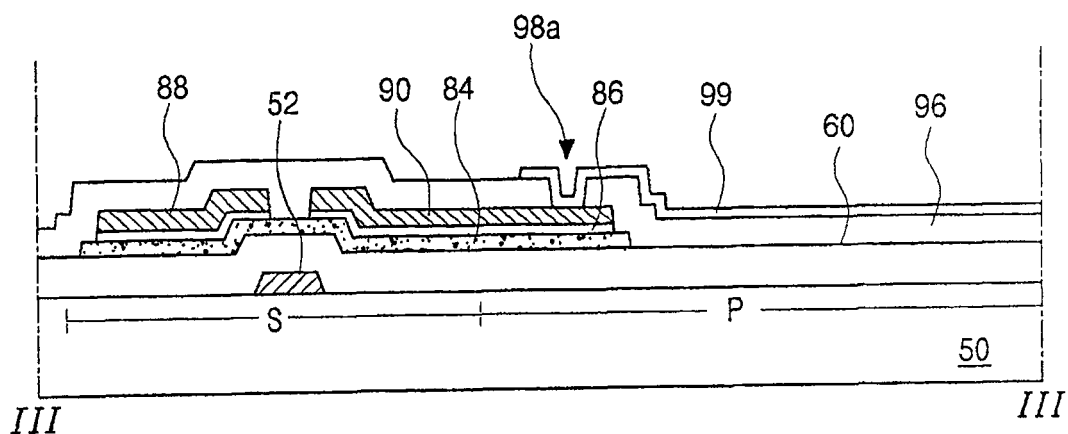


图 3H
现有技术

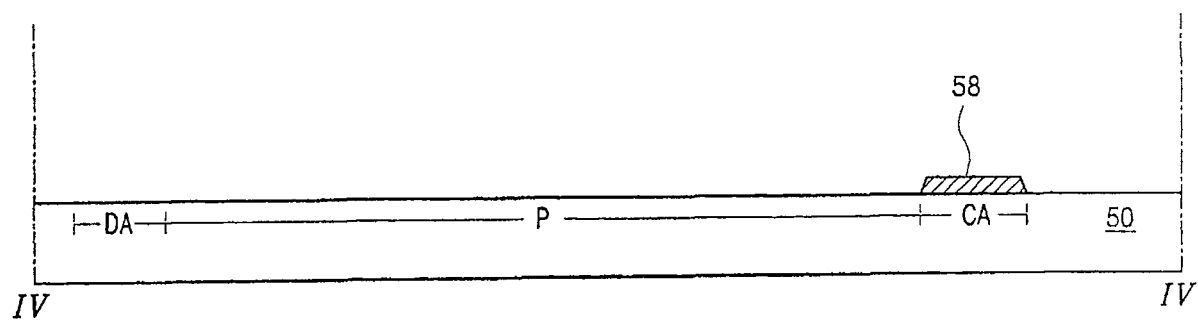


图 4A
现有技术

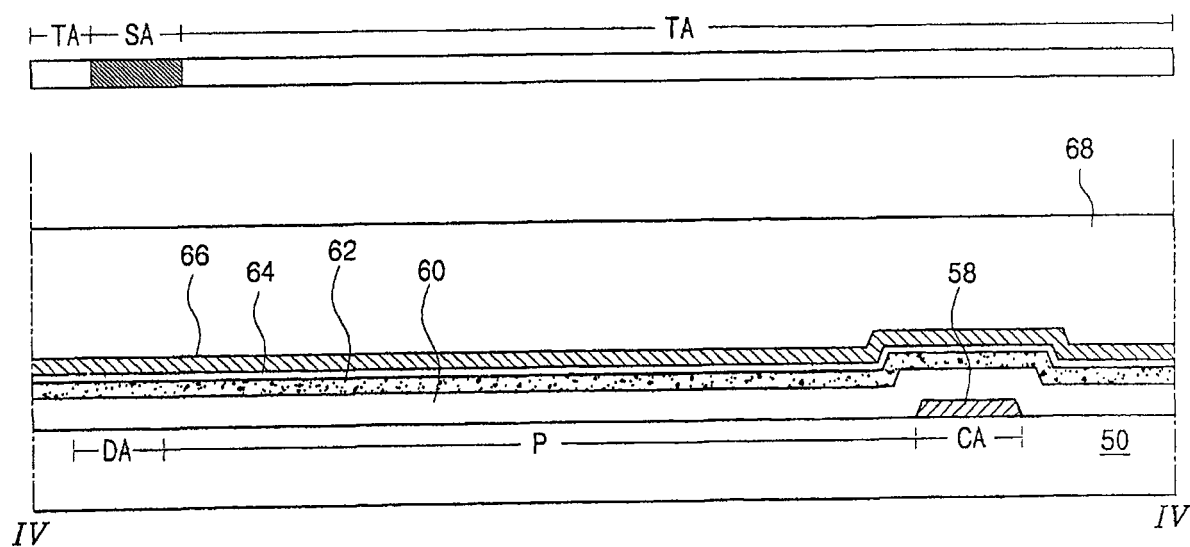


图 4B
现有技术

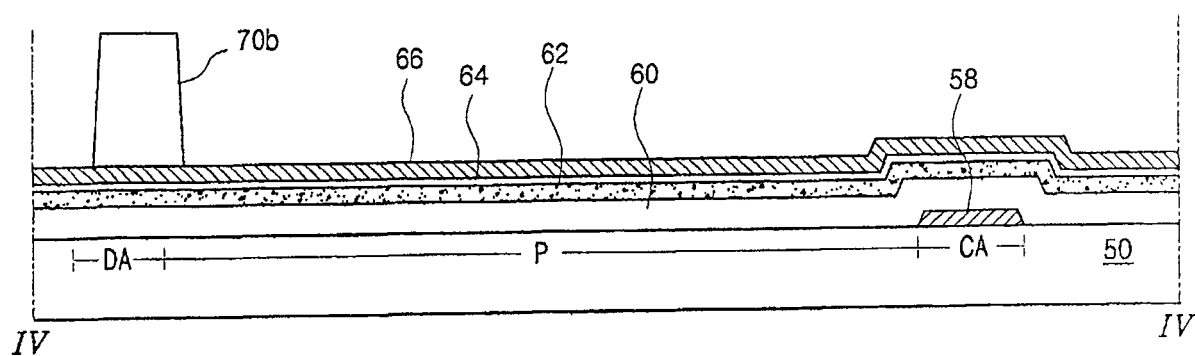


图 4C
现有技术

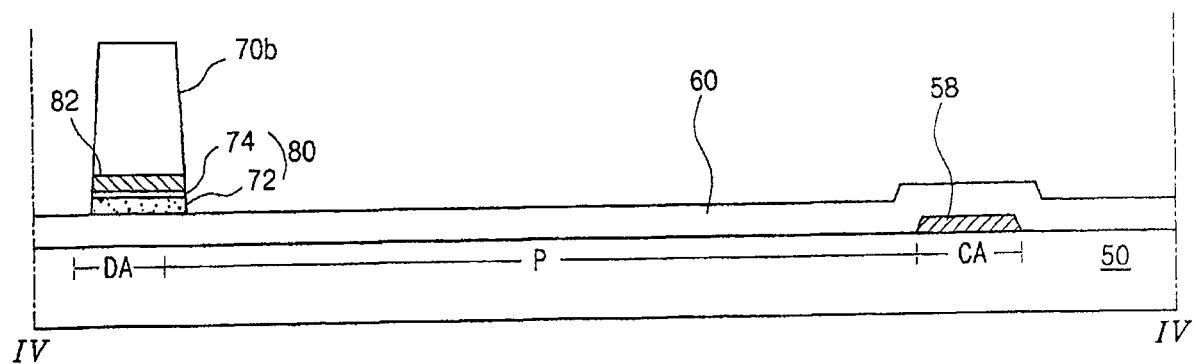


图 4D
现有技术

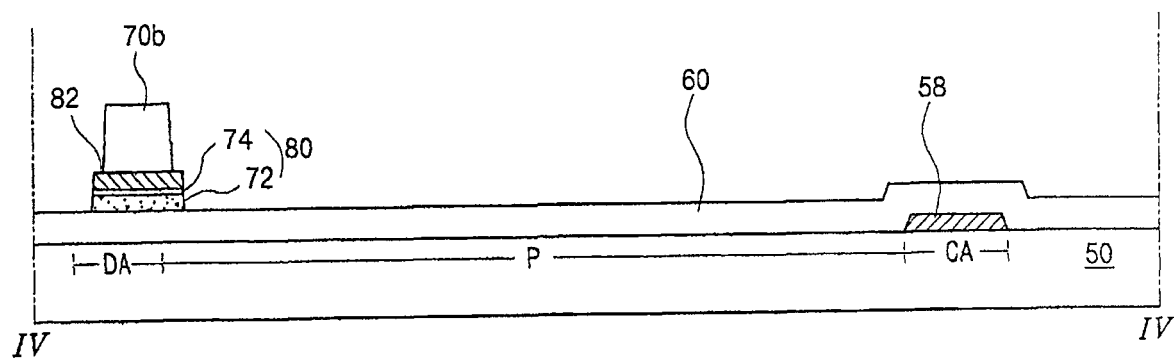


图 4E
现有技术

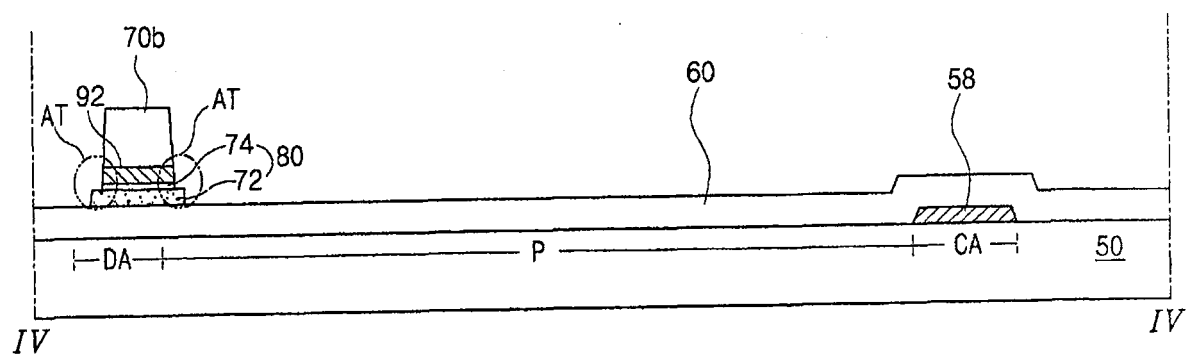


图 4F
现有技术

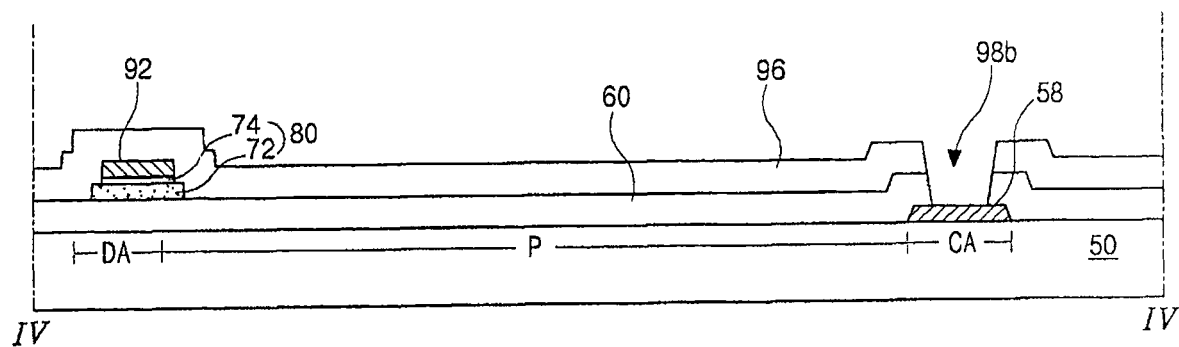


图 4G
现有技术

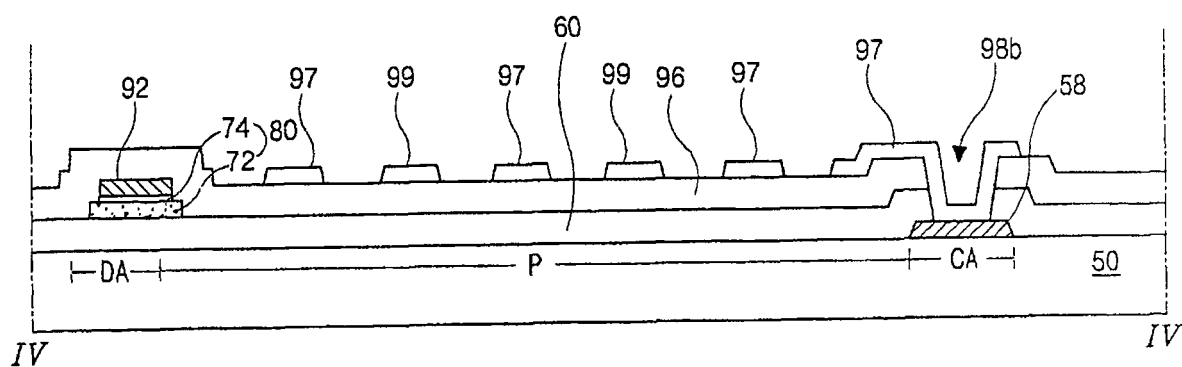


图 4H
现有技术

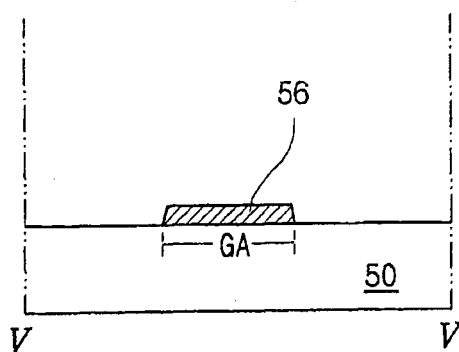


图 5A
现有技术

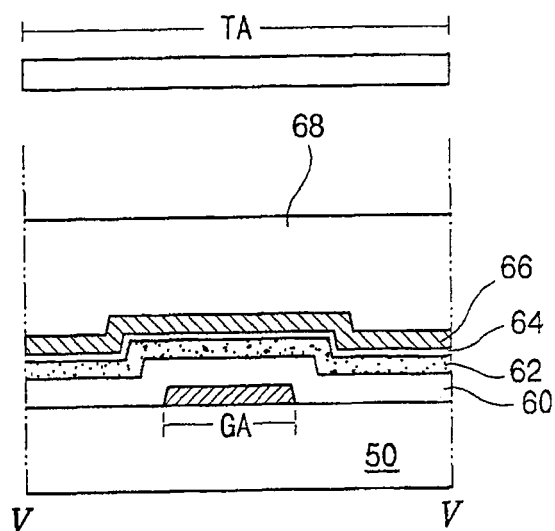


图 5B
现有技术

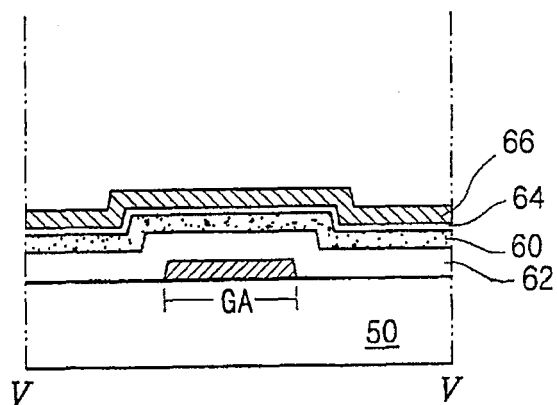


图 5C
现有技术

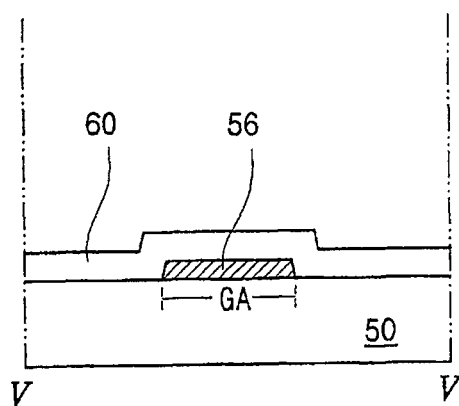


图 5D
现有技术

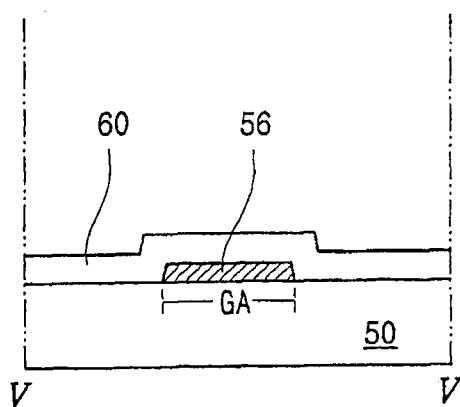


图 5E
现有技术

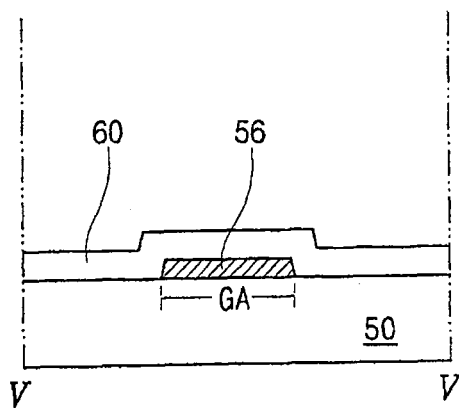


图 5F
现有技术

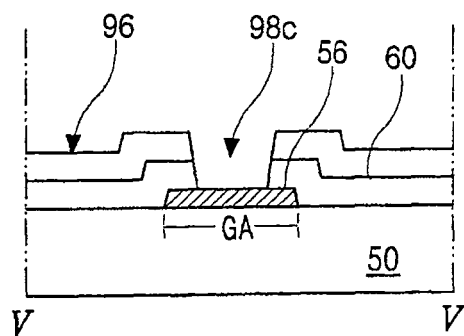


图 5G
现有技术

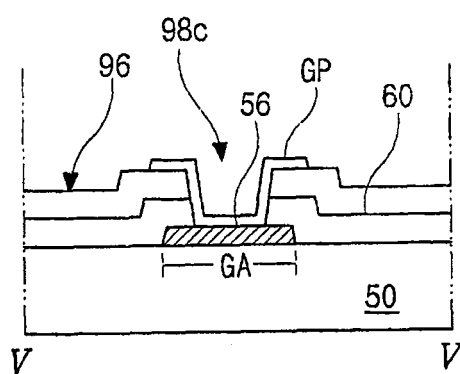


图 5H
现有技术

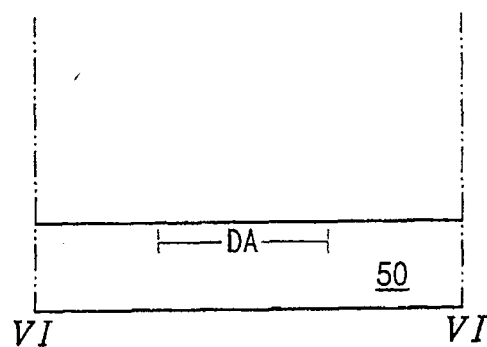


图 6A
现有技术

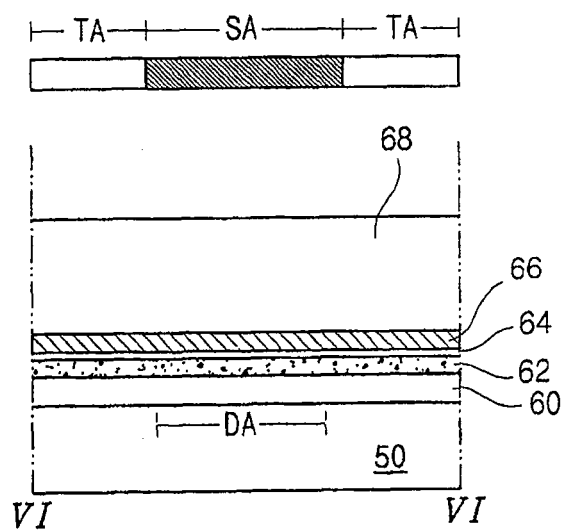


图 6B
现有技术

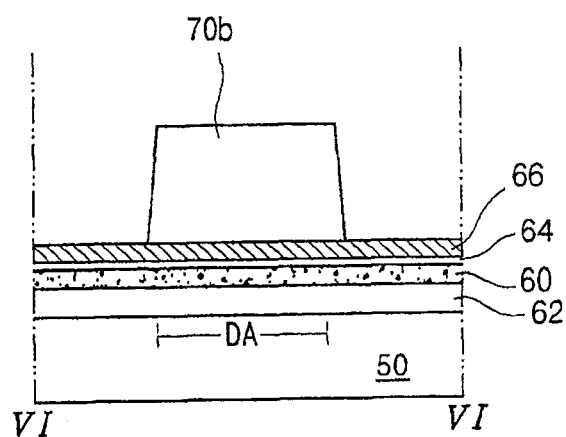


图 6C
现有技术

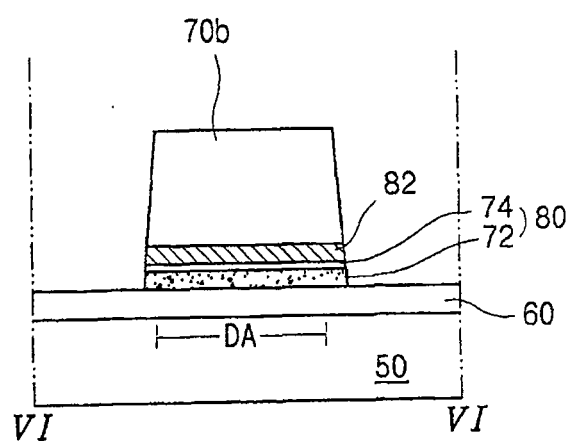


图 6D
现有技术

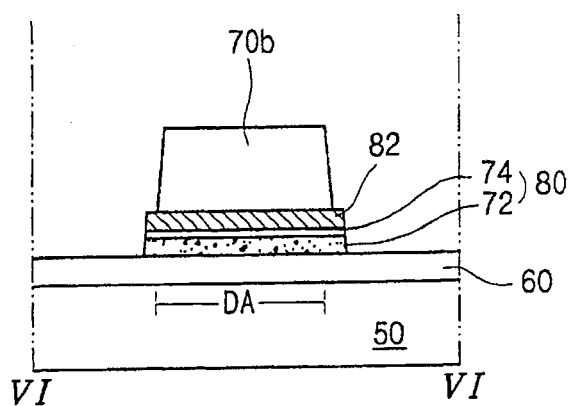


图 6E
现有技术

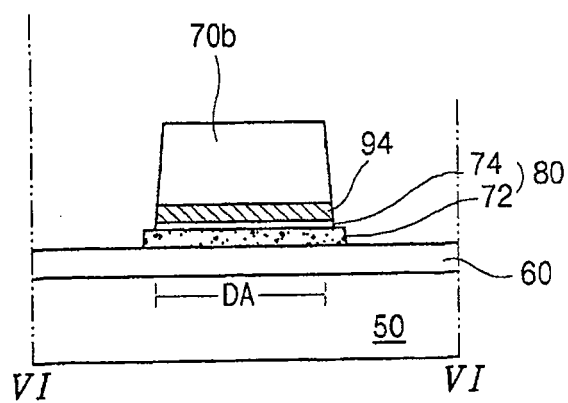


图 6F
现有技术

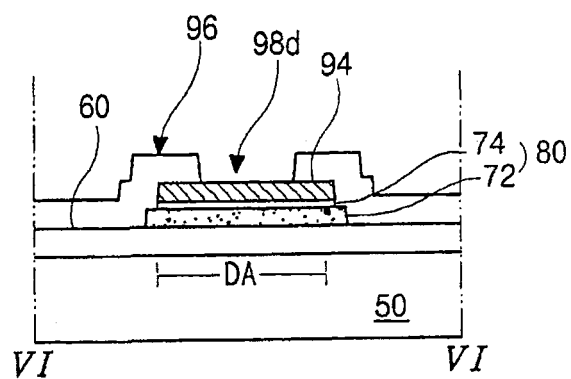


图 6G
现有技术

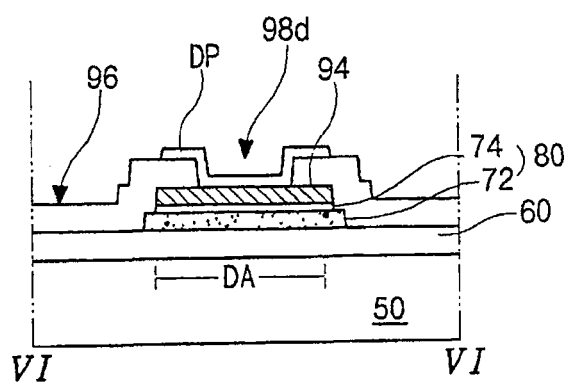


图 6H
现有技术

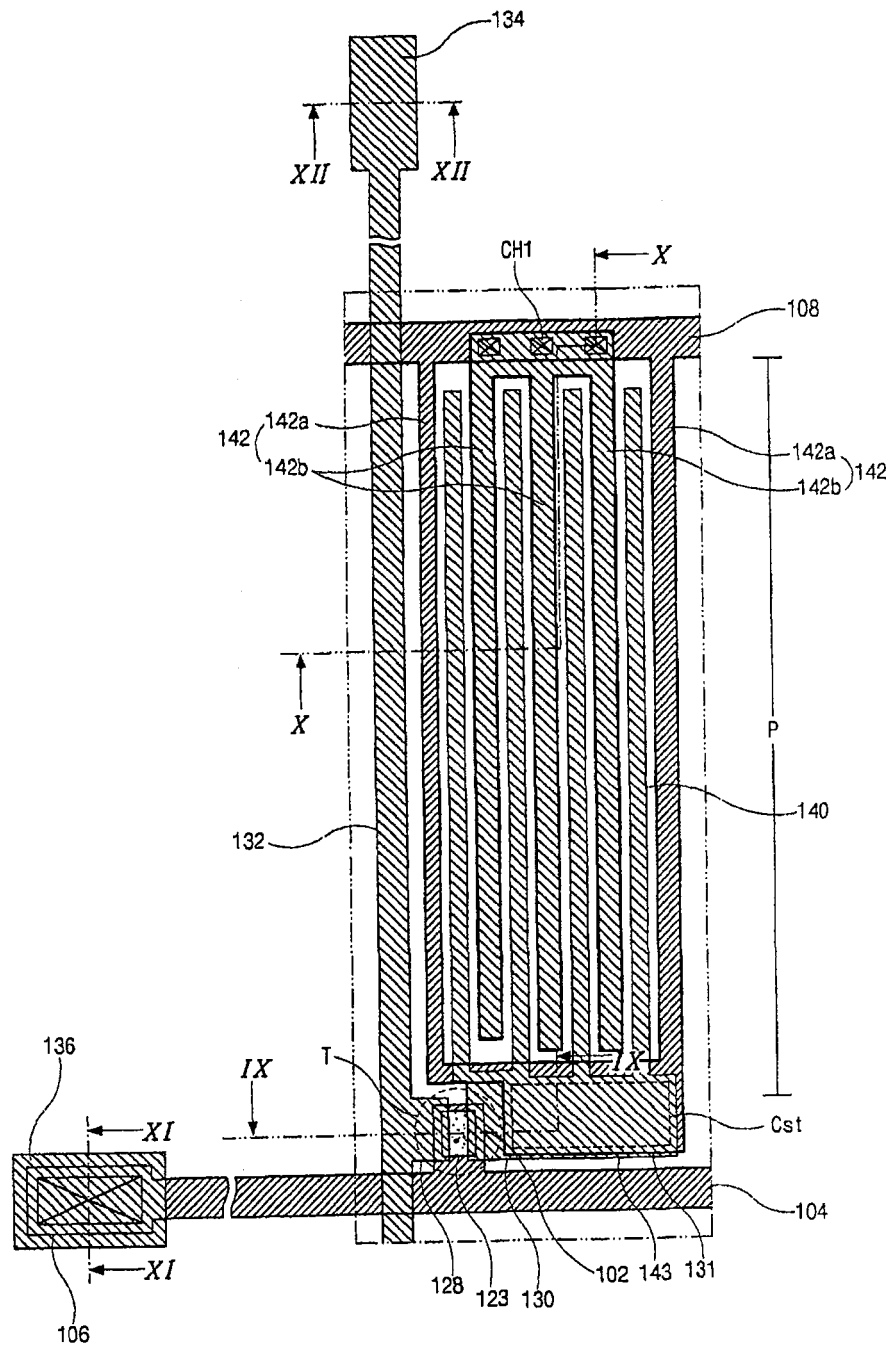


图 7

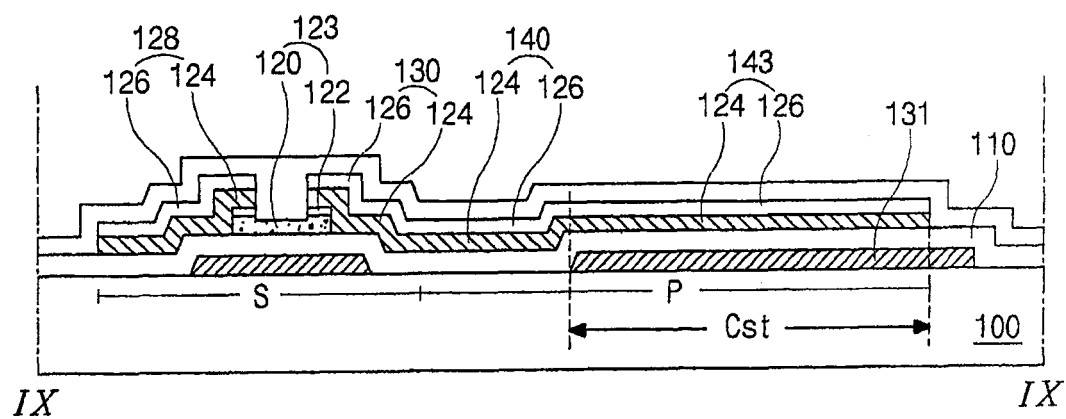


图 8A

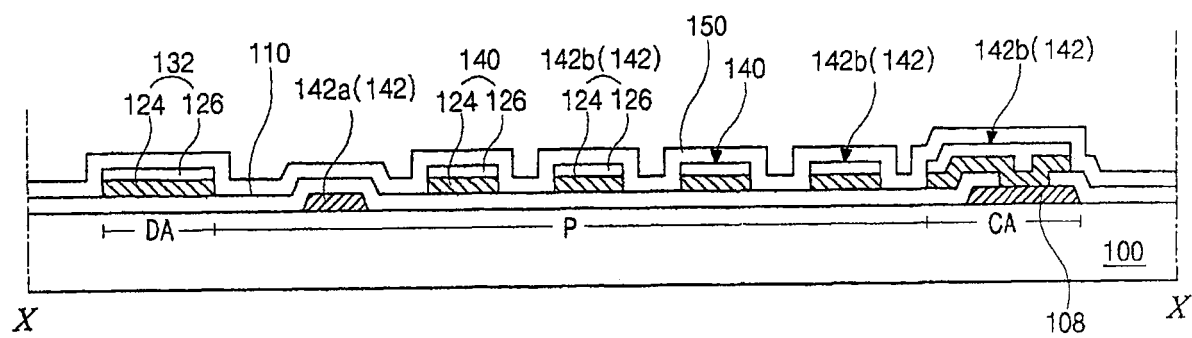


图 8B

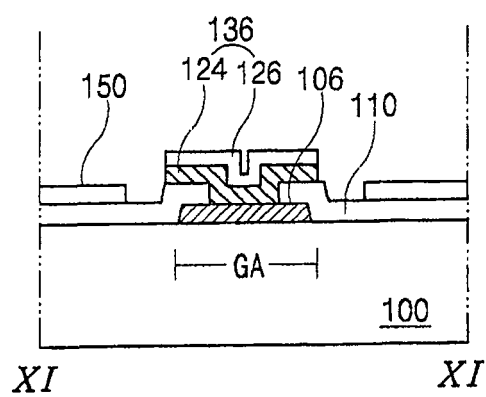


图 8C

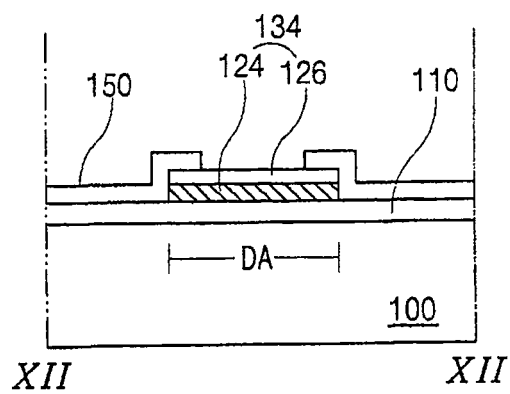


图 8D

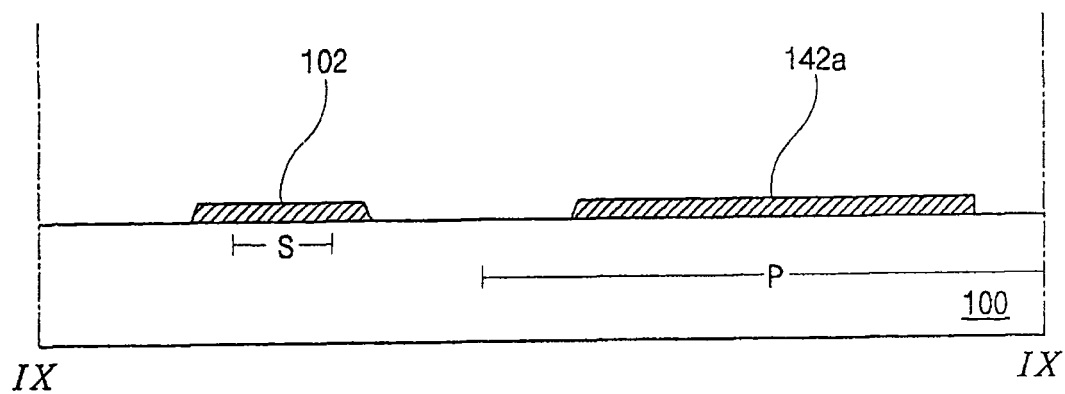


图 9A

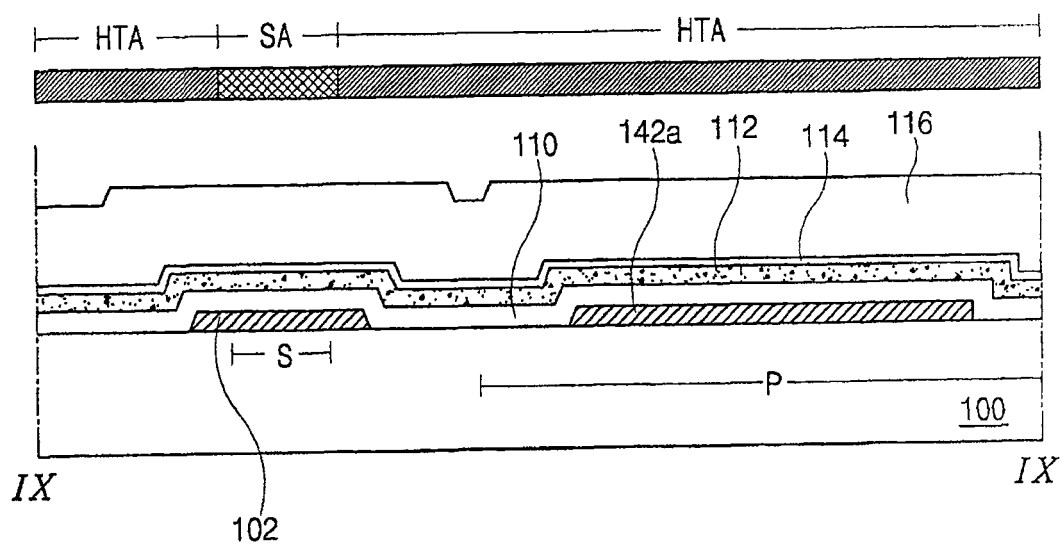


图 9B

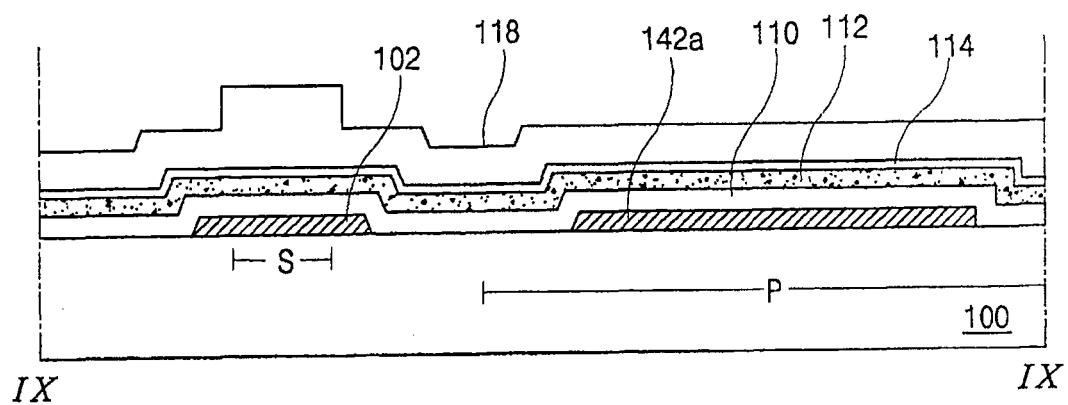


图 9C

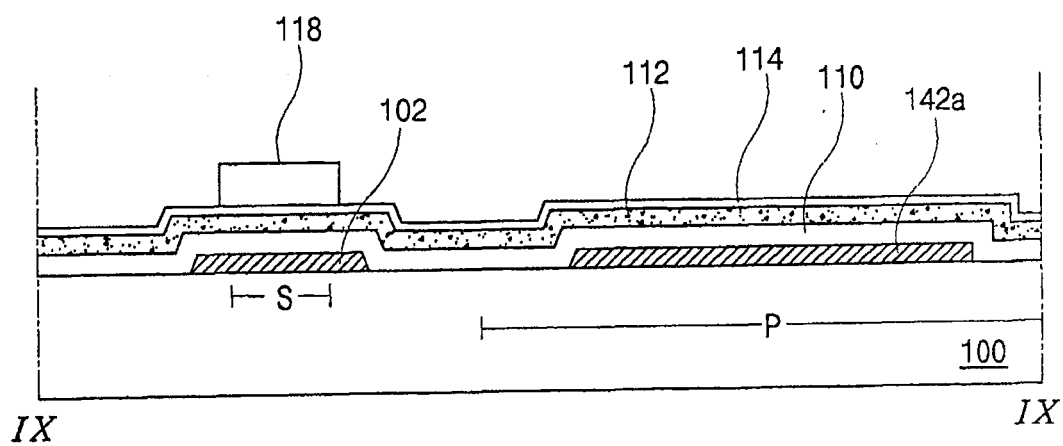


图 9D

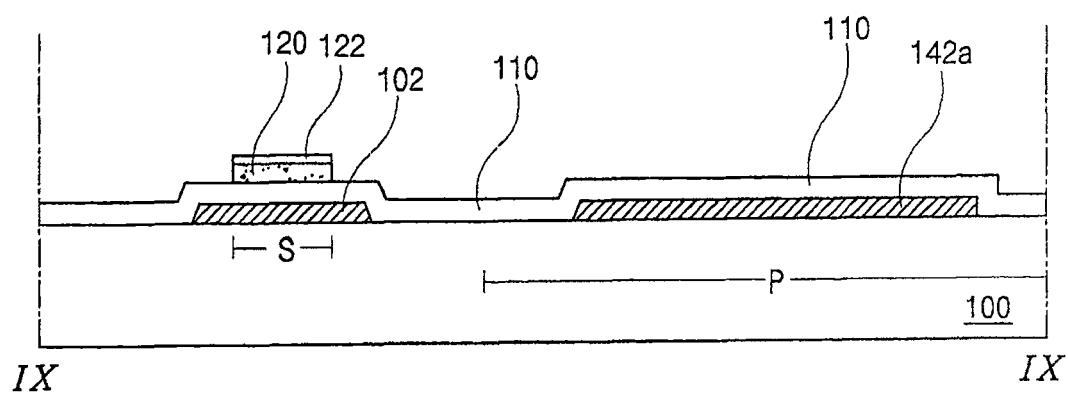


图 9E

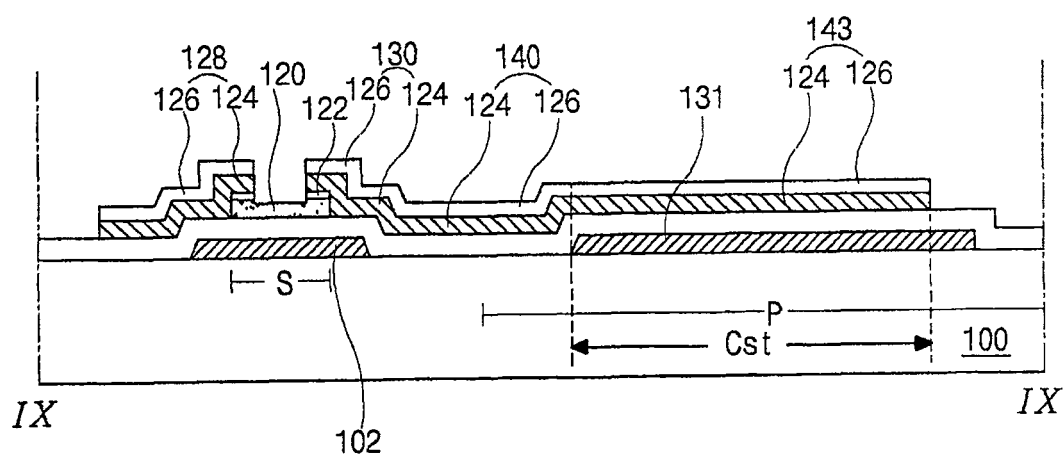


图 9F

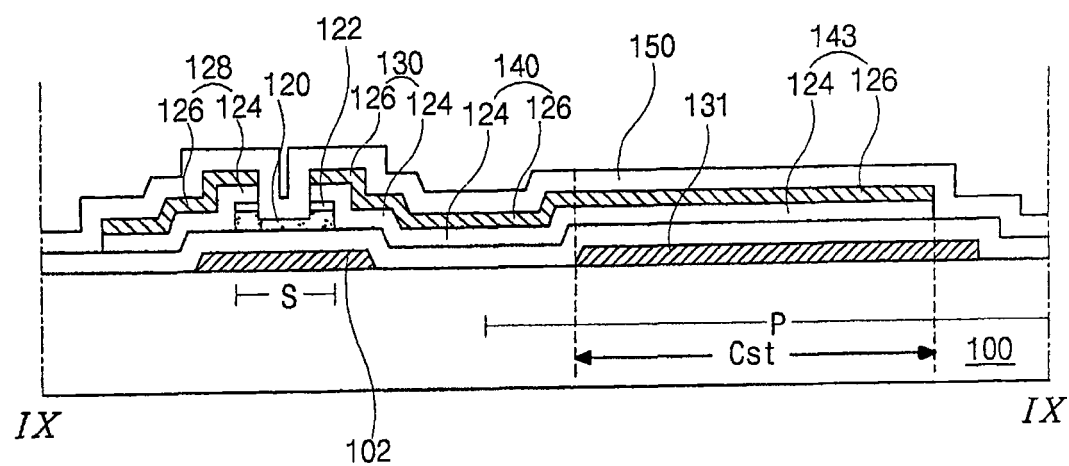


图 9G

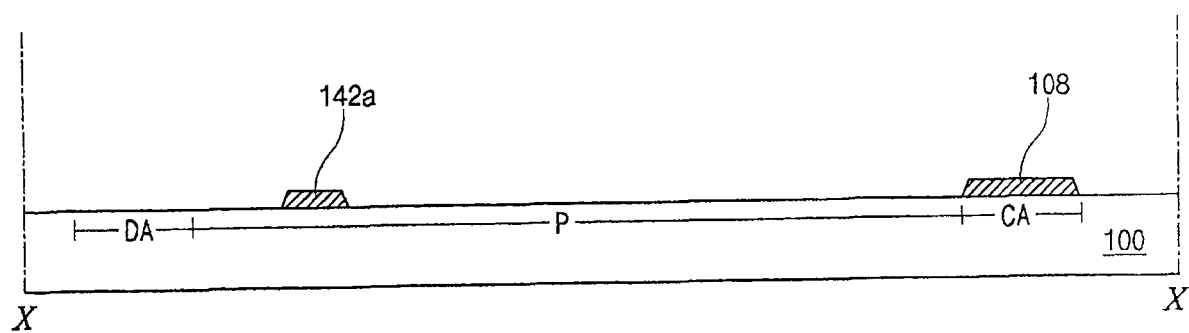


图 10A

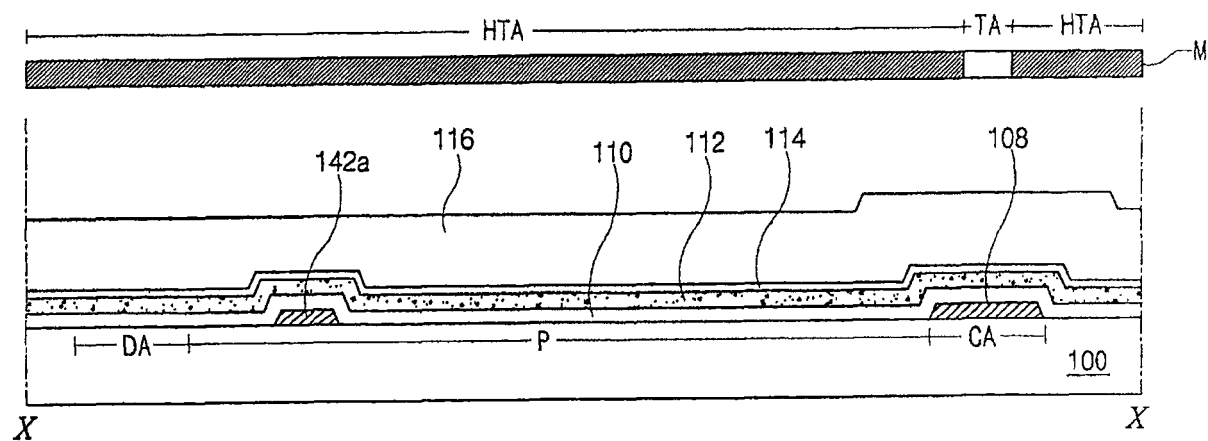


图 10B

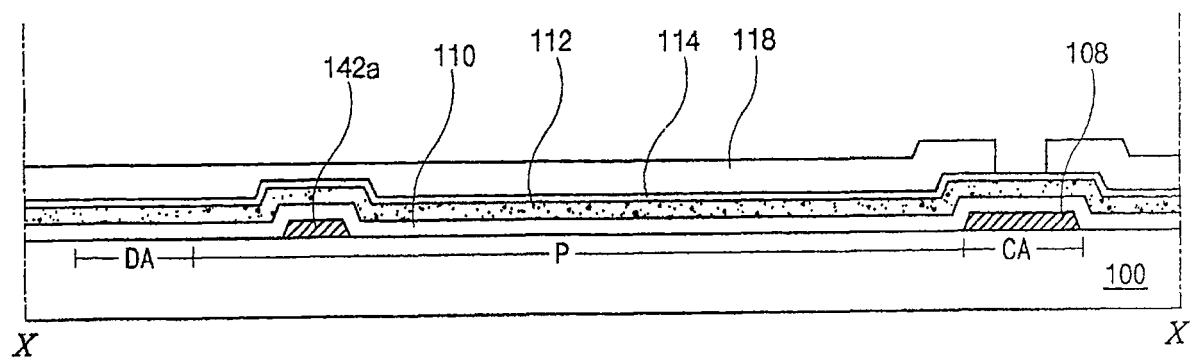


图 10C

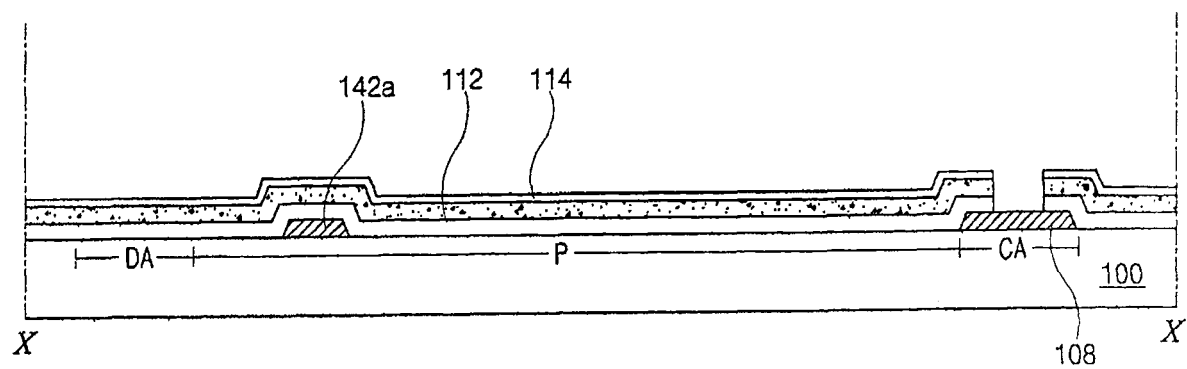


图 10D

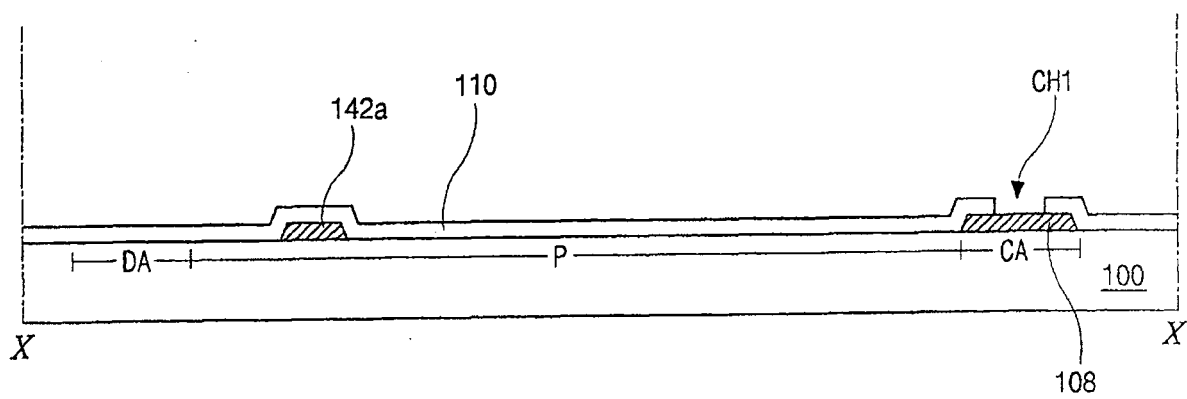


图 10E

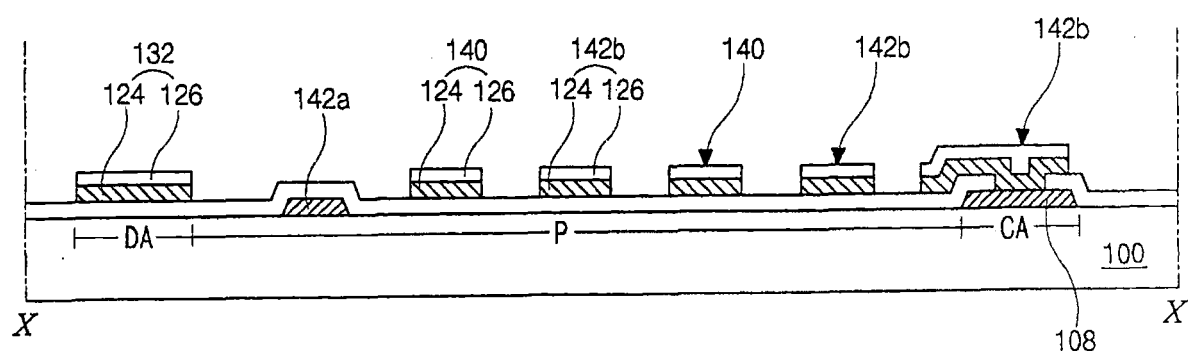


图 10F

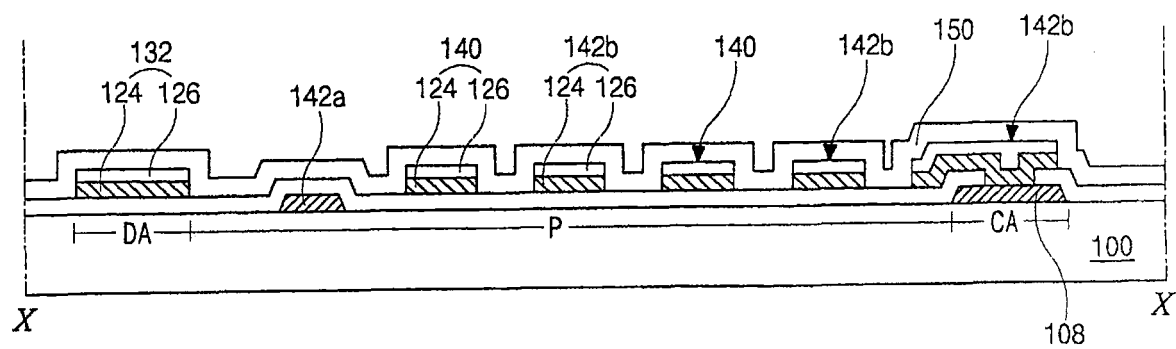


图 10G

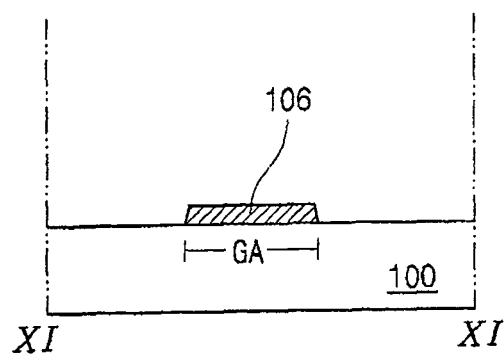


图 11A

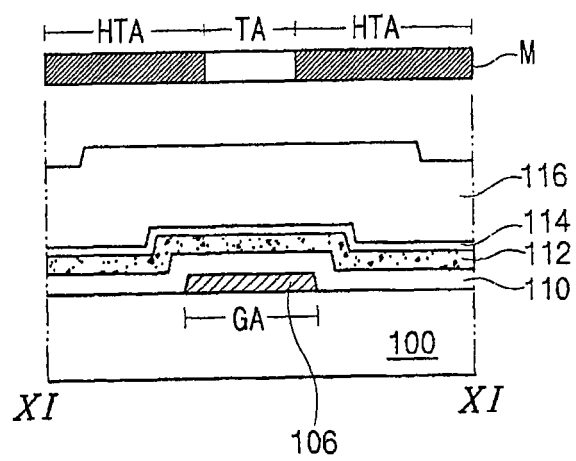


图 11B

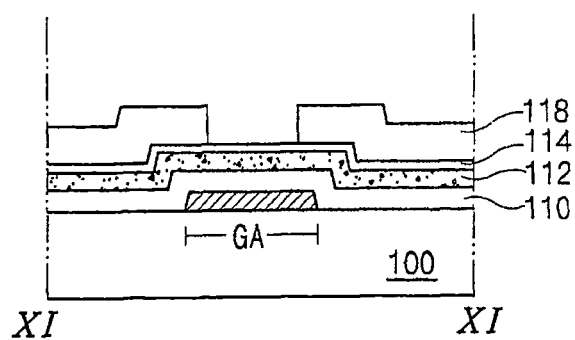


图 11C

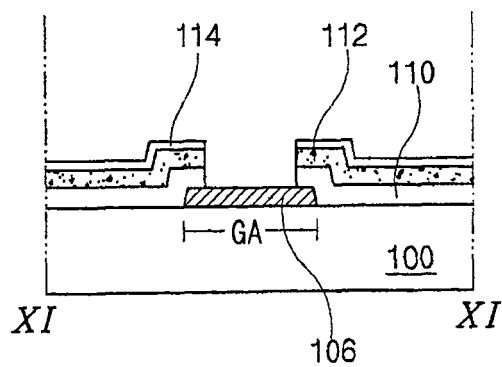


图 11D

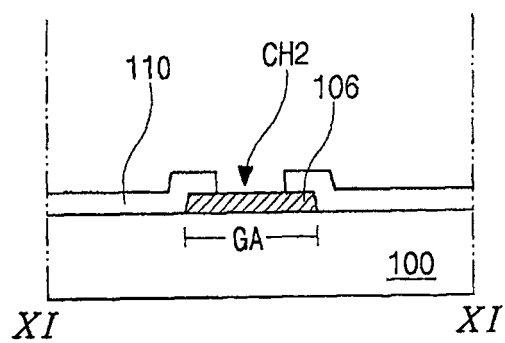


图 11E

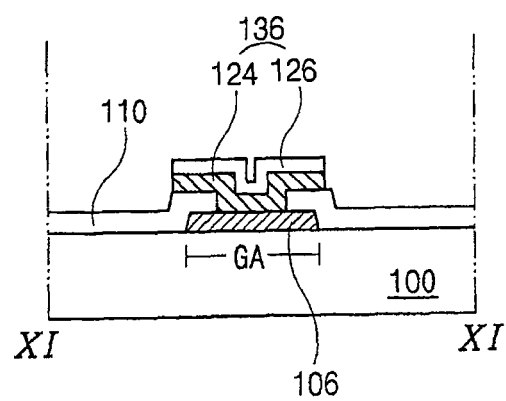


图 11F

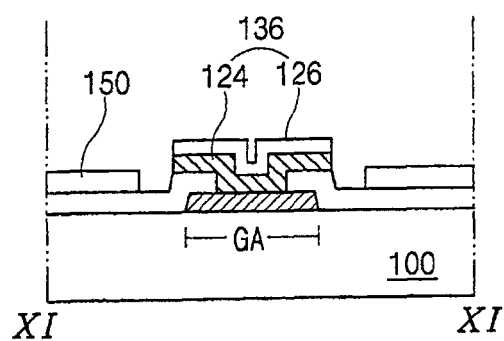


图 11G

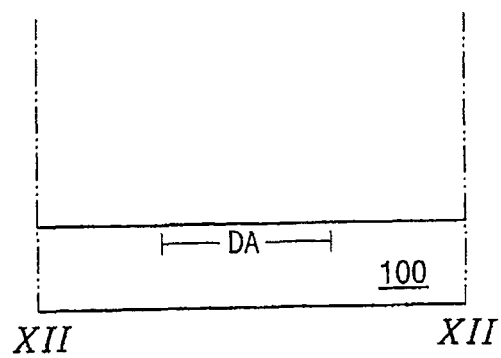


图 12A

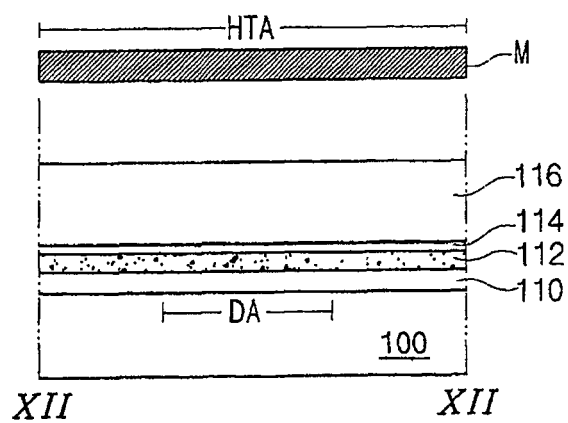


图 12B

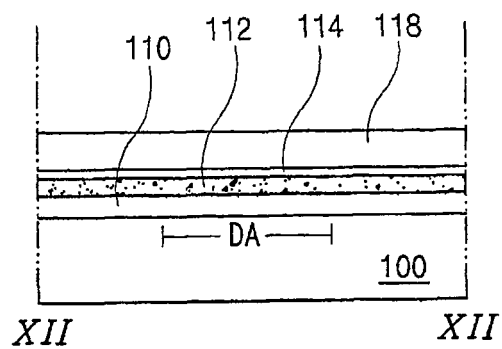


图 12C

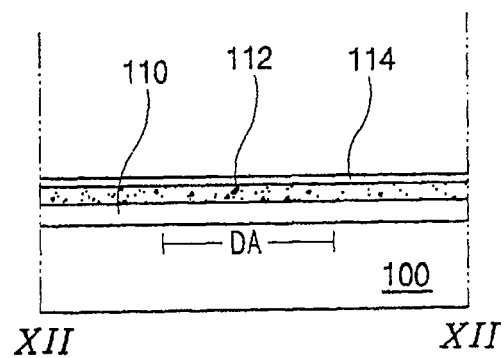


图 12D

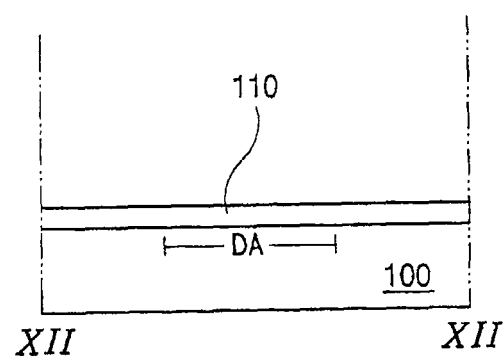


图 12E

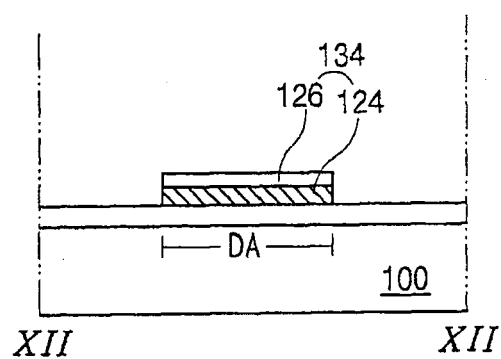


图 12F

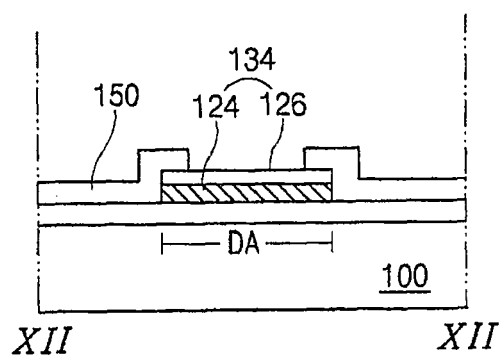


图 12G

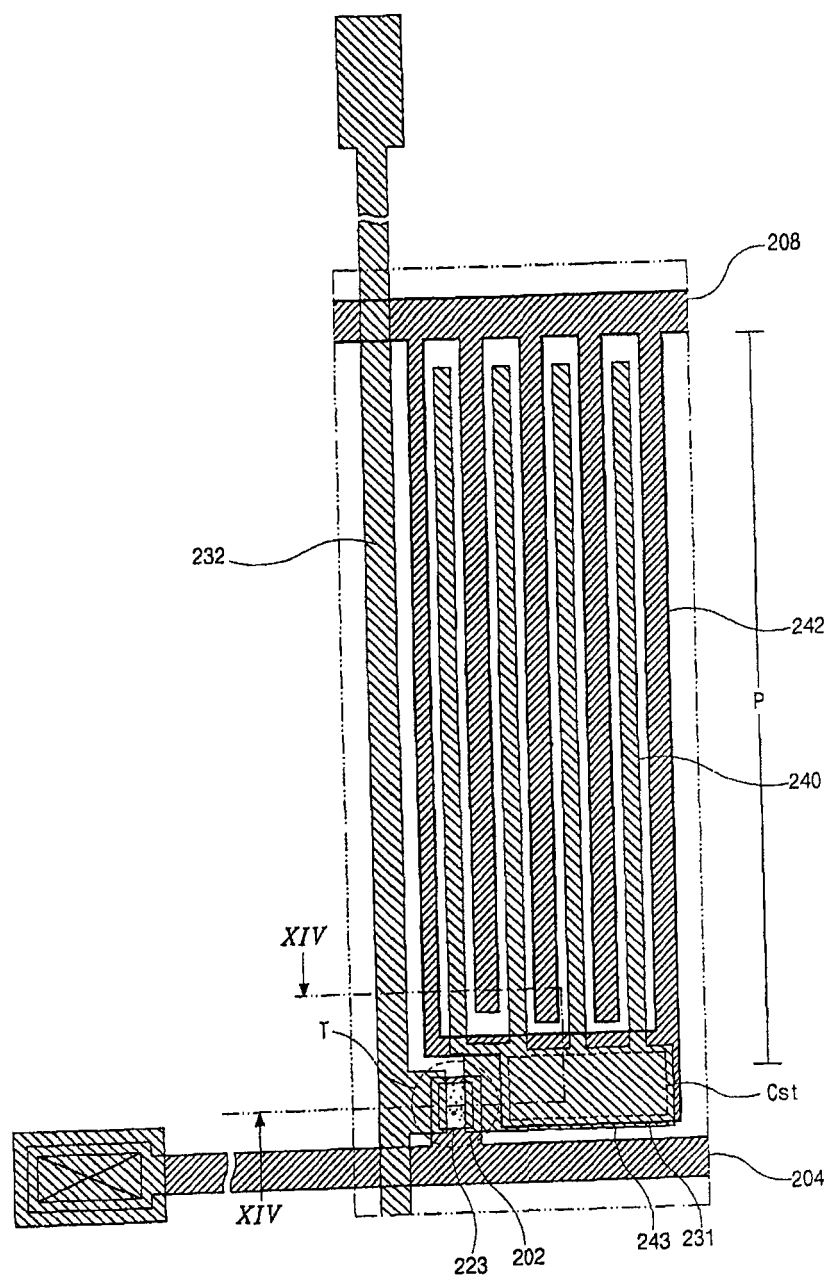


图 13

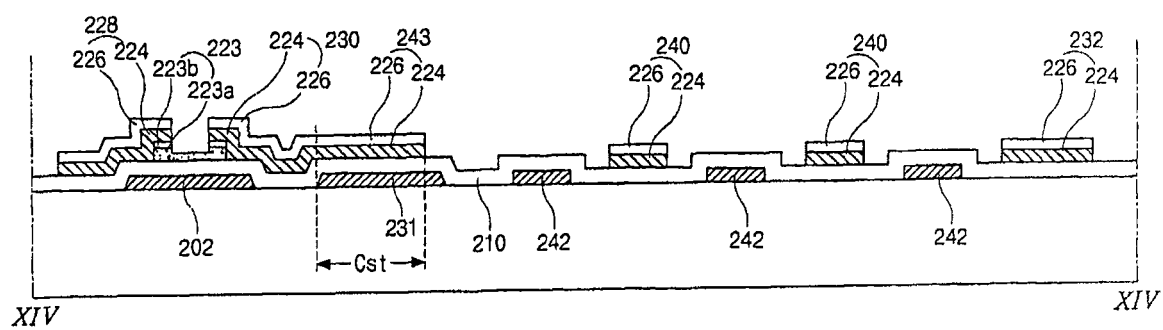


图 14

专利名称(译)	面内切换型液晶显示装置及其制造方法		
公开(公告)号	CN100538484C	公开(公告)日	2009-09-09
申请号	CN200710112606.4	申请日	2007-06-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔秉国 金孝昱 李昌斌		
发明人	崔秉国 金孝昱 李昌斌		
IPC分类号	G02F1/136 G02F1/1362 G02F1/133		
CPC分类号	G02F1/1368 H01L27/1288 H01L27/1214 G02F1/134363 H01L29/41733 G02F1/13439 H01L27/124		
代理人(译)	李辉		
审查员(译)	张玉艳		
优先权	1020060060865 2006-06-30 KR		
其他公开文献	CN101097365A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种面内切换型液晶显示装置及其制造方法。用于面内切换型液晶显示装置的阵列基板包括：基板上的选通线；与选通线交叉以在基板上限定像素区的数据线；与选通线平行并分开的公共线；连接到选通线的栅极；置于栅极上方的半导体层，其中，半导体层的面积小于栅极的面积；连接到数据线的源极及与源极分开的漏极，源极和漏极置于半导体层上；与漏极集成并在像素区中从漏极延伸的多个像素电极；以及连接到公共线并与所述多个像素电极交替排列的多个公共电极，其中，源极、漏极、数据线和所述多个像素电极的每一个都由第一导电材料层和第二导电材料层构成，其中第二导电材料层置于第一导电材料层上。

