

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610057243.4

[51] Int. Cl.

G02F 1/133 (2006.01)

G02F 1/136 (2006.01)

G03F 7/20 (2006.01)

H01L 21/027 (2006.01)

[45] 授权公告日 2009 年 1 月 28 日

[11] 授权公告号 CN 100456089C

[22] 申请日 2006.3.9

[21] 申请号 200610057243.4

[73] 专利权人 北京京东方光电科技有限公司

地址 100176 北京经济技术开发区西环中路 8 号

共同专利权人 京东方科技集团股份有限公司

[72] 发明人 邱海军 王章涛 陈旭 闵泰烨

[56] 参考文献

CN1728363A 2006.2.1

US2004/0263724A1 2004.12.30

CN1183570A 1998.6.3

审查员 马冬新

[74] 专利代理机构 北京同立钧成知识产权代理有限公司

代理人 刘芳

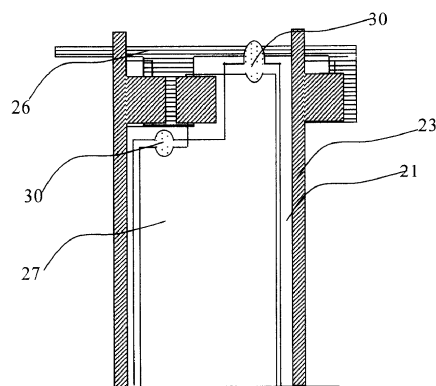
权利要求书 2 页 说明书 5 页 附图 3 页

[54] 发明名称

一种液晶显示器阵列基板的像素结构及其制造方法

[57] 摘要

本发明公开了一种液晶显示器阵列基板的像素结构，包括玻璃基板，形成于玻璃基板上的栅线，栅电极，数据线，源电极，漏电极，掺杂层，有源层，第一绝缘层，第二绝缘层，透明像素电极，钝化层，其特征在于：透明像素电极和栅线、栅电极之间有横向的隔断槽；透明像素电极和数据线、源电极之间有纵向的隔断槽。本发明同时也公开了制造该像素结构的方法。本发明适用于 TFT 的 4mask 工艺中有 ITO 直接沉积在源、漏电极上，并进行钝化层刻蚀的工艺中。在不增加现有工艺和设计成本的基础上，本发明可以提高生产的成品率，同时降低产品修复的数目，从而降低生产成本。



1、一种液晶显示器阵列基板的像素结构，包括玻璃基板，形成于玻璃基板上的栅线，栅电极，数据线，源电极，漏电极，掺杂层，有源层，第一层绝缘层，第二层绝缘层，透明像素电极，钝化层，其特征在于：透明像素电极和栅线、栅电极之间有横向的隔断槽。

2、根据权利要求1所述的一种液晶显示器阵列基板的像素结构，其特征在于：所述的透明像素电极和数据线、源电极之间有纵向的隔断槽。

3、一种液晶显示器阵列基板的像素结构，包括玻璃基板，形成于玻璃基板上的栅线，栅电极，数据线，源电极，漏电极，掺杂层，有源层，第一层绝缘层，第二层绝缘层，透明像素电极，钝化层，其特征在于：所述的透明像素电极和数据线、源电极之间有纵向的隔断槽。

4、一种液晶显示器阵列基板的像素结构的制造方法，包括如下步骤：

第一步，先在洁净的玻璃基板上沉积栅金属，在金属上再沉积第一层绝缘层，在第一层绝缘层上沉积有源层，然后再沉积掺杂层；采用第一次掩模版定义得到栅小岛图形，即掺杂层，有源层，第一层绝缘层，栅电极；

第二步，在掺杂层上面沉积第二层绝缘层，在第二层绝缘层上面沉积透明金属电极；采用第二次掩模版定义得到沟道部分和透明像素电极部分，并暴露掺杂层；

第三步，沉积源、漏金属层，并使用第三次掩模版定义得到源、漏金属电极；

第四步，沉积钝化层，并使用第四次掩模版定义得到隔断槽区域及透明像素电极部分。

5、根据权利要求4所述的一种液晶显示器阵列基板的像素结构的制造方法，其特征在于：所述的第四步中使用第四次掩模版定义，将图形转移到钝化层上面时，在横向上，要暴露一部分处在透明像素电极和栅线、栅电极之间的第二层绝缘层。

6、根据权利要求4或5所述的一种液晶显示器阵列基板的像素结构的制造方法，其特征在于：所述的第四步中使用第四次掩模版定义，将图形转移到钝化层上面时，在纵向上，要暴露一部分处在透明像素电极和数据线、源电极之间的第二层绝缘层。

7、根据权利要求6所述的一种液晶显示器阵列基板的像素结构的制造方法，其特征在于：所述的第四步中使用第四次掩模版定义，在刻蚀工艺中，需要在隔离槽区域刻蚀钝化层和第二绝缘层。

一种液晶显示器阵列基板的像素结构及其制造方法

技术领域

本发明适用于在薄膜晶体管(TFT)的制造领域中，特别是应用于 TFT 的 4 次掩膜(mask)工艺中有透明像素电极(ITO)直接沉积在源、漏电极上，并进行钝化层刻蚀的工艺中。

背景技术

通常，在 TFT 阵列常规掩模版制造工艺中采用如图 1, 图 2 所示的结构。

此结构的工艺顺序：首先，先在洁净的玻璃基板 20 上沉积栅金属层（如：Mo, Al/Nd, Cu 等），在金属上再沉积第一层绝缘层膜（如：SiNx），在第一层绝缘层上沉积有源层膜，然后再沉积掺杂层膜（如：a-Si 或者 p-Si）。采用第一次掩模版得到栅小岛图形：掺杂层 29，有源层 28，第一层绝缘层 25，栅电极 26。然后，在掺杂层 29 上面沉积第二层绝缘层 24，在第二层绝缘层 24 上面沉积透明金属电极层（如：氧化铟锡）。采用第二层掩模版得到来定义我们需要的沟道部分和透明像素电极部分，并暴露掺杂层 29。接着，沉积源漏金属层，并使用第三次 mask 形成金属电极。最后沉积钝化层 21，然后刻蚀暴露透明像素电极 27 部分。

此工艺的透明像素电极 27 和源电极 23、漏电极 22 时在相邻的两步工艺，所以当工艺中发生由于灰尘或者光刻胶残留等原因容易导致透明像素电极 27 或者栅电极 26、源电极 23、漏电极 22 残留的时候，此两个电极容易发生短路，或者影响存储电容，在阵列工艺测试中必须进行修复。增加了制造成本和设备占用时间。

发明内容

本发明的目的是克服现有技术的缺陷，在不增加现有工艺和设计成本的

基础上，提高生产的成品率，同时降低产品修复的数目，从而降低生产成本。

为了实现上述目的，本发明提供一种液晶显示器阵列基板的像素结构，包括：包括玻璃基板，形成于玻璃基板上的栅线，栅电极，数据线，源电极，漏电极，掺杂层，有源层，第一层绝缘层，第二层绝缘层，透明像素电极，钝化层，其特征在于：透明像素电极和栅线、栅电极之间有横向的隔断槽和/或透明像素电极和数据线、源电极之间有纵向的隔断槽。

为了实现上述目的，本发明同时也提供一种液晶显示器阵列基板的像素结构的制造方法，包括如下步骤：第一步，先在洁净的玻璃基板上沉积栅金属，在金属上再沉积第一层绝缘层，在第一层绝缘层上沉积有源层，然后再沉积掺杂层；采用第一次掩模版定义得到栅小岛图形，即掺杂层，有源层，第一层绝缘层，栅电极；第二步，在掺杂层上面沉积第二层绝缘层，在第二层绝缘层上面沉积透明金属电极；采用第二层掩模版定义得到沟道部分和透明像素电极部分，并暴露掺杂层；第三步，沉积源、漏金属层，并使用第三次掩模版定义得到源、漏金属电极；第四步，沉积钝化层，并使用第四次掩模版定义得到隔断槽区域及透明像素电极部分。

其中所述的第四步中使用第四次掩模版定义，将图形转移到钝化层上面时，在横向上，要暴露一部分处在透明像素电极和栅线、栅电极之间的第二层绝缘层；在纵向上，要暴露一部分处在透明像素电极和数据线、源电极之间的第二层绝缘层；也可以为仅在横向上，要暴露一部分处在透明像素电极和栅线、栅电极之间的第二层绝缘层；或仅在纵向上，要暴露一部分处在透明像素电极和数据线、源电极之间的第二层绝缘层，并在随后的刻蚀工艺中，需要在隔离槽区域刻蚀钝化层和第二层绝缘层。

本发明相对于现有技术，在不增加现有工艺和设计成本的基础上，本发明可以提高生产的成品率，同时降低产品修复的数目，从而降低生产成本。

以下，参照附图及本发明的实施例对本发明内容进行更详细的说明。

附图说明

图 1 为常规方法的 TFT-LCD 像素的俯视图;

图 2 为常规方法 TFT-LCD 像素部分截面图 A-A';

图 3 为本发明中 TFT-LCD 像素的俯视图;

图 4 为本发明中 TFT-LCD 像素部分的截面图 B-B';

图 5 为本发明中 TFT-LCD 像素部分的截面图 C-C';

图 6 为本发明横向方向隔断槽示意图;

图 7 为本发明纵向方向隔断槽示意图;

图中标识: 20、玻璃基板; 21、钝化层; 22、漏电极; 23、源电极;
24、第二层绝缘层; 25、第一层绝缘层; 26、栅电极; 27、透明像素电极;
28、有源层; 29、掺杂层; 30、横向的隔断槽; 31、纵向的隔断槽。

具体实施方式

在常规工艺中, 如图 1, 图 2 所示, 使用钝化层作为保护 TFT 的电极, 并没有对此步工艺做深入的研究, 本发明就是在对钝化层的刻蚀进行了研究的前提下提出的。

本发明也是利用常规工艺制作 TFT-LCD 基板的 TFT 器件部分。其四次掩模版曝光具体结构如图 3、图 4 和图 5 所示。

首先, 先在洁净的玻璃基板 20 上沉积栅金属层 (如: Mo, Al/Nd, Cu 等), 在金属上再沉积第一层绝缘层膜 (如: SiNx), 在第一层绝缘层上沉积有源层膜, 然后再沉积掺杂层膜 (如: a-Si 或者 p-Si)。采用第一次掩模版得到栅小岛图形, 即: 掺杂层 29, 有源层 28, 第一层绝缘层 25, 栅电极 26。然后, 在掺杂层 29 上面沉积第二层绝缘层 24, 在第二层绝缘层 24 上面沉积透明金属电极层 (如: 氧化铟锡)。采用第二层掩模版来定义得到需要的沟道部分和透明像素电极 27 部分, 并暴露掺杂层 29。接着,

沉积源、漏金属层，并使用第三次 mask 形成源电极 23、漏电极 22。最后沉积钝化层 21。在做 PVX 掩模版的时候，本发明进行了改动：将钝化层 21 的边缘暴露于透明像素电极 27 之外。也就是在横向上，钝化层 21 边缘处于栅电极 26、栅线和透明像素电极 27 之间；在纵向上，钝化层 21 边缘处于源电极 23、数据线和透明像素电极 27 之间。接着在刻蚀工艺中，在透明像素电极 27 区域，刻蚀掉其上的钝化层，在隔离槽区域，刻蚀掉钝化层和第二层绝缘层 24。这样通过第四次掩模版的光刻和刻蚀，在横向上，在透明像素电极 27 和栅电极 26、栅线之间通过刻蚀形成了横向的隔断槽 30；在纵向上，在透明像素电极 27 和源电极 23、数据线之间形成纵向的隔断槽 31，如图 6, 图 7 所示。

如图 6 所示，横向上当栅电极 26、栅线或者有源层 28 发生残留，栅电极 26、栅线和透明像素电极 27 产生附加的电容，与设计值发生偏差，在常规工艺中只能通过修复来解决此问题，在本发明中通过在钝化层 21 和栅电极 26、栅线之间形成了横向的隔断槽 30，此横向的隔断槽 30 在刻蚀过程中就可以将栅电极 26、栅线残留或者有源层 28 残留的多余部分切断，这样就不会影响像素的功能。

如图 7 所示，纵向上当源电极 23、数据线发生残留或者透明像素电极 27 发生残留时，此时会发生透明像素电极 27 和源电极 23、数据线的短路，使 TFT 像素开关功能失效，常规方法时通过修复来解决此问题，在本发明中通过在钝化层 21 和源电极 23、数据线之间形成纵向的隔断槽 31，此纵向的隔断槽 31 在刻蚀过程中将源电极 23、数据线残留或透明像素电极 27 残留的部分切断，这样像素的功能又回复正常。

在本发明中采用横向、纵向均有隔断槽的方式为最优的方式。此外，本发明可以仅为纵向方向有隔断槽，也可以仅为横向方向有隔断槽。

以上说明及附图给出了本发明的特定实施方式，但不言自明，本发明可以由本领域的技术人员进行各种变形来实施。但变形了的实施方式不能

脱离本发明的技术思想或展望来个别地理解，必须看作本发明所附的权利要求书内包含的结构和制造方法。

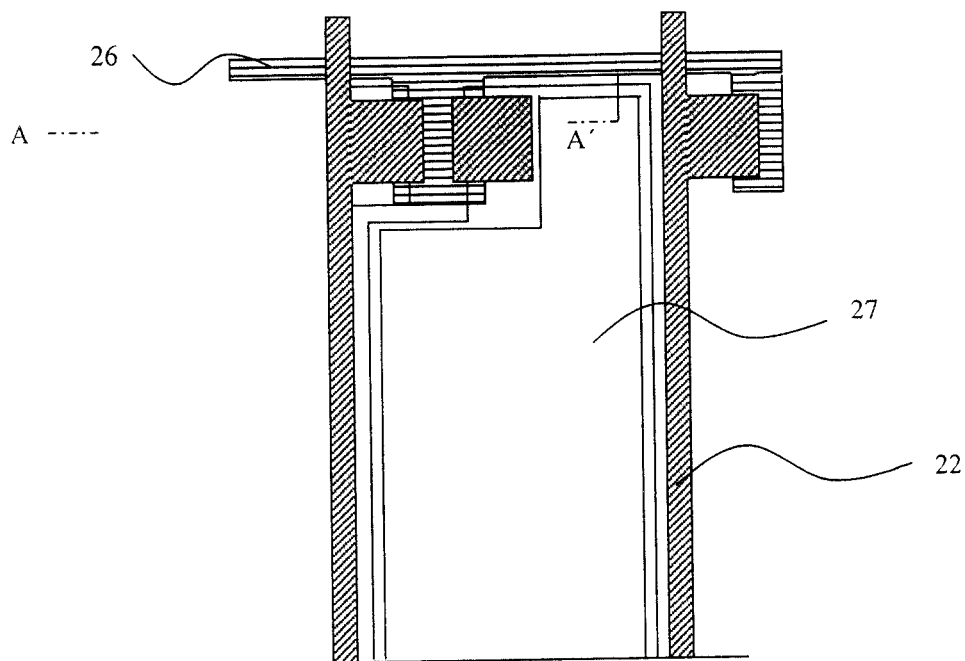


图 1

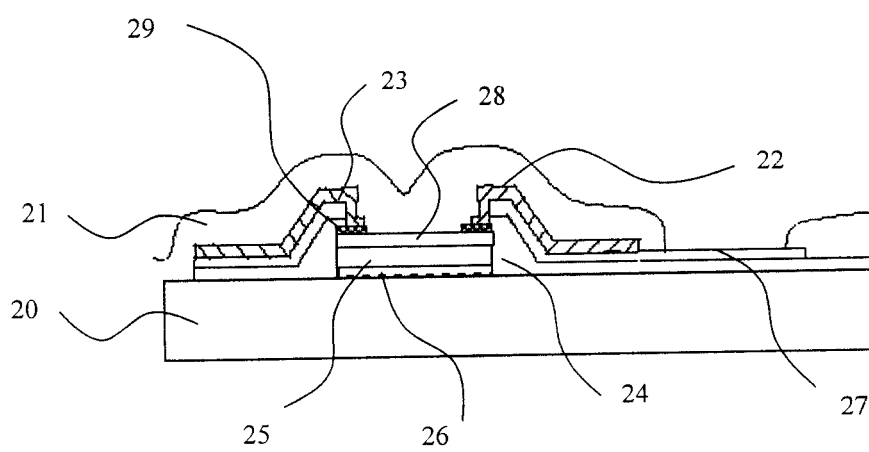


图 2

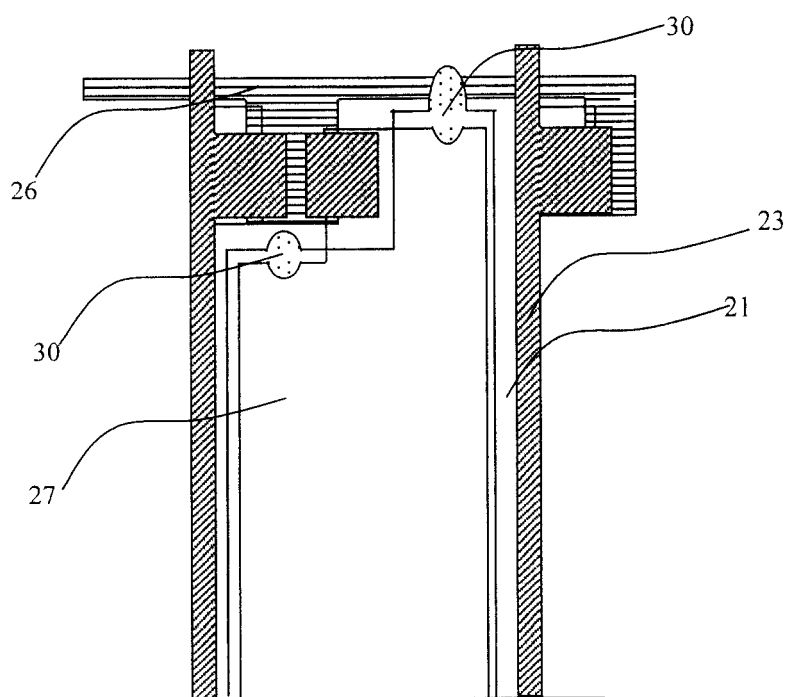


图 6

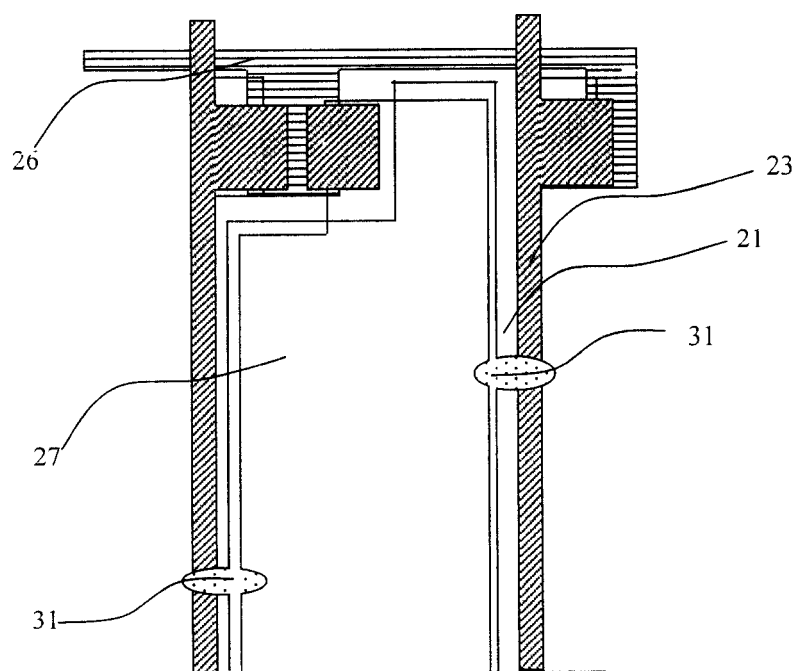


图 7

专利名称(译)	一种液晶显示器阵列基板的像素结构及其制造方法		
公开(公告)号	CN100456089C	公开(公告)日	2009-01-28
申请号	CN200610057243.4	申请日	2006-03-09
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	邱海军 王章涛 陈旭 闵泰烨		
发明人	邱海军 王章涛 陈旭 闵泰烨		
IPC分类号	G02F1/133 G02F1/136 G03F7/20 H01L21/027		
代理人(译)	刘芳		
其他公开文献	CN101034215A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器阵列基板的像素结构，包括玻璃基板，形成于玻璃基板上的栅线，栅电极，数据线，源电极，漏电极，掺杂层，有源层，第一绝缘层，第二绝缘层，透明像素电极，钝化层，其特征在于：透明像素电极和栅线、栅电极之间有横向的隔断槽；透明像素电极和数据线、源电极之间有纵向的隔断槽。本发明同时也公开了制造该像素结构的方法。本发明适用于TFT的4mask工艺中有ITO直接沉积在源、漏电极上，并进行钝化层刻蚀的工艺中。在不增加现有工艺和设计成本的基础上，本发明可以提高生产的成品率，同时降低产品修复的数目，从而降低生产成本。

