



(12) 发明专利

(10) 授权公告号 CN 1963649 B

(45) 授权公告日 2010.09.01

(21) 申请号 200610136624.1

US 2003227594 A1, 2003.12.11, 全文.

(22) 申请日 2006.10.31

US 2002126231 A1, 2002.09.12, 全文.

JP 3113669 B2, 2000.12.04, 全文.

(30) 优先权数据

105939/05 2005.11.07 KR

审查员 李晴晴

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 尹柱善 成硕济 朴真奭

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

G02F 1/1362(2006.01)

H01L 27/12(2006.01)

H01L 21/00(2006.01)

(56) 对比文件

US 2002125410 A1, 2002.09.12, 全文.

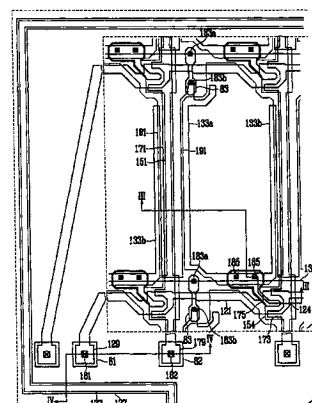
权利要求书 2 页 说明书 7 页 附图 20 页

(54) 发明名称

用于液晶显示器的薄膜晶体管阵列板及其制造方法

(57) 摘要

本发明提供了一种薄膜晶体管阵列板及其制造方法,所述阵列板包括:绝缘基板,具有显示区和外围区;栅线,形成在绝缘基板上;第一电容器导体,由与栅线相同的材料制成并形成在绝缘基板的外围区中;栅极绝缘层,形成在栅线和第一电容器导体上;半导体层,形成在栅极绝缘层上;数据线和漏电极,形成在半导体层上并形成在绝缘基板的显示区中;第二电容器导体,由与数据线相同的材料形成,并形成在绝缘基板的外围区中;像素电极,连接到漏电极。第一电容器导体和第二电容器导体彼此交叠。由此可以制造薄和尺寸小的液晶显示器。



1. 一种薄膜晶体管阵列板,包括:
绝缘基板,具有显示区和外围区;
栅线,形成在所述绝缘基板上;
第一电容器导体,由与所述栅线相同的材料制成并形成在所述绝缘基板的外围区中;
栅极绝缘层,形成在所述栅线和第一电容器导体上;
半导体层,形成在所述栅极绝缘层上;
数据线和漏电极,形成在所述半导体层上并形成在所述绝缘基板的显示区中;
第二电容器导体,由与所述数据线相同的材料形成并形成在所述绝缘基板的外围区中;和
像素电极,连接到所述漏电极,所述第一电容器导体和所述第二电容器导体形成彼此交叠。
2. 根据权利要求1所述的薄膜晶体管阵列板,还包括在所述半导体层与数据线之间的欧姆接触。
3. 根据权利要求1所述的薄膜晶体管阵列板,其中所述第一电容器导体包括下层、中间层和上层。
4. 根据权利要求3所述的薄膜晶体管阵列板,其中所述第一电容器导体的下层是包括铝的铝族金属。
5. 根据权利要求3所述的薄膜晶体管阵列板,其中所述第一电容器导体的中间层包括铬、钛、钼和钼钨中的一种。
6. 根据权利要求3所述的薄膜晶体管阵列板,其中所述第一电容器导体的上层是中间层的氮化物。
7. 根据权利要求3所述的薄膜晶体管阵列板,其中所述第一电容器导体的上层包括氮化铬、氮化钛、氮化钼和氮化钼钨中的一种。
8. 根据权利要求1所述的薄膜晶体管阵列板,其中所述第二电容器导体包括下层、中间层和上层。
9. 根据权利要求8所述的薄膜晶体管阵列板,其中所述第二电容器导体的下层包括含铝的铝族金属。
10. 根据权利要求8所述的薄膜晶体管阵列板,其中所述第二电容器导体的中间层包括铬、钛、钼和钼钨中的一种。
11. 根据权利要求8所述的薄膜晶体管阵列板,其中所述第二电容器导体的上层是中间层的氮化物。
12. 根据权利要求8所述的薄膜晶体管阵列板,其中所述第二电容器导体的上层包括氮化铬、氮化钛、氮化钼和氮化钼钨中的一种。
13. 根据权利要求1所述的薄膜晶体管阵列板,其中缓冲层形成在所述半导体层和第二电容器导体之间。
14. 根据权利要求13所述的薄膜晶体管阵列板,其中所述缓冲层包括钼、钼钨、钛、钨、氮化钼、氮化钼钨、氮化钛和氮化钨中的一种。
15. 一种薄膜晶体管阵列板的制造方法,包括:
在包括显示区和外围区的绝缘基板上形成栅线和第一电容器导体;

在所述栅线和第一电容器导体上形成栅极绝缘层；

在所述栅极绝缘层上形成半导体层；

在所述半导体层上形成数据线、漏电极和第二电容器导体，所述第一电容器导体和第二电容器导体形成在所述绝缘基板的外围区中以彼此交叠；和

形成连接到所述漏电极的像素电极。

16. 根据权利要求 15 所述的制造方法，其中所述栅线和第一电容器导体的形成包括：

在所述绝缘基板上顺序地沉积下层、中间层和上层；

对所述上层和中间层进行第一蚀刻；

对所述下层进行第二蚀刻；和

对所述上层和中间层进行第三蚀刻，使得所述上层和中间层的宽度变得窄于下层的宽度。

17. 根据权利要求 16 所述的制造方法，其中：

所述第一电容器导体的下层是包含铝的铝族金属；

所述第一电容器导体的中间层包括铬、钛、钼和钼钨中的一种；和

所述第一电容器导体的上层由中间层的氮化物制成。

18. 根据权利要求 15 所述的制造方法，其中所述数据线和第二电容器导体的形成包括：

在所述半导体层上沉积下层、中间层和上层；

对所述上层和中间层进行第一蚀刻；

对所述下层进行第二蚀刻；和

对所述上层和中间层进行第三蚀刻，使得所述上层和中间层的宽度变得窄于下层的宽度。

19. 根据权利要求 18 所述的制造方法，其中：

所述第二电容器导体的下层是包含铝的铝族金属；

所述第二电容器导体的中间层包括铬、钛、钼和钼钨中的一种；和

所述第二电容器导体的上层由中间层的氮化物制成。

20. 根据权利要求 18 所述的制造方法，还包括在所述半导体层上形成欧姆接触以及在所述欧姆接触上形成缓冲层，其中所述缓冲层位于所述数据线的所述下层与所述欧姆接触之间。

21. 根据权利要求 20 所述的制造方法，其中所述缓冲层与第二电容器导体的下层同时被蚀刻。

用于液晶显示器的薄膜晶体管阵列板及其制造方法

技术领域

[0001] 本发明涉及一种薄膜晶体管阵列板及其制备方法。

背景技术

[0002] 液晶显示器是一种广泛使用的平板显示器。液晶显示器包括设置有场产生电极的两个显示面板。代表图像数据信号的电压被施加到这些电极并重排夹置在面板之间的液晶层的分子,因此调节穿过液晶层的光的透射率。

[0003] 多个栅极和数据柔性印刷电路 (FPC) 基板通常被贴附到显示面板单元,而印刷电路板 (PCB) 贴附到栅极和数据 FPC 基板,该 FPC 基板可以由聚酰亚胺、聚酯等制成。栅极驱动集成电路 (IC) 和数据驱动 IC 分别安装到栅极和数据 FPC 基板。

[0004] 然而,液晶显示器的厚度由于安装在栅极和数据 FPC 基板上的 IC 芯片或驱动电容器而显著增加。此外,由于 IC 芯片或电容器的数量增加,栅极和数据 FPC 的尺寸增加,并增加了液晶显示器的尺寸和制造成本。

发明内容

[0005] 本发明提供了一种薄膜晶体管阵列板,其中安装到栅极和数据柔性印刷电路的驱动电容器由彼此交叠的栅线和数据线形成在显示面板单元中。更具体而言,根据本发明,在现有技术中形成在 FPC 基板上的驱动电容器形成在薄膜晶体管阵列板的外围区中,使得 FPC 的尺寸显著减小,从而可以制造薄和尺寸小的液晶显示器。本发明的示范性实施例提供了一种薄膜晶体管阵列板,其包括:具有显示区和外围区的绝缘基板、形成在绝缘基板上的栅线、具有由与栅线相同材料制成并形成在绝缘基板外围区中的第一电容器导体、形成在栅线和第一电容器导体上的栅极绝缘层、形成在栅极绝缘层上的半导体层、形成在半导体层上并形成在绝缘基板的显示区中的数据导体和漏电极、由与数据线相同材料形成并形成在绝缘基板外围区中的第二电容器导体、和连接到漏电极的像素电极。第一电容器导体和第二电容器导体彼此交叠。

[0006] 根据本发明的薄膜晶体管阵列板的制造方法包括:在包括显示区和外围区的绝缘基板上形成栅线和第一电容器导体;在所述栅线和第一电容器导体上形成栅极绝缘层;在所述栅极绝缘层上形成半导体层;在所述半导体层上形成数据线、漏电极和第二电容器导体,所述第一电容器导体和第二电容器导体形成在所述绝缘基板的外围区中以彼此交叠;和形成连接到所述漏电极的像素电极。形成在绝缘基板的外围区中的第一电容器导体和第二电容器导体彼此交叠。

[0007] 栅极线和第一电容器导体的形成包括:在所述绝缘基板上顺序地沉积下层、中间层和上层;在上层和中间层上进行第一蚀刻;在下层上进行第二蚀刻;和在上层和中间层上进行第三蚀刻,使得上层和中间层的宽度变得窄于下层的宽度。

附图说明

- [0008] 通过结合附图的描述,本发明的上述和其他特点和优点将变得更为明显,在附图中:
- [0009] 图 1 是根据本发明示范性实施例的液晶显示器的示意图;
- [0010] 图 2 是根据本发明示范性实施例的液晶显示器的薄膜晶体管阵列板的布图;
- [0011] 图 3 和图 4 是分别沿图 2 的线 III-III 和线 IV-IV 所取的薄膜晶体管阵列板的剖面图;
- [0012] 图 5、图 10、图 13 和图 18 是依次示出根据本发明示范性实施例的薄膜晶体管阵列板的制造方法的布图;
- [0013] 图 6 和图 7 是分别沿图 5 的线 VI-VI 和线 VII-VII 所取的薄膜晶体管阵列板的剖面图;
- [0014] 图 8 和 9 分别是图 5 之后的步骤的剖面图;
- [0015] 图 11 和图 12 分别是沿图 10 的线 XI-XI 和线 XII-XII 所取的薄膜晶体管阵列板的剖面图;
- [0016] 图 14 和图 15 分别是沿图 13 的线 XIV-XIV 和线 XV-XV 所取的剖面图;
- [0017] 图 16 和图 17 分别是图 14 和图 15 之后的步骤的剖面图;
- [0018] 图 19 和图 20 分别是沿图 18 的线 XIV-XIV 和线 XX-XX 所取的薄膜晶体管阵列板的剖面图。

具体实施方式

[0019] 在附图中,为了清楚而夸大了层、膜、板、区域等的厚度。通篇相同的参考标号代表相同元件。应该理解,当例如层、膜、区域或基板的元件被称为位于另一元件“上”时,它可能直接位于该另一元件上或者可能存在中间元件。相反,当元件被称为直接位于另一元件上时,则不存在中间元件。

[0020] 如图 1 所示,根据本发明示范性实施例所述的液晶显示器包括由下板 100 和上板 200 构成的显示面板单元 300、贴附于显示面板单元 300 上的多个栅极 FPC 基板 410 和多个数据 FPC 基板 510、和贴附到栅极和数据 FPC 基板 410 和 510 的印刷电路板 (PCB) 550。

[0021] 栅极驱动 IC 440 和数据驱动 IC 540 分别安装在栅极 FPC 基板 410 和数据 FPC 基板 510 上,并形成用于驱动 IC 440 和 540 与外部之间电连接的连接线 420。FPC 基板 410 和 510 可以由聚酰亚胺、聚酯等制成。

[0022] 印刷电路板 (PCB) 550 设置有助于驱动和控制显示面板单元 300 的各种电路元件。或者,驱动 IC 440 和 540 可以直接安装在显示面板单元 300 的下板 100 上,并且在这种情况下,栅极 FPC 基板 410 可以省略。

[0023] 显示面板单元 300 的下板 100 可以分为用于显示图像的显示区 D 和设置在显示区 D 周围并将显示区中的显示信号线(未示出)物理连接或电连接到 FPC 基板 410 和 510 或者驱动 IC 440 和 540 的外围区 P。

[0024] 参考图 2 到图 4,将详细描述用于液晶显示器的薄膜晶体管阵列板,即下板 100。图 2 是根据本发明的示范性实施例的液晶显示器的薄膜晶体管阵列板的布图,图 3 和图 4 是沿图 2 的线 III-III 和线 IV-IV 所取的剖面图。

[0025] 在由透明玻璃或塑料等制成的绝缘基板 110 上,形成多条栅线 121、多条存储电极

线 131 和作为显示信号线的多个第一电容器导体 127。

[0026] 栅线 121 传送栅信号并大致在水平方向延伸。每条栅线 121 包括向下突出的多个栅电极 124 和扩大从而具有连接到其他层或外部驱动电路的宽区域的端部 129。用于产生栅信号的栅极驱动 IC 440 安装在贴附于基板 110 的 FPC 基板 410 上。

[0027] 预定电压施加到存储电极线 131, 每条存储电极线包括基本平行于栅线 121 延伸的杆线 (stem line) 和从其分支的多对第一存储电极 133a 和第二存储电极 133b。每条存储电极线 131 设置在两条相邻栅线 121 之间, 并设置得更靠近两条栅线 121 中靠下的部分。每个存储电极 133a 和 133b 具有连接到杆线的固定端和与其相对的自由端。第一存储电极 133a 的固定端的区域相对宽, 而其自由端分支为两部分, 即线性部分和弯曲部分。然而, 存储电极线 131 的形状和布置可以进行各种修改。

[0028] 第一电容器导体 127 形成在外围区 P 中, 使得它们连接到驱动 IC 440 和 540, 并沿显示区 D 的边缘部分形成。第一电容器导体 127 的形状可以进行各种修改。

[0029] 栅线 121、存储电极线 131、和第一电容器导体 127 具有三层结构, 包括下层、中间层和上层。

[0030] 下层由具有低电阻率的金属制成, 比如例如铝 (Al) 或铝合金的铝族金属、例如银 (Ag) 或银合金的银族金属、或例如铜 (Cu) 或铜合金的铜族金属, 以减小信号延迟和电压降。中间层由具有与 ITO (氧化铟锡) 或 IZO (氧化铟锌) 优异的物理、化学和电接触特性的材料制成, 例如铬 (Cr)、钛 (Ti)、例如钼和钼合金的钼族金属、钽 (Ta) 等。上层由中间层的氮化物制成, 即氮化铬 (CrN_x)、氮化钛 (TiN_x)、氮化钼 (MoN_x)、氮化钼钨 (MoWN_x) 等, 以减小与中间层的接触电阻。上层形成得相当地薄以降低与中间层的势垒, 从而降低与中间层的接触电阻。

[0031] 作为三层结构的示例, 可以是下铝 (合金) 层、中间铬层和上氮化铬层。

[0032] 在图 3 和图 4 中, 栅电极 124、栅线的端部 129、存储电极线 131、存储电极 133a 和 133b、以及第一电容器导体 127 的下层、中间层和上层由字母 p、q 和 r 附加在它们各自的参考标号后面表示。

[0033] 栅线 121、存储电极线 131 和第一电容器导体 127 的侧表面关于基板 110 的表面倾斜, 优选倾斜约 30 到 80 度。此外, 栅电极 124、存储电极线 131、存储电极 133a 和 133b、第一电容器导体 127 和栅线的端部 129 的上层和中间层的侧面部分被除去, 从而暴露出下层 124p、131p、133ap、133bp、127p 和 129p 的部分 21。

[0034] 由氮化硅 (SiN_x)、氧化硅 (SiO_x) 等制成的栅极绝缘层 140 形成在栅线 121 和存储电极线 131 上。

[0035] 由氢化非晶硅 (非晶硅简称为 a-Si)、多晶硅等制成的多个半导体条 151 形成在栅极绝缘层 140 上。每个半导体条 151 通常在垂直方向延伸, 并包括朝向栅电极 124 延伸的多个突起 154。半导体条 151 的宽度在靠近栅线 121 和存储电极线 131 处较宽, 从而覆盖这些部分。

[0036] 多个欧姆接触条和岛 161 和 165 形成在半导体 151 上。欧姆接触 161 和 165 可以由硅化物或例如其中以高浓度掺杂例如磷的 n 型杂质的 n+ 氢化非晶硅的材料制成。欧姆接触条 161 包括多个突起 163。突起 163 和欧姆接触岛 165 设置在半导体 151 的突起 154 上。

[0037] 半导体 151 和欧姆接触 161 和 165 的侧表面也关于基板 110 倾斜约 30 到 80 度。

[0038] 在欧姆接触 161 和 165 以及栅极绝缘层 140 上,形成多条数据线 171、多个漏电极 175 和作为显示信号线的多个第二电容器导体 177。

[0039] 数据线 171 传送数据信号,并大致沿垂直方向延伸,从而与栅极线 121 交叉。每条数据线 171 与存储电极线 131 交叉,并在相邻的存储电极 133a 和 133b 的组之间延伸。每条数据线 171 包括朝向栅电极 124 延伸从而弯曲成 J 形的多个源电极 173,和具有用于连接到另一层或外部驱动电路的宽的区域的端部 179。

[0040] 用于产生数据信号的数据驱动 IC 540 安装在贴附于基板 110 的数据 FPC 基板 510 上。

[0041] 每个漏电极 175 与数据线 171 分离并以栅电极 124 为中心地与源电极 173 相对。每个漏电极 175 包括宽的端部并在另一端具有条形部分。宽的端部与存储电极线 131 交叠,且条形的另一端部被弯曲的源电极 173 部分围绕。

[0042] 一个栅电极 124、一个源电极 173 和一个漏电极 175 与半导体 151 的突起 154 一起形成一个薄膜晶体管 TFT。薄膜晶体管的沟道形成在源电极 173 和漏电极 175 之间的突起 154 上。

[0043] 第二电容器导体 177 形成在外围区 P 中以交叠第一电容器导体 127,并沿显示区 D 的边缘部分形成。第一和第二电容器导体 127 和 177 形成驱动电容器,以执行例如缓冲或存储从印刷电路板 PCB 550 传送到驱动 IC 440 和 540 的信号的功能。

[0044] 数据线 171、漏电极 175 和第二电容器导体 177 具有三层结构,包括下层 171p、175p 和 177p,中间层 171q、175q 和 177q,以及上层 171r、175r 和 177r。

[0045] 下层 171p、175p 和 177p 由具有低电阻率的金属制成,比如例如铝 (Al) 或铝合金的铝族金属、例如银 (Ag) 或银合金的银族金属、或例如铜 (Cu) 或铜合金的铜族金属,以减小信号延迟或电压降。中间层 171q、175q 和 177q 由具有与 IT0(氧化铟锡)或 IZO(氧化铟锌)的优异的物理、化学和电接触特性的材料制成,例如铬 (Cr)、钛 (Ti)、例如钼和钼合金的钼族金属、钽 (Ta) 等。上层 171r、175r 和 177r 由中间层的氮化物制成,即氮化铬 (CrNx)、氮化钛 (TiNx)、氮化钼 (MoNx)、氮化钼钨 (MoW_NNx) 等,以减小中间层的接触电阻。

[0046] 作为三层结构的示例,可以是下铝(合金)层、中间铬层和上氮化铬层。

[0047] 在图 3 和图 4 中,对于数据线的源电极 173 和端部 179,其下层、中间层和上层分别由字母 p、q 和 r 附加在它们各自的参考标号后面表示。

[0048] 通过用铝合金的下层、铬的中间层和氮化铬的上层形成第一电容器导体 127 和第二电容器导体 177,第一电容器导体 127 和第二电容器导体 177 的线电阻变低,从而在 DC-DC 转换器中的电压提升效率提高。此外,由于第一电容器导体 127 和第二电容器导体 177 的线电阻低,所以栅极开启电压和栅极截止电压之间的电压差可以不变地保持。

[0049] 数据线 171、漏电极 175 和第二电容器导体 177 的侧表面可以关于基板 110 的表面倾斜 30 到 80 度。

[0050] 数据线 171、漏电极 175 和第二电容器导体 177 的上层和中间层的侧面被除去从而暴露出下层 171p、173p、175p、177p 和 179p 的部分 71。

[0051] 缓冲层 176 形成在数据线 171、源电极 173 和漏电极 175 的下层 171p、173p 和 175p 与欧姆接触 161、163 和 165 之间。因此,可以防止由于具有与其他层的弱粘附并容易扩散

到其他层的特性的铝族金属制成的下层 171p、173p 和 175p 对欧姆接触 151 的破坏,而且可以减小其间的接触电阻。

[0052] 缓冲层 176 也形成在数据线的端部和第二电容器导体 177 的下层 179p 和 177p 与栅极绝缘层 140 之间。

[0053] 缓冲层 176 由具有优异的物理、化学和电接触特性的材料或金属制成,例如钼 (Mo)、钼钨 (MoW)、钛 (Ti)、钨 (W)、其氮化物 MoN_x 、 MoWN_x 、 TiN_x 和 WN_x 等。此外,缓冲层 176 可以由钼的下层和其氮化物的上层或者钼钨的下层和其氮化物的上层构成。

[0054] 欧姆接触 161 和 165 仅存在于在下面的半导体 151 和在上面的数据线 171 以及在上面的漏电极 175 之间,并降低其间的接触电阻。虽然半导体条 151 大部分窄于数据线 171,但是如上所述,半导体条 151 在与栅线 121 相遇的部分变宽,使得表面轮廓变得光滑因此防止数据线 171 被切割。半导体条 151 具有暴露出而未被数据线 171 和漏电极 175 覆盖的部分,包括源电极 173 和漏电极 175。

[0055] 钝化层 180 形成在数据线 171、漏电极 175、第二电容器导体 177 和半导体 151 的暴露部分上。钝化层 180 可以由无机绝缘体、有机绝缘体等制成,并可以具有平坦表面。

[0056] 氮化硅和氧化硅可以作为无机绝缘体的示例。有机绝缘体可以具有光敏性,且其介电常数可以小于或等于约 4.0。然而,为了防止半导体 151 的暴露部分被破坏,同时保持有机层的优异的绝缘特性,钝化层 180 可以具有下无机层和上有机层的双层结构。

[0057] 分别暴露数据线 171 的端部 179 和漏电极 175 的多个接触孔 182 和 185 形成在钝化层 180 中。暴露栅线 121 的端部的多个接触孔 181、暴露存储电极 131 靠近第一存储电极 133a 的固定端的一部分的多个接触孔 183a 和暴露第一存储电极 133a 的自由端的突起的多个接触孔 183b 形成在钝化层 180 和栅极绝缘层 140 中。

[0058] 多个像素电极 191、多个跨件 83、和多个接触辅助 81 和 82 形成在钝化层 180 上。这些构件可以由透明导电材料例如 ITO 或 IZO 或反射金属例如铝、银、铬或其合金制成。

[0059] 每个像素电极 191 通过接触孔 185 物理连接和电连接到漏电极 175,且数据电压从漏电极 175 施加到像素电极 191。像素电极 191 被提供数据电压,从而与另一显示面板 200 的提供有公共电压的公共电极(未示出)一起产生电场,且因此确定两电极之间的液晶层(未示出)的液晶分子(未示出)的取向。通过液晶层的光的偏振根据如此确定的液晶分子的取向而变化。像素电极 191 和公共电极形成电容器(此后称为液晶电容器),因此即使在薄膜晶体管被截止之后也保持所施加的电压。

[0060] 像素电极 191 和与其连接的漏电极 175 交叠存储电极 133a 和 133b 以及存储电极线 131,且像素电极 191 的左、右侧距离数据线 171 比距离存储电极 133a 和 133b 更近。像素电极 191 和与其电连接的漏电极 175 交叠存储电极线 131,因此形成电容器,此电容器称为存储电容器。存储电容器加强了保持液晶电容器的电容的电压。

[0061] 接触辅助 81 和 82 通过接触孔 181 和 182 分别连接到栅线 121 的端部 129 和数据线 171 的端部 179。接触辅助 81 和 82 补足栅线 121 的端部 129 和数据线的端部 179 与外部其间的粘附性质,并保护这些构件。

[0062] 每个跨件 83 交叉栅线 121,并通过关于夹置在其间的栅线 121 彼此相对设置的接触孔 183a 和 183b 连接到存储电极线 131 的暴露部分和存储电极 133b 的自由端的暴露端部。存储电极 133a 和 133b 与存储电极线 131 可以同跨件 83 一道用于修补将栅线 121、数

据线 171 或薄膜晶体管的故障。

[0063] 现在将参考图 5 到图 20 详细解释图 1 到图 4 所示的根据本发明的示范性实施例制造薄膜晶体管阵列板的制造方法。

[0064] 图 5、图 10、图 13 和图 18 是连续示出根据本发明的示范性实施例的薄膜晶体管阵列板的制造方法的布图。图 6 和图 7 分别是沿图 5 的线 VI-VI 和线 VII-VII 所取的薄膜晶体管阵列板的剖面图,图 8 和图 9 分别是图 5 和图 7 之后步骤的剖面图,图 11 和图 12 分别是沿图 10 的线 XI-XI 和线 XII-XII 所取的薄膜晶体管阵列板的剖面图,图 14 和图 15 分别是沿图 13 的线 XIV-XIV 和线 XV-XV 所取的薄膜晶体管阵列板的剖面图,图 16 和图 17 分别是图 14 和图 15 之后步骤的剖面图,图 19 和图 20 分别是沿图 18 的线 XIV-XIV 和线 XX-XX 所取的剖面图。

[0065] 铝(合金)的下层、铬的中间层、和氮化铬的上层顺序地沉积在由透明玻璃或塑料等制成的绝缘基板 110 上。

[0066] 接着,如图 5 到图 7 所示,对上层和中间层进行第一湿法蚀刻并对下层进行第二湿法蚀刻,以形成包括栅电极 124 和端部 129 的多条栅线 121、包括存储电极 133 和 133b 的多条存储电极线 131、以及多个第一电容器导体 127。

[0067] 接着,如图 8 和图 9 所示,在上层和中间层的侧面上进行第三湿法蚀刻,以暴露栅电极 124、存储电极线 131、存储电极 133a 和 133b、第一电容器导体 127 和栅线的端部 129 的下层 124p、131p、133ap、133bp、127p 和 129p 的部分 21。这是为了防止可能由于下层被第二湿法蚀刻过度蚀刻引起下层宽度变得窄于上层和中间层的宽度所导致的悬垂现象。因此,通过第三湿法蚀刻,上层和中间层的宽度可以窄于下层的宽度。

[0068] 接着,在栅线 121 和存储电极线 131 上,通过等离子体增强化学气相沉积 (PECVD) 法形成由氮化硅 (SiN_x) 等制成的栅极绝缘层 140、未掺杂杂质的本征非晶硅 a-Si 层和掺杂有杂质的非晶硅 n+a-Si 层。

[0069] 接着,如图 10 到图 12 所示,在掺杂有杂质的非晶硅和本征非晶硅上进行光刻工艺以形成栅极绝缘层 140、包括多个突起 154 的半导体条 151 和包括多个杂质半导体图案 164 的掺杂有杂质的欧姆接触条 161。

[0070] 接着,在掺杂有杂质的欧姆接触条 161 上,沉积由钼 (Mo)、钼钨 (MoW)、钛 (Ti)、钨 (W)、其氮化物 MoN_x 、 MoWN_x 、 TiN_x 和 WN_x 等制成的缓冲层 176。此外,铝(合金)的下层、铬的中间层和氮化铬的上层顺序地沉积在缓冲层上。

[0071] 接着,如图 13 到 15 所示,在上层和中间层上进行第一湿法蚀刻并在下层和缓冲层上进行第二湿法蚀刻,以形成包括源电极 173 和端部 179 的数据线 171、漏电极 175 和第二电容器导体 177。此时,由于缓冲层由钼 (Mo)、钼钨 (MoW)、钛 (Ti)、钨 (W)、其氮化物 MoN_x 、 MoWN_x 、 TiN_x 和 WN_x 等制成,所以缓冲层通过第二湿法蚀刻与下层一起被蚀刻。

[0072] 接着,如图 16 和 17 所示,上层和中间层的侧面通过第三湿法蚀刻部分蚀刻,以暴露包括源电极 173 和端部 179 的数据线 171、漏电极 175 和第二电容器导体 177 的下层 173p、179p、171p、175p 和 177p 的部分 71。这是为了防止可能由于下层被第二湿法蚀刻过度蚀刻引起下层宽度变得窄于上层和中间层的宽度所导致的悬垂现象。因此,通过第三湿法蚀刻,可以使上层和中间层的宽度窄于下层的宽度。

[0073] 接着,未被源电极 173 和漏电极 175 覆盖的暴露的掺杂半导体层 164 被除去,以不

仅形成包括多个突起 163 的多个欧姆接触条 161 和多个欧姆接触岛 165, 还暴露突起 154。

[0074] 接着, 如图 18 到图 20 所示, 使用等离子体增强化学气相沉积 (PECVD) 法, 通过沉积具有优异的平坦性质和光敏性的无机材料例如氮化硅 (SiN_x) 等形成钝化层 180。

[0075] 接着, 光敏膜涂覆在钝化层 180 上, 然后光通过光掩模入射到光敏膜上并显影, 从而形成多个接触孔 181、182、183a、183b 和 185。

[0076] 接着, 如图 2 到图 4 所示, 通过在钝化层 180 上溅射形成透明导电层例如 ITO 层, 然后对其构图, 以形成像素电极 191、接触辅助 81 和 82 以及跨件 83。

[0077] 根据本发明的薄膜晶体管阵列板和制造方法, 在现有技术中形成在 FPC 基板上的驱动电容器形成在薄膜晶体管阵列板的外围区中, 从而 FPC 可以形成为一层, 且 FPC 的尺寸可以显著减小, 从而制造薄且尺寸小的液晶显示器。

[0078] 此外, 由于包括驱动电容器的第一和第二电容器导体由铝合金的下层、铬的中间层和氮化铬的上层形成, 驱动电容器可以保持不变的电压。

[0079] 此外, 由于栅线和数据线的上层和中间层的侧面部分通过第三湿法蚀刻被再次蚀刻从而暴露一部分下层, 所以可以防止由于下层被第二湿法蚀刻过度蚀刻引起的悬垂现象, 从而下层的宽度变得窄于上层和中间层的宽度。

[0080] 此外, 由于缓冲层形成在数据线的下层和欧姆接触之间, 所以可以防止欧姆接触被铝族金属所制成的下层损坏, 且可以减小其间的接触电阻。

[0081] 虽然结合当前考虑的实践示范性实施例描述了本发明, 但本发明不限于所公开的实施例, 而是相反, 本发明旨在覆盖不脱离本发明的金属和范畴而对本领域技术人员是显然的各种改进和等同设置。

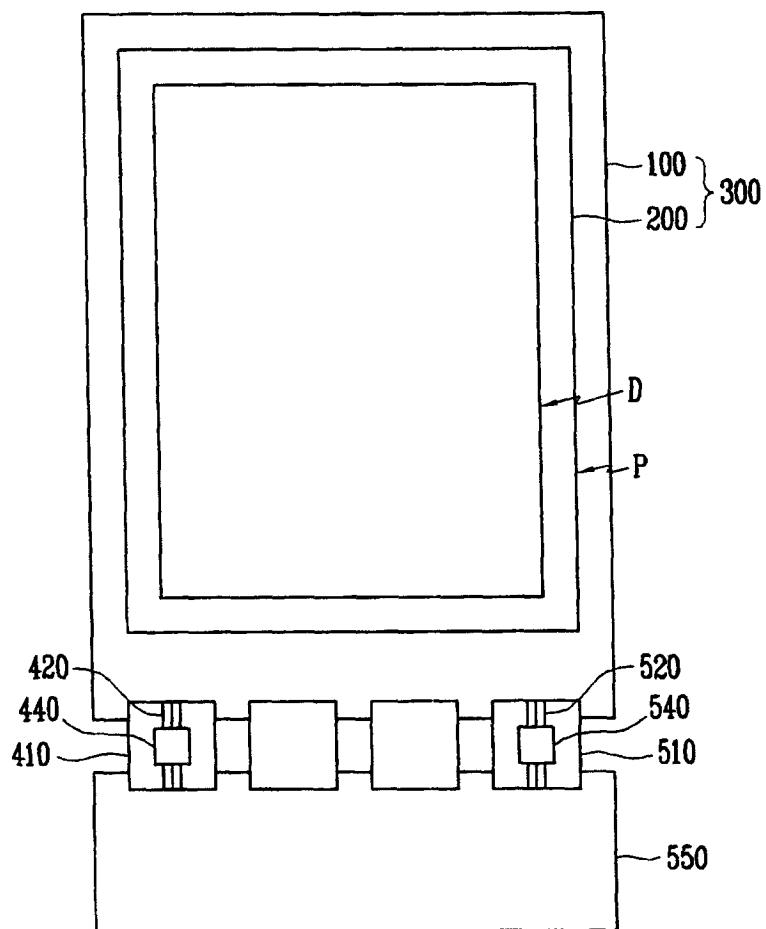


图 1

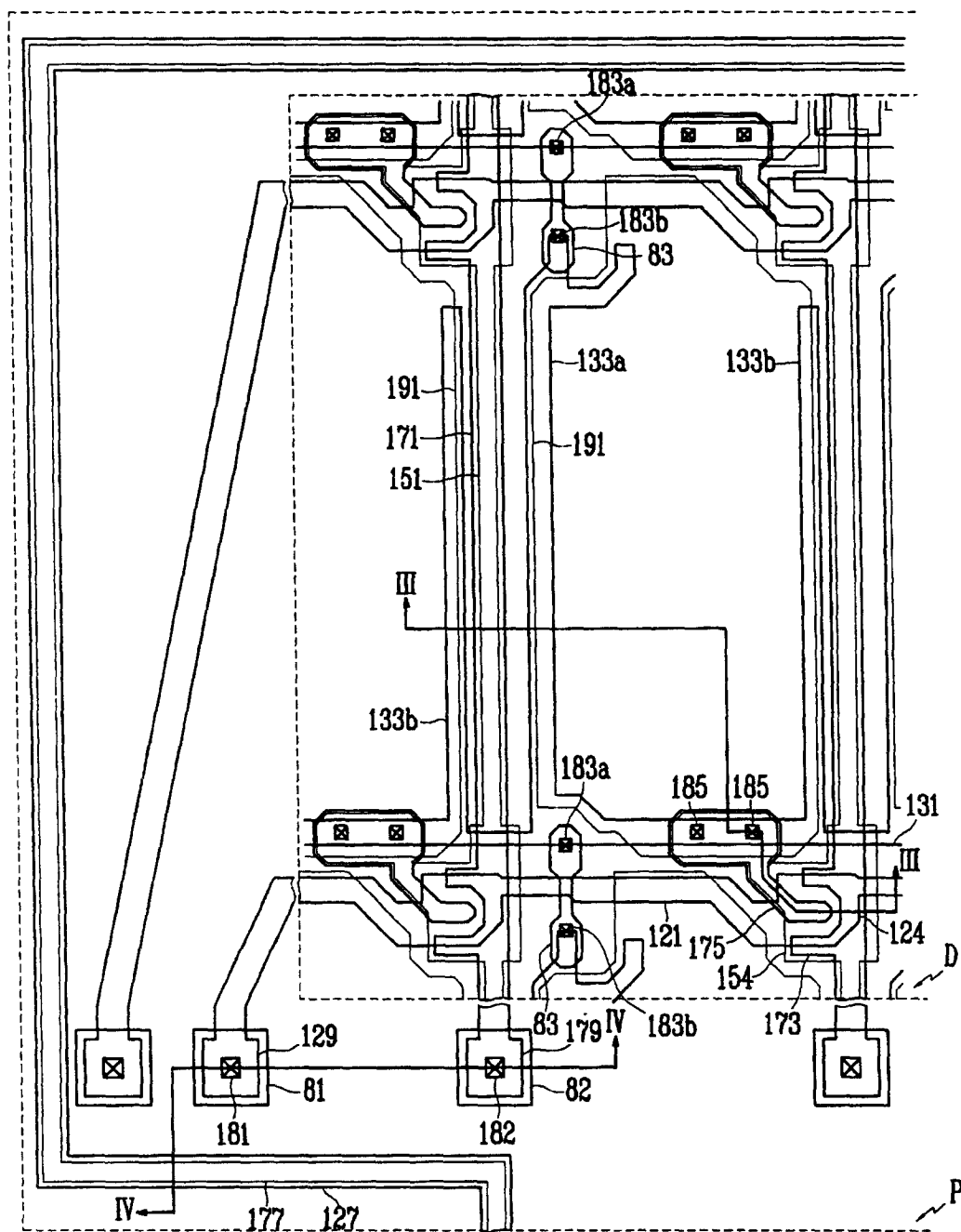


图 2

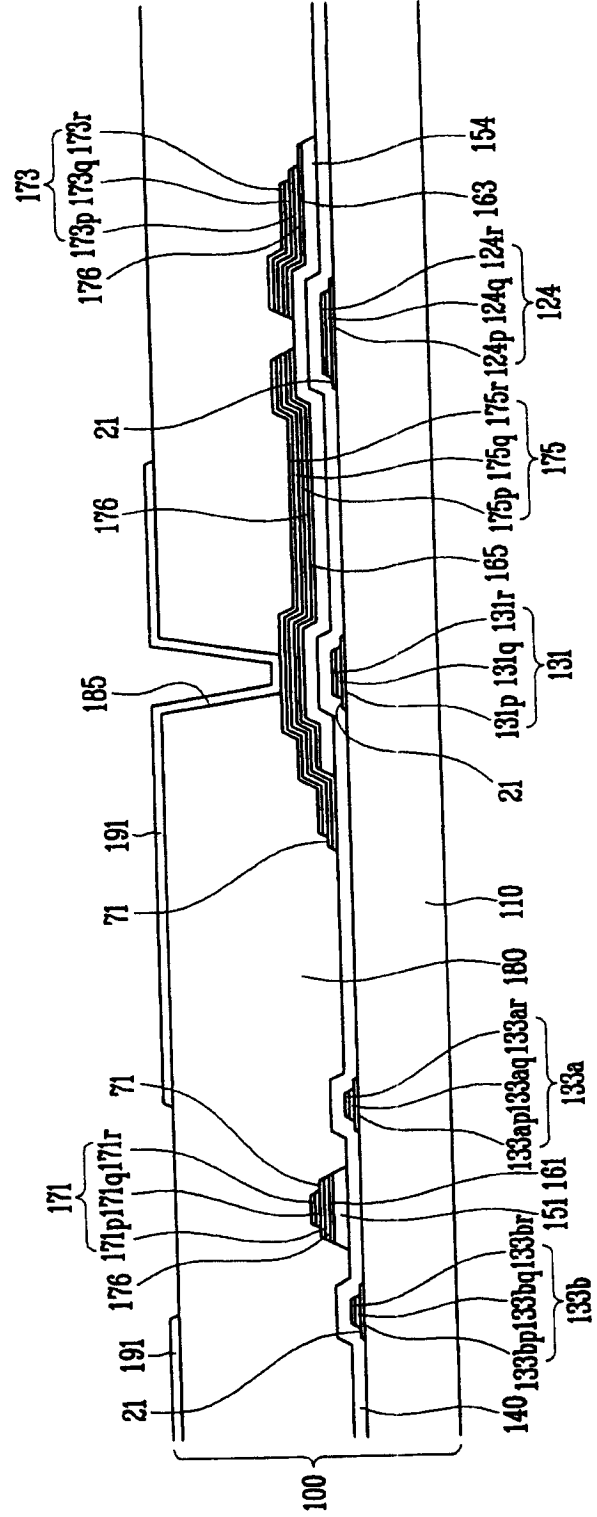


图 3

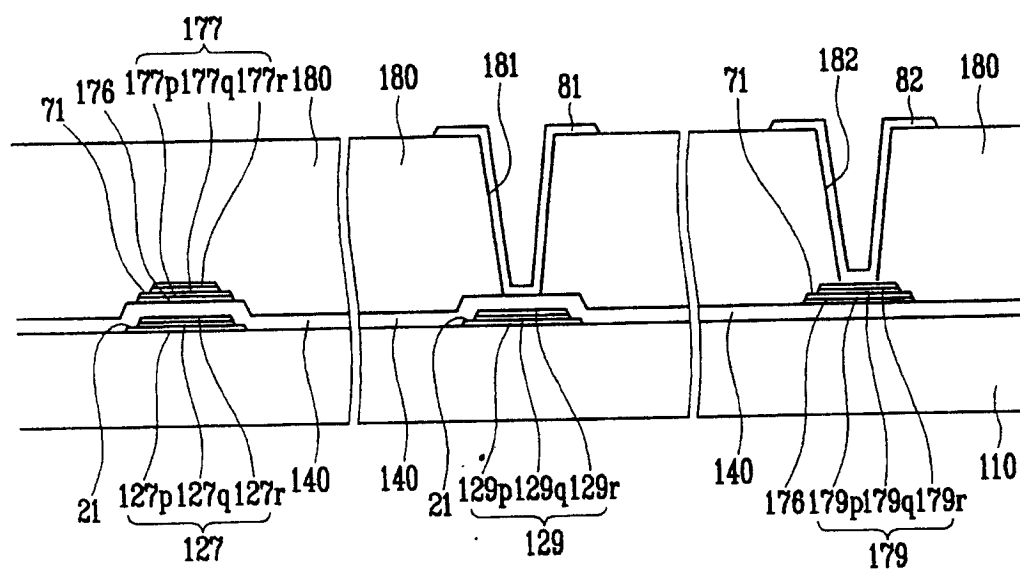


图 4

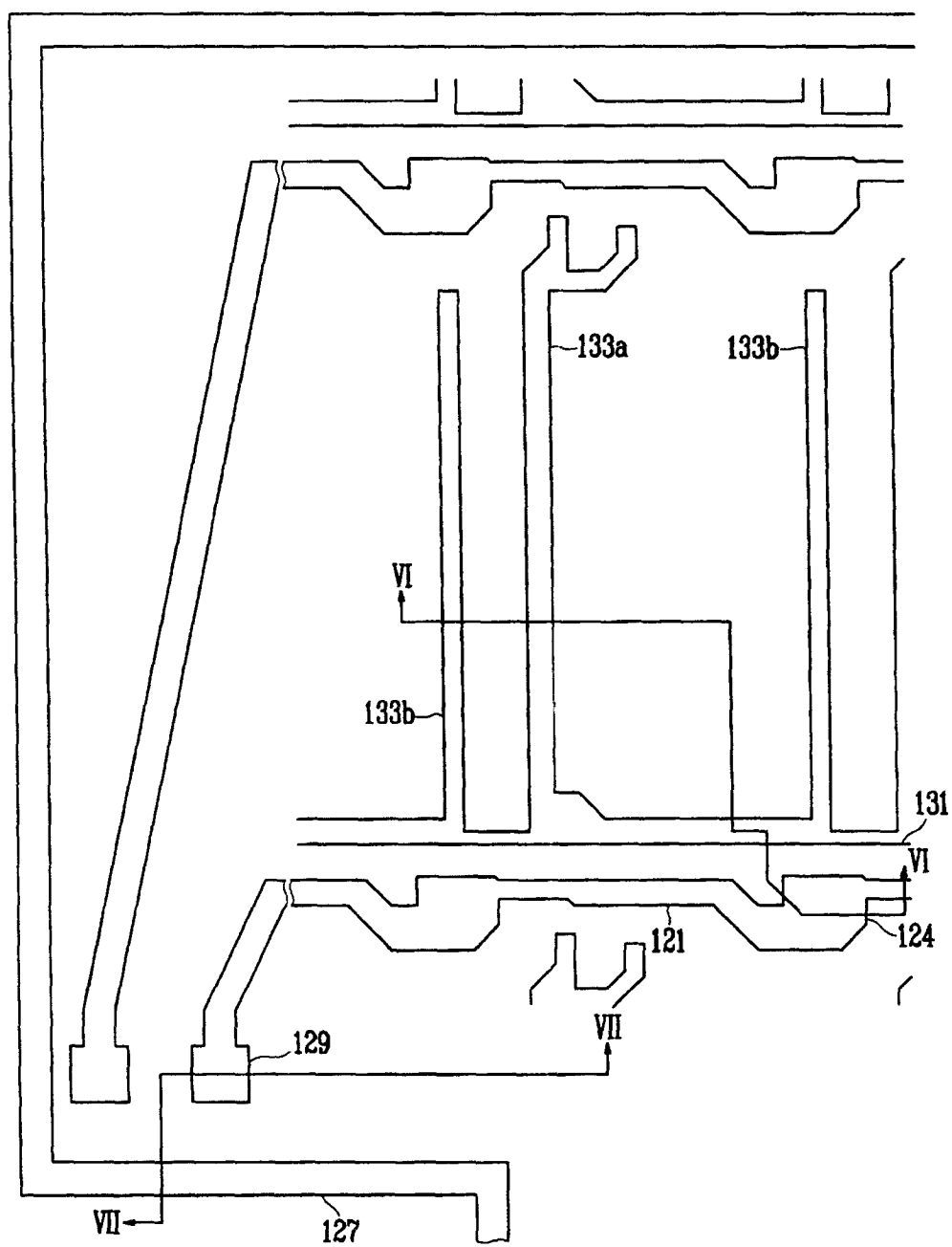


图 5

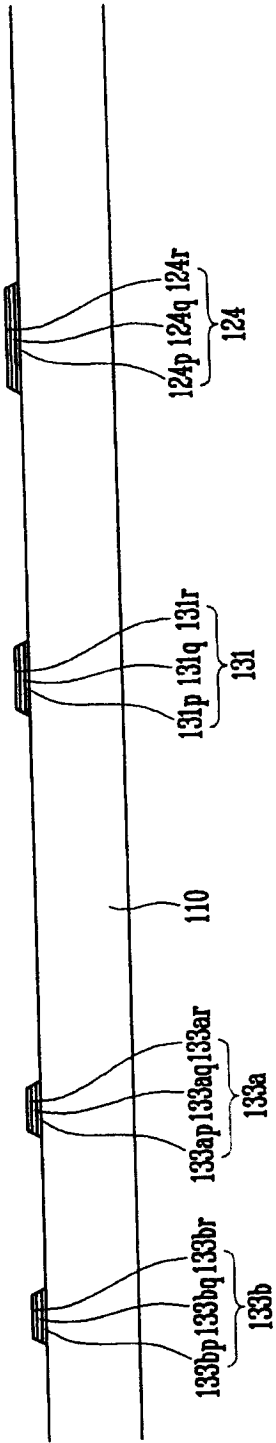


图 6

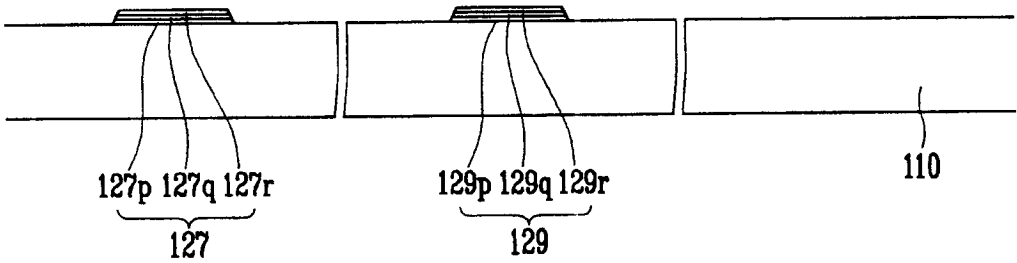


图 7

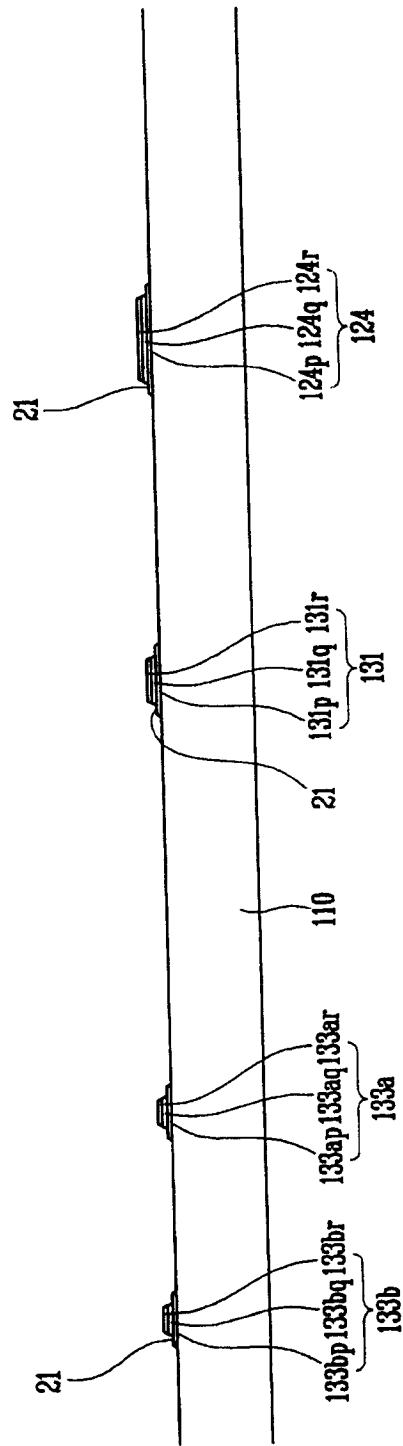


图 8

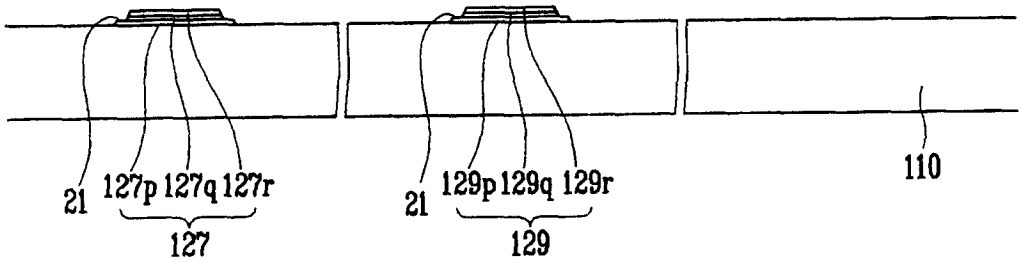


图 9

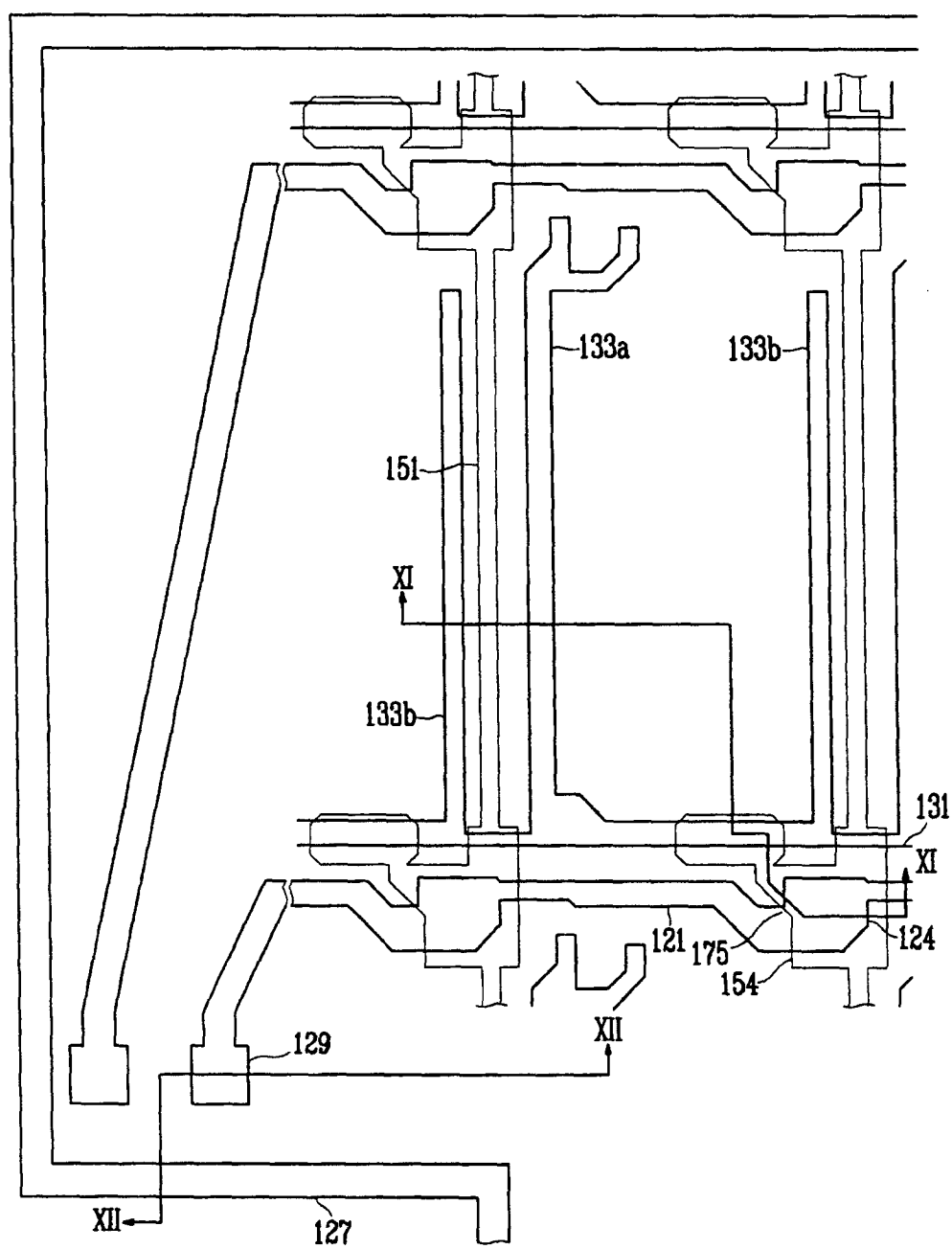


图 10

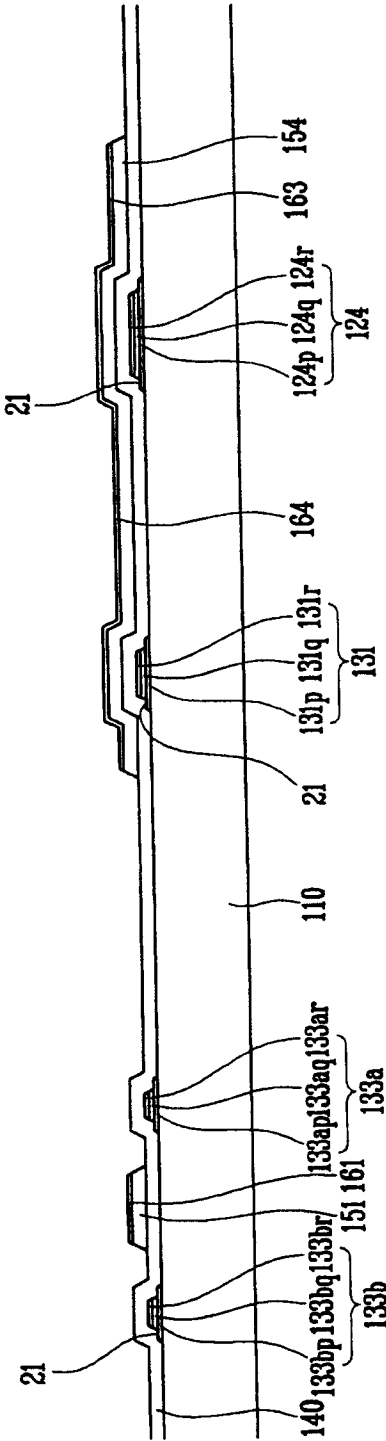


图 11

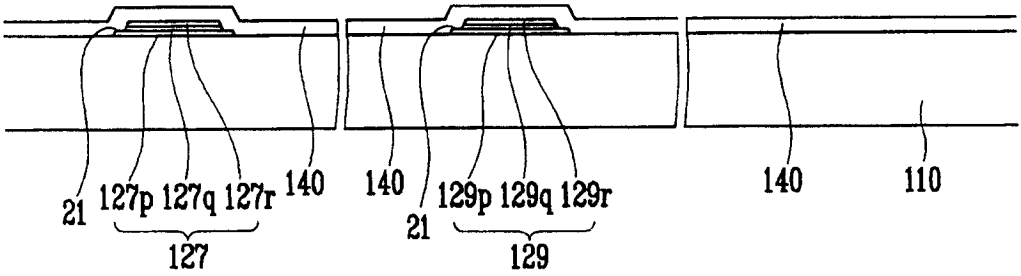


图 12

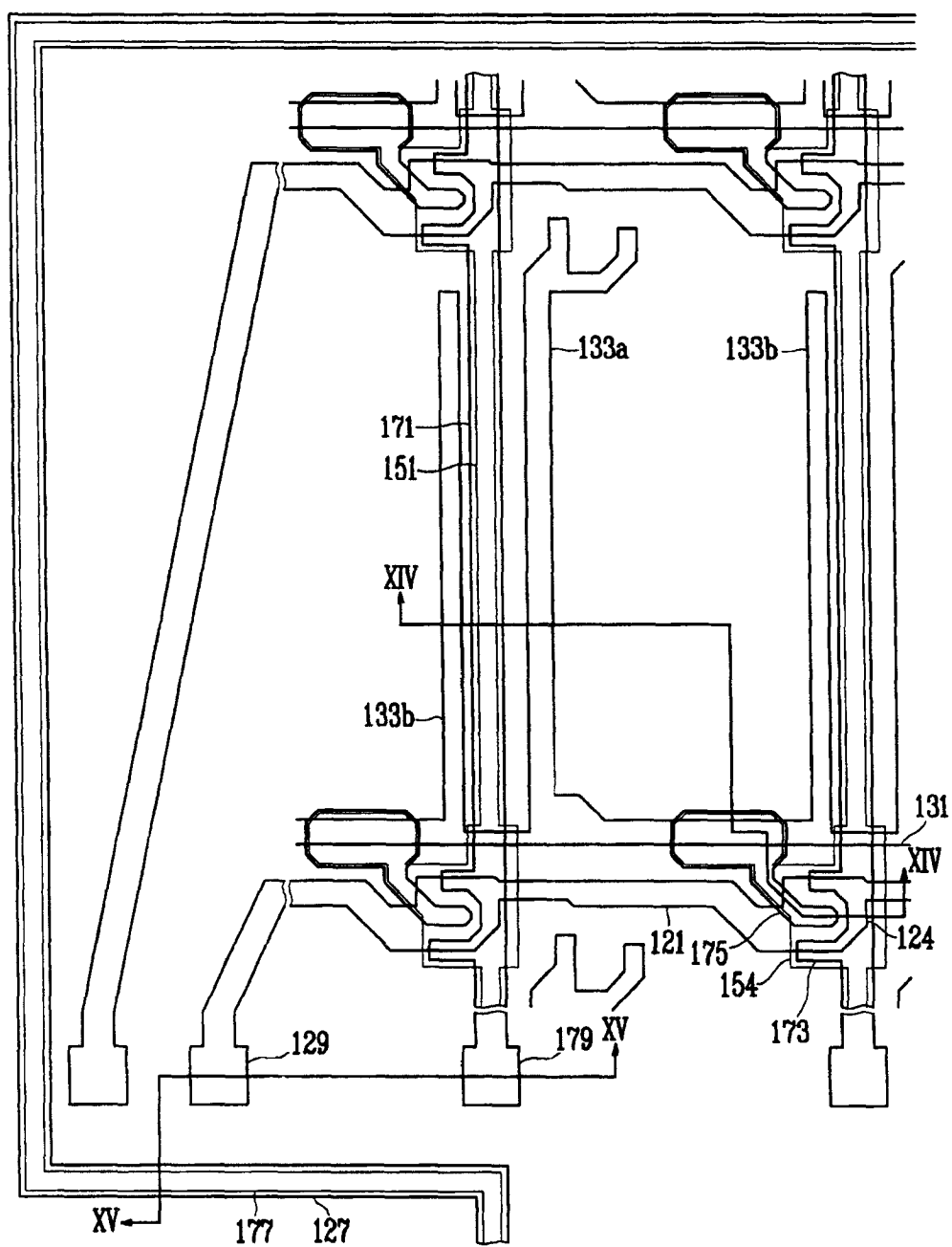


图 13

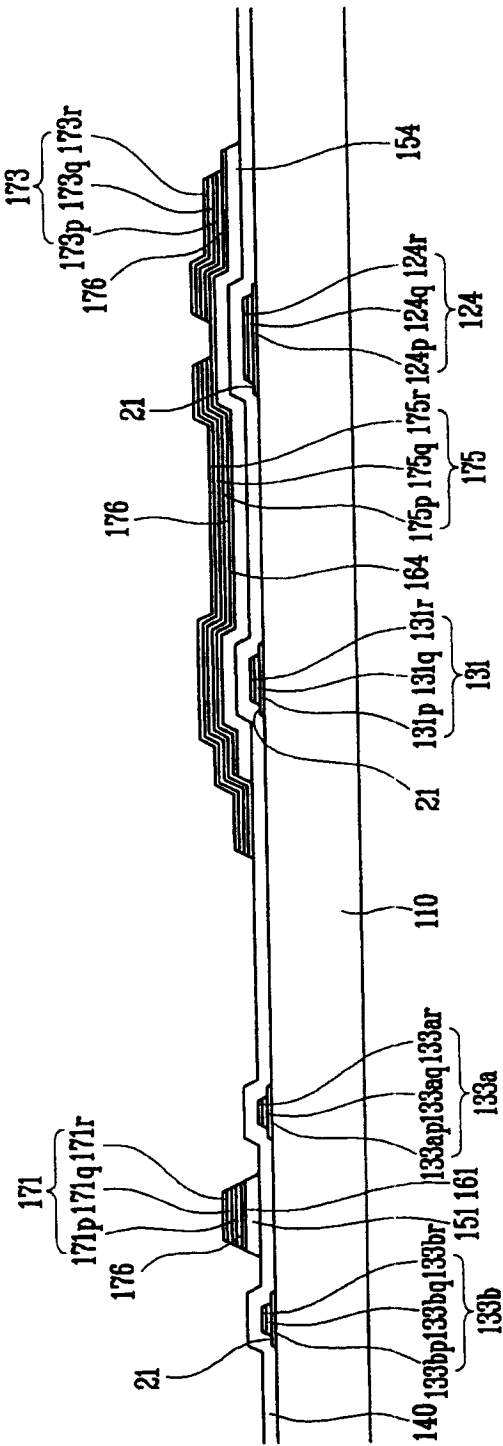


图 14

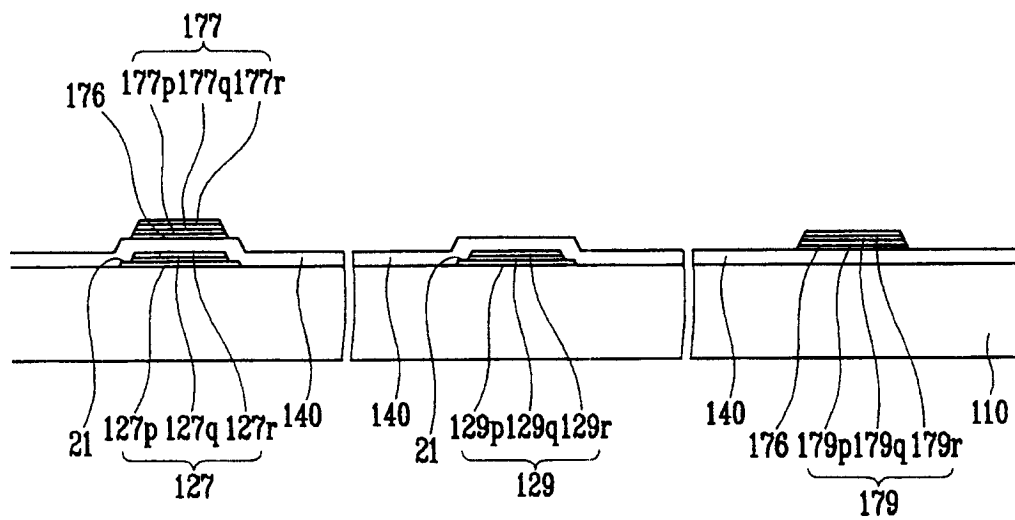


图 15

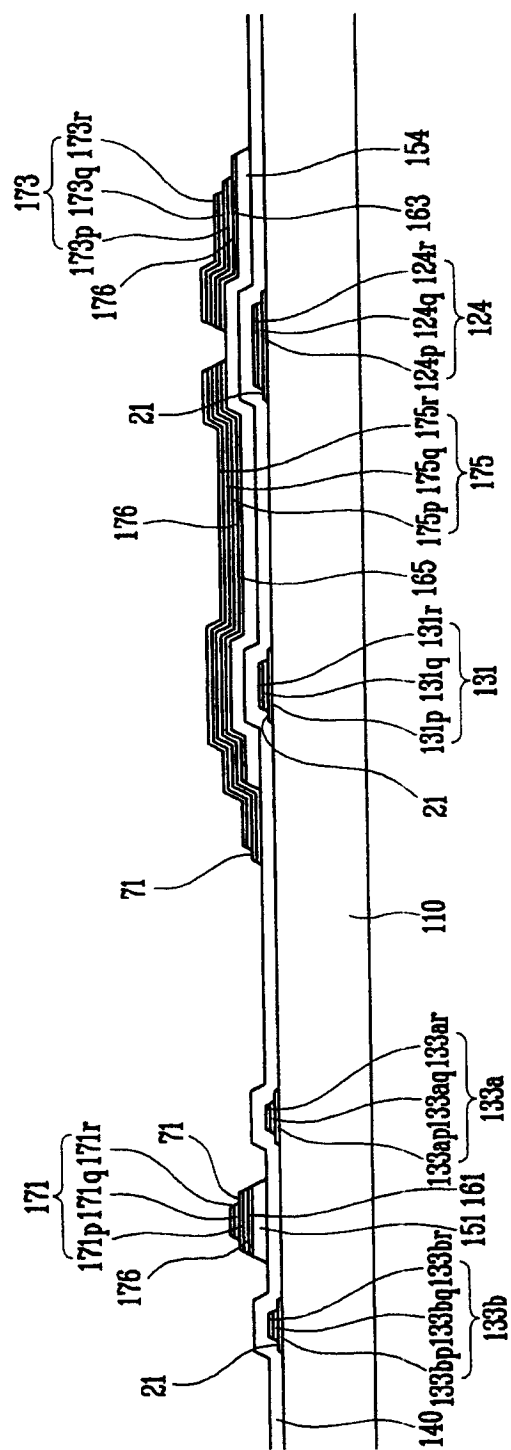


图 16

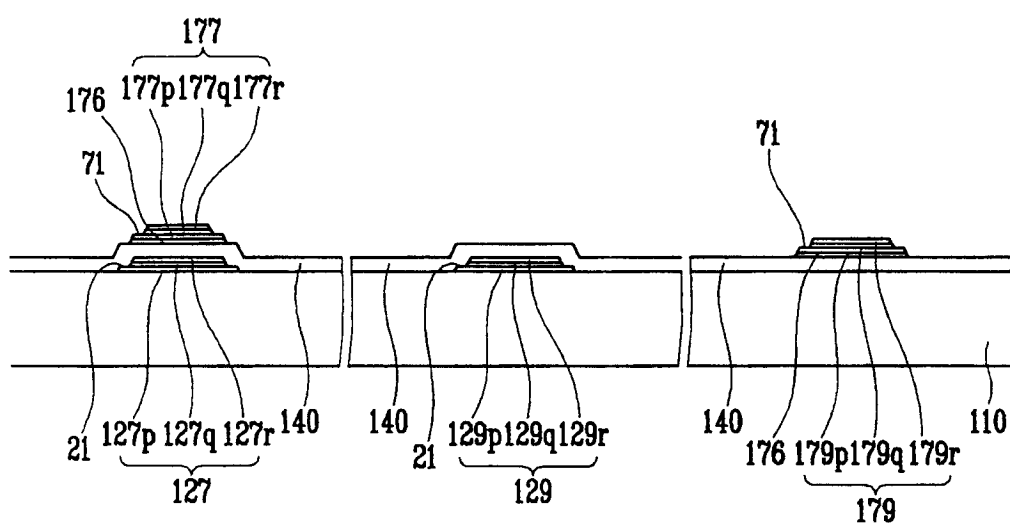


图 17

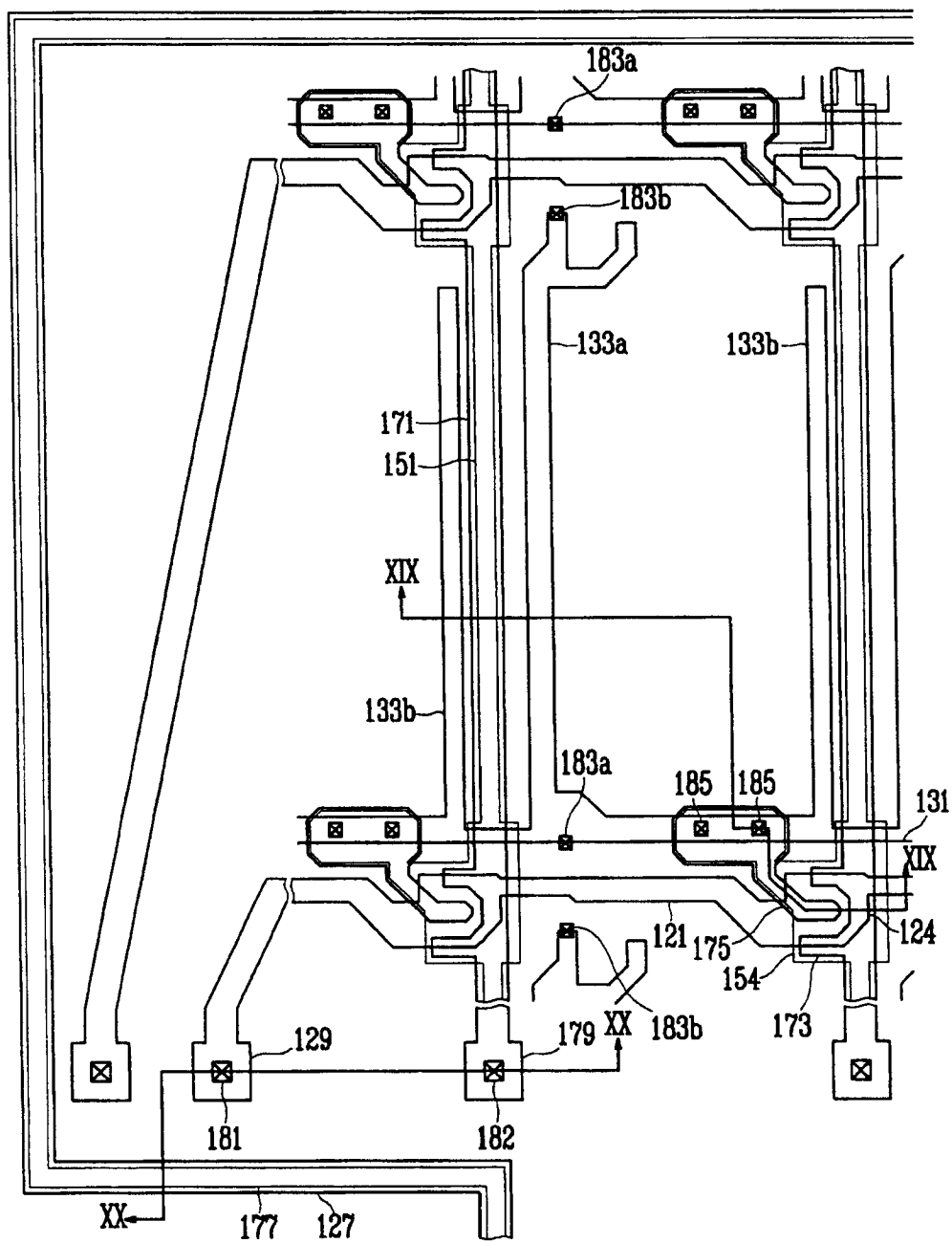


图 18

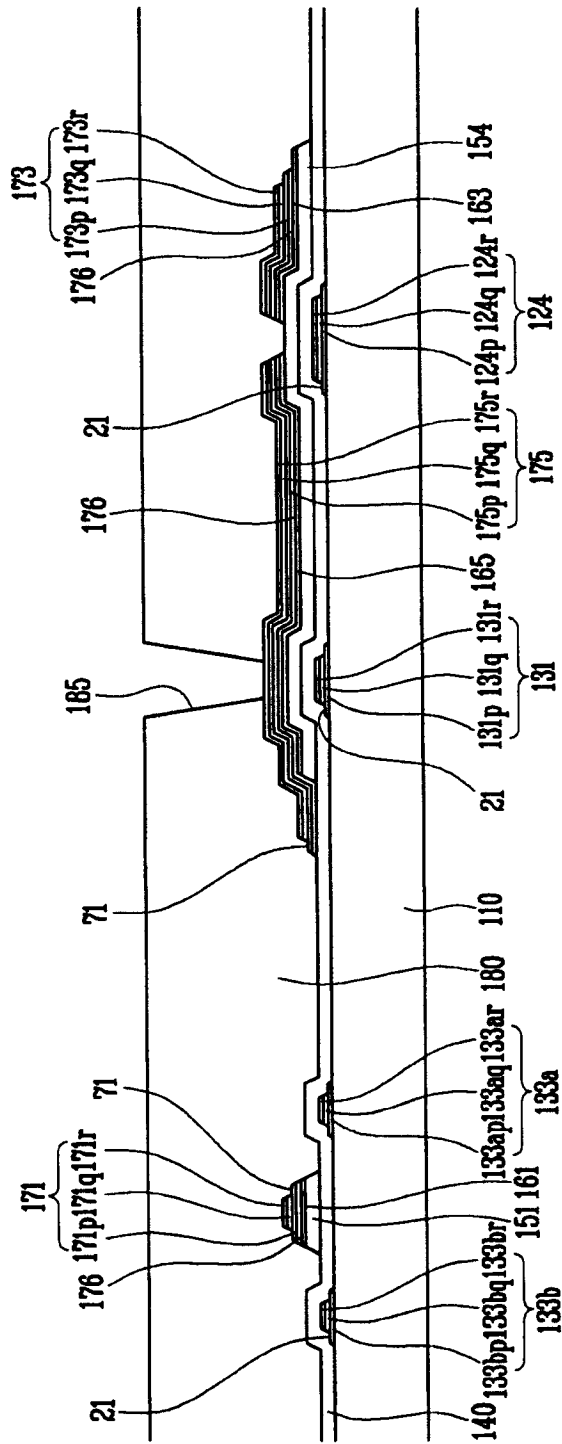


图 19

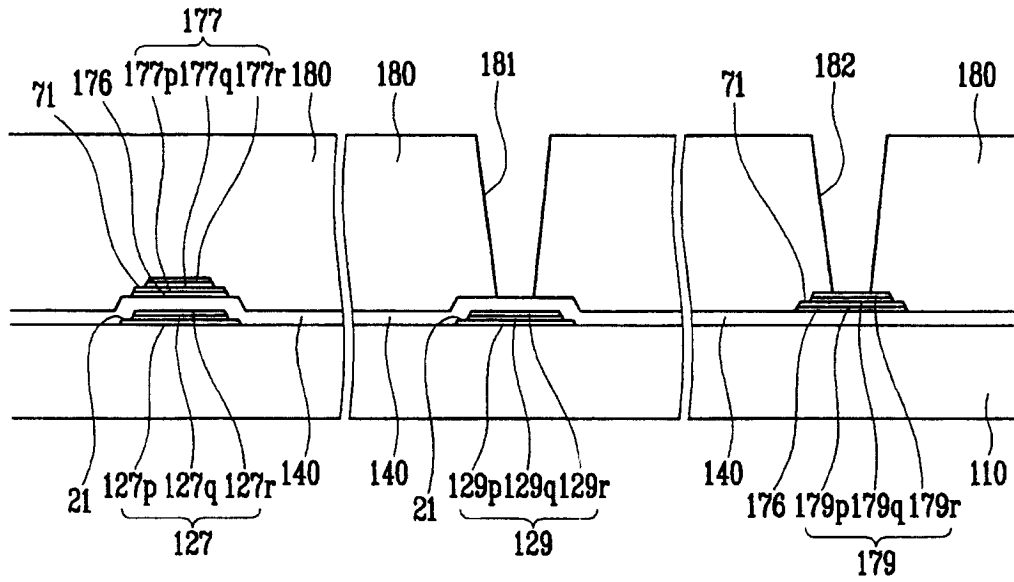


图 20

专利名称(译)	用于液晶显示器的薄膜晶体管阵列板及其制造方法		
公开(公告)号	CN1963649B	公开(公告)日	2010-09-01
申请号	CN200610136624.1	申请日	2006-10-31
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	尹柱善 成硕济 朴真奭		
发明人	尹柱善 成硕济 朴真奭		
IPC分类号	G02F1/1362 H01L27/12 H01L21/00		
CPC分类号	H01L27/13 H01L27/1214 H01L27/12 H01L29/4908 H01L29/458 H01L27/124 H01L27/1255		
审查员(译)	李晴晴		
优先权	1020050105939 2005-11-07 KR		
其他公开文献	CN1963649A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种薄膜晶体管阵列板及其制造方法，所述阵列板包括：绝缘基板，具有显示区和外围区；栅线，形成在绝缘基板上；第一电容器导体，由与栅线相同的材料制成并形成在绝缘基板的外围区中；栅极绝缘层，形成在栅线和第一电容器导体上；半导体层，形成在栅极绝缘层上；数据线和漏电极，形成在半导体层上并形成在绝缘基板的显示区中；第二电容器导体，由与数据线相同的材料形成，并形成在绝缘基板的外围区中；像素电极，连接到漏电极。第一电容器导体和第二电容器导体彼此交叠。由此可以制造薄和尺寸小的液晶显示器。

