



(12) 发明专利

(10) 授权公告号 CN 1952764 B

(45) 授权公告日 2010.07.14

(21) 申请号 200610135951.5

(22) 申请日 2006.10.17

(30) 优先权数据

97704/05 2005.10.17 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金东奎

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/133(2006.01)

H01L 29/786(2006.01)

(56) 对比文件

US 6075505 A, 2000.06.13, 说明书第5栏第28行至第8栏第30行、图9-14.

US 2002/0070905 A1, 2002.06.13, 全文.

US 2001/0015715 A1, 2001.08.23, 全文.

CN 1555506 A, 2004.12.15, 全文.

US 5949396 A, 1999.09.07, 全文.

审查员 刘军

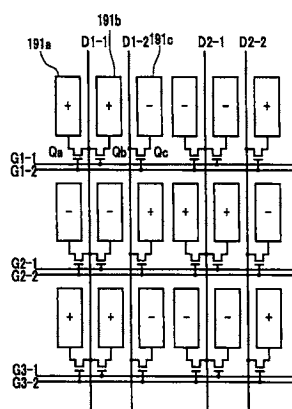
权利要求书 3 页 说明书 15 页 附图 13 页

(54) 发明名称

薄膜晶体管阵列板和液晶显示器

(57) 摘要

本发明涉及一种薄膜晶体管阵列板,包括:多个像素,包括以矩阵布置的像素电极以及连接到该像素电极的开关元件;连接到该开关元件的第一和第二栅极线,沿行方向延伸且对应于一行像素电极;以及连接到该开关元件的第一和第二数据线,沿列方向延伸且对应于三个像素列。在该薄膜晶体管阵列板中,当所述三个像素列被称为第一至第三像素列时,在该第一和第二像素列中的所述像素电极经所述开关元件连接到该第一数据线,且该第三像素列中的所述像素电极经该开关元件连接到该第二数据线。



1. 一种薄膜晶体管阵列板,包括:

多个像素,包括以行和列的矩阵布置的像素电极,具有连接到该像素电极的开关元件;

沿行方向延伸的第一和第二栅极线,连接到该开关元件;以及

沿列方向延伸的第一和第二数据线,用于服务于所述矩阵的每三个像素列,所述开关元件将该第一和第二像素列中的像素电极连接到该第一数据线且将该第三像素列中的像素电极连接到该第二数据线,

其中该第一和第三像素列中的所述像素电极经各个开关元件连接到所述第一栅极线,该第二像素列中的所述像素电极经各个开关元件连接到所述第二栅极线。

2. 如权利要求 1 所述的薄膜晶体管阵列板,还包括:

栅极驱动电路,向所述第一和第二栅极线供给栅极导通电压或栅极截止电压,该栅极导通电压施加到所述第一栅极线预定时间,同时一栅极导通电压施加到该第二栅极线。

3. 如权利要求 2 所述的薄膜晶体管阵列板,还包括向该第一和第二数据线提供图像信号的数据驱动电路,其中该数据驱动电路提供两点反转驱动信号。

4. 如权利要求 1 所述的薄膜晶体管阵列板,还包括与所述第一至第三像素列对应的冗余数据线。

5. 如权利要求 4 所述的薄膜晶体管阵列板,其中该冗余数据线连接到该第一数据线。

6. 如权利要求 4 所述的薄膜晶体管阵列板,其中公共电压施加到该冗余数据线。

7. 一种薄膜晶体管阵列板,包括:

多个像素,包括以矩阵布置的像素电极和连接到该像素电极的开关元件;

第一和第二栅极线,连接到该开关元件,服务于一行像素电极;

与每三个像素列对应连接到所述开关元件的第一至第三数据线,该第一像素列中的像素电极经某些开关元件连接到该第一数据线,该第二像素列中的像素电极经另一些开关元件连接到该第二数据线,该第三像素列中的像素电极经另一些开关元件连接到该第三数据线,所述第一和第二数据线彼此电连接,

其中该第一和第三像素列中的所述像素电极经某些开关元件连接到所述第一栅极线,且

该第二像素列中的所述像素电极经另一些开关元件连接到所述第二栅极线。

8. 如权利要求 7 所述的薄膜晶体管阵列板,还包括:

栅极驱动电路,向所述第一和第二栅极线提供栅极导通电压或栅极截止电压,

其中,在施加所述栅极导通电压到该第一栅极线的时候,该栅极驱动电路施加所述栅极导通电压到所述第二栅极线。

9. 如权利要求 8 所述的薄膜晶体管阵列板,还包括:

数据驱动电路,向所述第一和第二数据线提供图像信号,

其中该数据驱动电路提供两点反转驱动信号。

10. 如权利要求 9 所述的薄膜晶体管阵列板,还包括:

连接部分,其每个将所述第一数据线连接到所述第二数据线;

引线部分,将该第一和第二数据线连接到该数据驱动电路;以及

连接元件,将该引线部分连接到该连接部分,

其中至少部分该第三数据线在该引线部分和将被连接到该数据驱动电路的该连接部分之间通过。

11. 如权利要求 10 所述的薄膜晶体管阵列板，

其中，当一个像素列组包括顺序布置的所述第一至第三像素列时，偶数像素列组的所述第三数据线在该引线部分和将被连接到该数据驱动电路的该连接部分之间通过，且奇数像素列组的所述第三数据线不通过该引线部分和该连接部分之间。

12. 如权利要求 7 所述的薄膜晶体管阵列板，

其中所述像素电极的每个包括沿不同方向倾斜的两个平行四边形电极片，且该两个电极片的斜边彼此相交从而形成一对曲边。

13. 一种薄膜晶体管阵列板，包括：

以矩阵布置的多对子像素电极，一对子像素用作一个像素电极；

连接到该子像素电极的多个开关元件；

第一和第二栅极线，连接到该开关元件，沿行方向延伸，且对应于一行像素电极；

对应于一行像素电极的第一和第二存储电极线；以及

第一至第三数据线，连接到该开关元件，沿列方向延伸，且对应于三个像素列，

其中，当所述三个像素列被称为第一至第三像素列时，在该第一像素列中的所述子像素电极经某些开关元件连接到该第一数据线，

在该第二像素列中的所述子像素电极经另一些开关元件连接到该第二数据线，

在该第三像素列中的所述子像素电极经再一些开关元件连接到该第三数据线，

该第一和第二数据线彼此电连接，

在该第一和第三像素列中的所述子像素电极经某些开关元件连接到该第一栅极线，且

在该第二像素列中的所述子像素电极经另一些开关元件连接到该第二栅极线。

14. 如权利要求 13 所述的薄膜晶体管阵列板，

其中，当用作一像素电极的一对子像素电极被称为第一和第二子像素电极时，该第一子像素电极与所述第一存储电极线交迭，且该第二子像素电极与该第二存储电极线交迭。

15. 如权利要求 14 所述的薄膜晶体管阵列板，其中不同的电压施加到该第一存储电极线 and 该第二存储电极线。

16. 如权利要求 14 所述的薄膜晶体管阵列板，还包括与所述第二子像素电极交迭的第三存储电极线。

17. 如权利要求 16 所述的薄膜晶体管阵列板，

其中对该第一存储电极线 and 该第二存储电极线施加不同的电压，且

对该第二存储电极线 and 该第三存储电极线施加相同的电压。

18. 如权利要求 17 所述的薄膜晶体管阵列板，其中所述开关元件的每个包括：

栅电极，连接到该第一栅极线 or 该第二栅极线；

源电极，连接到该第一至第三数据线中的任一个；以及

漏电极，在所述栅电极之上与所述源电极相对且具有扩展部分，

其中该第一和第三像素列中该漏电极的所述扩展部分与该第一存储电极线交迭，且

所述第二像素列中该漏电极的所述扩展部分与该第二存储电极线交迭。

19. 如权利要求 13 所述的薄膜晶体管阵列板，

其中所述子像素电极的每个包括沿不同方向倾斜的两个平行四边形电极片,且所述两个电极片的斜边彼此交叉从而形成一对曲边。

薄膜晶体管阵列板和液晶显示器

技术领域

[0001] 本发明涉及具有薄膜晶体管阵列板的液晶显示器。

背景技术

[0002] 液晶显示器包括两个显示板,一个具有像素电极,另一个具有公共电极,具有介电各向异性的液晶层在他们之间。像素电极以矩阵布置,并连接到开关元件例如薄膜晶体管(TFT)。数据电压依次施加到像素电极的行。公共电极被提供以公共电压。像素电极、公共电极和各向异性介电液晶层形成液晶电容器结构。液晶电容器和与其连接的开关元件构成像素单元。

[0003] 当电压施加到液晶显示器的两个电极时,在液晶层中产生电场。电场强度控制光穿过液晶层的透射率,由此显示所需图像。为了防止显示的衰减,每一帧、每一列或每个像素周期地反转数据电压相对于公共电压的极性。

[0004] 液晶显示器包括传递栅极信号以控制开关元件的栅极线、传递将被施加到电场生成电极的数据电压的数据线、产生栅极信号的栅极驱动器、以及产生数据电压的数据驱动器。一般地,栅极驱动器和数据驱动器由多个驱动器 IC 芯片构成。

发明内容

[0005] 为了减少驱动器 IC 芯片的数量并由此降低制造成本,减少数据驱动器 IC 芯片的数量尤为重要,因为数据驱动器 IC 芯片比栅极驱动电路芯片更贵。

[0006] 根据本发明一实施例,对每三个像素列设置两条数据线,由此减少为数据线供给信号的数据驱动芯片的数量。虽然栅极线的数量翻倍,但因为栅极驱动芯片不贵,所以栅极驱动芯片数量的增加对制造成本没有显著影响。另外,由于为栅极线供给驱动信号的栅极驱动电路执行非常简单的功能,所以栅极驱动电路可以通过利用薄膜晶体管形成工艺集成到衬底中,由此减少栅极驱动芯片的数量。

[0007] 薄膜晶体管阵列板包括对应于一行像素电极在行方向上延伸连接到开关元件的第一和第二栅极线、以及对应于三个像素列在列方向上延伸连接到开关元件的第一和第二数据线。关于三个像素列的组,第一和第二像素列中的像素电极经开关元件连接到第一数据线,第三像素列中的像素电极经开关元件连接到第二数据线。

[0008] 薄膜晶体管阵列板包括向第一和第二栅极线供给栅极导通或栅极截止电压的栅极驱动电路。此外,向第一栅极线施加栅极导通电压时,栅极驱动电路向第二栅极线施加栅极导通电压。

[0009] 薄膜晶体管阵列板还包括数据驱动电路,其向第一和第二数据线提供图像信号,并且数据驱动电路可提供两点反转驱动信号。

[0010] 薄膜晶体管阵列板还可包括与第一至第三像素列对应的冗余数据线。冗余数据线可以连接到第一数据线,可以对冗余数据线施加预定电压。

[0011] 薄膜晶体管阵列板还可包括:连接部分,其每个把第一数据线连接到第二数据线;

引线部分,其把第一和第二数据线连接到数据驱动电路;以及连接元件,其把引线部分连接到连接部分。至少部分第三数据线可以在引线部分与将被连接到数据驱动电路的连接部分之间通过。

[0012] 当一个像素列组包括顺序布置的第一至第三像素列时,偶数像素列组的第三数据线可以在引线部分与将被连接到数据驱动电路的连接部分之间通过,并且奇数像素列组的第三数据线可以不在引线部分与连接部分之间通过。

[0013] 每个像素电极可包括沿不同方向倾斜的两个平行四边形电极片,两个电极片的斜边可以彼此相交,从而形成一对曲边。

[0014] 当用作一个像素电极的该对子像素电极被称作第一和第二子像素电极时,第一子像素电极可以与第一存储电极线交迭,第二子像素电极可以与第二存储电极线交迭。不同的电压可以施加到第一存储电极线和第二存储电极线。

[0015] 该薄膜晶体管阵列板还可包括与第二子像素电极交迭的第三存储电极线。此外,不同的电压可以施加到第一存储电极线和第二存储电极线,相同的电压可以施加到第二存储电极线和第三存储电极线。

[0016] 每个开关元件可包括连接到第一栅极线或第二栅极线的栅电极、连接到第一至第三数据线的任一个的源电极、以及在栅电极上与源电极相对且具有扩展部分的漏电极。在第一和第三像素列中漏电极的扩展部分可以与第一存储电极线交迭,在第二像素列中漏电极的扩展部分可以与第二存储电极线交迭。每个子像素电极可包括沿不同方向倾斜的两个平行四边形电极片,两个电极片的斜边可以彼此相交,从而形成一对曲边。

附图说明

[0017] 通过下面结合附图的详细描述,本发明的前述目的和特点将变得更加清晰,其中:

[0018] 图 1 是示出根据本发明一示例性实施例的液晶显示器的框图;

[0019] 图 2 是根据本发明一示例性实施例的液晶显示器的一个像素的等效电路图;

[0020] 图 3 是示出根据本发明一示例性实施例的薄膜晶体管阵列板的电路图;

[0021] 图 4 是根据本发明一示例性实施例的薄膜晶体管阵列板的布局图;

[0022] 图 5 是薄膜晶体管阵列板沿图 4 的 V-V' 线截取的剖视图;

[0023] 图 6 是薄膜晶体管阵列板沿图 4 的 VI-VI' 线截取的剖视图;

[0024] 图 7A 和 7B 是时间图 (timing chart),示出根据本发明一示例性实施例的液晶显示器的驱动电压;

[0025] 图 8-12 以及图 14 和 15 是布局图,示出根据本发明另一示例性实施例的薄膜晶体管阵列板的布局图;

[0026] 图 13 是沿图 12 的 XIII-XIII 线截取的剖视图。

具体实施方式

[0027] 下面将结合附图对本发明作全面的描述,附图中示出了本发明的优选实施例。为了清楚起见,附图中夸大了层、膜、板、区的厚度。整个说明书中用相似的附图标记表示相似的元件。应理解,当诸如层、膜、区或衬底的元件被称为在另一元件“上”时,它可以直接位于

另一元件上,或者也可以存在中间元件。相反,当一个元件被称为“直接”在另一元件“上”时,则不存在中间元件。

[0028] 如图 1 所示,根据本发明一示例性实施例的液晶显示器包括液晶板组件 300、连接到液晶板组件 300 的栅极驱动器 400 和数据驱动器 500、连接到数据驱动器 500 的灰度电压发生器 800、以及用于控制上述部件的信号控制器 600。在等效电路图中,液晶板组件 300 连接到多个显示信号线 $G_{1-1}-G_{n-2}$ 以及 $D_{1-1}-D_{m-2}$,并且包括基本以矩阵布置的多个像素。

[0029] 显示信号线 $G_{1-1}-G_{n-2}$ 以及 $D_{1-1}-D_{m-2}$ 包括用于传递栅极信号(称作“扫描信号”)的多个栅极线 $G_{1-1}-G_{n-2}$ 和用于传递数据信号的多个数据线 $D_{1-1}-D_{m-2}$ 。栅极线 $G_{1-1}-G_{n-2}$ 基本在行方向上延伸,从而彼此平行,数据线 $D_{1-1}-D_{m-2}$ 基本在列方向上延伸,从而彼此平行。

[0030] 每个像素包括连接到显示信号线 $G_{1-1}-G_{n-2}$ 以及 $D_{1-1}-D_{m-2}$ 之一的开关元件 Q、连接到开关元件 Q 的液晶电容器 C_{LC} 、以及存储电容器 C_{ST} 。如果需要的话,可以省去存储电容器 C_{ST} 。

[0031] 开关元件 Q 是三端子元件,例如薄膜晶体管,且设置在下板 100 上。开关元件 Q 的控制端子连接到栅极线 $G_{1-1}-G_{n-2}$,其输入端子连接到数据线 $D_{1-1}-D_{m-2}$,其输出端子连接到液晶电容器 C_{LC} 和存储电容器 C_{ST} 。

[0032] 液晶电容器 C_{LC} 有两个端子,下板 100 的像素电极 191 和上板 200 的公共电极 270,液晶层 3 在两电极之间作为电介质材料。像素电极 191 连接到开关元件 Q,公共电极 270 形成在上板 200 的整个表面上并被提供以公共电压 V_{com} 。与图 2 所示的结构不同,公共电极 270 可设置在下板 100 上,在该情况下,两电极 191 和 270 中的至少一个可形成为线形或条形。

[0033] 充当液晶电容器 C_{LC} 的辅助元件的存储电容器 C_{ST} 包括设置在下板 100 上的信号线(未示出)、像素电极 191 和置于其间的绝缘体。对信号线施加预定电压例如公共电压 V_{com} 。供选地,存储电容器 C_{ST} 可以是像素电极 191、绝缘体和形成在绝缘体上的前栅极线的叠置结构。

[0034] 如图 3 所示,每对栅极线 G_{1-n} 和 $G_{1-(n+1)}$ (n 是自然数)依次设置在像素 191 的对应行之下。每条数据线 D_{1-1} 、 D_{1-2} 、 D_{2-1} 、 D_{2-2} 等设置在相邻的两列像素之间。假设三个像素列属于一个像素列组,则数据线的对 D_{1-1} 和 D_{1-2} 、 D_{2-1} 和 D_{2-2} 等被包括在一个像素列组中,从而没有数据线设置在一个像素列组和另一像素列组之间。像素电极 191、栅极线 $G_{1-1}-G_{n-2}$ 和数据线 $D_{1-1}-D_{m-2}$ 将在后面详细描述。

[0035] 多对栅极线 $G_{1-1}-G_{n-2}$ 设置在像素电极 191a、191b 和 191c 下面,并且经布置在像素电极 191a、191b 和 191c 下面的开关元件 Qa、Qb 和 Qc 连接到像素电极 191a、191b 和 191c。在此结构中,当一对栅极线 G_{n-1} 和 G_{n-2} 的上栅极线称作第一栅极线 G_{n-1} ,其下栅极线称作第二栅极线 G_{n-2} 时,第一栅极线 G_{n-1} 连接到像素列组的第一像素列中的像素电极 191b,第二栅极线 G_{n-2} 连接到像素列组的第一和第三像素列中的第一和第三像素电极 191a 和 191c。

[0036] 设置在像素电极 191a、191b 和 191c 之间的多对数据线 $D_{1-1}-D_{m-2}$ 经布置在像素电极 191a、191b 和 191c 下面的开关元件 Qa、Qb 和 Qc 连接到对应的像素电极 191a、191b 和 191c。在此结构中,当一像素列组中两条数据线的左数据线称作第一数据线 D_{m-1} 且其右数据线称作第二数据线 D_{m-2} 时,第一数据线 D_{m-1} 连接到设置在第一数据线 D_{m-1} 两侧的第一和第二像素列中的像素电极 191a 和 191b,并且第二数据线 D_{m-2} 连接到设置在第二数据线 D_{m-2} 右侧的第三像素列中的像素电极 191c。

[0037] 即,第一像素列中的开关元件 Qa 连接到第二栅极线 G_{n-2} 、第一数据线 D_{m-1} 以及第一像素列中的像素电极 191a,第二像素列中的开关元件 Qb 连接到第一栅极线 G_{n-1} 、第一数据线 D_{m-1} 以及第二像素列中的像素电极 191b。此外,第三像素列中的开关元件 Qc 连接到第二栅极线 G_{n-2} 、第二数据线 D_{m-2} 和第三像素列中的像素电极 191c。

[0038] 为了进行彩色显示,每个像素具体显示一种基色(空间划分),或者像素随时间交替显示基色(时间划分),这使基色被空间或时间合成,由此显示所需颜色。作为空间划分的示例,图 2 示出每个像素在与像素电极 191 对应的区域中具有用于显示红、绿和蓝之一的滤色片 230。与图 2 所示的结构不同,滤色片 230 可设置在下板 100 的像素电极 191 之上或之下。

[0039] 在图 3 中,优选一像素列组的第一至第三像素列分别为红、绿和蓝像素列。供选地,第一至第三像素列可以由红、绿和蓝像素列的不同组合形成。

[0040] 用于使光偏振的偏振片(未示出)安装到液晶板组件 300 的两个显示板 100 和 200 中至少一个的外表面。

[0041] 接下来将参考图 4-6 详细描述液晶板组件 300 的薄膜晶体管阵列板 100 的结构。图 4 是布局图,示出根据本发明一示例性实施例的薄膜晶体管阵列板,图 5 是薄膜晶体管阵列板的沿图 4 的 V-V' 线截取的剖视图,图 6 是薄膜晶体管阵列板的沿图 4 的 VI-VI' 线截取的剖视图。

[0042] 如上所述,根据本发明一示例性实施例的液晶显示器包括薄膜晶体管阵列板 100、与薄膜晶体管阵列板 100 相对的公共电极板 200、以及置于薄膜晶体管阵列板 100 和公共电极板 200 之间的液晶层 3。

[0043] 接下来将详细描述薄膜晶体管阵列板 100。多对栅极线 121 和 122 以及防漏光元件 126 形成在由例如透明玻璃制成的绝缘基板 110 上。

[0044] 成对的栅极线 121 和 122 在水平方向上延伸。每条栅极线 121 的部分向上突出,从而形成栅电极 124b,并且每条栅极线 122 的部分向下突出,从而形成栅电极 124a 和 124c。栅极线 121 连接到集成于基板 110 中的栅极驱动电路(未示出),栅极线 122 的一端 129 具有较大的宽度,用于与其它层或外部器件的连接。

[0045] 在彼此相邻的两对栅极线 121 和 122 之间沿垂直方向纵向地形成防漏光元件 126,且在每个像素的像素区的两侧设置两个防漏光元件 126。

[0046] 栅极线 121 和 122 以及防漏光元件 126 可以由例如诸如铝 (Al) 或铝合金的铝基金属材料、诸如银 (Ag) 或银合金的银基金属材料、诸如铜 (Cu) 或铜合金的铜基金属材料、诸如钼 (Mo) 或钼合金的钼基金属材料、铬 (Cr)、钽 (Ta) 或钛 (Ti) 形成。供选地,栅极线 121 和 122 以及防漏光元件 126 可包括具有不同物理属性的两层膜,即下层(未示出)和上层(未示出)。上层可以由低电阻金属材料例如,诸如铝 (Al) 或铝合金的铝基金属材料、诸如银 (Ag) 或银合金的银基金属材料、诸如铜 (Cu) 或铜合金的铜基金属材料形成,以减小栅极线 121 和 122 以及防漏光元件 126 中的信号延迟或电压降。相反,下层可以由与形成上层的材料不同的材料形成,即可以用尤其与 IT0(氧化铟锡)和 IZO(氧化铟锌)具有良好接触特性的材料例如铬、钼 (Mo)、钼合金、钽 (Ta) 或钛 (Ti) 形成。铬/铝-钕 (Nd) 合金可以作为下层与上层结合的示例。

[0047] 栅极线 121 和 122 以及防漏光元件 126 的侧表面相对于基板 110 的表面倾斜,优

选倾斜 30° -80° 角。

[0048] 由例如氮化硅 (SiN_x) 形成的栅极绝缘层 140 形成在栅极线 121 和 122 以及防漏光元件 126 上。

[0049] 由氢化非晶硅 (缩写为 a-Si) 或多晶硅形成的多个半导体岛 154a、154b 和 154c 例如形成在栅极绝缘层 140 上。半导体岛 154a、154b 和 154c 分别位于栅电极 124a、124b 和 124c 之上,两半导体 154a 和 154b 之间的连接部分覆盖栅极线 121 和 122。半导体 154c 延伸从而覆盖两条栅极线 121 和 122。

[0050] 在半导体 154a、154b 和 154c 上形成由含硅化物或高浓度掺杂的 n 型杂质的 n 型氢化非晶硅形成的多个欧姆接触岛 163a、163b、165a 和 165b。在半导体岛 154a 和 154b 上分别设置一对欧姆接触 163a 和 165a 以及一对欧姆接触 163b 和 165b。在半导体 154c 上形成一对岛状欧姆接触 (未示出)。

[0051] 半导体 154a、154b 和 154c 以及欧姆接触 163a、163b、165a 和 165b 的侧表面也相对于基板 110 的表面倾斜,优选以约 30° -80° 角倾斜。

[0052] 在欧姆接触 163a、163b、165a 和 165b 以及栅极绝缘层 140 上分别形成多对数据线 171 和 172 以及多个漏电极 175a、175b 和 175c。

[0053] 数据线 171 和 172 在垂直方向上延伸从而交叉栅极线 121 和 122 并传递数据电压。每条数据线 171 和 172 的端部 179 具有较大宽度,用于到其他层或外部器件的连接。从数据线 171 和 172 沿右和左方向延伸到漏电极 175a、175b 和 175c 的多个钩形分支分别形成源电极 173a、173b 和 173c。漏电极 175a、175b 和 175c 每个具有一个具有线形的末端和一个具有较大宽度用于连接到其他层的末端。数据线 171 具有沿右和左方向延伸的源电极 173a 和 173b,源电极 173a 和 173b 分别设置在半导体 154a 和 154b 上。数据线 172 具有沿右方向延伸的源电极 173c,源电极 173c 设置在半导体 154c 上。

[0054] 栅电极 124a、124b 和 124c,源电极 173a、173b 和 173c,以及漏电极 175a、175b 和 175c 与半导体岛 154a、154b 和 154c 一起形成薄膜晶体管 (TFT)。薄膜晶体管的沟道形成在源电极 173a、173b 和 173c 与漏电极 175a、175b 和 175c 之间在半导体岛 154a、154b 和 154c 中。

[0055] 数据线 171 和 172 以及漏电极 175a、175b 和 175c 可以由难熔金属材料例如钼基金属材料、铬、钽或钛形成,或者他们可具有多层结构,上层具有低电阻,下层具有良好的接触特性。

[0056] 数据线 171 和 172 以及漏电极 175a、175b 和 175c 的侧表面也倾斜约 30° -80° ,类似于栅极线 121 和 122。

[0057] 欧姆接触 163a、163b、165a 和 165b 仅设置在布置于欧姆接触之下的半导体 154a、154b 和 154c 与布置于欧姆接触之上的数据线 171 以及漏电极 175a、175b 和 175c 之间,用于降低接触电阻。

[0058] 如上所述,半导体岛 154a、154b 和 154c 覆盖栅极线 121 和 122 与数据线 171 和 172 或漏电极 175a、175b 和 175c 之间的边界,从而防止数据线 171 和 172 中断。

[0059] 在数据线 171 和 172,漏电极 175a、175b 和 175c,以及半导体 154a、154b 和 154c 的暴露部分上形成钝化层 180。钝化层 180 由具有良好的平坦化特性和光敏性的有机材料,具有小于 4.0 的低介电常数的绝缘材料例如通过等离子增强化学气相沉积 (PECVD) 形成的

a-Si : C : O 或 a-Si : O : F, 或无机材料例如氮化硅形成。供选地, 钝化层 180 可以形成成为有机材料膜和氮化硅膜的两层结构。

[0060] 在钝化层 180 中形成多个接触孔 185a、185b、185c 和 182, 使得数据线 171 和 172 的端部 179 以及漏电极 175a、175b 和 175c 被暴露, 并且还在钝化层 180 中形成多个接触孔 181 以暴露栅极线 122 的端部 129 和栅绝缘层 140。

[0061] 在钝化层 180 上形成例如由 ITO 或 IZO 形成的多个像素电极 191a、191b 和 191c 以及多个接触辅助件 81 和 82。

[0062] 像素电极 191a、191b 和 191c 经接触孔 185a、185b 和 185c 物理连接且电连接到漏电极 175a、175b 和 175c, 分别从漏电极 175a、175b 和 175c 提供数据电压。被提供以数据电压的像素电极 191a、191b 和 191c 以及被提供以公共电压 V_{com} 的显示板 200 的公共电极 270 产生电场, 这导致像素电极 191a、191b 和 191c 与公共电极 270 之间的液晶层 3 的液晶分子重新排列。

[0063] 像素电极 191a、191b 或 191c 和公共电极 270 形成液晶电容器 C_{LC} , 液晶电容器 C_{LC} 在薄膜晶体管截止后维持施加到其上的电压。为了增强电压维持性能, 存储电容器 C_{ST} 并连接到液晶电容器 C_{LC} 。存储电容器 C_{ST} 通过使像素电极 190 和与像素电极 190 相邻的前栅极线 122 交迭来形成。

[0064] 像素电极 191a、191b 和 191c 分别覆盖漏电极 175a、175b 和 175c 的扩展端部, 防漏光元件 126 布置地与每个像素电极 191a、191b 和 191c 的左右侧交迭。防漏光元件 126 防止光由于数据线 171 和 172 的电压而从数据线 171 和 172 泄漏。

[0065] 接触孔 81 和 82 分别经接触孔 181 和 182 连接到栅极线 122 的端部 129 和数据线 171 和 172 的端部 179。接触辅助件 81 和 82 用于确保外部器件与栅极线 122 以及数据线 171 和 172 的端部 129 和 179 之间的连接, 并保护连接部分。当用于向栅极线 122 提供扫描信号的栅极驱动器 (未示出) 集成到显示板中时, 接触辅助件 81 可以充当用于将栅极驱动器连接到栅极线 122 的端部 129 的元件。如果需要, 接触辅助件 81 可以被省去。

[0066] 根据本发明另一示例性实施例, 像素电极 191a、191b 和 191c 由透明导电聚合物形成。在反射型液晶显示器中, 像素电极可以由不透明反射金属形成。在此情况下, 接触辅助件 81 和 82 可由与形成像素电极 191a、191b 和 191c 的材料特别地 ITO 和 IZO 不同的材料形成。

[0067] 在像素电极 191a、191b 和 191c 上形成配向层 (未示出) 以配向液晶层 3。

[0068] 在具有上述结构的薄膜晶体管阵列板中, 对每三像素列形成两条数据线 171 和 172。因此, 可以将数据线的数量减少到常规薄膜晶体管阵列板中的三分之二。因此, 用于向数据线提供信号的数据驱动芯片的数量也减少, 产生较低的制造成本。相反, 栅极线的数量翻倍, 导致栅极驱动芯片的数量翻倍。但是, 因为栅极驱动芯片不贵, 所以这对制成成本没有显著影响。另外, 因为用于向栅极线 121 供给驱动信号的栅极驱动电路执行非常简单的功能, 所以可以利用薄膜晶体管形成工艺把栅极驱动电路集成到基板 110 中, 这能够防止栅极驱动芯片数量的增加。

[0069] 在具有上述结构的薄膜晶体管阵列板中, 当属于一个像素列组的三像素列布置成对应于红绿蓝像素列时, 红绿蓝像素在整个显示区具有相同的形状。因此, 可以确保显示的均匀性并提高显示质量。接下来, 将参考图 1-3 描述具有上述薄膜晶体管阵列板的液晶显

示器的驱动。

[0070] 参见图 1, 灰度电压发生器 800 产生与像素的透射率有关的两对灰度电压。其中一对灰度电压相对于公共电压 V_{com} 具有正值, 另一对灰度电压相对于公共电压 V_{com} 具有负值。

[0071] 栅极驱动器 400 连接到液晶板组件 300 的栅极线 $G_{1-1}-G_{n-2}$, 并且施加栅极信号给栅极线 $G_{1-1}-G_{n-2}$, 每个栅极信号包括外界提供的栅极导通电压 V_{on} 和栅极截止电压 V_{off} 的组合。栅极驱动器 400 由多个 IC 构成。

[0072] 数据驱动器 500 连接到液晶板组件 300 的数据线 $D_{1-1}-D_{m-2}$, 选择灰度电压发生器 800 产生的灰度电压, 并将选取的灰度电压作为数据信号施加给像素。

[0073] 栅极驱动 IC 或数据驱动 IC 的每个可以以芯片的形式安装在 FPC 基板上, FPC 基板可以安置在液晶板组件 300 上。供选地, 他们可以直接安装在玻璃基板上, 不使用 FPC 基板 (玻璃上芯片 (COG) 安装法), 或者执行与这些 IC 相同功能的电路可以与像素的薄膜晶体管一起直接形成在液晶板组件 300 中。信号控制器 600 控制栅极驱动器 400 和数据驱动器 500。

[0074] 接下来将详细描述液晶显示器的操作。信号控制器 600 从外部图形控制器 (未示出) 接收输入图像信号 R、G 和 B 以及输入控制信号, 用于控制输入图像信号 R、G 和 B 的显示。例如, 下列信号的任一种可以用作输入控制信号: 垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、主时钟信号 $MCLK$ 、以及数据使能信号 (enable signal) DE 。信号控制器 600 根据输入控制信号将输入图像信号 R、G 和 B 处理为适于液晶板组件 300 的工作条件从而产生例如栅极控制信号 $CONT1$ 和数据控制信号 $CONT2$ 。然后, 信号控制器 600 将栅极控制信号 $CONT1$ 传递给栅极驱动器 400, 并将数据控制信号 $CONT2$ 和处理过的图像信号 DAT 传递给数据驱动器 500。图像信号 R、G 和 B 的处理包括根据液晶板组件 300 的像素分布重新布置图像信号 R、G 和 B。

[0075] 栅极控制信号 $CONT1$ 包括指示栅极导通电压 V_{on} 开始输出的扫描起始信号 STV 和用于控制栅极导通电压 V_{on} 的输出时间和输出电压的至少一个时钟信号。

[0076] 数据控制信号 $CONT2$ 包括指示开始传递图像信号 DAT 的水平同步起始信号 STH 、允许向数据线 $D_{1-1}-D_{m-2}$ 施加数据电压的加载信号 TP 、用于反转数据电压相对于公共电压 V_{com} 的极性 (以下将“数据电压相对于公共电压的极性”简称为“数据电压的极性”) 的反转信号 RVS 、以及数据时钟信号 $HCLK$ 。

[0077] 数据驱动器 500 响应于从信号控制器 600 传递的数据控制信号 $CONT2$ 顺序接收用于一行像素的图像数据 DAT 的组, 从灰度电压发生器 800 产生的灰度电压中选择对应于每个图像数据 DAT 的灰度电压, 把图像数据 DAT 转变成对应的数据电压, 以及将数据电压施加给数据线 $D_{1-1}-D_{m-2}$ 。

[0078] 栅极驱动器 400 根据来自信号控制器 600 的栅极控制信号 $CONT1$ 将栅极导通电压 V_{on} 顺序施加到栅极线 G_{1-1} 至 G_{n-2} , 从而导通连接到栅极线 $G_{1-1}-G_{n-2}$ 的开关元件 Q 。然后, 施加到数据线 D_{1-1} 至 D_{m-2} 的数据电压通过处于导通状态的开关元件 Q 应用到对应的像素。

[0079] 施加到像素的数据电压与公共电压 V_{com} 之间的差是液晶电容器 C_{LC} 的充电电压, 即像素电压。液晶分子的排列方向依赖于像素电压的水平, 这导致通过液晶层 3 的光的偏振发生改变。偏振的变化导致安装在显示板 100 和 200 上的偏振片 (未示出) 对光的透射

率的变化。

[0080] 在此结构中,用于像素列组的第一和第二像素列的图像数据经第一数据线 D_{m-1} 传递,用于像素列组的第三像素列的图像数据经第二数据线 D_{m-2} 传递。经第一数据线 D_{m-1} 传递的图像数据通过经第一和第二栅极线 G_{1-1} – G_{n-2} 传递的扫描信号被选取,且然后被提供给第一列或第二列中的像素。经第二数据线 D_{m-2} 传递的图像数据通过经第二栅极线 G_{n-2} 传递的扫描信号被选取,且然后被提供给第三列的像素。

[0081] 栅极线 G_{n-1} 和 G_{n-2} 的数量是与根据本发明示例性实施例的薄膜晶体管阵列板具有相同分辨率的常规薄膜晶体管阵列板的两倍。因此,给予每条栅极线的导通时间与栅极线数量的增加成比例地缩短。随着栅极导通时间变短,对像素电极充电所需的时间也缩短。但是,当栅极导通时间过短时,像素电极可能达不到目标电压。为了解决此问题,可以进行交迭驱动,如图 7A 和 7B 所示。

[0082] 图 7A 和 7B 是时间图,示出根据本发明示例性实施例的液晶显示器的驱动电压。在图 7A 中,栅极导通电压同时施加给第一栅极线 G_{n-1} 和第二栅极线 G_{n-2} ,以对第一和第三像素列预充电,同时第二像素列也被充电。即使在施加给第一栅极线 G_{n-1} 的栅极导通电压变为栅极截止电压后,栅极导通电压施加到第二栅极线 G_{n-2} 预定的时间,使得第一和第三像素列被充电。即,栅极导通电压被连续施加给第二栅极线 G_{n-2} 第一栅极线 G_{n-1} 的导通时间以及栅极导通时间之后的预定时间。

[0083] 在图 7B 中,在施加给第一栅极线 G_{n-1} 的栅极导通电压变为栅极截止电压之前,栅极导通电压施加给第一栅极线 G_{n-1} ,且栅极导通电压还施加给第二栅极线 G_{n-2} ,从而对第一和第三像素列预充电,同时第二像素列也被充电。即使在施加给第一栅极线 G_{n-1} 的栅极导通电压变为栅极截止电压之后,栅极导通电压施加到第二栅极线 G_{n-2} 预定的时间,使得第一和第三像素列被充电。即,栅极导通电压被连续施加到第二栅极线 G_{n-2} 第一栅极线 G_{n-1} 的导通时间以及栅极导通时间之后的预定时间。

[0084] 此交迭驱动对于两点反转驱动、即按照 +、+、-、-、+、+、-、- 顺序的反转驱动是有用的。在两点反转驱动中,可以用具有相同极性的电压对第一和第三像素列进行预充电和主充电。

[0085] 接下来将参考图 8-14 详细描述根据本发明另一示例性实施例的薄膜晶体管阵列板。图 8 是布局图,示出根据本发明另一示例性实施例的薄膜晶体管阵列板。

[0086] 图 8 所示的像素布置类似于图 4 所示的像素布置。即,在一行像素电极 191a、191b 和 191c 之下顺序布置一对栅极线 121 和 122,并且对每三个像素列设置两条数据线 171 和 172。

[0087] 本示例性实施例与图 4 所示的示例性实施例的不同之处在于为第三像素列供给图像信号的数据线 172 设置在第三像素列的右侧。本示例性实施例的特征在于像素区域中在左侧的防漏光元件 128 连接到栅极线 122。当前栅极线用于形成存储电容器时,防漏光元件 128 和栅极线 122 之间的连接使得能够增大存储电容器的电容。因此,在本示例性实施例中,栅极线 122 的宽度与图 4 所示的示例性实施例相比可以被窄化,这能够提高开口率(apertureratio)。半导体具有与数据线 171 和 172 以及漏电极 175a、175b 和 175c 基本相同的平面图案,并且在源电极 173a、173b 和 173c 以及漏电极 175a、175b 和 175c 之间具有暴露部分 154a、154b 和 154c。光阻挡元件 127 形成在数据线 171 和 172 之下。光阻挡元件

127 防止当背光发射的光入射到形成于数据线 171 和 172 之下的半导体上时产生的光电子引起的光泄漏。

[0088] 与图 4 所示的示例性实施例类似,图 8 所示的本实施例可以减少数据驱动芯片的数量,并因而降低制造成本。此外,根据本实施例,可以在整个显示区以相同结构形成红绿蓝像素并因而确保显示的均匀性。

[0089] 图 9 是布局图,示出根据本发明再一示例性实施例的薄膜晶体管阵列板。下面将描述图 9 所示的薄膜晶体管阵列板与图 4 所示的薄膜晶体管阵列板之间的差异。

[0090] 存储电极线 131 在形成栅极线 121 和 122 的相同层中形成为与栅极线 121 和 122 分隔开。存储电极线 131 具有向上和向下突出的多个存储电极 133a。

[0091] 用于对第一像素列,即属于一个像素列组的三个像素列中的右像素列供给图像信号的数据线 172 设置在第一像素列的左侧,用于向第二像素列和第三像素列提供图像信号的数据线 171 设置在第二像素列和第三像素列之间。除了数据线 171 和 172 之外,在第一像素列和第二像素列之间形成不连接到薄膜晶体管的冗余数据线 174。冗余数据线 174 在显示区以外连接到数据线 171。漏电极 175a 包括具有较大宽度的扩展部分 177a,扩展部分 177a 设置成交迭存储电极 133a。提供扩展部分以增大存储电容器的电容。

[0092] 在数据线 171、172 和 174 以及漏电极 175a 上形成预定厚度的由有机绝缘材料制成的钝化层(未示出)。像素电极 191a、191b 和 191c 以较大宽度形成在钝化层上,从而交迭数据线 171、172 和 174 以及栅极线 122。由有机绝缘材料形成的较大厚度的钝化层能够减少数据线 171、172 和 174 与像素电极 191a、191b 和 191c 之间的耦合。因此,像素电极 191a、191b 和 191c 可以形成为部分覆盖数据线 171、172 和 174,这能够确保高开口率。

[0093] 冗余数据线 174 可以防止光从两相邻像素列之间的边界处泄漏。

[0094] 在第三像素列中,因为栅极线 121 交迭下一行的像素电极,所以能够防止由于像素电极与当前行中的栅极线的交迭导致的寄生电容的增加,该寄生电容会造成闪烁(flicker)。

[0095] 图 10 是布局图,示出根据本发明又一示例性实施例的薄膜晶体管阵列板。

[0096] 与图 9 所示的示例性实施例相比,图 10 所示的示例性实施例的特征在于公共电极电压 V_{com} 施加到冗余数据线 174。因为两条栅极线 121 和 122 设置在下一行的像素电极 191a、191b 和 191c 之下,所以可以防止由于像素电极 191a、191b 和 191c 与当前行中的栅极线 121 和 122 的交迭导致的寄生电容的增加,该寄生电容会造成闪烁。

[0097] 图 11 是布局图,示出根据本发明又一示例性实施例的薄膜晶体管阵列板。

[0098] 与图 9 所示的示例性实施例相比,图 11 所示的示例性实施例的特征在于薄膜晶体管形成为连接到冗余数据线 174,而不是在数据线 171 的左侧形成薄膜晶体管,且冗余数据线 174 经薄膜晶体管连接到设置在冗余数据线 174 右侧的像素电极 191a。但是,因为冗余数据线 174 在显示区外连接到数据线 171,图 11 所示的示例性实施例采用与图 9 所示的示例性实施例相同的驱动方法。即,将被提供给第一像素列和第二像素列的图像信号在导通信号被提供给栅极线 122 时施加到数据线 171、172 和 174,将被提供给第三像素列的图像信号在导通信号被提供给栅极线 121 时施加到数据线 171 和 174。根据图 11 所示的示例性实施例的薄膜晶体管阵列板可以执行图 7A 或 7B 所示的交迭驱动。

[0099] 图 12 是根据本发明又一示例性实施例的液晶显示器的布局图,图 13 是沿图 12 的

XIII-XIII 线截取的剖视图。

[0100] 图 12 和 13 所示的液晶显示器是垂直配向型液晶显示器的一个示例,其中液晶分子的主轴垂直于显示板 100 和 200 的表面配向,电介质突出物或切除部分用作当施加电场时控制液晶分子的配向的配向控制装置。

[0101] 参见图 12 和 13,根据本发明一示例性实施例的液晶板组件包括薄膜晶体管阵列板 100、公共电极板 200、以及置于显示板 100 和 200 之间的液晶层 3。

[0102] 首先将详细描述薄膜晶体管阵列板 100。多对栅极线 121 和 122 以及多条存储电极线 131 形成在由例如透明玻璃形成的绝缘基板 110 上。

[0103] 栅极线 121 和 122 传递栅极信号,并且基本沿水平方向延伸。在像素之上和之下分别形成一对栅极线 121 和 122。每条栅极线 121 包括向下凸出的多个栅电极 124a 和 124c,每条栅极线 122 包括向上凸出的多个栅电极 124c。

[0104] 存储电极线 131 被提供以预定电压,并基本平行于栅极线 121 和 122 延伸,从而彼此相邻。每条存储电极线 131 包括向上和向下凸出的存储电极 133a、133b 和 133c。存储电极线 131 的形状和布置可以改变。

[0105] 栅极线 121 和 122 以及存储电极线 131 可以由诸如铝 (Al) 或铝合金的铝基金属材料、诸如银 (Ag) 或银合金的银基金属材料、诸如铜 (Cu) 或铜合金的铜基金属材料、诸如钼 (Mo) 或钼合金的钼基金属材料、铬 (Cr)、钽 (Ta) 或钛 (Ti) 形成。供选地,栅极线 121 和 122 以及存储电极线 131 可包括具有不同物理特性的两个导电层(未示出)的多层结构。两导电层之一可以由具有低电阻率的金属材料形成,例如铝基金属材料、银基金属材料或铜基金属材料,以减少信号延迟或电压降。相反,另一层可由与形成所述一层的材料不同的材料形成,即,具有良好的化学、物理特性以及尤其与 IT0(氧化铟锡)和 IZO(氧化铟锌)有良好电接触特性的材料,例如钼基金属材料、铬、钽或钛。例如,铬层和铝(合金)可以分别用作下层和上层,或者铝(合金)层和钼(合金)层可以分别用作下层和上层。但是,栅极线 121 和 122 以及存储电极线 131 可以由上述金属材料以外的导体或金属材料形成。栅极线 121 和 122 以及存储电极线 131 的侧表面相对于基板 110 的表面倾斜,优选倾斜 30° - 80° 角。

[0106] 例如由氮化硅 (SiN_x) 或氧化硅 (SiO_x) 形成的栅绝缘层 140 形成在栅极线 121 和 122 以及存储电极线 131 上。

[0107] 在栅绝缘层 140 上形成多个半导体条 151,半导体条 151 例如由氢化非晶硅(非晶硅简称为 a-Si)或多晶硅形成。半导体条 151 包括分别位于栅电极 124a、124b 和 124c 之上的凸出部分 154a、154b 和 154c。

[0108] 在每个半导体条 151 之上形成多个欧姆接触条 161 和欧姆接触岛 165。欧姆接触条 161 具有在半导体条 151 的凸出部分 154a、154b 或 154c 之上与欧姆接触岛 165 相对的凸出部分 163。欧姆接触条 161 例如可以由诸如重掺杂以 n 型杂质的 n^+ 氢化非晶硅或硅化物的材料形成。

[0109] 每个半导体条 151 以及欧姆接触 161 和 165 的侧表面相对于基板 110 的表面倾斜约 30° - 80° 。

[0110] 在欧姆接触 161 和 165 以及栅绝缘层 140 上形成包含多条数据线 171、172、174、171'、172' 和 174' 以及多个漏电极 175a、175b 和 175c 的数据导体。

[0111] 数据线 171、172、174、171'、172' 和 174' 传递数据信号且基本沿垂直方向延伸,从而交叉栅极线 121 和 122 以及存储电极线 131。数据线 171、172 和 174 包括分别朝向栅电极 124a、124b 和 124c 延伸且具有 U 形的源电极 173a、173b 和 173c,开口部分面向右侧。数据线 171 和 174 通过连接部分 171a 彼此连接,并且数据线 171' 和 174' 通过连接部分 171a' 彼此连接。连接部分 171a 和 171a' 的端部扩展。

[0112] 漏电极 175a、175b 和 175c 与数据线 171、172、174、171'、172' 和 174' 分隔开,从而分别以栅电极 124a、124b 和 124c 为中心与源电极 173a、173b 和 173c 相对。两漏电极 175a 和 175c 分别从围绕两漏电极 175a 和 175c 的源电极 173a 和 173c 向栅极线 121 延伸,并以 90° 角向下方向弯曲。漏电极 175b 从围绕漏电极 175b 的源电极 173b 向栅极线 121 延伸,并以 90° 角向上方向延伸。漏电极 175a、175b 和 175c 在与存储电极 133a、133b 和 133c 交迭的位置分别具有扩展部分 177a、177b 和 177c。扩展部分 177a、177b 和 177c 用于增大存储电容器的电容。驱动信号引线 178 和 178' 在显示区外形成于栅绝缘层 140 上。

[0113] 假设一个像素列组由三个像素列组成,用于驱动奇数像素列组的数据线 171、172 和 174 的引线部分具有与用于驱动偶数像素列组的数据线 171'、172' 和 174' 的引线部分不同的布置结构。即,数据线 172 直线形成在与引线 178 和连接部分 171a 之间的空间分隔开的位置。但数据线 172' 以直角弯曲两次,从而在引线 178' 和连接部分 171a' 之间通过。

[0114] 数据线 171、172、174、171'、172' 和 174' 在奇数像素列组和偶数像素列组中以不同布置结构形成的原因是,当用数据驱动芯片来驱动根据本发明该示例性实施例的液晶显示器时,执行一致的点反转驱动。

[0115] 数据线 171、172、174、171'、172' 和 174',漏电极 175a、175b 和 175c,以及驱动信号引线 178 和 178' 具有与欧姆接触 161 和 165 基本相同的平面图案,还具有与半导体 151 基本相同的平面图案,除了在源电极 173a、173b 和 173c 与漏电极 175a、175b 和 175c 之间以外。

[0116] 栅电极 124a、124b 或 124c,源电极 173a、173b 或 173c,以及漏电极 175a、175b 或 175c 与半导体 154a、154b 或 154c 一起形成薄膜晶体管 (TFT)。薄膜晶体管的沟道形成在源电极 173a、173b 或 173c 与漏电极 175a、175b 或 175c 之间在半导体 154a、154b 或 154c 中。

[0117] 数据导体 171、172、174、171'、172'、174'、175a、175b 和 175c 可以由难熔金属材料例如钼、铬、钽、钛、或其合金形成,或者它们可具有难熔金属层(未示出)和具有低电阻的导电层(未示出)的多层结构。多层结构的例子包括以铬或钼(合金)层作为下层,以铝(合金)层作为上层的两层结构,以及以钼(合金)层作为下层,以铝(合金)层作为中间层,以钼(合金)层作为上层的三层结构。但是,数据导体 171、175a、175b 可以由除上述金属材料以外的各种导体或金属材料形成。

[0118] 优选数据导体 171、172、174、171'、172'、174'、175a、175b 和 175c 的侧表面相对于基板 110 的表面以 30° -80° 角倾斜。

[0119] 欧姆接触 161 和 165 仅设置在半导体 151、154a、154b 和 154c 与数据导体 171、172、174、171'、172'、174'、175a、175b 和 175c 之间,以降低其间的接触电阻。半导体 151、154a、154b 和 154c 分别暴露于源电极 173a、173b 和 173c 与漏电极 175a、175b 和 175c 之

间,并且还具有不被数据导体 171、172、174、171'、172'、174'、175a、175b 和 175c 覆盖的暴露部分。

[0120] 在数据导体 171、172、174、171'、172'、174'、175a、175b 和 175c 上以及半导体 154a、154b 和 154c 的暴露部分上形成钝化层 180。钝化层 180 有小介电常数,并由较大厚度的有机绝缘体形成。以此方式,即使当像素电极 191a、191b 和 191c 分别与数据线 171、172 和 174 交迭时,像素电极 191a、191b 和 191c 与数据线 171、172 和 174 之间的距离增大,并且电介质材料的介电常数减小,这导致小的电容。优选有机绝缘体具有小于 4.0 的介电常数,且其可以具有光敏性。钝化层 180 可以由非有机绝缘体形成。此外,钝化层 180 可以具有下无机层和上有机层的双层结构,以提高有机层的绝缘特性并防止暴露的半导体 154a、154b 和 154c 被损坏。

[0121] 在钝化层 180 中形成用于暴露数据线连接部分 171a 和 171a' 的多个接触孔 181,用于暴露漏电极 175a、175b 和 175c 的扩展部分 177a、177b 和 177c 的多个接触孔 185,以及用于暴露引线部分 178 和 178' 的多个接触孔 182。在钝化层 180 和栅绝缘层 140 中形成用于暴露栅极线 121 的端部的多个接触孔(未示出)。

[0122] 在钝化层 180 上形成多个像素电极 191a、191b 和 191c 以及多个连接元件 84 和 86。像素电极和连接元件可以由透明导电材料例如 ITO 或 IZO 形成,或者由反射性金属材料例如铝、银、铬或它们的合金形成。

[0123] 像素电极 191a、191b 和 191c 每个包括沿不同方向倾斜的两个平行四边形电极片。两个电极片的斜边彼此交叉,从而形成一对弯曲边缘。

[0124] 像素电极 191a、191b 和 191c 经接触孔 185 分别连接到漏电极 175a、175b 和 175c。

[0125] 像素电极 191a、191b 和 191c,上板 200 的公共电极 270,以及置于其间的液晶层 3 形成液晶电容器 C_{LC} 。液晶电容器 C_{LC} 在薄膜晶体管截止后保持所施加的电压。

[0126] 像素电极 191a、191b 和 191c 以及连接到像素电极 191a、191b 和 191c 的漏电极 175a、175b 和 175c 分别交迭存储电极 133a、133b 和 133c,从而形成存储电容器 C_{ST} 。存储电容器 C_{ST} 提高了液晶电容器 C_{LC} 的电压保持特性。

[0127] 连接元件 84 通过接触孔 181 和 182 与连接部分 171a 和引线 178 接触,从而连接连接部分 171a 和引线 178。连接元件 86 经接触孔 181 和 182 与连接部分 171a' 和引部分 178' 连接,且跨过数据线 172' 连接连接部分 171a' 和引线 178'。奇数像素列组的连接部分 171a 和引线 178 可以彼此直接连接。但是,奇数像素列组的连接部分 171a 和引线 178 经连接元件 84 彼此连接,以便使布线负载与偶数像素列组匹配。

[0128] 接下来描述上板 200。在例如由透明玻璃或塑料形成的绝缘基板 210 上形成光阻挡元件 220。光阻挡元件 220 可包括与像素电极 191a、191b 和 191c 的弯曲边缘对应的弯曲部分(未示出)以及与薄膜晶体管对应的四边形部分(未示出)。光阻挡元件 220 防止光在像素电极 191a、191b 和 191c 之间泄漏,并定义与像素电极 191a、191b 和 191c 相对的开口区。

[0129] 在基板 210 和光阻挡元件 220 上形成多个滤色片 230。滤色片 230 设置在被光阻挡元件 220 包围的区域中,并且可以沿像素电极 191a、191b 和 191c 的列延伸。每个滤光片 230 可以显示红绿蓝三基色之一。

[0130] 公共电极 270 形成在滤色片 230 和光阻挡元件 220 上。公共电极 270 由透明导电

材料例如 ITO 或 IZO 形成。

[0131] 在公共电极 270 上形成凸起 271a、271b 和 271c。凸起 271a、271b 和 271c 可以由有机材料或无机材料形成。凸起 271a、271b 和 271c 的数量取决于设计因素。光阻挡元件 220 与凸起 271a、271b 和 271c 交迭,这使得能够防止光从凸起 271a、271b 和 271c 泄漏。凸起 271a、271b 和 271c 的每个在平面图中布置在把像素电极 191a、191b 或 191c 沿水平方向分成两部分的位置,并且包括在平面图中与像素电极 191a、191b 或 191c 的上和下侧交迭的弯曲部分、以及在中心沿垂直方向横向延伸的中心部分。

[0132] 分别在显示板 100 和 200 的内表面上形成配向层(未示出)。配向层 11 和 21 可以是垂直配向层。

[0133] 在显示板 100 和 200 的外表面上设置偏振片(12、22)。两偏振片的偏振轴彼此正交。优选偏振轴相对于像素电极 191a、191b 和 191c 的曲边以约 45° 角倾斜。在反射型液晶显示器中,可以省去两个偏振片中的一个。

[0134] 液晶显示器可以包括用于向偏振片 12 和 22、延迟层、显示板 100 和 200 以及液晶层 3 提供光的背光单元(未示出)。

[0135] 液晶层 3 具有负介电各向异性。当不施加电场时,液晶层 3 的液晶分子排列地使其主轴相对于两显示板的表面垂直。

[0136] 凸起 271a、271b 和 271c 可以被形成于公共电极 270 中的切除部分(未示出)或者被凹陷部分(未示出)替代。凸起 271a、271b 和 271c 可以设置在场发生电极 191 和 270 之下。凸起 271a、271b 和 271c 改变公共电极 270 与像素电极 191a、191b 和 191c 之间产生的电场,从而控制液晶的排列。

[0137] 在具有上述结构的薄膜晶体管阵列板中,因为两条数据线 171 和 174 彼此相连,所以用于向数据线供给信号的数据驱动芯片的数量小于常规薄膜晶体管阵列板中的情形,这使得能够降低制造成本。相反,栅极线的数量翻倍,造成栅极驱动芯片的数量翻倍。但是,因为栅极驱动芯片不贵,所以对制造成本没有显著影响。另外,因为用于向栅极线 121 供给驱动信号的栅极驱动电路执行非常简单的功能,所以利用薄膜晶体管形成工艺可以把栅极驱动电路集成到基板 110 中,这使得能够防止栅极驱动芯片数量的增加。

[0138] 在具有上述结构的薄膜晶体管阵列板中,当属于一个像素列组的三个像素列布置成对应于红绿蓝像素列时,红绿蓝像素在整个显示区具有相同的形状。因此,能够确保显示的均匀性并因而提高显示质量。

[0139] 图 14 是布局图,示出根据本发明又一示例性实施例的液晶显示器。与图 13 所示的示例性实施例相比,图 14 所示的示例性实施例的特征在于数据线 172 和 172' 不与成对的数据线 171、174、171' 和 174' 交叉,无论是奇数像素阵列组还是偶数像素阵列组。

[0140] 当通过用于两点反转驱动的数据驱动芯片驱动具有上述结构的液晶显示器时,三点反转驱动如图 3 所示地进行。

[0141] 图 15 是布局图,示出根据本发明又一示例性实施例的液晶显示器。根据图 15 所示的示例性实施例的液晶显示器的层结构基本类似于根据图 12 和 13 所示的示例性实施例的液晶显示器,因而将省去对他们的完整描述。因此下面将仅描述液晶显示器的层的布置结构。

[0142] 多对栅极线 121 和 122 沿水平方向延伸。多组存储电极线 131a、131b 和 131c 平

行于栅极线 121 和 122 形成。栅极线 121 具有多个栅电极 124a 和 124b, 栅极线 122 具有多个栅电极 124c。存储电极线 131a、131b 和 131c 分别具有存储电极 131a、133b 和 133c。

[0143] 多条数据线 171、172 和 174 与栅极线 121 和 122 以及存储电极线 131a、131b 和 131c 交叉, 从而不与其电连接。数据线 171 具有多对源电极 173bd 和 173bu, 数据线 172 具有多对源电极 173cd 和 173cu, 数据线 174 具有多对源电极 173ad 和 173au。两条数据线 171 和 174 在显示区之外彼此连接。

[0144] 多对漏电极 175ad 和 175au 在源电极 173ad 和 173au 以及栅电极 124a 上彼此相对。漏电极 175ad 和 175au 分别向下和向上延伸, 且在其端部具有与存储电极 133a 和 133c 交迭的扩展部分 177ad 和 177au。多对漏电极 175bd 和 175bu 在源电极 173bd 和 173bu 以及栅电极 124b 上彼此相对。漏电极 175bd 和 175bu 分别向下和向上延伸, 且在其端部具有分别与存储电极 133b 和 133c 交迭的扩展部分 177bd 和 177bu。多对漏电极 175cd 和 175cu 在源电极 173cd 和 173cu 以及栅电极 124c 上彼此相对。漏电极 175cd 和 175cu 分别向下和向上延伸, 并在其端部具有分别与存储电极 133b 和 133c 交迭的扩展部分 177bd 和 177bu。

[0145] 形成薄膜晶体管的接触辅助件(未示出)和半导体(未示出)的结构与上述示例性实施例中的相同, 因此将省去其描述。

[0146] 在属于一个像素列组的三个像素列的第一像素列中形成多对子像素电极 191cu 和 191cd。在第二像素列中形成多对子像素电极 191au 和 191ad。在第三像素列中形成多对子像素电极 191bu 和 191bd。

[0147] 子像素电极 191au、191ad、191bu、191bd、191cu 和 191cd 每个包括沿不同方向倾斜的两个平行四边形电极片。两电极片的斜边彼此相交从而形成一对弯曲边缘。子像素电极 191au 和 191ad、191bu 和 191bd、或 191cu 和 191cd 相对于栅极线 121 具有反演对称(inversion symmetry)。

[0148] 子像素电极 191au 和 191ad 分别经接触孔 185au 和 185ad 连接到漏电极的扩展部分 177au 和 177ad。子像素电极 191bu 和 191bd 分别经接触孔 185bu 和 185bd 连接到漏电极的扩展部分 177bu 和 177bd。子像素电极 191cu 和 191cd 分别经接触孔 185cu 和 185cd 连接到漏电极的扩展部分 177cu 和 177cd。

[0149] 上板的凸起 271au、271ad、271bu、271bd、271cu 和 271cd 布置在沿水平方向将每个子像素电极 191au、191ad、191bu、191bd、191cu 和 191cd 划分开的位置。每个凸起包括在平面图中与子像素电极 191au、191ad、191bu、191bd、191cu 和 191cd 的上下边交迭的弯曲部分和在中心沿垂直方向横向延伸的中心部分。

[0150] 在液晶显示器中, 当对栅极线 121 施加电压时, 第一像素列和第二像素列中的子像素电极 191au、191ad、191cu 和 191cd 被充以图像信号电压。然后, 当对栅极线 121 施加截止电压并对栅极线 122 施加导通电压时, 第三像素列中的子像素电极 191bu 和 191bd 被充以图像信号电压。每对子像素电极 191au 和 191ad、191bu 和 191bd、191cu 和 191cd 形成一个像素电极。因此, 为了用图像信号电压对一个像素行充电, 栅极导通电压必须施加到一对栅极线 121 和 122。

[0151] 在图像信号电压被冲到一像素行中的所有子像素电极 191au、191ad、191bu、191bd、191cu 和 191cd 的同时, 存储电极线 131a、131b 和 131c 保持在浮置状态。随后, 当对下一栅极线 121 施加栅极导通电压从而用图像信号电压对下一像素行中的子像素电极

191au、191ad、191bu、191bd、191cu 和 191cd 充电时,对前一像素行中处于浮置状态的存储电极线 131a、131b 和 131c 施加预定电压。在此情况下,相同的电压被施加到两条存储电极线 131a 和 131b,但是不同的电压被施加到存储电极线 131c。如果需要,不同的电压可以被施加到存储电极线 131a 和 131b。

[0152] 当对处于浮置状态的存储电极线 131a、131b 和 131c 施加电压时,处于浮置状态的像素电极 191au、191ad、191bu、191bd、191cu 和 191cd 的电压改变。此时,不同的电压施加到存储电极线 131a 和 131b 以及存储电极线 131c,这导致上子像素电极 191au、191bu 和 191cu 的电压与下子像素电极 191ad、191bd 和 191cd 的电压不同。然后,在一个像素中形成具有不同电压的两个区域,这导致侧表面中咖玛曲线的畸变减小。

[0153] 在具有上述结构的薄膜晶体管阵列板中,因为两条数据线 171 和 174 彼此连接,用于向数据线供给信号的数据驱动芯片的数量小于常规薄膜晶体管阵列板的情形,这使得能够降低制造成本。相反,栅极线的数量翻倍,这导致栅极驱动芯片的数量翻倍。但是,因为栅极驱动芯片不贵,所以对制造成本没有显著影响。另外,因为用于向栅极线 121 供给驱动信号的栅极驱动电路执行非常简单的功能,所以可以利用薄膜晶体管形成工艺把栅极驱动电路集成到基板 110 中,这使得能够防止栅极驱动芯片的数量增加。

[0154] 在具有上述结构的薄膜晶体管阵列板中,当属于一个像素列组的三个像素列布置成对应于红绿蓝像素列时,红绿蓝像素在整个显示区中具有相同的形状。因此,能够确保显示的均匀性并由此提高显示质量。

[0155] 与常规薄膜晶体管阵列板相比,根据本发明的示例性实施例,能够减少向数据线供给信号的数据驱动芯片的数量,由此降低制造成本。在具有上述结构的薄膜晶体管阵列板中,当属于一个像素列组的三个像素列布置成对应于红绿蓝像素列时,红绿蓝像素在整个显示区具有相同的形状。因此,能够确保显示的均匀性并因而提高显示质量。

[0156] 应理解,虽然结合示例性实施例描述了本发明,但在不脱离本发明思想和范围的前提下,本领域的技术人员可以对本发明做各种修改和等效布置。

[0157] 本申请要求享有 2005 年 10 月 17 日向韩国知识产权局提交的韩国专利申请 No. 10-2005-0097704 的优先权,在此引用其全部内容作为参考。

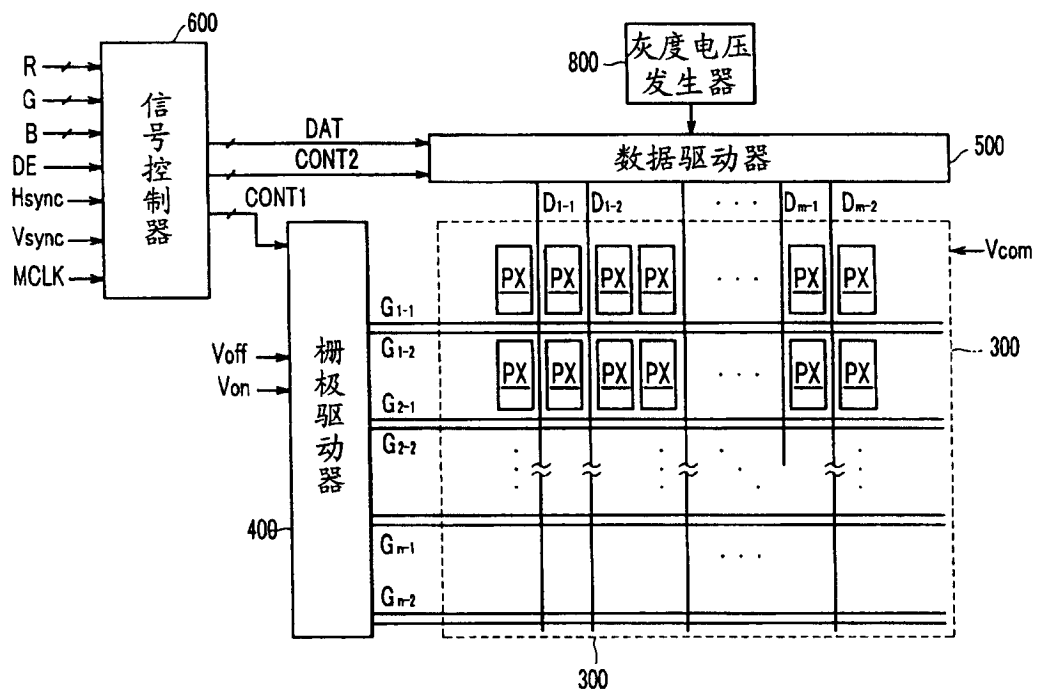


图 1

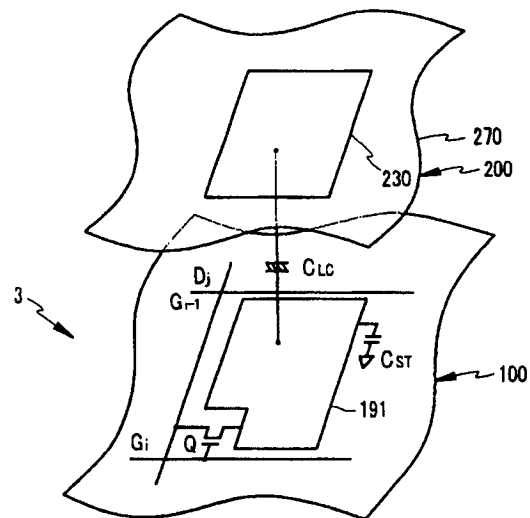


图 2

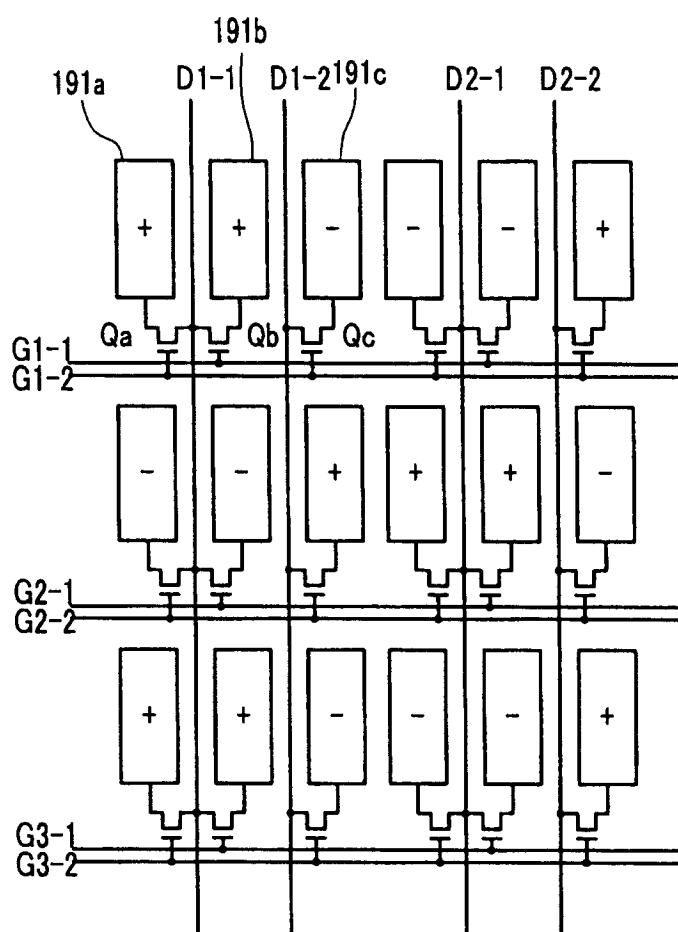


图 3

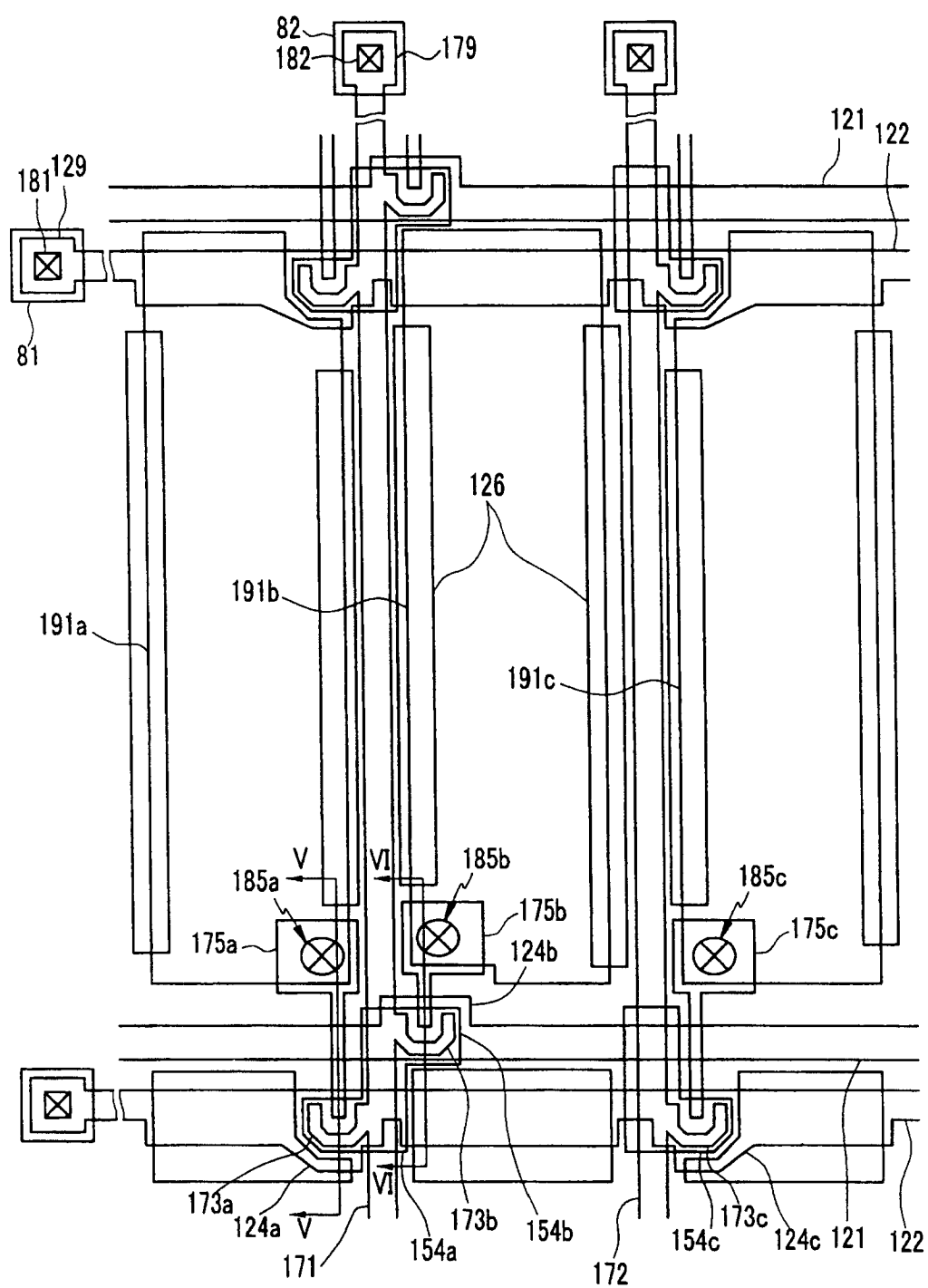


图 4

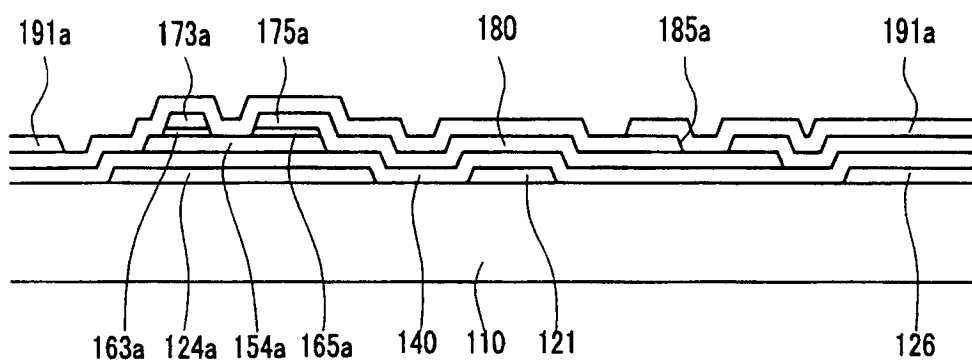


图 5

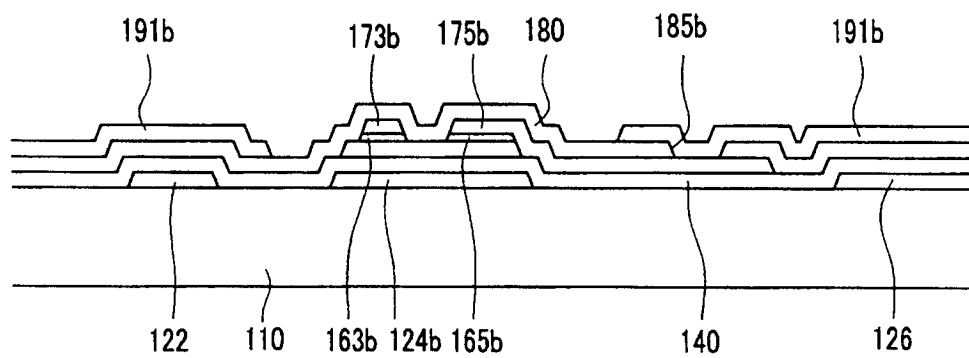


图 6

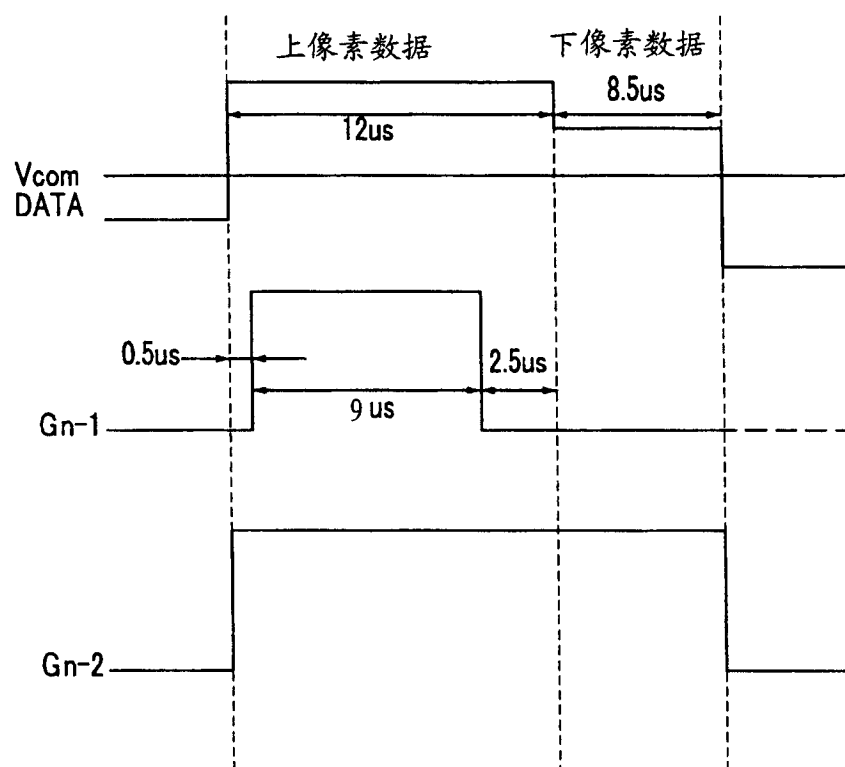


图 7A

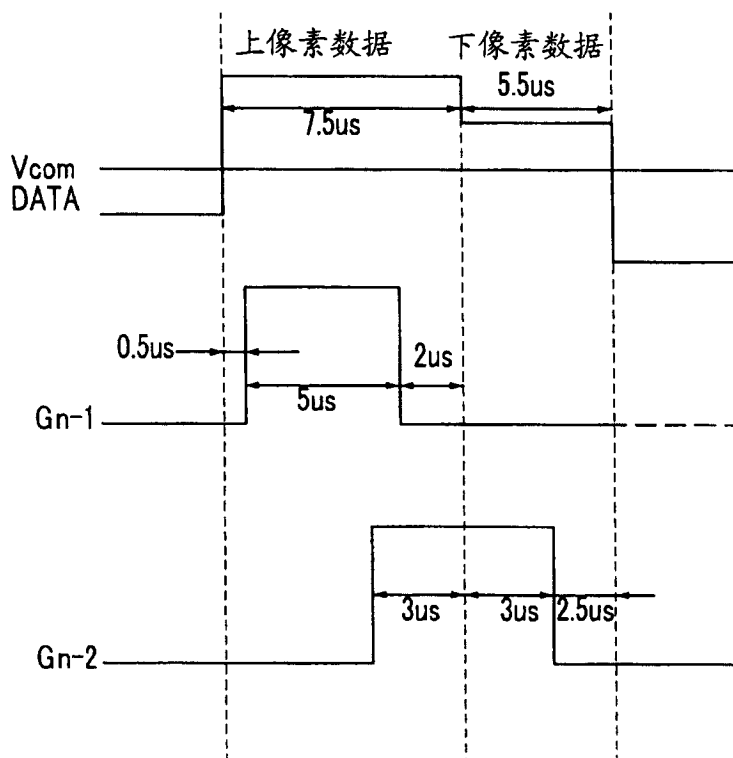


图 7B

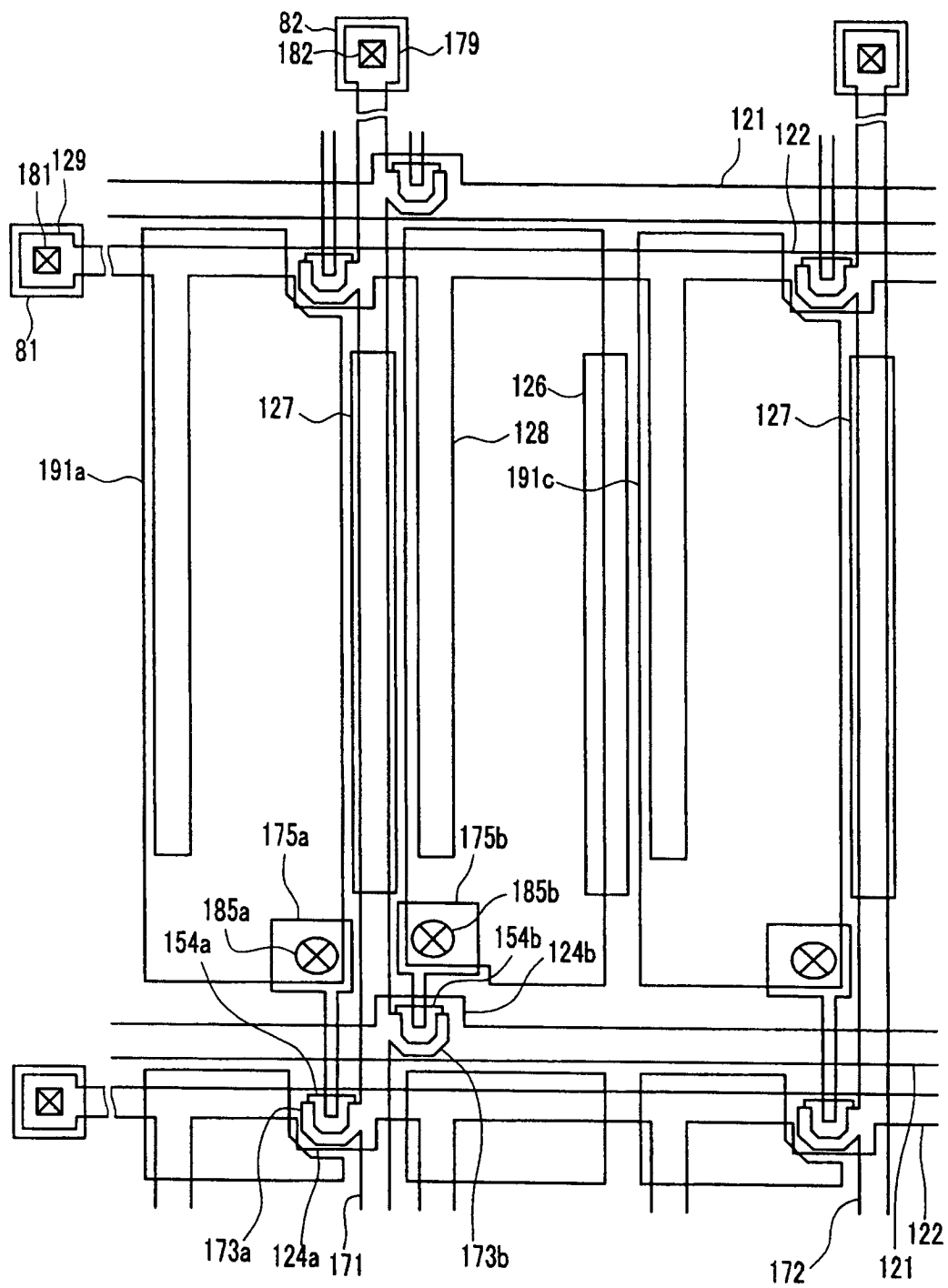


图 8

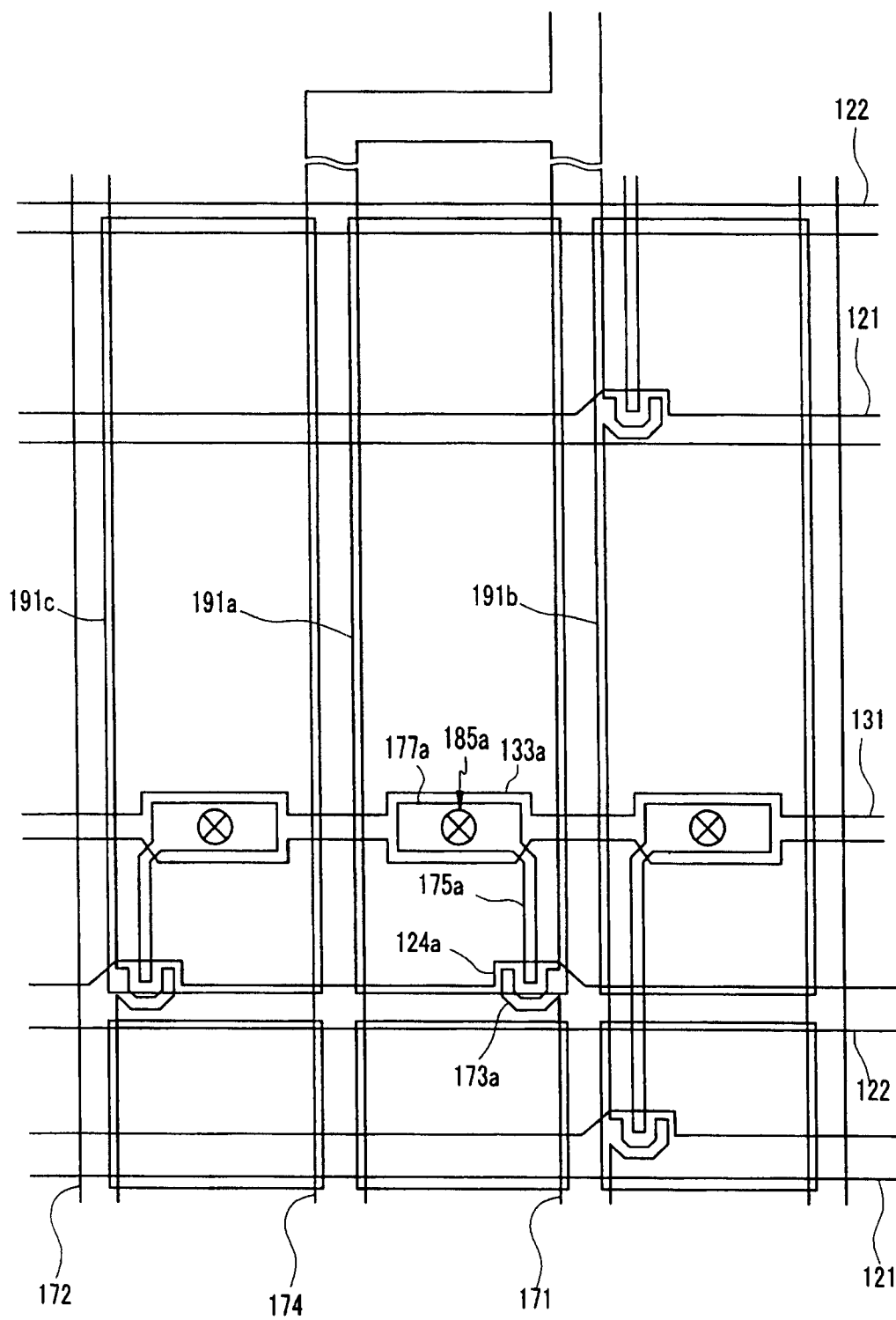


图 9

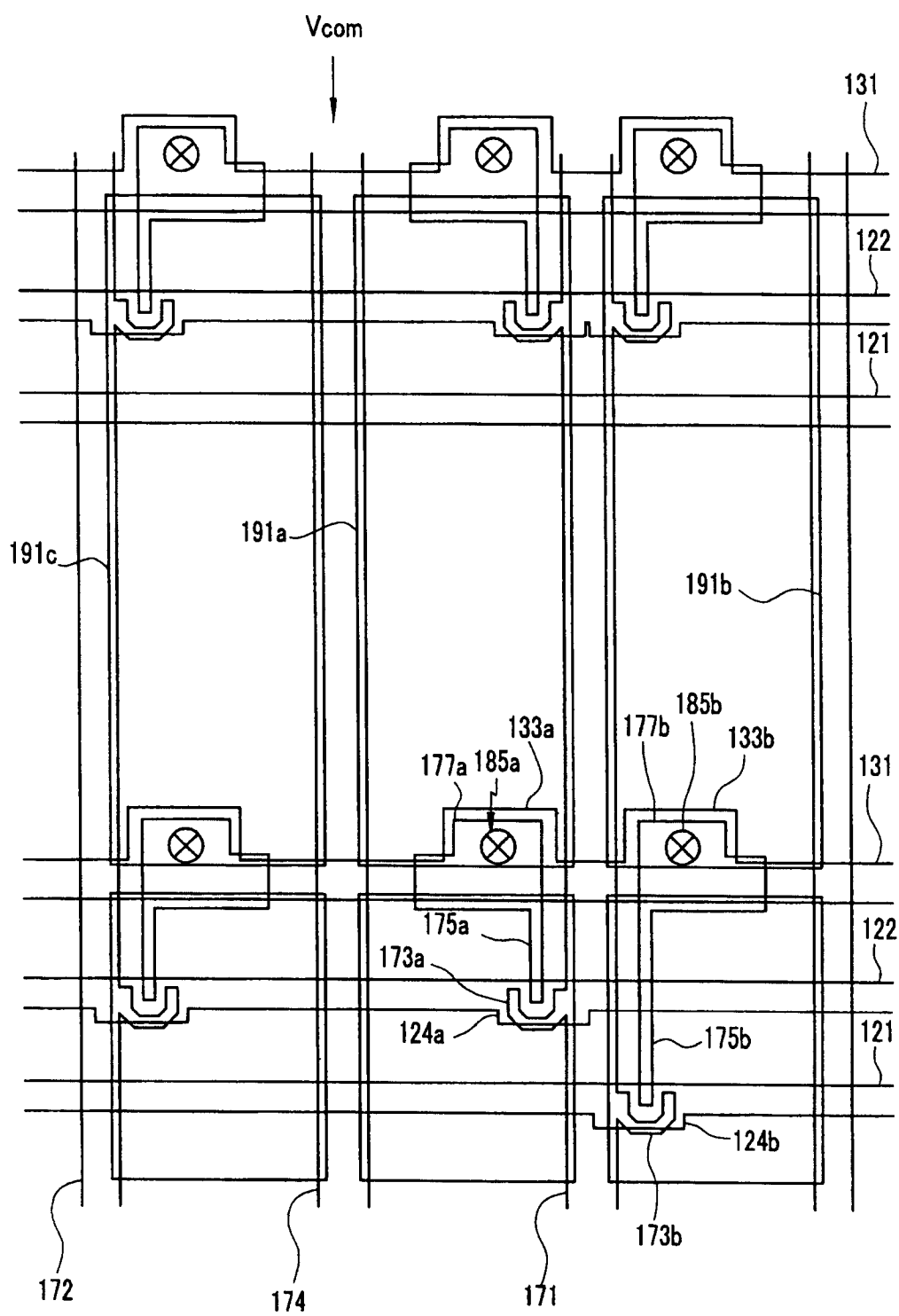


图 10

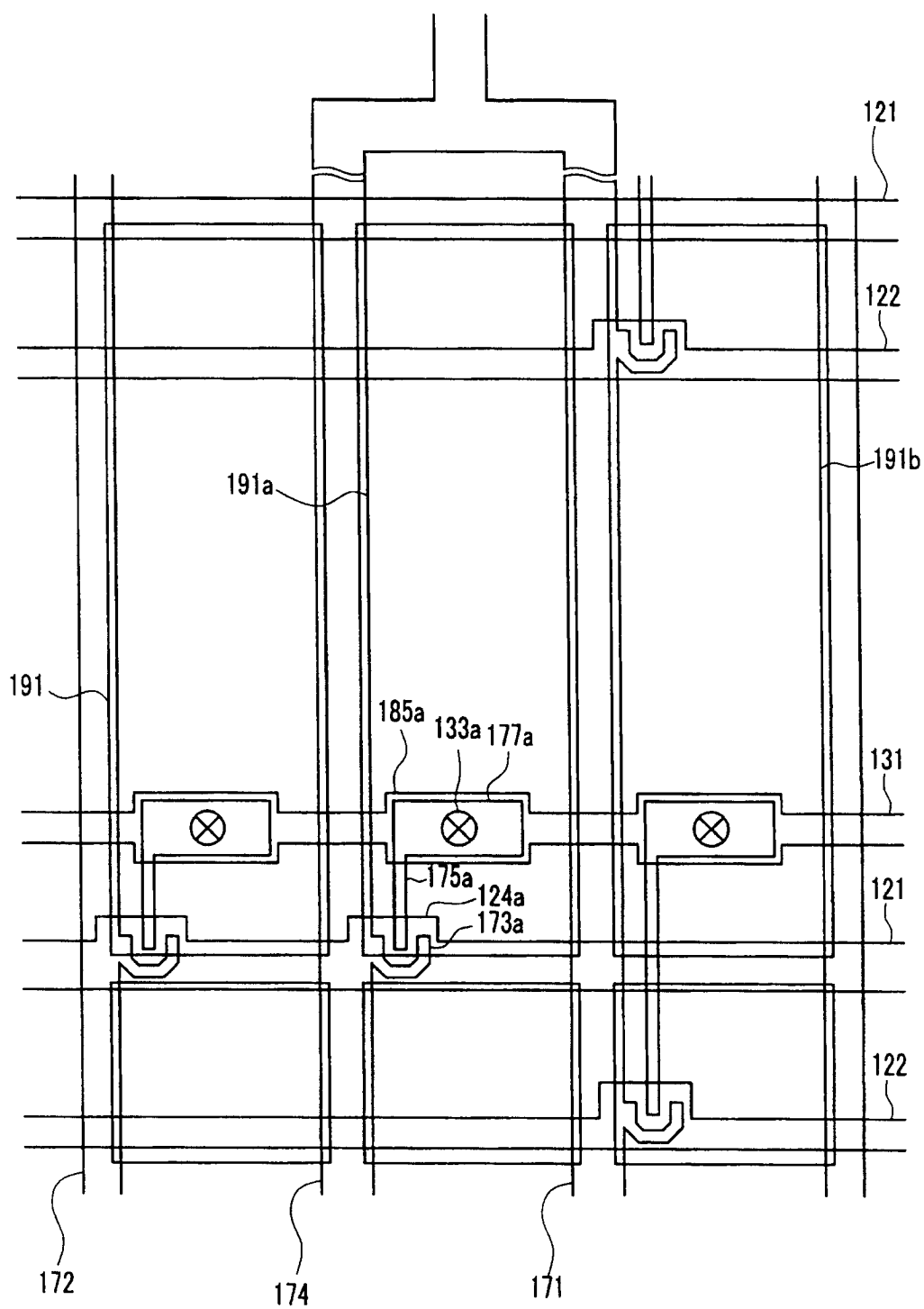
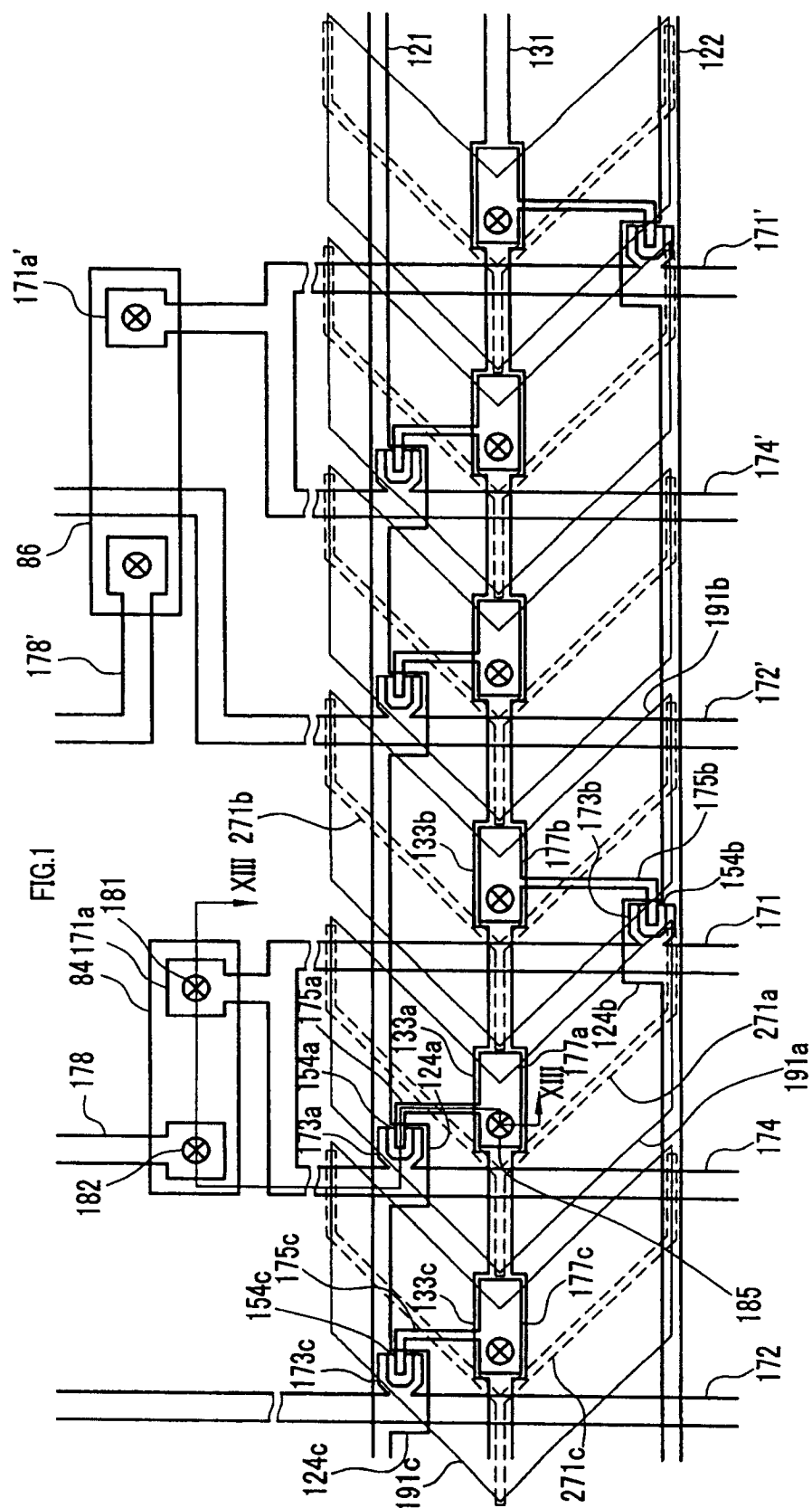


图 11



12

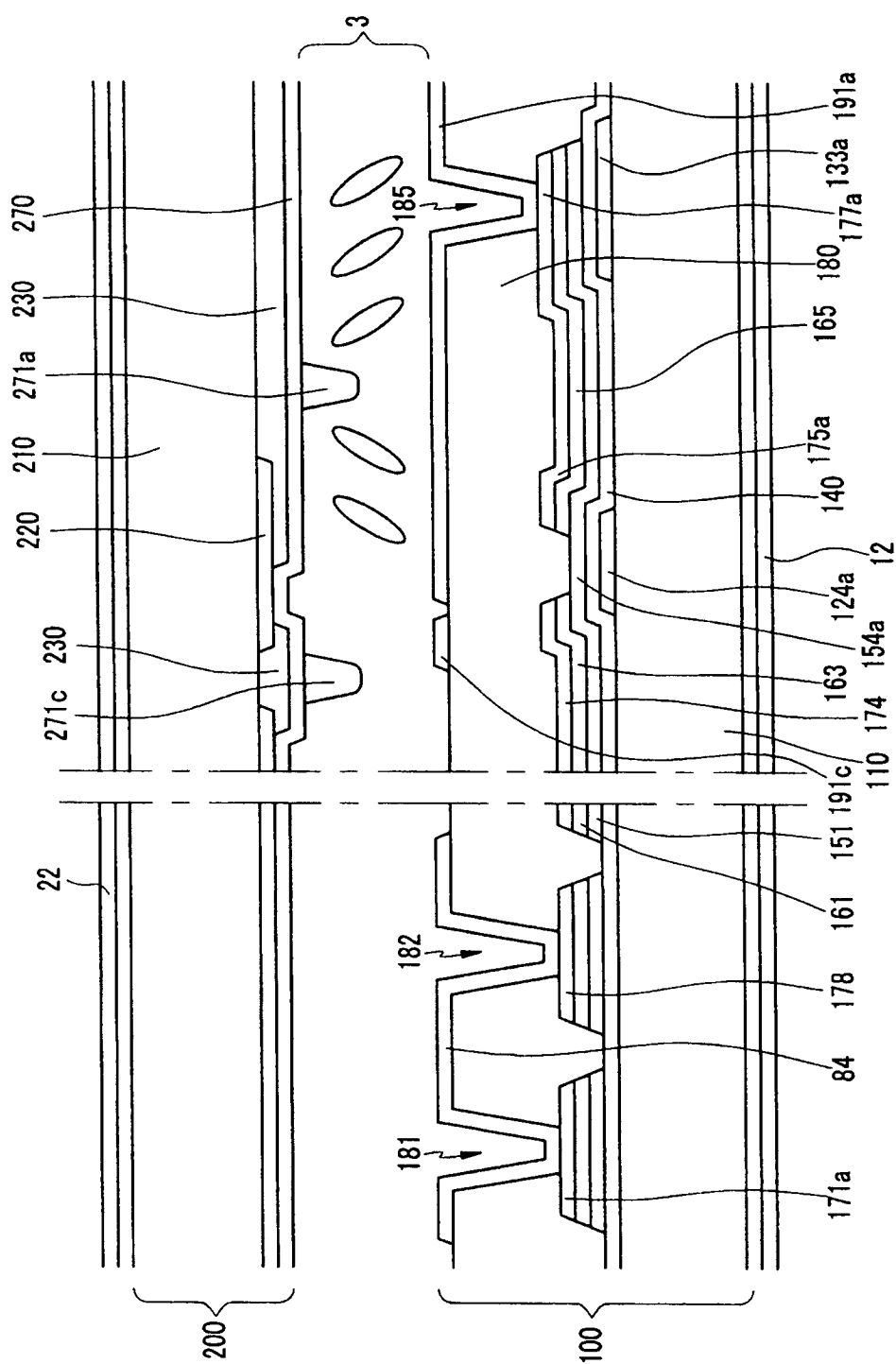


图 13

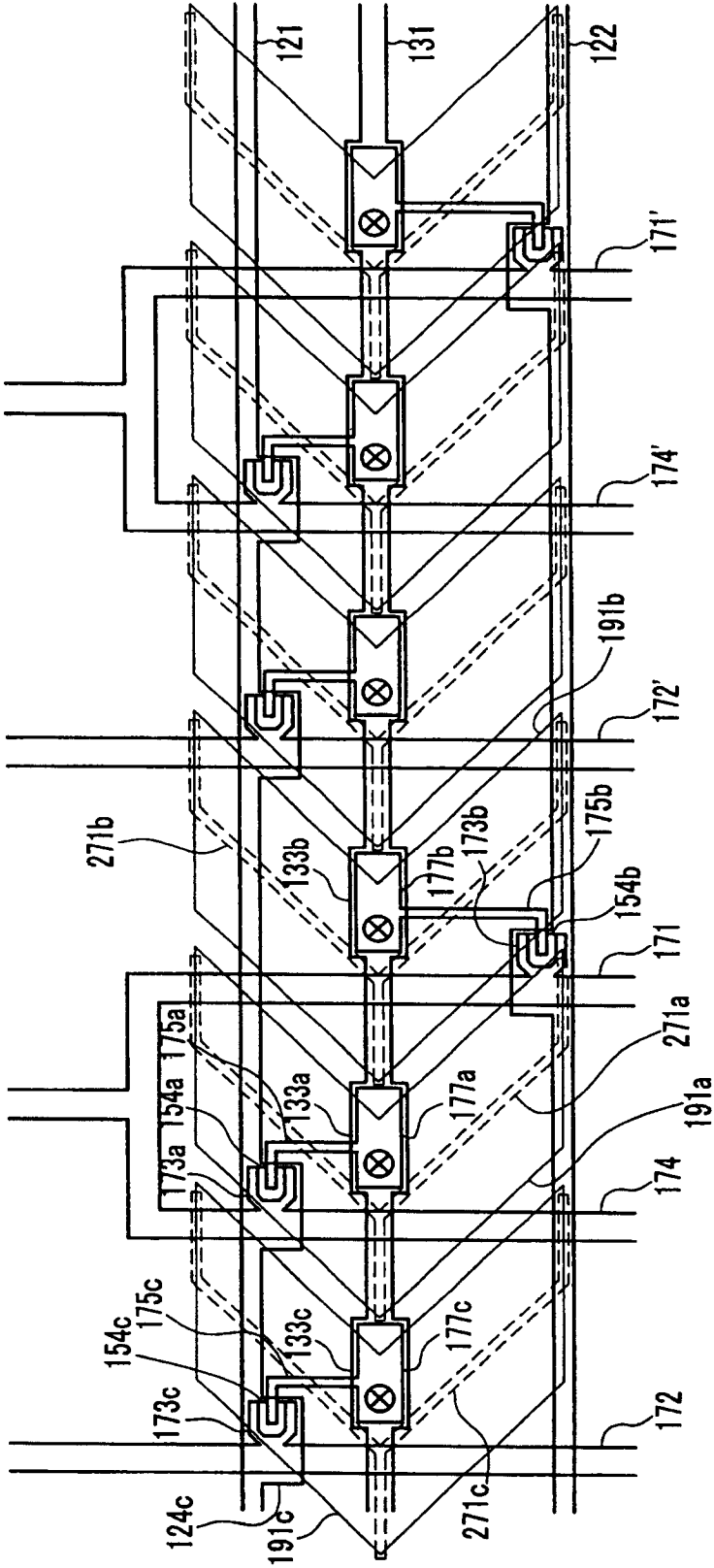


图 14

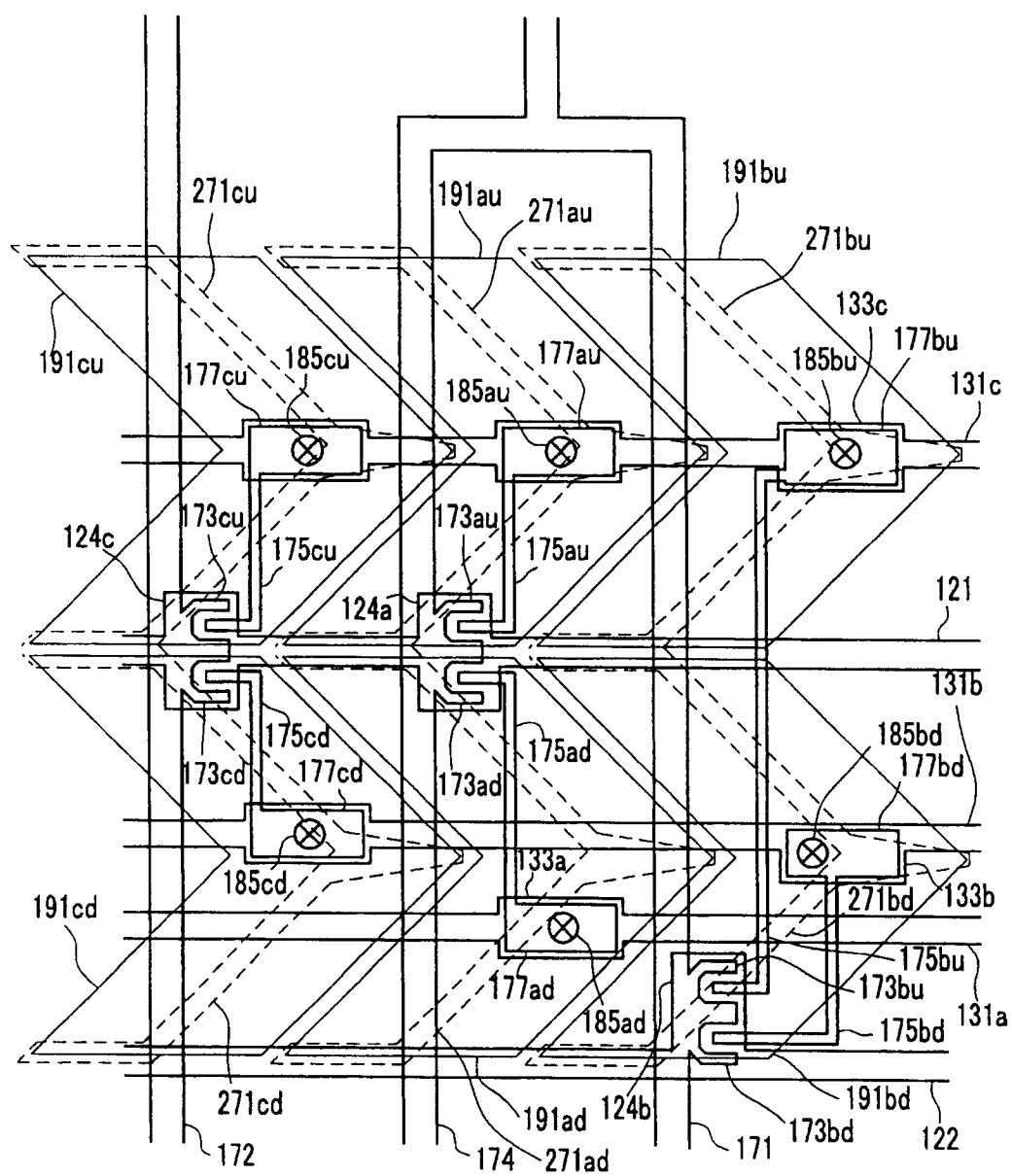


图 15

专利名称(译)	薄膜晶体管阵列板和液晶显示器		
公开(公告)号	CN1952764B	公开(公告)日	2010-07-14
申请号	CN200610135951.5	申请日	2006-10-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金东奎		
发明人	金东奎		
IPC分类号	G02F1/1362 G02F1/133 H01L29/786		
CPC分类号	G09G3/3659 G09G2310/0205 G02F1/136286 G09G3/3614 G09G3/3607		
代理人(译)	张波		
审查员(译)	刘军		
优先权	1020050097704 2005-10-17 KR		
其他公开文献	CN1952764A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种薄膜晶体管阵列板，包括：多个像素，包括以矩阵布置的像素电极以及连接到该像素电极的开关元件；连接到该开关元件的第一和第二栅极线，沿行方向延伸且对应于一行像素电极；以及连接到该开关元件的第一和第二数据线，沿列方向延伸且对应于三个像素列。在该薄膜晶体管阵列板中，当所述三个像素列被称为第一至第三像素列时，在该第一和第二像素列中的所述像素电极经所述开关元件连接到该第一数据线，且该第三像素列中的所述像素电极经该开关元件连接到该第二数据线。

