

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/133

H01L 29/786

H01L 21/00

G03F 7/20



[12] 发明专利申请公开说明书

[21] 申请号 200410087186.5

[43] 公开日 2005年5月11日

[11] 公开号 CN 1614487A

[22] 申请日 2004.11.4

[21] 申请号 200410087186.5

[30] 优先权

[32] 2003.11.4 [33] KR [31] 10-2003-0077659

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国汉城

[72] 发明人 安炳喆 权五楠 赵兴烈

[74] 专利代理机构 北京三友知识产权代理有限公司

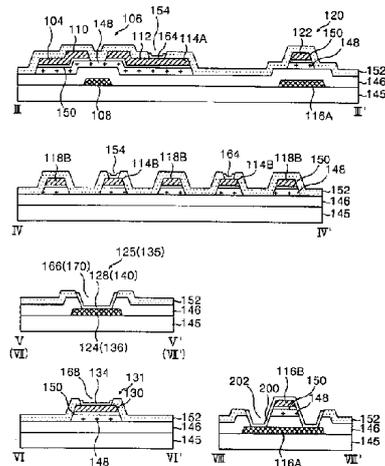
代理人 李辉

权利要求书 6 页 说明书 16 页 附图 25 页

[54] 发明名称 水平电场型液晶显示器件的薄膜晶体管基板及其制造方法

[57] 摘要

水平电场型液晶显示器件的薄膜晶体管基板及其制造方法。一种水平电场型薄膜晶体管基板包括：在一基板上形成的相互平行的选通线和第一公共线；与选通线和第一公共线交叉并且其间具有栅绝缘膜以限定像素区域的数据线；与第一公共线交叉并且其间具有栅绝缘膜的第二公共线；与选通线和数据线相连的薄膜晶体管；从所述像素区域中的第二公共线延伸的公共电极；与公共电极和第二公共线平行的像素电极；覆盖薄膜晶体管的保护膜；选通焊盘，具有通过第一接触孔与上选通焊盘电极相连的下选通焊盘电极；公共焊盘，具有通过第二接触孔与上公共焊盘电极相连的下公共焊盘电极；以及数据焊盘，具有与设置在第三接触孔内上数据焊盘电极相连的下数据焊盘电极。



- 1、一种水平电场型薄膜晶体管基板，其包括：
在一基板上由第一导电层形成的相互平行的选通线和第一公共线；
5 与上述选通线和上述第一公共线交叉并且其间具有栅绝缘膜以限定像素区域的数据线，所述数据线由第二导电层形成；
由上述第二导电层形成并与上述第一公共线交叉并且其间具有上述栅绝缘膜的第二公共线；
与上述选通线和上述数据线相连的薄膜晶体管；
10 由上述第二导电层形成并且在上述像素区域中从上述第二公共线延伸的公共电极；
由上述第二导电层形成并与上述公共电极和上述第二公共线平行的像素电极，所述像素电极与上述薄膜晶体管相连；
覆盖上述薄膜晶体管的保护膜；
15 选通焊盘，具有与上述选通线相连的下选通焊盘电极以及在第一接触孔内与上述下选通焊盘电极相连的上选通焊盘电极，所述下选通焊盘电极由上述第一导电层形成，所述上选通焊盘电极由第三导电层形成；
公共焊盘，具有与上述第一公共线相连的下公共焊盘电极以及在第二接触孔内与上述下公共焊盘电极相连的上公共焊盘电极，所述下公共
20 焊盘电极由上述第一导电层形成，所述上公共焊盘电极由上述第三导电层形成；以及
数据焊盘，具有与上述数据线相连的下数据焊盘电极以及在第三接触孔内与上述下数据焊盘电极相连的上数据焊盘电极，所述下数据焊盘电极由上述第二电层形成，所述上数据焊盘电极由上述第三导电层形成。
- 25 2、根据权利要求1所述的水平电场型薄膜晶体管基板，还包括：
用于暴露上述第一和第二公共线交叉的位置处的上述第一和第二公共线的第四接触孔；以及
接触电极，在上述第四接触孔内由上述第三导电层形成，以将上述第一公共线与上述第二公共线相连。

3、根据权利要求2所述的水平电场型薄膜晶体管基板，其中所述上选通焊盘电极、所述上公共焊盘电极、所述上数据焊盘电极和所述接触电极在对应的接触孔内具有与所述保护膜的界面。

4、根据权利要求1所述的水平电场型薄膜晶体管基板，还包括：
5 在所述多条信号线和电极中的至少一个上形成的剥离剂渗透路径。

5、根据权利要求4所述的水平电场型薄膜晶体管基板，其中所述剥离剂渗透路径穿过所述栅绝缘膜和所述保护膜。

6、根据权利要求4所述的水平电场型薄膜晶体管基板，其中所述剥离剂渗透路径包括沿所述多条信号线和电极中的至少一个设置的狭缝或
10 多个孔。

7、根据权利要求4所述的水平电场型薄膜晶体管基板，其中所述剥离剂渗透路径设置在所述像素区域内的所述公共电极、所述像素电极和所述第二公共线中的至少一个上。

8、根据权利要求4所述的水平电场型薄膜晶体管基板，其中由所述
15 第三导电层形成的哑导电图案以构成与所述保护膜的界面的方式留在所述剥离剂渗透路径内。

9、根据权利要求1所述的水平电场型薄膜晶体管基板，还包括：

存储电容器，其具有作为所述第一公共线的一部分的下存储电极以及与所述像素电极的多个指状部分相连的上存储电极，该下存储电极与
20 该上存储电极之间具有所述栅绝缘膜，所述上存储电极由所述第二导电层形成。

10、根据权利要求1所述的水平电场型薄膜晶体管基板，其中所述公共电极包括：

由所述第二导电层形成的从第二公共电极线延伸的第一公共电极；
25 从所述第一公共电极延伸并与所述像素电极平行的所述第二导电层的第二公共电极。

11、根据权利要求10所述的水平电场型薄膜晶体管基板，其中所述公共电极包括：

由第一导电层形成的从所述第一公共线延伸并与所述像素电极平行

的第三公共电极。

12、根据权利要求1所述的水平电场型薄膜晶体管基板，还包括：
第三公共线，其由所述第一导电层形成，连接在非显示区域中的所述
5 第一公共线和所述下公共焊盘电极之间。

13、根据权利要求1到12中的任何一项所述的水平电场型薄膜晶体
管基板，其中包含在所述薄膜晶体管中的半导体层与由所述第二导电层
形成的所述多条信号线和电极交叠。

14、一种制造水平电场型薄膜晶体管基板的方法，包括以下步骤：
在一基板上淀积第一导电层；
10 由所述第一导电层形成选通线、与所述选通线相连的栅极、下选通
焊盘电极、与所述选通线平行的第一公共线、以及与所述第一公共线相
连的下公共焊盘电极；

在所述选通线、所述栅极、所述下选通焊盘电极、所述第一公共线
和所述公共焊盘电极上涂覆栅绝缘膜；

15 在所述栅绝缘膜上淀积半导体层和第二导电层；
由所述半导体层形成半导体图案；

在所述半导体图案上由第二导电层形成与所述选通线和公共线交叉
的数据线、与所述数据线相连的源极和下数据焊盘电极、与所述源极相
20 对的漏极、以及与所述漏极相连的像素电极；

在所述半导体图案上由所述第二导电层形成与所述数据线平行的第
二公共线和从所述第二公共线延伸的公共电极，以与所述像素电极一起
形成水平电场；

在所述基板上涂覆保护膜；

25 对所述保护膜和所述栅绝缘膜进行构图以形成第一到第三接触孔，
用于暴露所述下选通焊盘电极、所述下公共焊盘电极和所述下数据焊盘
电极；以及

对第三导电层进行构图以在所述第一到第三接触孔内分别形成上选
通焊盘电极、上公共焊盘电极和上数据焊盘电极。

15、根据权利要求14所述的方法，其中对所述保护膜和所述栅绝缘

膜进行构图的所述步骤包括：

在所述保护膜上利用一掩模形成光刻胶图案；以及
对通过所述光刻胶图案曝光的所述保护膜和所述栅绝缘膜进行蚀刻。

5 16、根据权利要求 15 所述的方法，其中对所述第三导电层进行构图的所述步骤包括：

在残留在已构图的保护膜上的所述光刻胶图案上形成所述第三导电层；以及

去除覆盖有所述第三导电层的所述光刻胶图案。

10 17、一种制造水平电场型薄膜晶体管基板的方法，所述方法包括：

第一掩模工艺，用于在一基板上由第一导电层形成选通线、与所述选通线相连的栅极和下选通焊盘电极、与所述选通线平行的第一公共线、以及与所述第一公共线相连的下公共焊盘电极；

15 第二掩模工艺，用于淀积栅绝缘膜，以及在所述半导体图案上由第二导电层形成与所述选通线和所述第一公共线交叉的数据线、与所述数据线相连的源极和下数据焊盘电极、与所述源极相对的漏极、与所述漏极相连的像素电极、与所述数据线平行的第二公共线、以及与所述第二公共线相连并与所述像素电极平行的公共电极；以及

20 第三掩模工艺，用于淀积保护膜，对所述保护膜和所述栅绝缘膜进行构图，以限定分别用来暴露所述下选通焊盘电极、所述下公共焊盘电极和下数据焊盘电极的第一到第三接触孔，并且在所述第一到第三接触孔内分别形成上选通焊盘电极、上公共焊盘电极和上数据焊盘电极。

18、根据权利要求 17 所述的方法，其中所述第二掩模工艺包括以下步骤：

25 在所述栅绝缘膜上形成所述半导体层和所述第二导电层；

在所述第二导电层上利用局部透射掩模形成具有不同厚度的光刻胶图案；

利用所述光刻胶图案对所暴露的第二导电层和所暴露的半导体层进行蚀刻；

对所述光刻胶图案进行灰化处理，以去除所述光刻胶图案的相对较薄部分；

通过对去除了所述光刻胶图案的相对较薄部分处的所述第二导电层和半导体层的一部分进行蚀刻，使所述源极从所述漏极断开；以及
5 去除残留的光刻胶图案。

19、根据权利要求 17 所述的方法，其中所述第三掩模工艺包括以下步骤：

淀积所述保护膜；

在所述保护膜上利用掩模形成光刻胶图案；

10 对通过所述光刻胶图案曝光的所述保护膜和所述栅绝缘膜进行蚀刻；

在剩余在经蚀刻的保护膜上的所述光刻胶图案上形成所述第三导电层；以及

15 去除覆盖有所述第三导电层的所述光刻胶图案，以对所述第三导电层进行构图。

20、根据权利要求 14 和 17 中的任何一项所述的方法，还包括：

在对所述保护膜和所述栅绝缘膜进行构图的过程中，设置剥离剂渗透路径，用于去除由所述第一和第二导电层形成的多条信号线和电极中的至少一个上的所述光刻胶图案。

20 21、根据权利要求 20 所述的方法，其中形成所述剥离剂渗透路径以穿透所述栅绝缘膜和所述保护膜。

22、根据权利要求 20 所述的方法，其中所述剥离剂渗透路径具有沿所述多条信号线和电极中的至少一个设置的狭缝和多个孔中的任意一种形状。

25 23、根据权利要求 20 所述的方法，其中在所述公共电极、所述像素电极和所述第二公共线中的至少一个上设置所述剥离剂渗透路径。

24、根据权利要求 20 所述的方法，其中由所述第三导电层形成的哑导电图案以构成与所述保护膜的界面的方式留在所述剥离剂渗透路径内。

25、根据权利要求 14 和 17 中的任何一项所述的方法，还包括以下步骤：

在所述第一和第二公共线之间的交叉部分处形成穿过所述保护膜和所述栅绝缘膜的第四接触孔；以及

5 在所述第四接触孔内由所述第三导电层形成接触电极，以将所暴露的第一公共线与所暴露的第二公共线相连。

26、根据权利要求 25 所述的方法，其中所述上选通焊盘电极、所述上公共焊盘电极、所述上数据焊盘电极和所述接触电极在对应的接触孔内构成与所述保护膜的界面。

10 27、根据权利要求 14 和 17 中的任何一项所述的方法，还包括以下步骤：

由所述第二导电层形成与所述像素电极的指状部分相连的下存储电极，以与所述第一公共线的一部分交叠，并且其间具有所述栅绝缘膜和所述半导体图案。

15 28、根据权利要求 14 和 17 中的任何一项所述的方法，其中所述第三导电层包含透明导电层、钛和钨中的任意一种。

29、根据权利要求 14 和 17 中的任何一项所述的方法，还包括以下步骤：

20 形成沿着所述选通线从第二公共电极线延伸的第一公共电极；以及形成从所述第一公共电极延伸并与所述像素电极平行的第二公共电极。

30、根据权利要求 14 和 17 中的任何一项所述的方法，还包括以下步骤：

25 由所述第一导电层形成与所述像素电极平行地从所述第一公共线延伸的第三公共电极。

31、根据权利要求 30 所述的方法，还包括以下步骤：

在非显示区域中由所述第一导电层形成连接在所述第一公共线和所述下公共焊盘电极之间的第三公共线。

水平电场型液晶显示器件的薄膜晶体管基板及其制造方法

5 技术领域

本发明涉及液晶显示（LCD）器件，更具体地，涉及水平电场型液晶显示器件的薄膜晶体管基板及其制造方法。

背景技术

10 通常，液晶显示（LCD）器件利用电场来控制液晶的透光率，从而显示图像。根据电场驱动液晶的方向，将液晶显示器大致分为水平电场型和垂直电场型。垂直电场型通过在上下基板上相对设置的像素电极和公共电极之间形成的垂直电场来驱动扭曲向列（TN）模式的液晶。垂直电场型的优点是大孔径比，而缺点是约 90°的窄视角。水平电场型通过在下基板上互相平行设置的像素电极和公共电极之间的水平电场来驱动面内切换（IPS）模式的液晶。水平电场型的优点是约 160°的宽视角。下面，
15 详细说明水平电场型液晶显示器。

水平电场型包括彼此相对并互相连接的薄膜晶体管阵列基板（即，下基板）和滤色器基板（即，上基板）。在两个基板之间设置间隔物以均匀地保持两个基板之间的单元间隙。液晶材料填充两个基板之间的单元间隙。薄膜晶体管阵列基板包括：用于在各个像素中形成水平电场的多条信号线；多个薄膜晶体管；以及用于对液晶进行配向的配向膜。滤色器基板包括：用于实现颜色的滤色器；用于防止漏光的黑底；以及用于对液晶进行配向的配向膜。
20

25 在水平电场型液晶显示器中，薄膜晶体管基板的复杂制造工艺是液晶显示板制造过程中的主要成本因素，因为其涉及多道掩模工艺。例如，一道掩模工艺包括许多处理，例如薄膜淀积、清洗、光刻、蚀刻、光刻胶剥离和检查处理。为了解决该问题，已经开发出可以通过较少数量的掩模工艺生产的薄膜晶体管基板。近来，已经开发出一种从标准五道掩

模工艺中去除一道掩模工艺的四道掩模工艺。

图 1 是使用现有技术四道掩模工艺制造的水平电场型液晶显示器的薄膜晶体管基板的结构的平面图。图 2 是沿图 1 中的线 I-I' 和线 II-II' 截取的薄膜晶体管基板的剖视图。如图 1 和图 2 所示，薄膜晶体管基板包括以彼此交叉并且其间具有栅绝缘膜 46 的方式设置在下基板 45 上的选通线 2 和数据线 4。薄膜晶体管 6 与各个交叉点相邻。在为了形成水平电场而由选通线 2 和数据线 4 限定的像素区域中设置像素电极 14 和公共电极 18。公共线 16 与公共电极 18 相连。薄膜晶体管基板还包括设置在像素电极 14 与公共线 16 之间的交叠部分处的存储电容器 20。此外，选通焊盘 24 与选通线 2 相连，数据焊盘 30 与数据线 4 相连，公共焊盘 36 与公共线 16 相连。选通线 2 将选通信号提供给像素区域 5，数据线 4 将数据信号提供给像素区域 5。公共线 16 提供基准电压来驱动液晶，并且与像素区域 5 一侧上的选通线 2 平行地设置在像素区域 5 的另一侧上。

薄膜晶体管 6 使得可以响应于选通线 2 的选通信号将数据线 4 的像素信号充电并保持在像素电极 14 上。薄膜晶体管 6 包括与选通线 2 相连的栅极 8、与数据线 4 相连的源极 10、以及与像素电极 14 相连的漏极 12。此外，薄膜晶体管 6 包括在源极 10 和漏极 12 之间限定沟道的有源层 48。有源层 48 与栅极 8 上的栅绝缘膜 46 交叠。

有源层 48 还与数据线 4、下数据焊盘电极 32 和上存储电极 22 交叠。在有源层 48 上设置用于与数据线 4 进行欧姆接触的欧姆接触层 50。此外，还在有源层 48 上设置源极 10、漏极 12、下数据焊盘电极 32 和上存储电极 22。

像素电极 14 经由穿过保护膜 52 的第一接触孔 13 与薄膜晶体管 6 的漏极 12 相连，并且设置在像素区域 5 内。像素电极 14 包括：与漏极 12 相连并且与相邻选通线 2 平行设置的第一水平部分 14A；与公共线 16 交叠的第二水平部分 14B；以及在第一与第二水平部分 14A 和 14B 之间平行设置的指状部分 14C。

公共电极 18 与公共线 16 相连，并设置在像素区域 5 内。具体地，公共电极 18 与像素电极 14 的指状部分 14C 平行地设置在像素区域 5 中。

由此，在像素电极 14 和公共电极 18 之间形成水平电场，其中通过薄膜晶体管 6 向像素电极 14 提供像素信号，而通过公共线 16 向公共电极 18 提供基准电压。结果，可以在像素电极 14 的指状部分 14C 和公共电极 18 之间形成水平电场。通过该水平电场，在薄膜晶体管基板与滤色器基板之间沿水平方向排列的液晶分子由于介电各向异性而旋转。光透过像素区域 5 的透射率根据液晶分子的旋转程度而不同，由此实现灰度级。

存储电容器 20 包括与公共线 16 交叠并且其间具有栅绝缘膜 46、有源层 48 和欧姆接触层 50 的上存储电极 22。存储电容器 20 还包括通过设置在保护膜 52 中的第二接触孔 21 与上存储电极 22 相连的像素电极 14。存储电容器 20 使得可以稳定地保持充电到像素电极 14 上的像素信号，直至充电下一个像素信号为止。

选通线 2 通过选通焊盘 24 与选通驱动器（未示出）相连。选通焊盘 24 包括：从选通线 2 延伸的下选通焊盘电极 26；以及经由穿过栅绝缘膜 46 和保护膜 52 的第三接触孔 27 与下选通焊盘电极 26 相连的上选通焊盘电极 28。数据线 4 通过数据焊盘 30 与数据驱动器（未示出）相连。数据焊盘 30 包括：从数据线 4 延伸的下数据焊盘电极 32；以及经由穿过保护膜 52 的第四接触孔 33 与下数据焊盘电极 32 相连的上数据焊盘电极 34。公共线 16 通过公共焊盘 36 从外部基准电压源（未示出）接收基准电压。公共焊盘 36 包括：从公共线 16 延伸的下公共焊盘电极 38；以及经由穿过栅绝缘膜 46 和保护膜 52 的第五接触孔 39 与下公共焊盘电极 38 相连的上公共焊盘电极 40。

下面参照图 3A 到 3D 对使用四道掩模工艺制造具有上述结构的薄膜晶体管基板的方法进行详细说明。参照图 3A，通过第一掩模工艺在下基板 45 上设置包括选通线 2、栅极 8 和下选通焊盘电极 26、公共线 16、公共电极 18 和下公共电极焊盘 38 的栅金属图案组。

通过下述步骤形成栅金属图案组。首先通过诸如溅射的淀积技术在上基板 45 上形成栅金属层。然后，利用第一掩模，通过光刻和蚀刻工艺对栅金属层进行构图，由此形成包括选通线 2、栅极 8、下选通焊盘电极 26、公共线 16、公共电极 18 和下公共焊盘电极 38 的栅金属图案组。栅

金属层由诸如铝合金、铬 (Cr) 或钼 (Mo) 的金属构成。

参照图 3B, 在具有栅金属图案组的下基板 45 上涂覆栅绝缘膜 46。此外, 通过第二掩模工艺在栅绝缘膜 46 上设置包括有源层 48 和欧姆接触层 50 的半导体图案, 以及包括数据线 4、源极 10、漏极 12、下数据焊盘电极 32 和上存储电极 22 的源/漏金属图案组。更具体地, 通过诸如等离子增强化学汽相淀积 (PECVD) 和/或溅射的适当淀积技术在具有栅金属图案组的下基板 45 上依次形成栅绝缘膜 46、非晶硅层、 n^+ 非晶硅层和源/漏金属层。这里, 栅绝缘膜 46 由诸如氮化硅 (SiN_x) 或氧化硅 (SiO_x) 的无机绝缘材料形成。源/漏金属层由钼 (Mo)、钛 (Ti)、钽 (Ta) 或钼合金制成。

然后, 利用第二掩模, 通过光刻在源/漏金属层上形成光刻胶图案。在这种情况下, 将与薄膜晶体管的沟道部分相对应的具有衍射曝光部分的衍射曝光掩模用作为第二掩模, 由此使得沟道部分的光刻胶图案的高度低于其它图案部分。

随后, 通过利用该光刻胶图案的湿蚀刻工艺, 对源/漏金属层进行构图, 由此限定包括数据线 4、源极 10、与源极 10 集成为一体的漏极 12 以及上存储电极 22 的源/漏金属图案组。

接下来, 通过任何灰化工艺从沟道部分中去除具有相对低高度的光刻胶图案, 然后通过干蚀刻工艺对沟道部分的源/漏金属图案和欧姆接触层 50 进行蚀刻。由此, 暴露出沟道部分的有源层 48, 以使源极 10 与漏极 12 断开。然后, 通过剥离工艺去除源/漏金属图案组上残留的光刻胶图案。

参照图 3C, 通过第三掩模工艺在栅绝缘膜 46 中形成包括第一到第五接触孔 13、21、27、33 和 39 的保护膜 52。更具体地, 通过诸如等离子增强化学汽相沉积 (PECVD) 的淀积技术在源/漏金属图案组的整个表面上淀积保护膜 52。利用第三掩模进行光刻和蚀刻来对保护膜 52 进行构图, 以限定第一到第五接触孔 13、21、27、33 和 39。第一接触孔 13 穿透保护膜 52 以暴露漏极 12。第二接触孔 21 穿透保护膜 52 以暴露上存储电极 22。第三接触孔 27 穿透保护膜 52 和栅绝缘膜 46 以暴露下选通焊盘

电极 26。第四接触孔 32 穿透保护膜 52 以暴露下数据焊盘电极 32。第五接触孔 39 穿透保护膜 52 和栅绝缘膜 46 以暴露下公共焊盘电极 38。如果源/漏金属是由具有高干蚀刻率的金属（例如钼（Mo））形成的，则第一、第二和第四接触孔 13、21 和 33 分别穿过漏极 12、上存储电极 22 和下数据焊盘电极 32，由此暴露这些电极的侧面。保护膜 50 由与栅绝缘膜 46 相同的无机材料形成，或者由具有低介电常数的有机材料（例如丙烯酸有机化合物、BCB（苯并环丁烯）或 PFCB（全氟环丁烷（perfluorocyclobutane））等）形成。

参照图 3D，通过第四道掩模工艺在保护膜 52 上设置包括像素电极 14、上选通焊盘电极 28、上数据焊盘电极 34 和上公共焊盘电极 40 的透明导电膜图案组。更具体地，通过诸如溅射的淀积技术在保护膜 52 上涂覆透明导电膜。然后，通过利用第四掩模进行光刻和蚀刻工艺，对透明导电膜进行构图，以形成包括像素电极 14、上选通焊盘电极 28、上数据焊盘电极 34 和上公共焊盘电极 40 的透明导电图案组。像素电极 14 通过第一接触孔 13 与漏极 12 电连接，同时通过第二接触孔 21 与上存储电极 22 电连接。上选通焊盘电极 28 通过第三接触孔 37 与下选通焊盘电极 26 电连接。上数据焊盘电极 34 通过第四接触孔 33 与下数据焊盘电极 32 电连接。上公共焊盘电极 40 通过第五接触孔 39 与下公共焊盘电极 38 电连接。透明导电膜由铟锡氧化物（ITO）、氧化锡（TO）或者铟锌氧化物（IZO）形成。

上述现有技术的水平电场型薄膜晶体管基板及其制造方法使用了四道掩模工艺，由此减少了制造工艺的数量，因此与使用五道掩模工艺的制造方法相比降低了制造成本。然而，由于这四道掩模工艺仍然是复杂的制造工艺。因此，限制了成本的进一步降低。仍然需要简化制造工艺并降低制造成本。

发明内容

因此，本发明的一个目的是提供一种水平电场型液晶显示器件的薄膜晶体管基板及其制造方法，其基本上克服了由于现有技术的限制和缺

点而产生的一个或更多个问题。

本发明的一个目的是提供一种水平电场型液晶显示器件的薄膜晶体管基板及其简化了制造工艺的制造方法。

5 本发明的其它特征和优点将在下面的说明中提到，部分地根据说明书而明了，或者可以通过本发明的实践而体验到。通过所写说明书及其权利要求以及附图所具体指出的结构来实现并获得本发明的目的和其它优点。

10 为了实现本发明的这些和其它目的，根据本发明一个方面的水平电场施加型薄膜晶体管基板包括：由第一导电层在一基板上形成的相互平行的选通线和第一公共线；与所述选通线和所述第一公共线交叉并在其
15 间具有栅绝缘膜，以限定像素区域的数据线，所述数据线由第二导电层形成；由所述第二导电层形成并与所述第一公共线交叉并且其间具有所述栅绝缘膜的第二公共线；与所述选通线和数据线相连的薄膜晶体管；由所述第二导电层形成并从所述像素区域中的所述第二公共线延伸的公共
20 电极；由所述第二导电层形成的与所述公共电极和所述第二公共线平行的像素电极；用于覆盖所述薄膜晶体管的保护膜；选通焊盘，具有与所述选通线相连的下选通焊盘电极以及在第一接触孔内与所述下选通焊盘电极相连的上选通焊盘电极，所述下选通焊盘电极由所述第一导电层形成，所述上选通焊盘电极由第三导电层形成；公共焊盘，具有与所
25 述第一公共线相连的下公共焊盘电极以及在第二接触孔内与所述下公共焊盘电极相连的上公共焊盘电极，所述下公共焊盘电极由所述第一导电层形成，所述上公共焊盘电极由所述第三导电层形成；以及数据焊盘，具有与所述数据线相连的下数据焊盘电极以及在第三接触孔内与所述下数据焊盘电极相连的上数据焊盘电极，所述下数据焊盘电极由所述第二导电层形成，所述上数据焊盘电极由所述第三导电层形成。

另一方面，一种制造水平电场型薄膜晶体管基板的方法包括以下步骤：在基板上淀积第一导电层；由所述第一导电层形成选通线、与所述选通线相连的栅极、下选通焊盘电极、与所述选通线平行的第一公共线、以及与所述第一公共线相连的下公共焊盘电极；在所述选通线、所述栅

极、所述下选通焊盘电极、所述第一公共线和所述公共焊盘电极上涂覆栅绝缘膜；在所述栅绝缘膜上淀积半导体层和第二导电层；由所述半导体层形成半导体图案；在所述半导体图案上由第二导电层形成与所述选通线和公共线交叉的数据线、与所述数据线相连的源极和下数据焊盘电极、与所述源极相对的漏极、以及与所述漏极相连的像素电极；在所述半导体图案上由所述第二导电层形成与所述数据线平行的第二公共线和从所述第二公共线延伸以与所述像素电极一起产生水平电场的公共电极；在所述基板上涂覆保护膜；对所述保护膜和所述栅绝缘膜进行构图以提供第一到第三接触孔来暴露所述下选通焊盘电极、所述下公共焊盘电极和所述下数据焊盘电极；对第三导电层进行构图以在所述第一到第三接触孔内分别提供上选通焊盘电极、上公共焊盘电极和上数据焊盘电极。

另一方面，一种制造水平电场型薄膜晶体管基板的方法，包括：第一掩模工艺，用于在基板上由第一导电层形成选通线、与所述选通线相连的栅极和下选通焊盘电极、与所述选通线平行的第一公共线、以及与所述第一公共线相连的下公共焊盘电极；第二掩模工艺，用于淀积栅绝缘膜，并在所述半导体图案上由所述第二导电层形成与所述选通线和所述第一公共线交叉的数据线、与所述数据线相连的源极和下数据焊盘电极、与所述源极相对的漏极、与所述漏极相连的像素电极、与所述数据线平行的第二公共线、以及与所述第二公共线相连并与所述像素电极平行的公共电极；以及第三掩模工艺，用于淀积保护膜，对所述保护膜和所述栅绝缘膜进行构图以限定第一到第三接触孔，分别用来暴露所述下选通焊盘电极、所述下公共焊盘电极和下数据焊盘电极，并且在所述第一到第三接触孔内分别形成上选通焊盘电极、上公共焊盘电极和上数据焊盘电极。

应当理解，以上概述和下面的详细说明都是示例性和解释性的，并且旨在对所要求保护的本发明提供进一步的解释。

附图说明

根据以下参照附图的本发明实施例的详细说明，本发明的这些和其它目的将变得明了。

图 1 是表示现有技术的水平电场型液晶显示器件的薄膜晶体管基板的结构的平面图。

图 2 是沿图 1 中的线 I-I' 和 II-II' 截取的薄膜晶体管基板的剖视图。

图 3A 到 3D 是逐步示出制造图 2 中所示的薄膜晶体管基板的方法的剖视图。

图 4 是表示根据本发明实施例的水平电场型薄膜晶体管基板的结构的平面图。

图 5 是沿图 4 中的线 III-III'、IV-IV'、V-V'、VI-VI'、VII-VII' 和 VIII-VIII' 截取的薄膜晶体管基板的剖视图。

图 6A 和图 6B 是分别用于说明根据本发明实施例的薄膜晶体管基板的制造方法中的第一掩模工艺的平面图和剖视图。

图 7A 和图 7B 是分别用于说明根据本发明实施例的薄膜晶体管基板的制造方法中的第二掩模工艺的平面图和剖视图。

图 8A 到图 8D 是用于具体说明根据本发明实施例的薄膜晶体管基板的制造方法中的第二掩模工艺的剖视图。

图 9A 和图 9B 是分别用于说明根据本发明实施例的薄膜晶体管基板的制造方法中的第三掩模工艺的平面图和剖视图。

图 10A 到图 10D 是用于具体说明根据本发明实施例的薄膜晶体管基板的制造方法中的第三掩模工艺的剖视图。

图 11A 和图 11B 是分别表示应用于根据本发明实施例的薄膜晶体管基板的剥离剂 (stripper) 的渗透路径的一个示例的平面图和剖视图。

图 12A 和图 12B 是分别表示应用于根据本发明实施例的薄膜晶体管基板的剥离剂的渗透路径的另一示例的平面图和剖视图。

图 13 是表示根据本发明另一实施例的水平电场施加型薄膜晶体管基板的结构的平面图。

具体实施方式

现将详细说明本发明的优选实施例，其示例在附图中示出。下文中，参照图 4 到 13 详细说明本发明的优选实施例。

图 4 是表示根据本发明实施例的水平电场型液晶显示器件的薄膜晶体管基板的结构的平面图，图 5 是沿图 4 中的线 III-III'、IV-IV'、V-V'、VI-VI'、VII-VII'和 VIII-VIII'截取的薄膜晶体管基板的剖视图。参照图 4 和图 5，该薄膜晶体管基板包括：以彼此交叉并且其间具有栅绝缘膜 146 的方式设置在下基板 145 上的选通线 102 和数据线 104。选通线 102 和数据线 104 限定像素区域。在各个像素区域中设置薄膜晶体管 106。在各个像素区域中设置像素电极 114 和公共电极 118，以形成水平电场来使液晶材料旋转。公共线 116 与公共电极 118 相连。该薄膜晶体管基板还包括具有与公共线 116 交叠的上存储电极 122 的存储电容器 120。此外，该薄膜晶体管基板包括：与选通线 102 相连的选通焊盘 125、与数据线 104 相连的数据焊盘 131、以及与公共线 116 相连的公共焊盘 135。为选通线 102 提供选通信号，而为数据线 104 提供数据信号。

薄膜晶体管 106 使得可以响应于选通线 102 的选通信号，将数据线 104 的数据信号充电并保持在像素电极 114 上。为此，薄膜晶体管 106 包括：与选通线 102 相连的栅极 108；与数据线 104 相连的源极 110；与源极 110 相对的漏极 112；与栅极 108 交叠并且其间具有栅绝缘膜 146 以在源极 110 和漏极 112 之间限定沟道区域的有源层 148；以及设置在有源层 148 的除所述沟道以外的区域上的欧姆接触层 150，用于使源极 110 和漏极 112 进行欧姆接触。此外，有源层 148 和欧姆接触层 150 与数据线 104、下数据焊盘电极 130 和上存储电极 122 交叠，其中数据线 104、下数据焊盘电极 130 和上存储电极 122 与源极 110 和漏极 112 一起由第二导电层形成。

公共线 116 和公共电极 118 提供用于驱动液晶的基准电压。公共线 116 包括：在显示区域中与选通线 102 平行设置的第一公共线 116A、以及以与第一公共线 116A 交叉的方式与数据线 104 平行相连的第二公共线 116B。换言之，沿第一方向横穿像素区域设置第一公共线 116A，而沿垂

直于第一方向的第二方向横穿像素区域设置第二公共线 116B。此外，公共线 116 包括在非显示区域中与多条第一公共线 116A 相连的第三公共线 116C。这里，第一和第三公共线 116A 和 116C 与选通线 102 一起由第一导电层（或栅金属层）形成，而第二公共线 116B 与数据线 104 一起由第二导电层（或源/漏金属层）形成。由此，第二导电层的第二公共线 116B 通过接触电极 200 与所述第一导电层的第一公共线 116A 相连。在第一和第二公共线 116A 和 116B 之间的交叉部分处，与第二公共线 116B 交叉地设置接触电极 200，并且将该接触电极 200 设置在第四接触孔 202 内，以暴露第一和第二公共线 116A 和 116B。

公共电极 118 与第二公共线 116B 相连，并且与像素电极 114 平行地以指状形成在像素区域中。更具体地，公共电极 118 包括：以与选通线 102 平行的方式从像素区域中的第二公共线 116B 突出的第一公共电极 118A、以与像素电极 114 平行的方式从第一公共电极 118A 突出的第二公共电极 118B。例如，多个第二公共电极 118B 中与数据线 102 相邻的一个第二公共电极 118B 以与第一公共线 116A 交叉的方式延伸，而位于中间部分中的其余第二公共电极 118B 在第一公共线 116A 的前面延伸，以不与公共线 116A 交叉。第一和第二公共电极 118A 和 118B 与第二公共线 116B 一起由第二导电层形成。此外，当如图 4 所示，横穿像素区域的中间部分设置第一公共线 116B 时，公共电极 118 包括以与像素电极 114 平行的方式从第一公共线 116A 突出的第三公共电极 118C。该第三公共电极 118C 与第一公共线 116A 一起由第一导电层形成，并且设置为与多个第二公共电极 118B 中的任一公共电极成直线。

像素电极 114 与薄膜晶体管 106 的漏极 112 相连，并且与公共电极 118 在像素区域中形成水平电场。此外，像素电极 114 与第二公共线 116B 形成水平电场。像素电极 114 包括：与选通线 102 平行设置并与漏极 112 相连的水平部分 114A；从水平部分 114A 延伸到像素区域，并与公共电极 118 和第二公共线 116B 平行的指状部分 114B。像素电极 114 与数据线 104、源极 110 和漏极 112 一起由第二导电层形成。由此，在像素电极 114 与公共电极 118 和第二公共线 116B 之间形成水平电场，其中通过薄

膜晶体管 106 将数据信号施加给像素电极 114, 通过公共线 116 将基准电压施加给公共电极 118 和第二公共线 116B。薄膜晶体管基板和滤色器之间的液晶分子由于介电各向异性, 通过该水平电场而旋转到水平方向。光透过像素区域的透射率根据液晶分子的旋转程度而不同, 由此实现灰度级。

存储电容器包括: 作为下存储电极的一部分第一公共线 116A; 以及与一部分第一公共线 116A 交叠的上存储电极 122。栅绝缘膜 146、有源层 148 和欧姆接触层 150 介于第一公共线 116A 与上存储电极 122 之间。上存储电极 122 连接在与第一公共线 116A 交叉的像素电极 114 的多个指状部分 114B 之间, 并且与像素电极 114 一起由第二导电层形成。该存储电容器使得能够稳定地保持充电到像素电极 114 中的像素信号, 直到充入下一个像素信号为止。

选通线 102 通过选通焊盘 125 与选通驱动器 (未示出) 相连。选通焊盘 125 包括: 从选通线 102 延伸的下选通焊盘电极 124; 以及经由穿过栅绝缘膜 146 和保护膜 152 的第一接触孔 166 与下选通焊盘电极 124 相连的上选通焊盘电极 128。

公共线 116 通过公共焊盘 135 从外部基准电压源 (未示出) 接收基准电压。公共焊盘 135 包括: 从公共线 116 延伸的下公共焊盘电极 136; 以及经由穿过栅绝缘膜 146 和保护膜 152 的第二接触孔 170 与下公共焊盘电极 136 相连的上公共焊盘电极 140。

数据线 104 通过数据焊盘 131 与数据驱动器 (未示出) 相连。数据焊盘 131 包括: 从数据线 104 延伸的下数据焊盘电极 130; 以及经由穿过保护膜 152 的第三接触孔 168 与下数据焊盘电极 130 相连的上数据焊盘电极 134。在这种薄膜晶体管基板中, 上选通焊盘电极 128、上数据焊盘电极 134 和上公共焊盘电极 140 与接触电极 200 一起由第三导电层形成。通过剥离工艺去除用于对保护膜 152 和栅绝缘膜 146 进行构图的光刻胶图案, 来对第三导电层进行构图。由此, 已构图的第三导电层构成与保护膜 152 的界面。根据本发明实施例的薄膜晶体管基板通过利用该剥离工艺, 去除了对第三导电层进行构图的掩模工艺。

为了提高剥离能力，在上述信号线和电极上设置穿过栅绝缘膜 146 和保护膜 152、或者保护膜 152 的剥离剂渗透路径 154。例如，以穿过保护膜的方式将剥离剂渗透路径 154 设置在像素电极 114、公共电极 118 或者第二公共线 116B 上。在没有光刻胶图案的部分上设置该剥离剂渗透路径 154，以使得剥离剂可以容易地渗透到光刻胶图案和保护膜 152 之间的界面部分中，由此提高光刻胶图案的剥离能力。此外，还将第一到第四接触孔 166、170、168 和 202 用作为剥离剂渗透路径，由此提高光刻胶图案的剥离能力。下面对制造具有该优点的根据本发明实施例的薄膜晶体管基板的方法进行说明。

10 图 6A 和 6B 是分别用于说明根据本发明实施例的水平电场施加型薄膜晶体管基板的制造方法中的第一掩模工艺的平面图和剖视图。如图 6A 和 6B 所示，通过第一掩模工艺在下基板 145 上设置包括选通线 102、栅极 108、下选通焊盘电极 124、第一和第三公共线 116A 和 116C、第三公共电极 118C 和下公共焊盘电极 136 的第一导电图案组。更具体地，通过
15 诸如溅射的淀积技术在上基板 145 上形成第一导电层。然后，利用第一掩模，通过光刻和蚀刻工艺对第一导电层进行构图，由此形成包括选通线 102、栅极 108、下选通焊盘电极 124、第一和第三公共线 116A 和 116C、第三公共电极 118C 和下公共焊盘电极 136 的第一导电图案组。第一导电层由 Cr、MoW、Cr/Al、Cu、Al (Nd)、Mo/Al、Mo/Al (Nd) 或 Cr/Al
20 (Nd) 形成。

图 7A 和图 7B 是分别用于说明根据本发明实施例的水平电场型薄膜晶体管基板的制造方法中的第二掩模工艺的平面图和剖视图，图 8A 到图 8D 是用于具体说明第二掩模工艺的剖视图。

首先，通过诸如等离子增强化学汽相淀积 (PECVD) 和溅射等的淀积技术在下基板 145 上形成栅绝缘膜 146。这里，该栅绝缘膜 146 由诸如
25 氮化硅 (SiN_x) 或氧化硅 (SiO_x) 的无机绝缘材料形成。

如图 7A 和图 7B 所示，在栅绝缘膜 146 上设置包括有源层 148 和欧姆接触层 150 的半导体图案；利用第二掩模工艺形成包括数据线 104、源极 110、漏极 112、第一和第二公共电极 118A 和 118B、像素电极 114、

下数据焊盘电极 130 和上存储电极 122 的第二导电图案组。像素电极 114 和公共电极 118 由不透光的第二导电层形成，由此防止漏光。

更具体地，如图 8A 所示，通过诸如等离子增强化学汽相淀积 (PECVD) 和/或溅射的淀积技术在栅绝缘膜 146 上依次形成非晶硅层 148A、n+非晶硅层 150A 和第二导电层 156。这里，第二导电层由 Cr、MoW、Cr/Al、Cu、Al (Nd)、Mo/Al、Mo/Al (Nd) 或 Cr/Al (Nd) 形成。

接下来，在第二导电层 156 上涂覆光刻胶膜，然后如图 8A 所示，利用作为局部曝光掩模的第二掩模，通过光刻法在其上形成具有台阶覆层的光刻胶图案 158。在这种情况下，将与随后要形成薄膜晶体管的沟道的部分相对应的、具有衍射曝光部分（或者半透射或透反射部分）的局部曝光掩模用作为第二掩模。由此，与第二掩模的衍射曝光部分（或半透光部分）相对应的光刻胶图案 158 的高度低于与第二掩模的透光部分（或屏蔽部分）相对应的光刻胶图案 158 的高度。换言之，沟道部分处的光刻胶图案 158 的高度低于其它源/漏金属图案组部分处的光刻胶图案 158 的高度。

随后，利用光刻胶图案 158 进行湿蚀刻来对第二导电层 156 进行构图。由此，如图 8B 所示，形成第二导电金属图案组，其包括：数据线 104、从数据线 104 突出的源极 110、仍与源极 110 集成为一体的漏极 112、仍与漏极 112 集成为一体的像素电极 114、与数据线 104 平行的第二公共线 116B、与第二公共线 116 集成为一体的第一和第二公共电极 118A 和 118B、从数据线 104 延伸的下数据焊盘电极 130、以及与像素电极 114 集成为一体的上存储电极 122。这里，上存储电极 122 以与第一公共线 116A 交叠的方式连接在像素电极 114 的多个指状部分 114B 之间。此外，利用相同的光刻胶图案 158 通过干蚀刻工艺同时对 n+非晶硅层 105A 和非晶硅层 148A 进行构图，由此，如图 8B 所示，提供其中与第二导电图案组一起形成欧姆接触层 150 和有源层 148 的结构。

接下来，如图 8C 所示，利用氧 (O₂) 等离子体，通过灰化工艺去除在高度相对较低的沟道部分处的光刻胶图案 158，同时使第二导电图案组的剩余部分上的光刻胶图案 158 的高度降低。如图 8C 所示，以同样的方

式利用光刻胶图案 158，通过干蚀刻工艺，在与薄膜晶体管的沟道部分相对应的区域中对部分第二导电层和欧姆接触层 150 进行蚀刻。该干蚀刻使源极 110 从漏极 112 断开，并暴露出有源层 148。由此，在源极 110 和漏极 112 之间形成由有源层 148 构成的沟道。然后，如图 8D 所示，通过

5 剥离工艺全部去除第二导电图案组部分上的剩余光刻胶图案 158。

图 9A 和图 9B 是分别用于说明根据本发明实施例的水平电场型薄膜晶体管基板的制造方法中的第三掩模工艺的平面图和剖视图。图 10A 到图 10D 是用于具体说明第三掩模工艺的剖视图。如图 9A 和图 9B 所示，通过第三掩模工艺，对保护膜 152 和栅绝缘膜 146 进行构图，以限定第

10 一到第四接触孔 166、170、168 和 202；在第一到第四接触孔 166、170、168 和 202 中分别设置包括上选通焊盘电极 128、上数据焊盘电极 134、上公共焊盘电极 140 和接触电极 200 的第三导电图案组。该第三导电图案组构成与已构图的保护膜 152 的界面，在该保护膜 152 中，已构图的保护膜不与任何电极交叠。

15 更具体地，如图 10A 所示，在栅绝缘膜 146 和第二导电图案组上形成保护膜 152。这里，保护膜 152 由无机绝缘材料或者与栅绝缘膜 146 相似的有机绝缘材料形成。此外，如图 10A 所示，利用第三掩模进行光刻，在要存在保护膜 152 的部分上形成光刻胶图案 160。接下来，利用光刻胶图案 160 通过干蚀刻工艺来对保护膜 152 和栅绝缘膜 146 进行构图，以

20 形成第一到第四接触孔 166、170、168 和 202 以及剥离剂渗透路径 154。以穿透保护膜 152 的方式形成第一和第二接触孔 166 和 170 以及第四接触孔 202，并分别暴露下选通焊盘电极 124、下公共焊盘电极 136 以及第一和第二公共线 116A 和 116B。第三接触孔 168 穿透保护膜 152 以暴露下数据焊盘电极 130。剥离剂渗透路径 154 暴露像素电极 114、公共电极

25 118 或第三公共线 116B。

随后，如图 10C 所示，通过诸如溅射等的淀积技术在整个薄膜晶体管基板上形成第三导电层 172。第三导电层 172 由包含铟锡氧化物(ITO)、氧化锡(TO) 铟锌氧化物(IZO) 或 SnO₂ 的透明导电层形成。另选地，第三导电膜 172 由诸如钛(Ti) 或钨(W) 等的具有高耐蚀性和高机械强

度的金属层形成。

通过剥离工艺将光刻胶图案 160 与其上的第三导电层 172 一起去除，由此对第三导电层 172 进行构图。从而，如图 10D 所示，分别在第一到第四接触孔 166、170、168 和 202 中设置上选通焊盘电极 128、上公共焊盘电极 140、上数据焊盘电极 134 和接触电极 200。此外，在剥离剂渗透路径 154 中设置哑图案（dummy pattern）164。

在这种情况下，在不存在光刻胶图案 160 的部分处与第一到第四接触孔 162、166、170 和 202 一起形成剥离剂渗透路径 154，以使得可以将更多的剥离剂 A 渗透到光刻胶图案 160 和保护膜 152 之间的界面部分中。结果，可以通过剥离剂 A 使覆盖有第三导电层 172 的光刻胶图案 160 容易地与保护膜 152 分离。这是因为，保护膜 152 的过蚀，使得光刻胶图案 160 的边缘具有比在设置有剥离剂渗透路径 154 以及第一到第四接触孔 162、166、170 和 202 的部分处的保护膜 152 的边缘更为突出的形状（未示出）。此外，由于在光刻胶图案 160 的边缘和保护膜 152 的边缘之间直线性地淀积了第三导电层 172，所以产生了开口或者由光刻胶图案 160 的突出边缘所导致的相对较薄地淀积的第三导电层 172，由此使得剥离剂能够容易地渗透。

如上所述，通过剥离工艺，与光刻胶图案 160 一起去除第三导电层 172 的不必要部分，以使第三导电图案组可以构成与保护膜 152 的界面。更具体地，在对应的接触孔 166、170、168 和 202 中设置上选通焊盘电极 128、上公共焊盘电极 140、上数据焊盘电极 134 和接触电极 200，以分别连接到下选通焊盘电极 124、下公共焊盘电极 136、下数据焊盘电极 130 以及第一和第二公共线 116A 和 116B。如果使用钛（Ti）作为第三导电层 172，则可以防止电化学腐蚀以及焊盘部分的撕裂。下面将对穿过像素电极 114、公共电极或第二公共选通线 116B 上的保护膜 152 的剥离剂渗透路径 154 的形状的示例进行说明。

参照图 11A 和图 11B，剥离剂渗透路径 154 由穿过位于像素电极 114 上方并沿着像素电极 114 的保护膜 152 的直线形狭缝 180 形成。此外，沿着直线形狭缝 180 留有哑导电图案 182。可以在包括选通线、公共线和

数据线的多条数据线以及公共电极中的任何一个上设置该直线形狭缝180。

参照图12A和图12B,剥离剂渗透路径154可以由穿过像素电极114上的栅绝缘膜146和保护膜152的多个孔184形成。哑导电图案186只留在多个孔184中,以互相分离。该多个孔184可以设置在包括选通线、公共线和数据线的多个信号线以及公共电极中的任何一个上。

图13表示根据本发明另一实施例的薄膜晶体管基板。除了第一公共线116A位于像素区域中的不同位置处以及没有从第一公共线突出的第三公共电极118C以外,图13所示的薄膜晶体管基板的元件与图4所示的相同。由此,为了简单,省略对相同元件的说明。

参照图13,在与薄膜晶体管106相邻的像素区域的下部设置第一公共线116A。由此,薄膜晶体管基板没有从第一公共线116A向其下侧突出的第三公共电极。相反,该薄膜晶体管基板具有下述的结构,其中没有任何一个第二公共电极118B与第一公共线116A交叉地延伸。还采用上述剥离工艺通过三道掩模工艺来提供具有以上结构的薄膜晶体管基板。

如上所述,根据本发明的实施例,采用剥离工艺来去除第三导电层的掩模工艺。因此,通过三道掩模工艺来制造薄膜晶体管基板,从而可以简化制造工艺,以降低制造成本并提高产品合格率。此外,根据本发明的实施例,可以通过多个信号线和电极中的至少一部分上的剥离剂渗透路径来有效地提高覆盖第三导电层的光刻胶图案的剥离能力。此外,根据本发明的实施例,像素区域内的公共电极和像素电极由不透光的导电层形成,由此防止漏光。

虽然通过上述附图中所示的实施例对本发明进行了说明,但是本领域的普通技术人员应当理解,本发明并不限于这些实施例,而是可以在不脱离本发明精神的情况下进行各种变化和修改。因此,本发明的范围由所附权利要求及其等同物确定。

本申请要求2003年11月4日提交的韩国专利申请No. 2003-77659的优先权,在此通过引用将其并入。

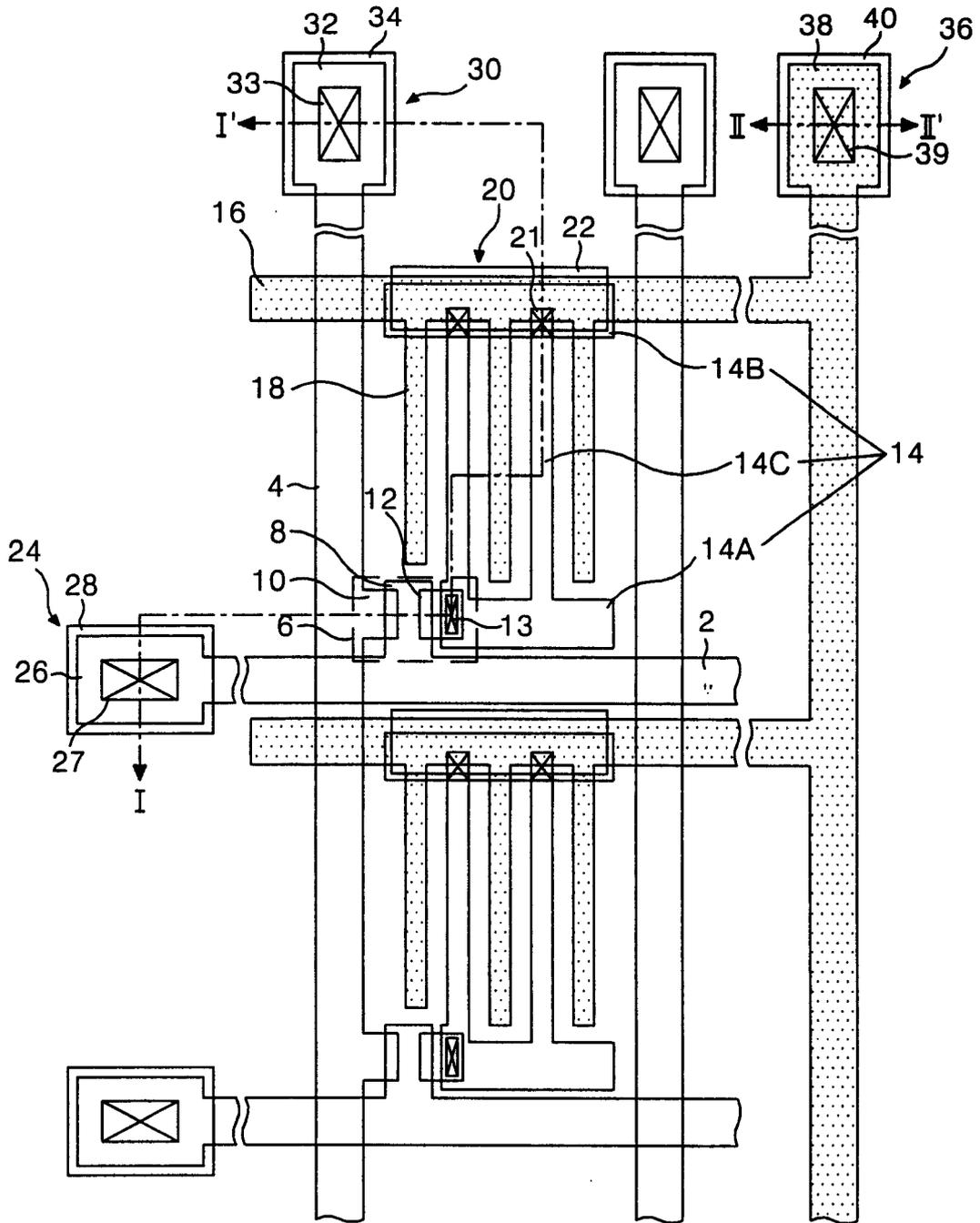


图 1
现有技术

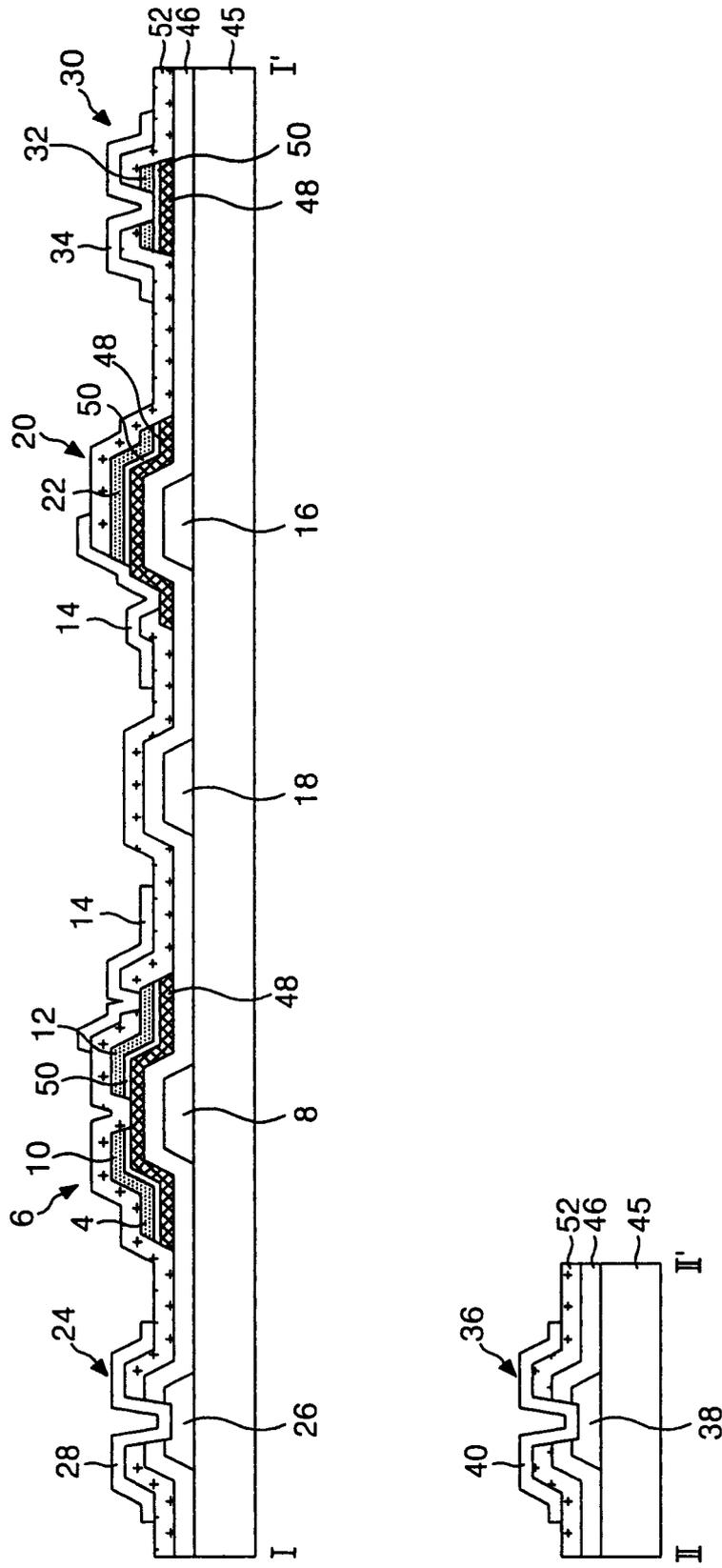


图2
现有技术

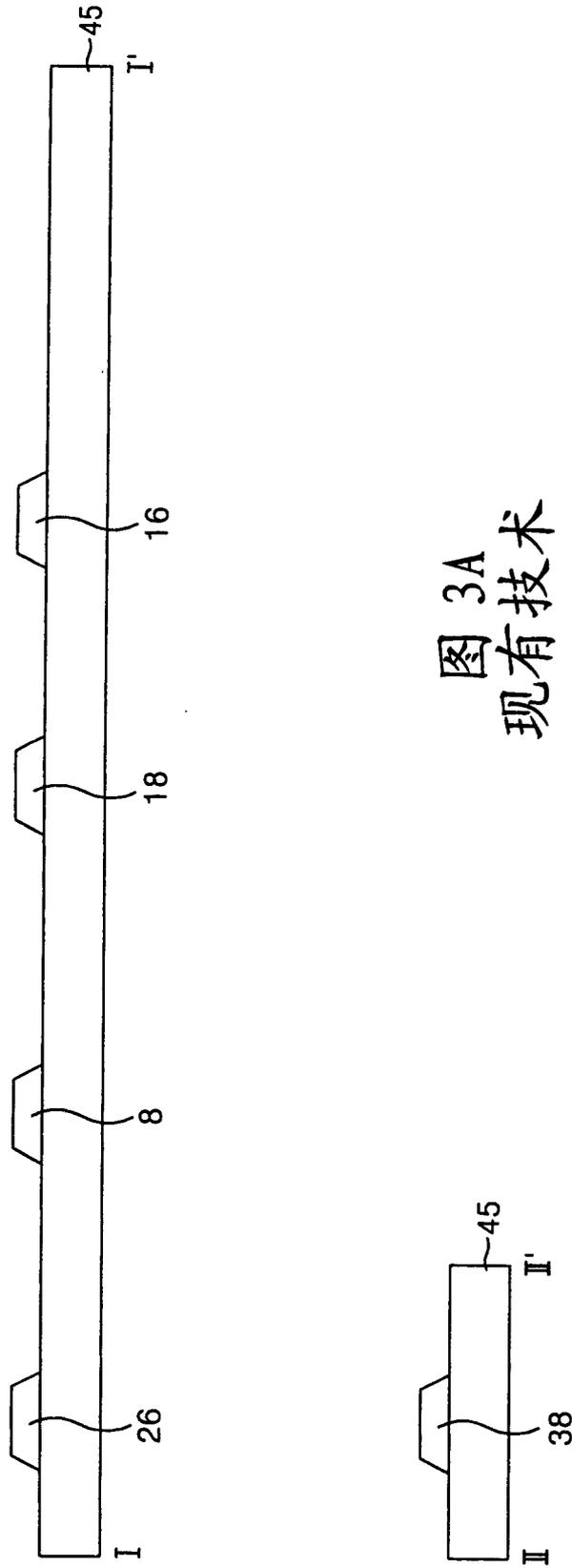


图 3A
现有技术

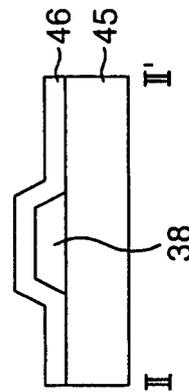
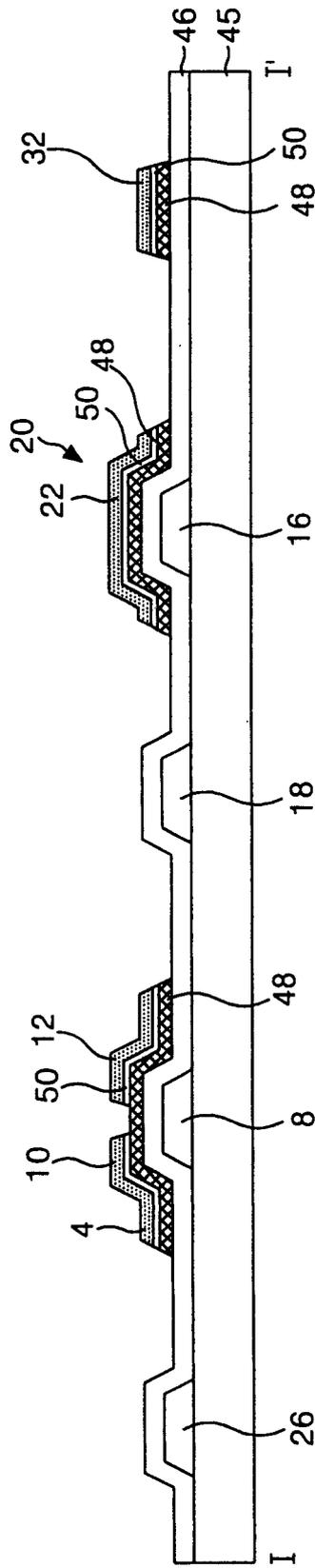


图 3B
现有技术

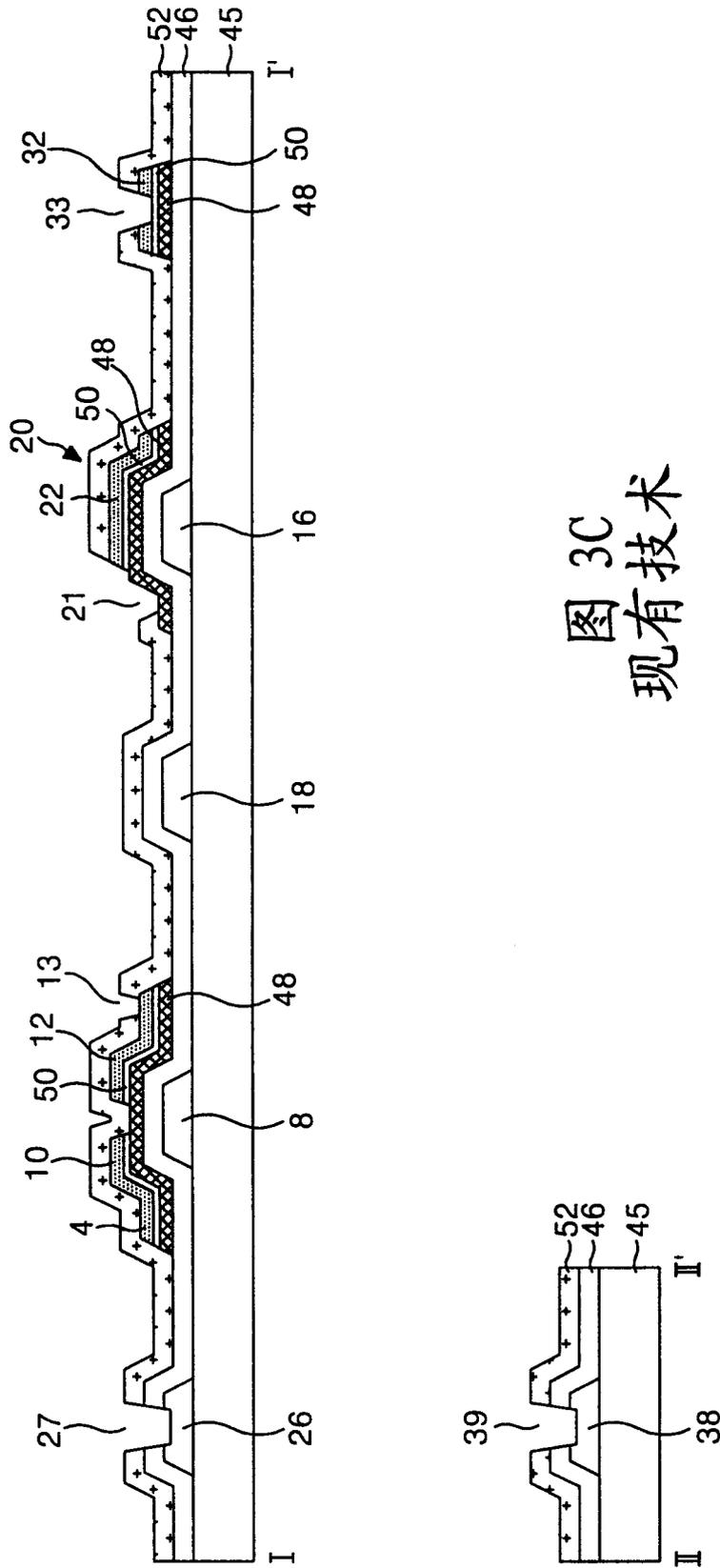


图 3C
现有技术

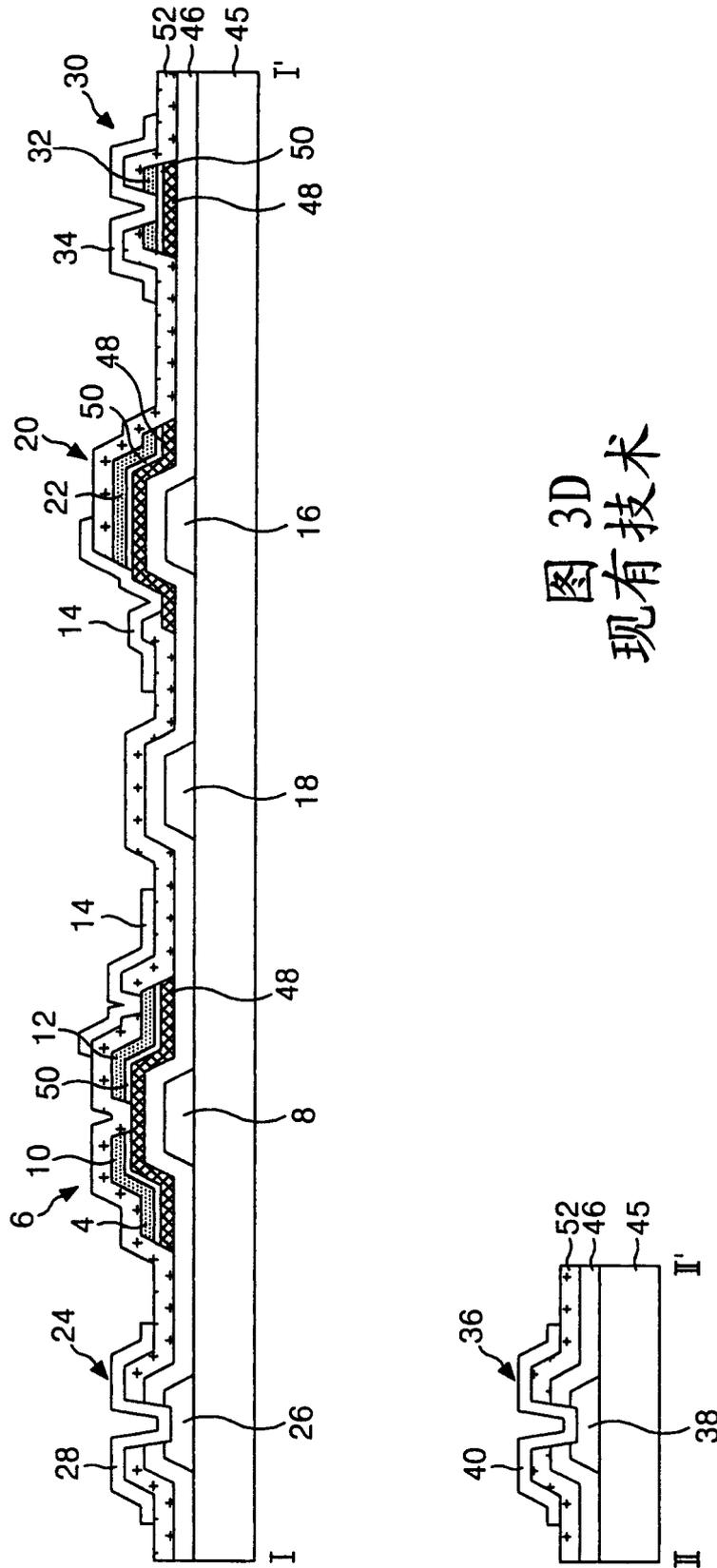


图 3D
现有技术

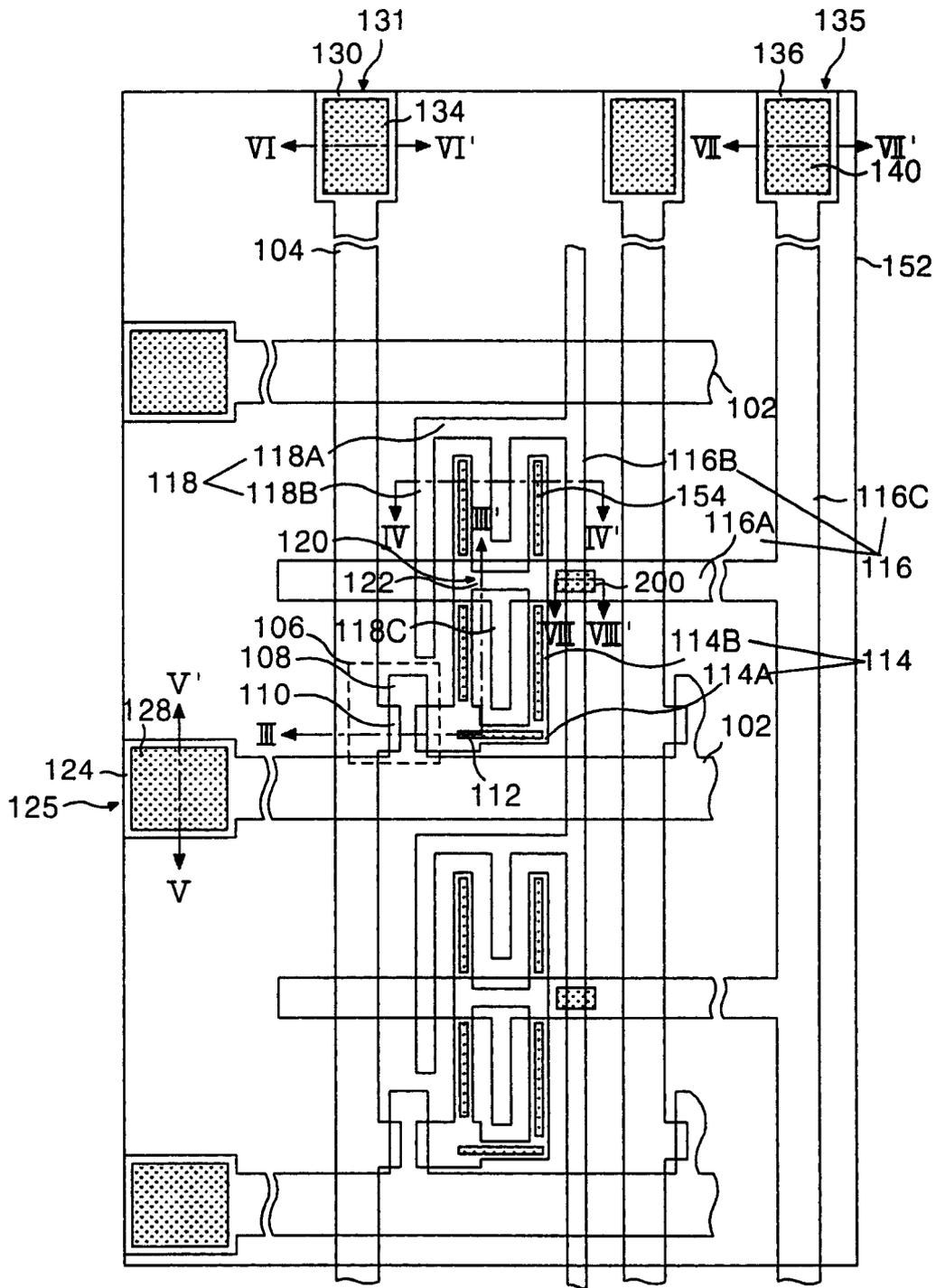


图 4

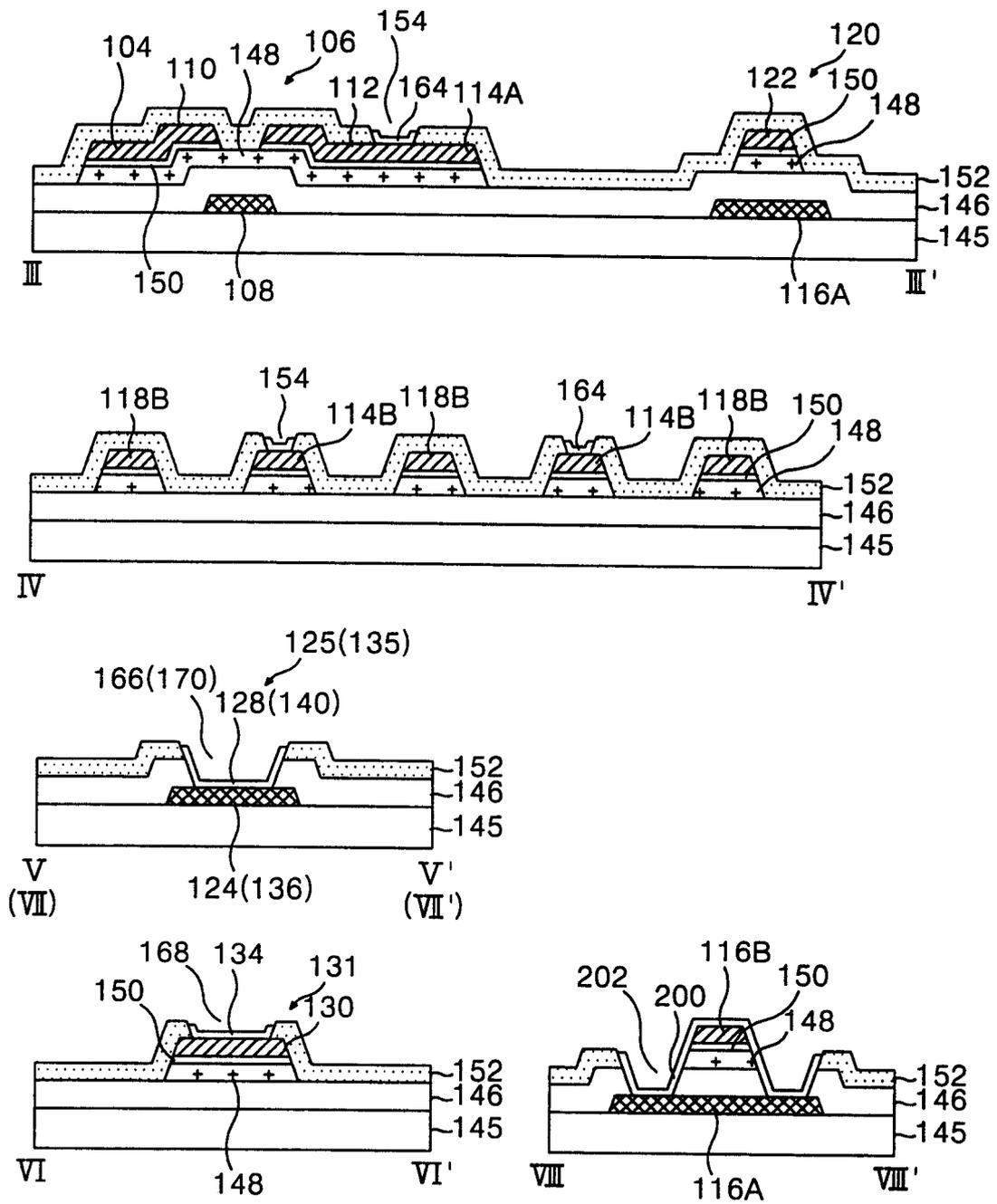


图 5

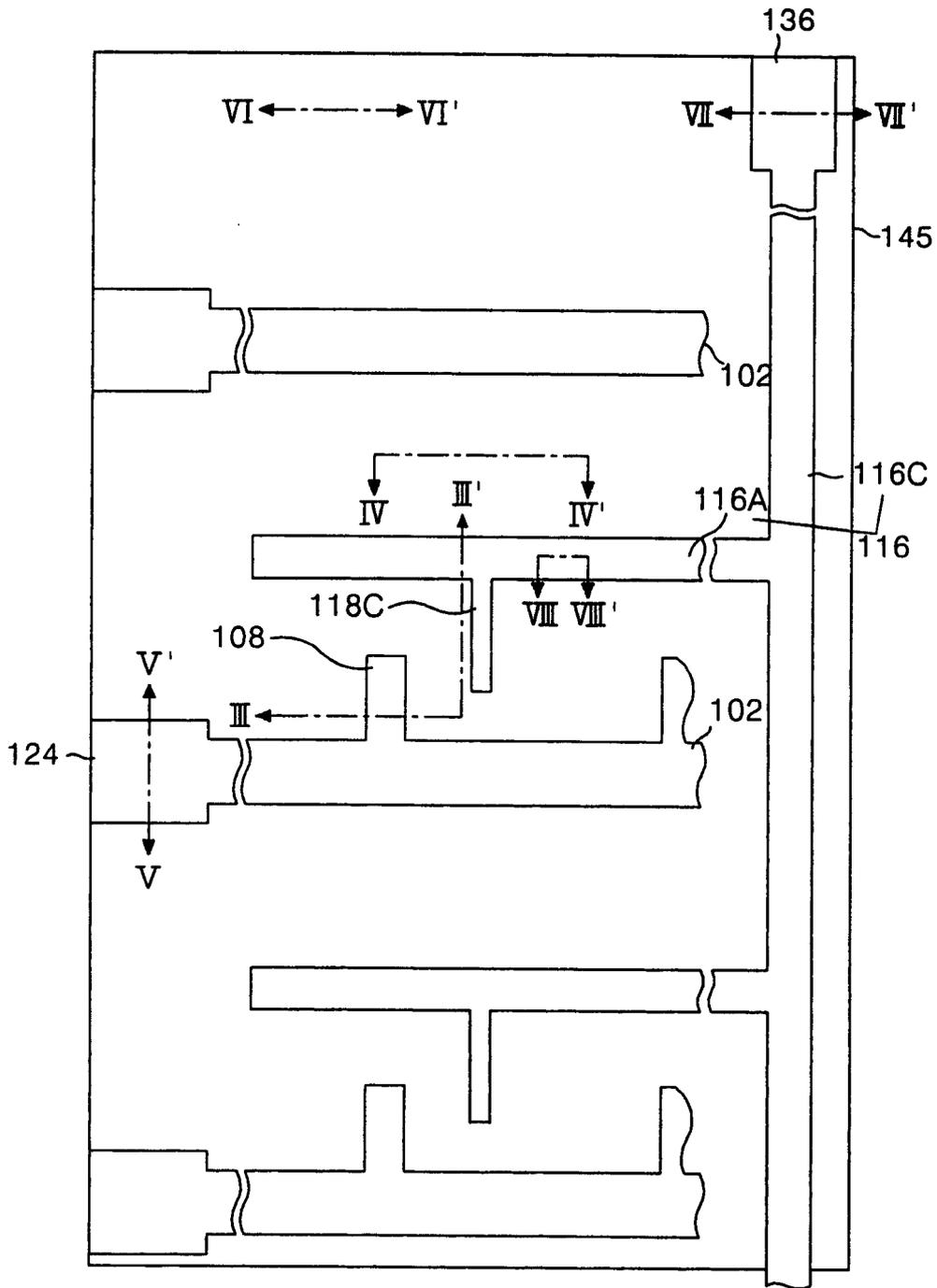


图 6A

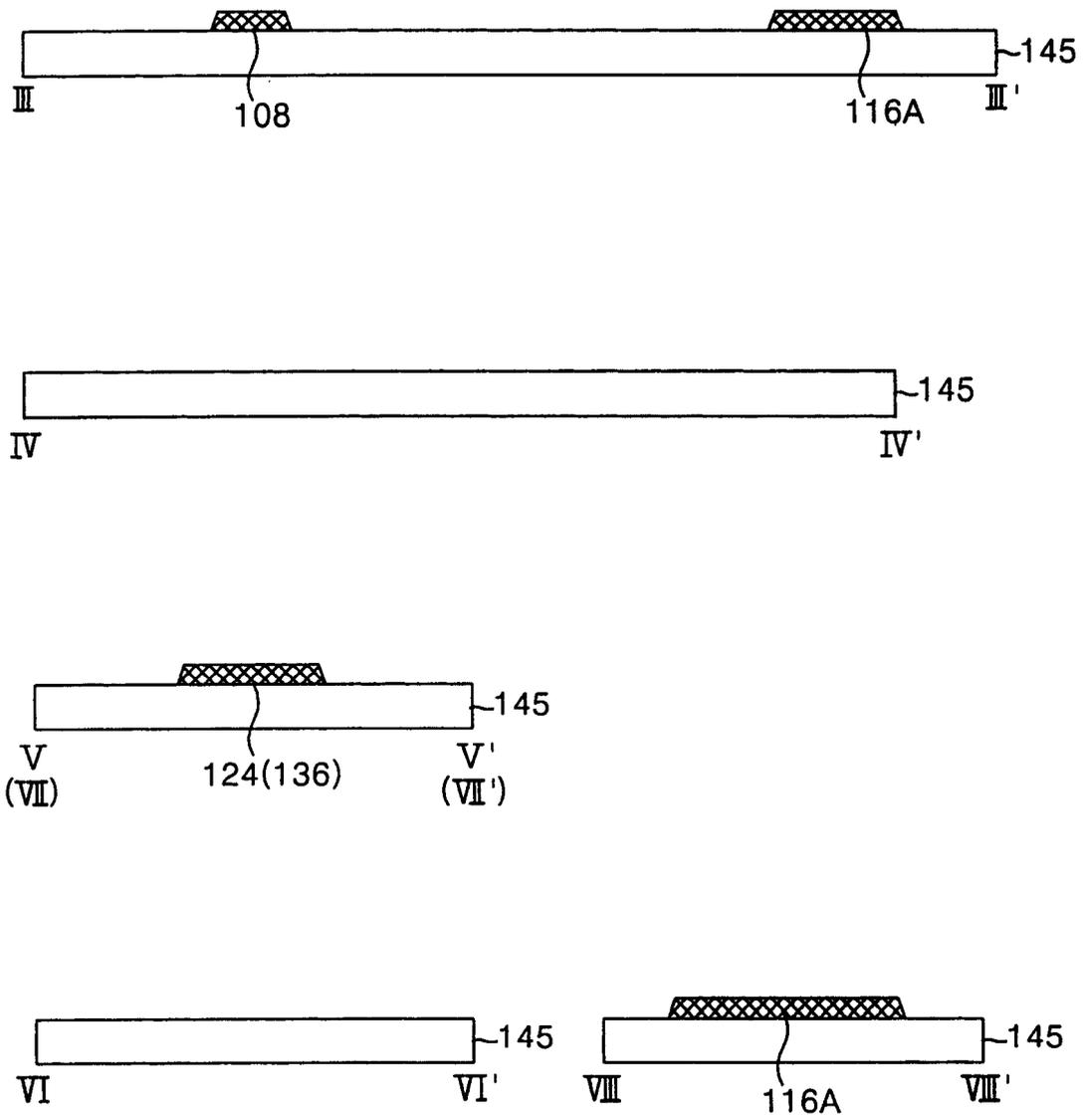


图 6B

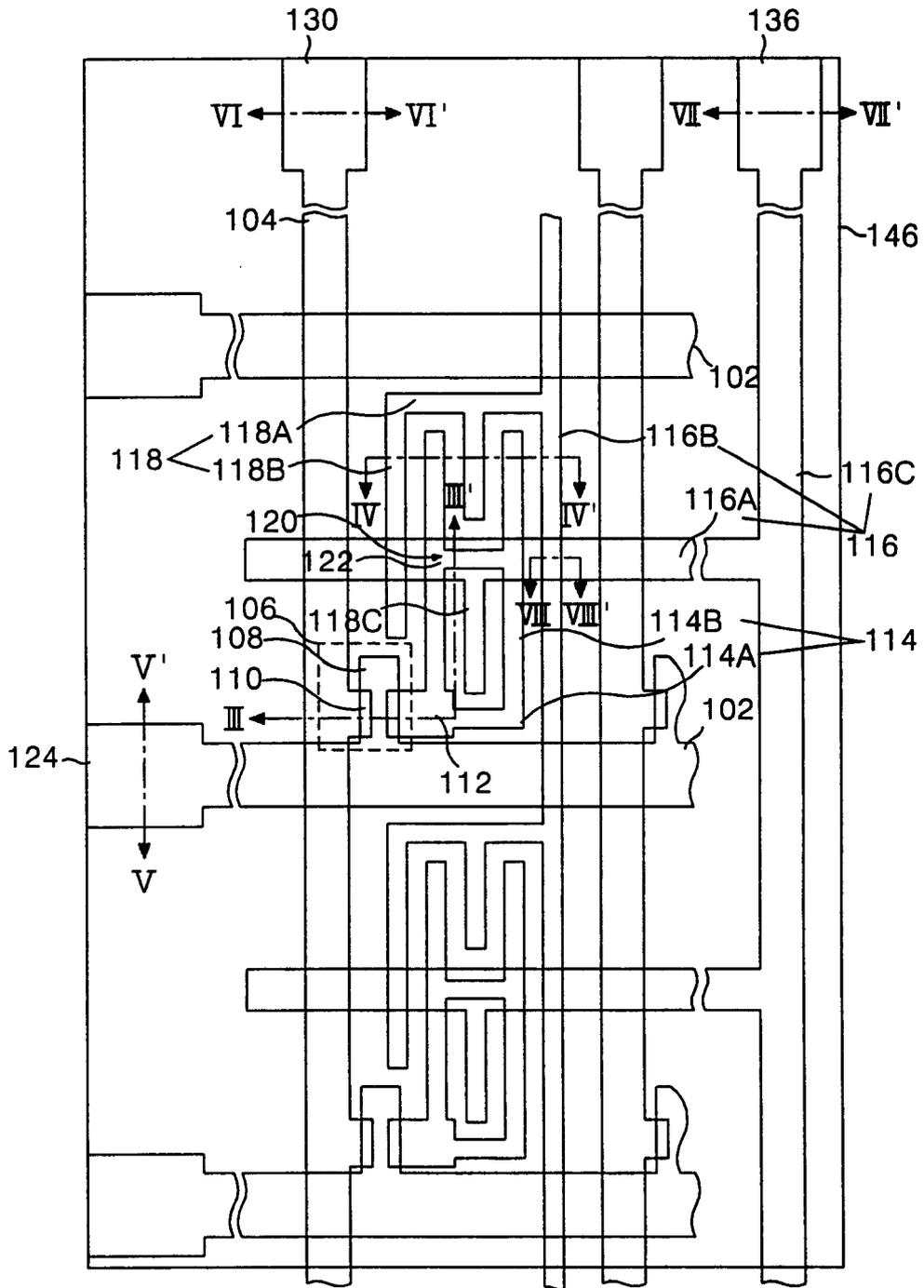


图 7A

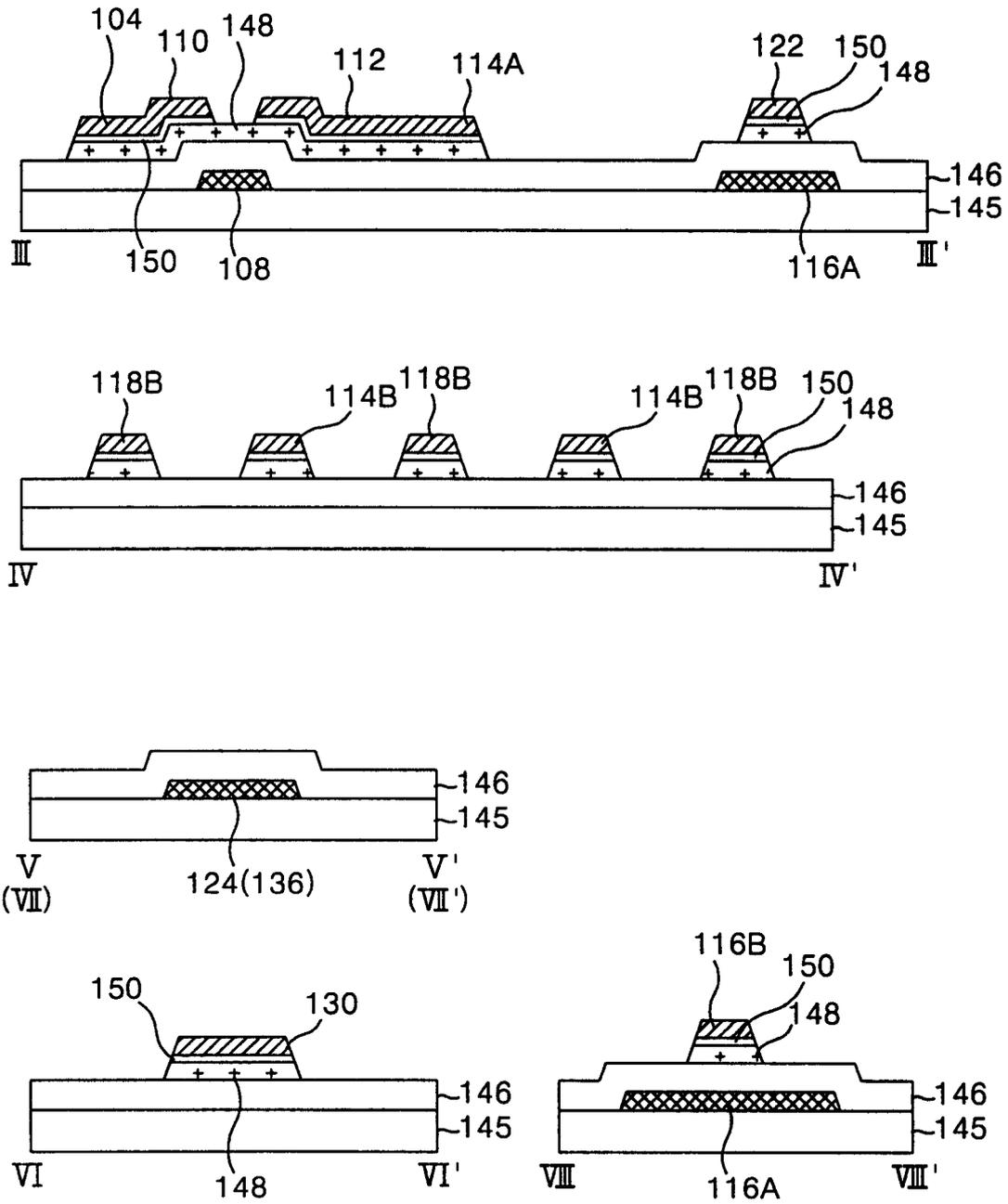


图 7B

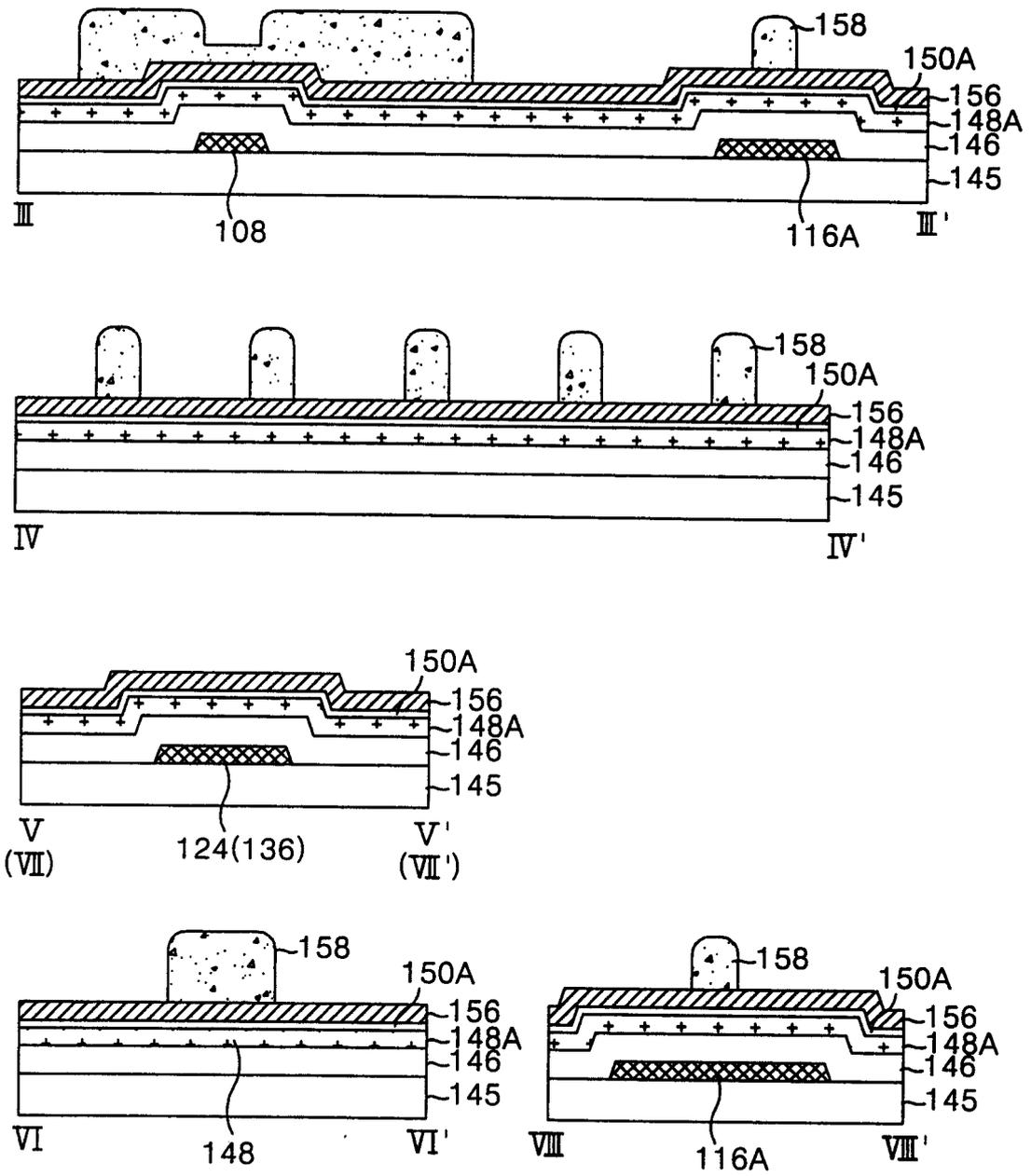


图 8A

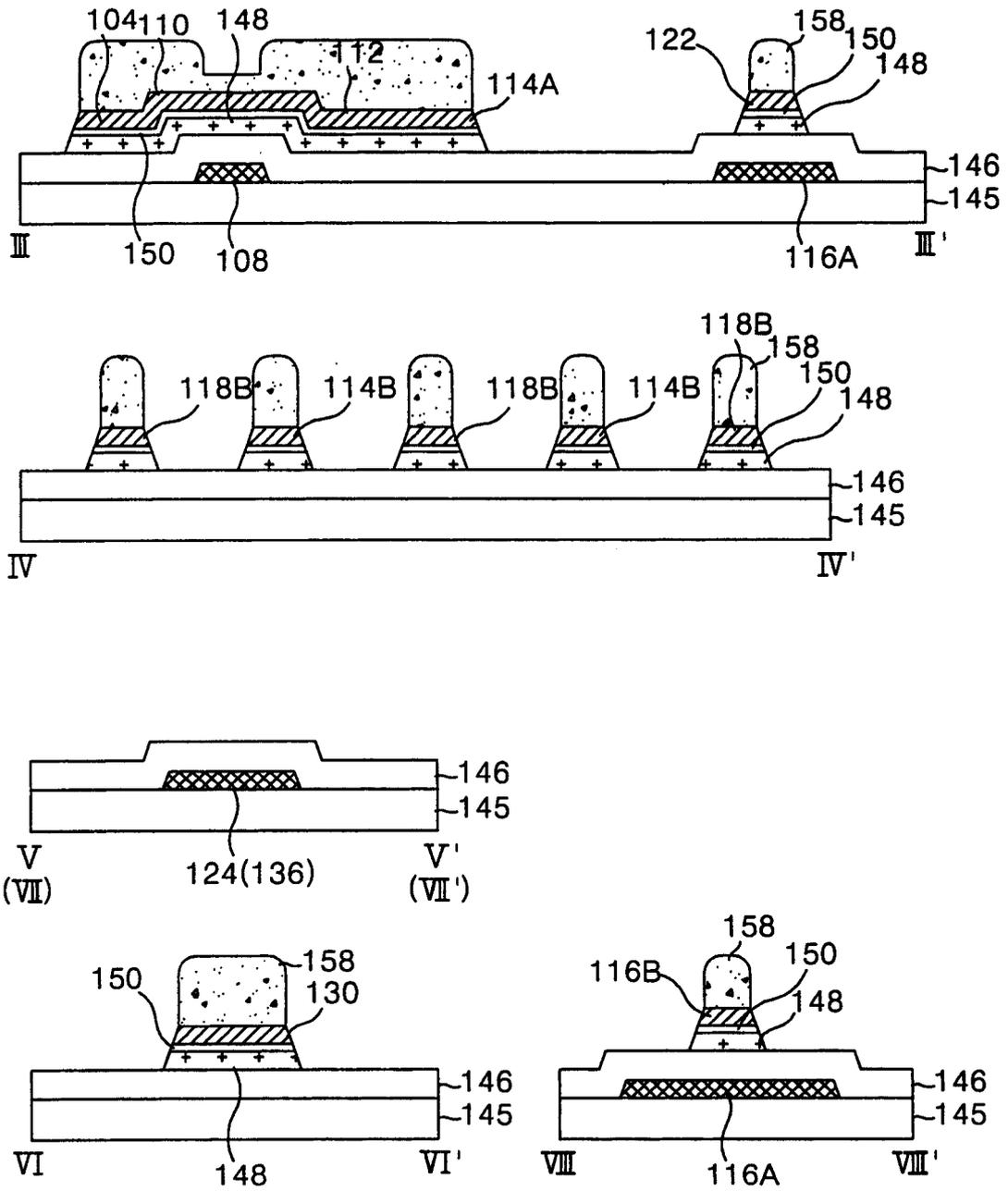


图 8B

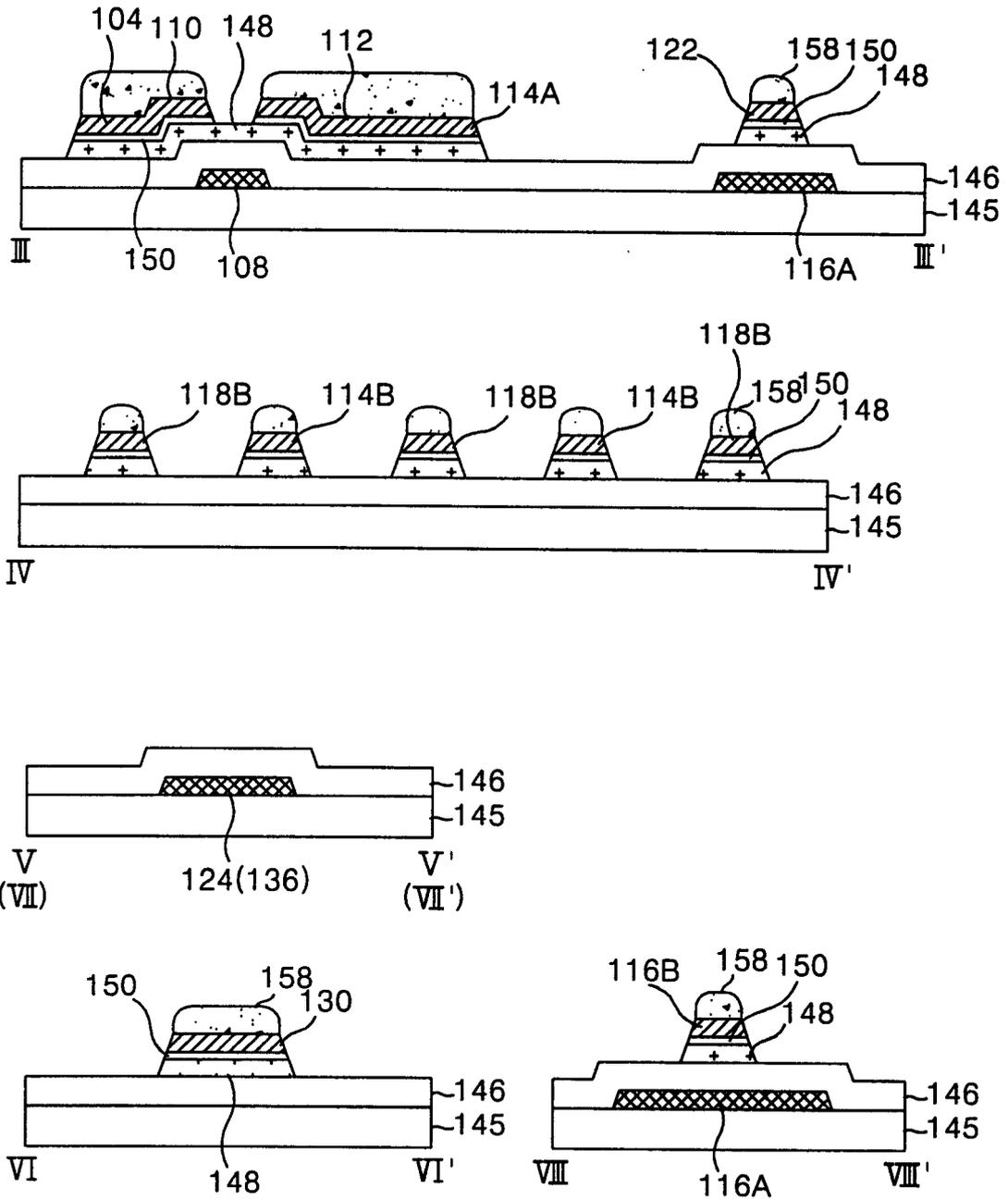


图 8C

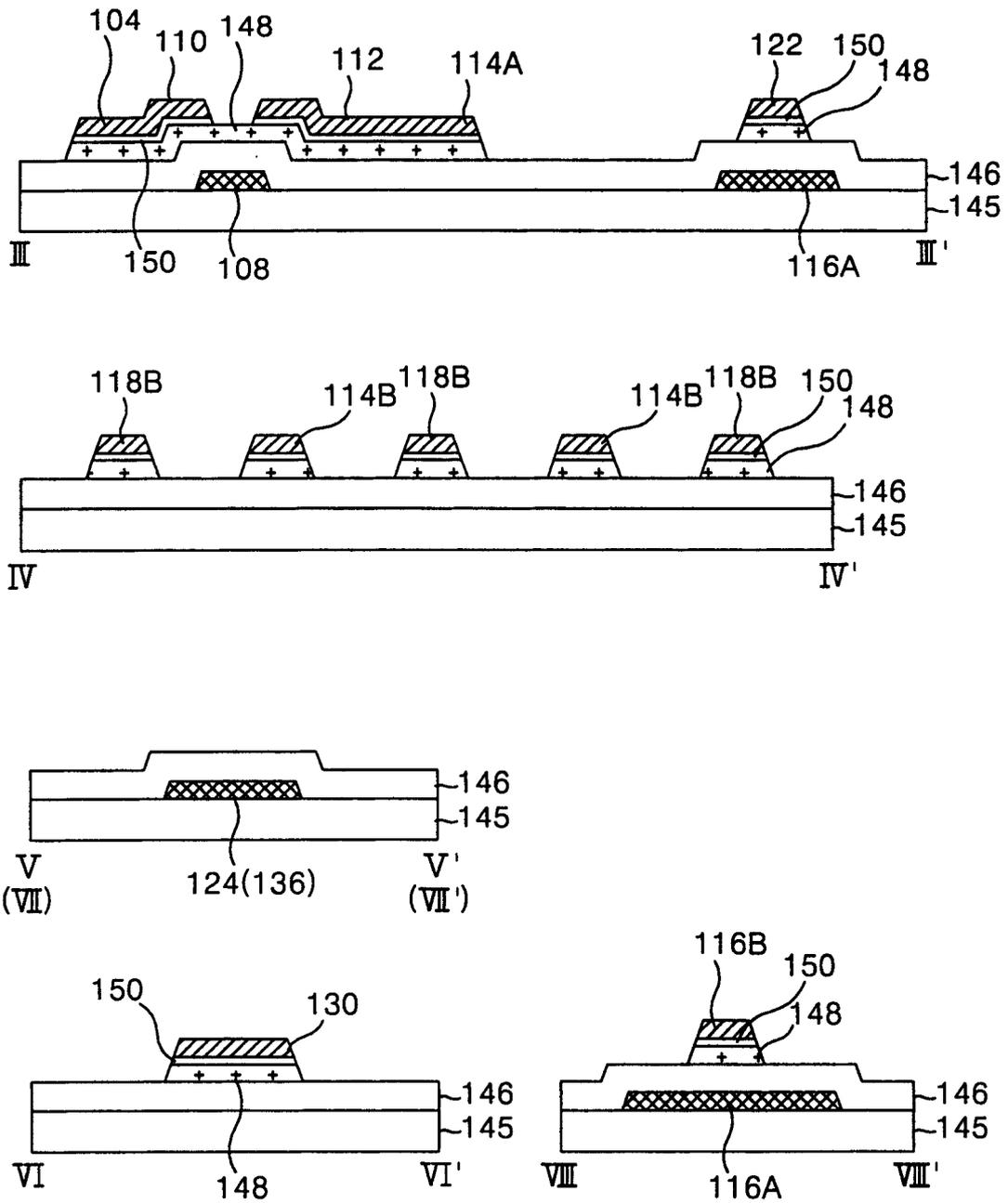


图 8D

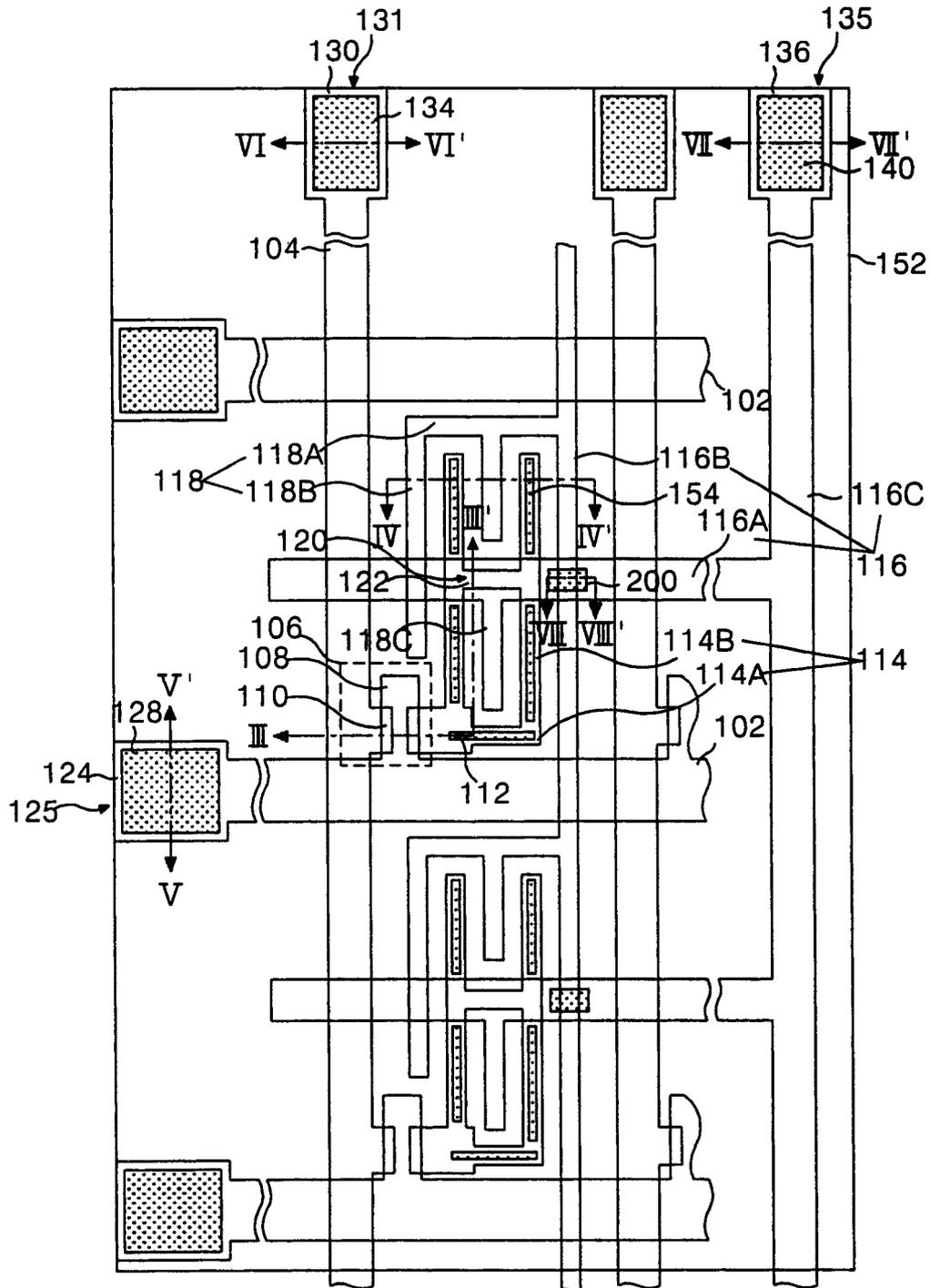


图 9A

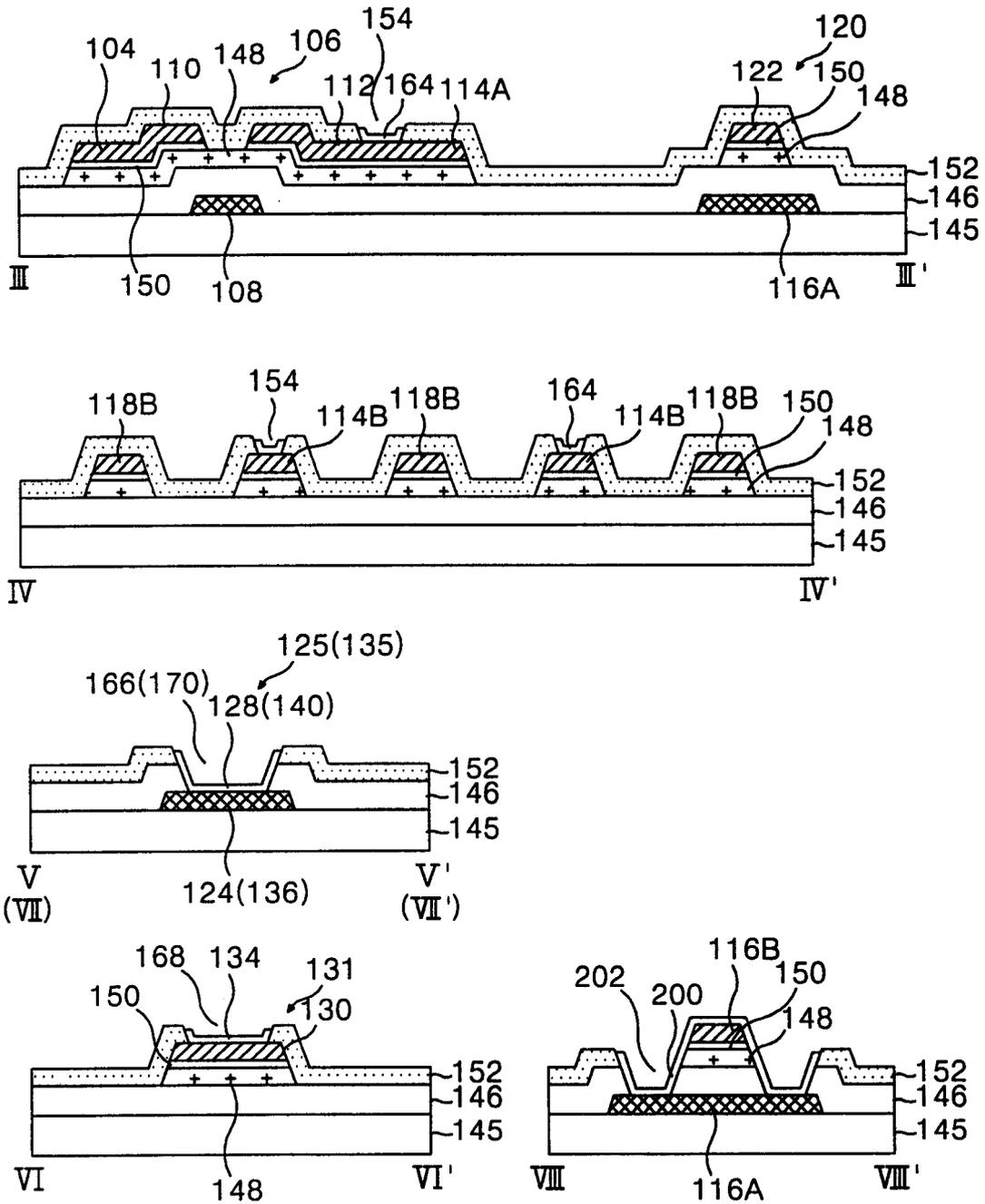


图 9B

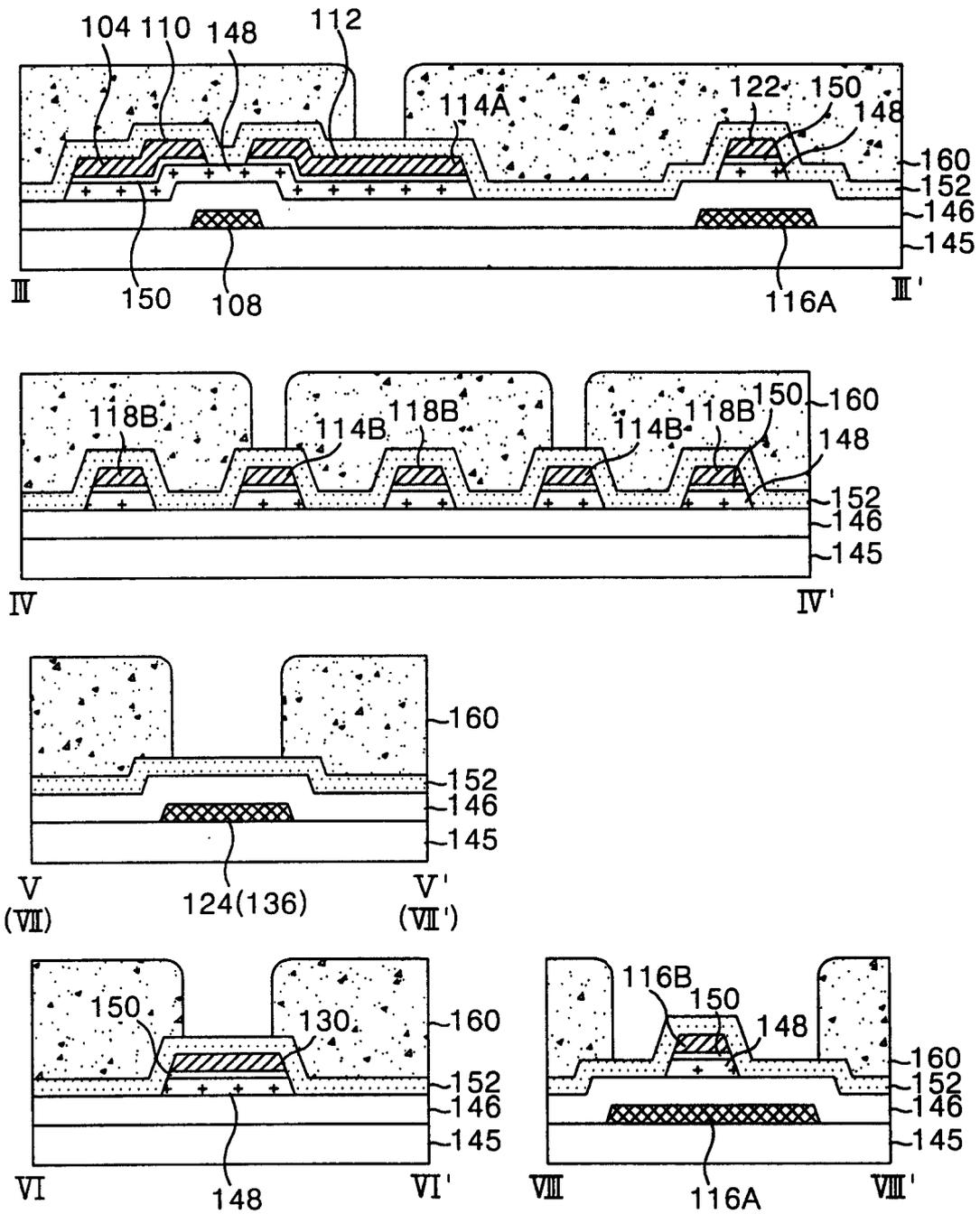


图 10A

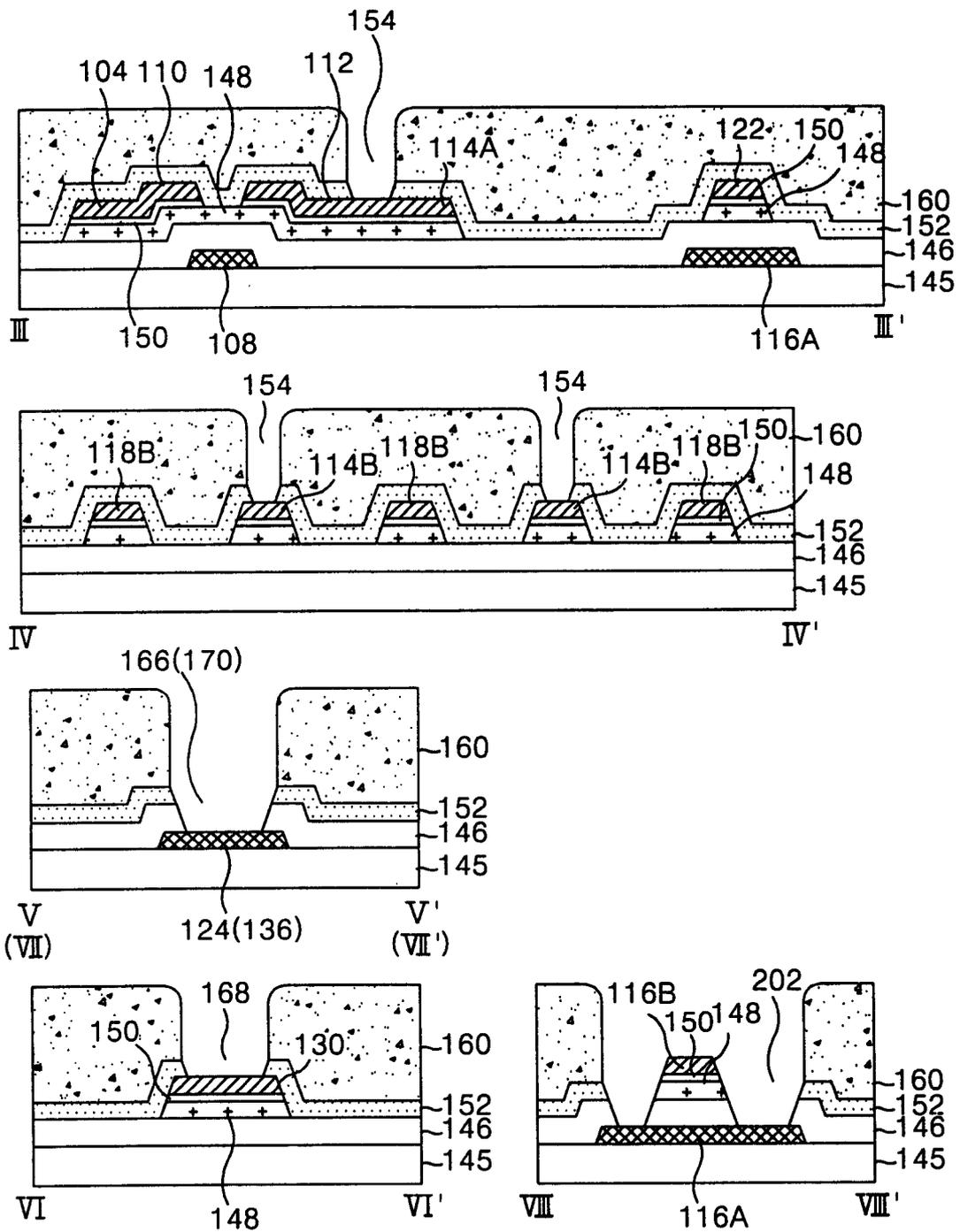


图 10B

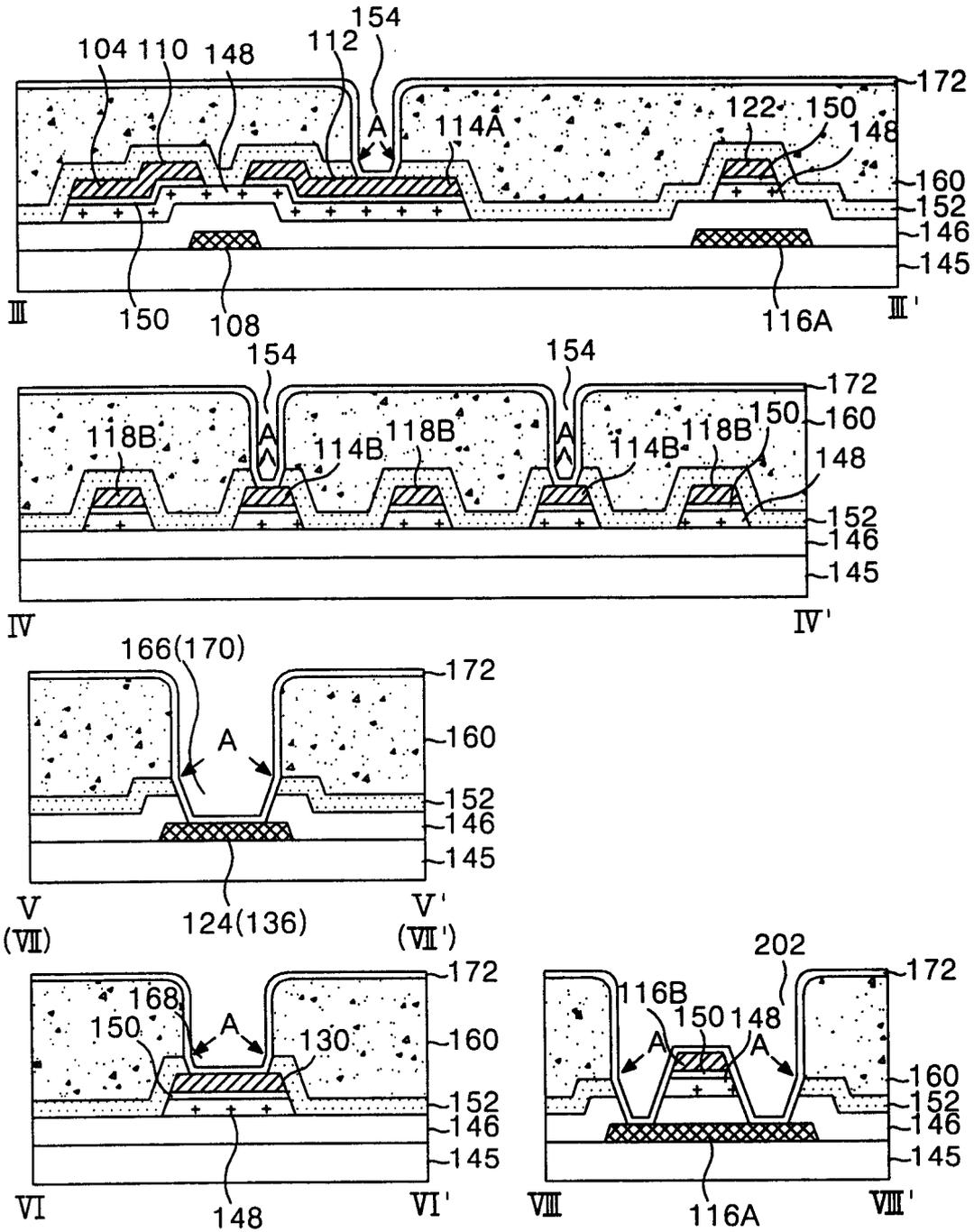


图 10C

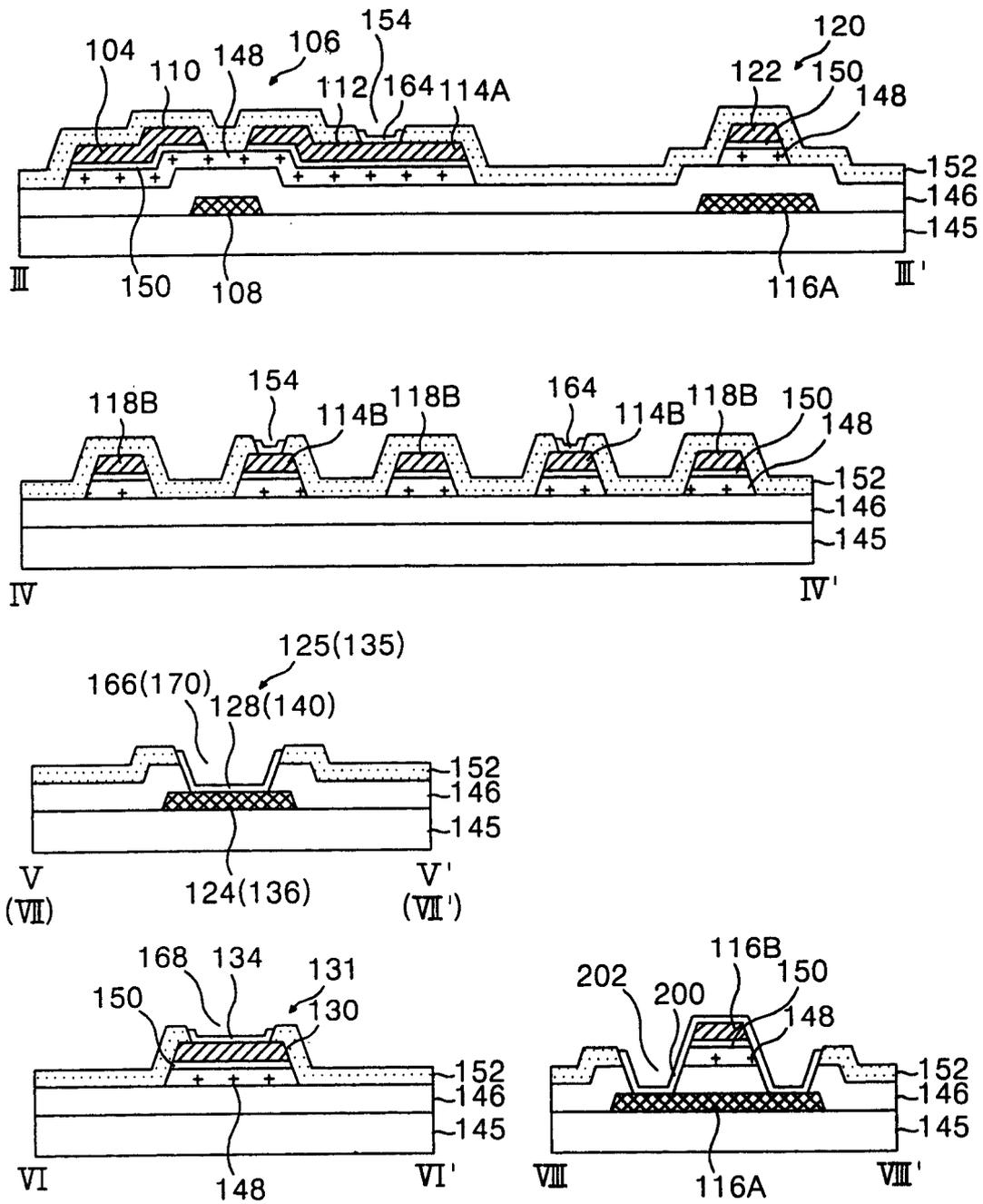


图 10D

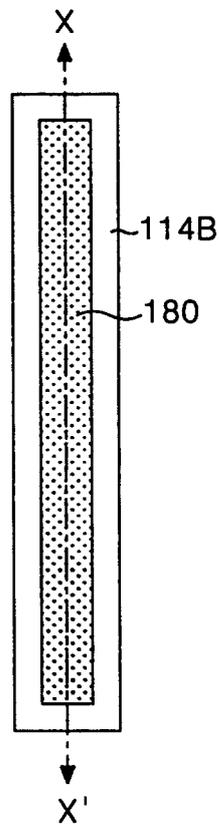


图 11A

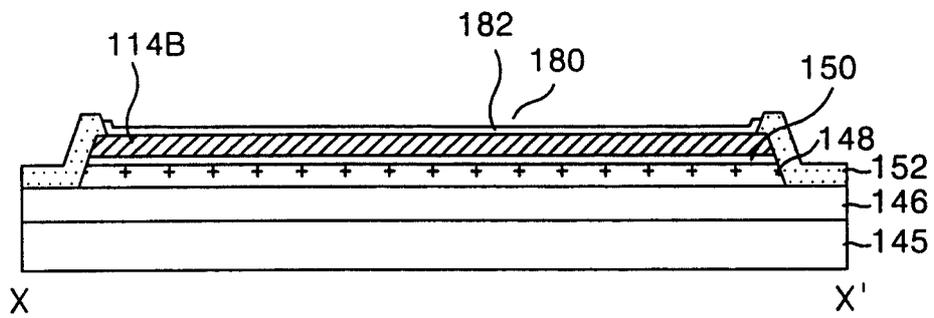


图 11B

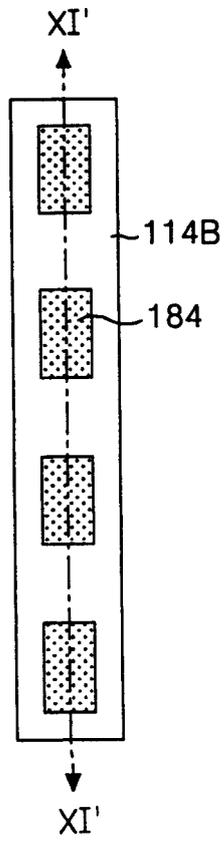


图 12A

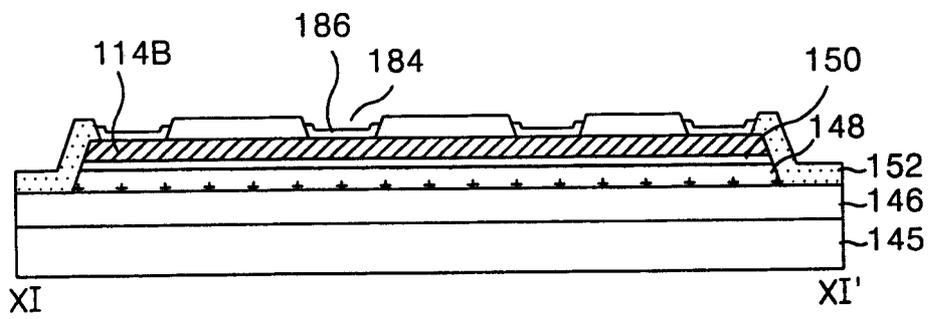


图 12B

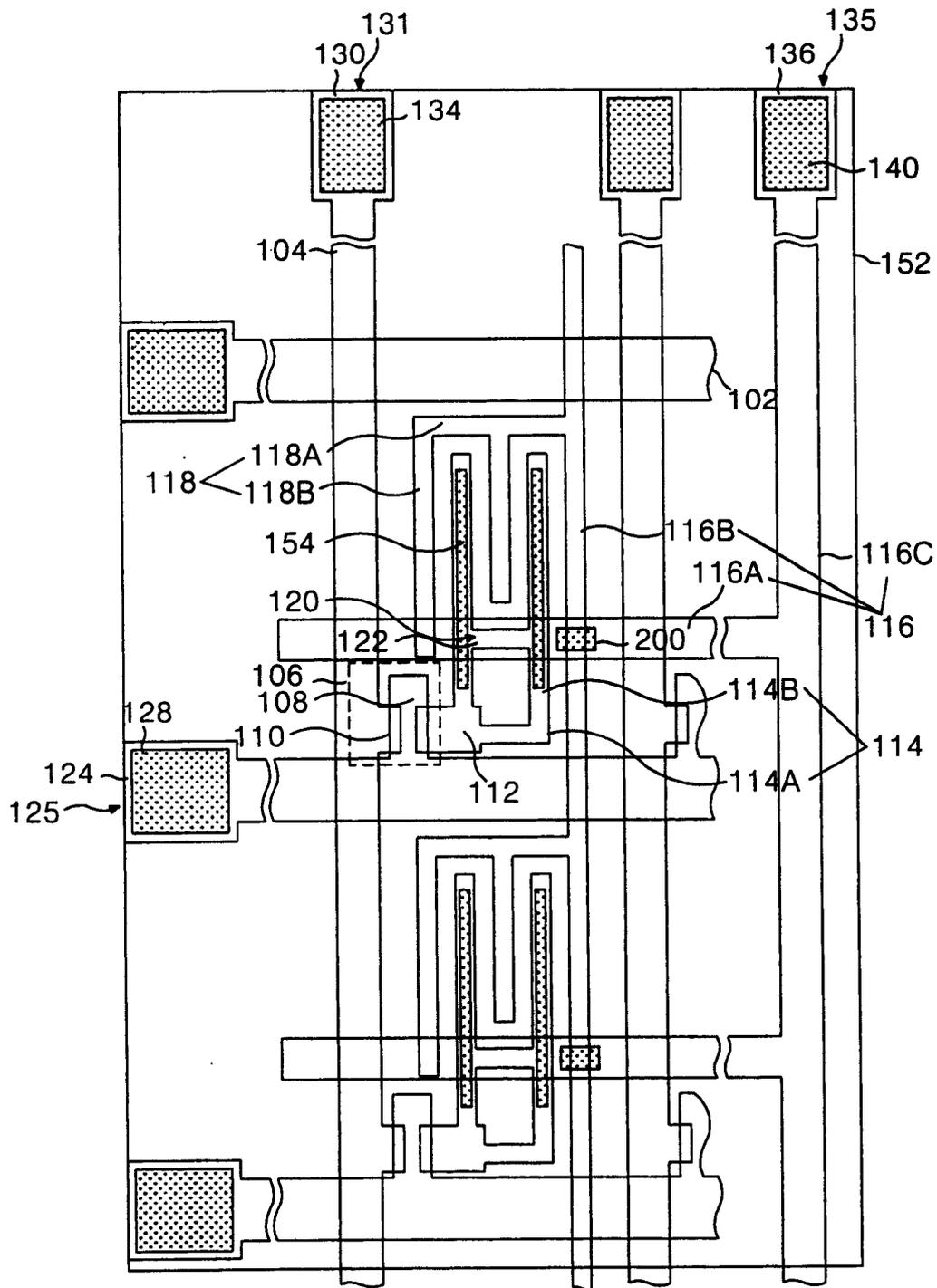


图 13

专利名称(译)	水平电场型液晶显示器件的薄膜晶体管基板及其制造方法		
公开(公告)号	CN1614487A	公开(公告)日	2005-05-11
申请号	CN200410087186.5	申请日	2004-11-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	安炳喆 权五楠 赵兴烈		
发明人	安炳喆 权五楠 赵兴烈		
IPC分类号	G02F1/133 G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 G03F7/20 H01L21/00 H01L21/77 H01L21/84 H01L27/12 H01L29/786 H01L31/20		
CPC分类号	H01L27/124 G02F1/134363 G02F1/136213 G02F1/1368 G02F2001/136295 H01L27/1288		
代理人(译)	李辉		
优先权	1020030077659 2003-11-04 KR		
其他公开文献	CN100447645C		
外部链接	Espacenet SIPO		

摘要(译)

水平电场型液晶显示器件的薄膜晶体管基板及其制造方法。一种水平电场型薄膜晶体管基板包括：在一基板上形成的相互平行的选通线和第一公共线；与选通线和第一公共线交叉并且其间具有栅绝缘膜以限定像素区域的数据线；与第一公共线交叉并且其间具有栅绝缘膜的第二公共线；与选通线和数据线相连的薄膜晶体管；从所述像素区域中的第二公共线延伸的公共电极；与公共电极和第二公共线平行的像素电极；覆盖薄膜晶体管的保护膜；选通焊盘，具有通过第一接触孔与上选通焊盘电极相连的下选通焊盘电极；公共焊盘，具有通过第二接触孔与上公共焊盘电极相连的下公共焊盘电极；以及数据焊盘，具有与设置在第三接触孔内上数据焊盘电极相连的下数据焊盘电极。

