

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/133

G02F 1/136 G02F 1/1335



[12] 发明专利申请公开说明书

[21] 申请号 02142865.4

[43] 公开日 2004 年 3 月 31 日

[11] 公开号 CN 1485655A

[22] 申请日 2002.9.23 [21] 申请号 02142865.4

[71] 申请人 统宝光电股份有限公司

地址 台湾省新竹科学工业园区苗栗县竹南
镇仁爱路 121 巷 5 号

[72] 发明人 郑新安 邱昌明

[74] 专利代理机构 北京集佳知识产权代理有限公司

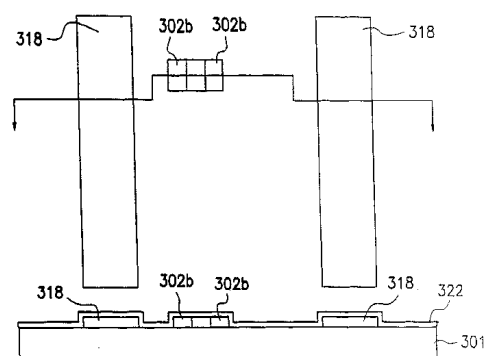
代理人 王学强

权利要求书 2 页 说明书 10 页 附图 11 页

[54] 发明名称 薄膜晶体管液晶显示器的像素结构

[57] 摘要

一种薄膜晶体管液晶显示器的像素结构，通过一与低温多晶硅薄膜晶体管中的源极/漏极同时定义的掺杂多晶硅层、一介电层以及一遮光金属层构成储存电容器。其中，遮光金属层配置于掺杂多晶硅层上方，并且与像素电极电性连接。由于遮光金属层所分布的区域同时即为储存电容器配置的区域，故可大幅提高开口率。



I S S N 1 0 0 8 - 4 2 7 4

1、一种薄膜晶体管液晶显示器的像素结构，适于配置于一透明基板上，其特征在于：该像素结构包括：

一像素，该像素配置于该些透明基板上，该像素包括一低温多晶硅薄膜晶体管与一像素电极，其中该低温多晶硅薄膜晶体管具有一栅极与一源极/漏极，而该像素电极与该源极/漏极的一端电性连接；

一扫描配线，该扫描配线配置于该透明基板上，该扫描配线与该栅极电性连接；

一信号配线，该信号配线配置于该透明基板上，该配线与该源极/漏极的另一端电性连接；

一储存电容器，该储存电容器配置于该信号配线下，该储存电容通过一掺杂多晶硅层、一介电层以及一遮光金属层所构成，该遮光金属层配置于该掺杂多晶硅层上方，且遮光金属层与该像素电极电性连接。

2、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其特征在于：其中该源极/漏极为 N 型离子掺杂的多晶硅层。

3、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其特征在于：该源极/漏极为 P 型离子掺杂的多晶硅层。

4、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其特征在于：该掺杂多晶硅层为 N 型离子掺杂。

5、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其

特征在于：该掺杂多晶硅层为 P 型离子掺杂。

6、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其特征
特征在于：该掺杂多晶硅层连接于一直流电压。

7、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其
特征在于：该掺杂多晶硅层连接于一交流电压。

8、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其
特征在于：该遮光金属层的材质包括钼钨合金、铬金属、钼金属其中
之一。

9、如权利要求 1 所述的薄膜晶体管液晶显示器的像素结构，其
特征在于：该掺杂多晶硅层具有一开口，该开口位于该信号配线下方。

10、一种薄膜晶体管数组基板，其特征在于：包括复数个如权利
要求 1 所述薄膜晶体管液晶显示器的像素结构。

11、一种薄膜晶体管液晶显示器，其特征在于：包括一如权利要
求 10 所述的薄膜晶体管数组基板、一彩色滤光片基板以及一液晶层，
该液晶层配置于该薄膜晶体管数组基板彩色滤光片基板之间。

薄膜晶体管液晶显示器的像素结构

技术领域

本发明是有关于一种薄膜晶体管液晶显示器的像素结构，且特别是有关于一种具有高开口率(high aperture ratio)的低温多晶硅薄膜晶体管液晶显示器(LTPS TFT-LCD)的像素结构。

背景技术

低温多晶硅薄膜晶体管液晶显示器有别于一般传统的非晶硅薄膜晶体管液晶显示器(α -Si TFT-LCD)，其电子迁移率可以达到 $200\text{cm}^2/\text{V}\cdot\text{sec}$ 以上，故可使薄膜晶体管组件所占面积更小以符合高开口率的需求，进而增进显示器亮度并减少整体的功率消耗问题。另外，由于电子迁移率的增加可以将部份驱动电路与薄膜晶体管制作工艺一并制造于玻璃基板上，大幅提升液晶显示面板的可靠度，且使得面板制造成本大幅降低。因此，低温多晶硅薄膜晶体管液晶显示器的制造成本较非晶硅薄膜晶体管液晶显示器低出许多。此外，低温多晶硅薄膜晶体管液晶显示器具有厚度薄、重量轻、分辨率佳等特点，十分适合应用于要求轻巧省电的移动终端产品上。

请参照图 1，其绘示为公知薄膜晶体管液晶显示器的像素结构中，通过像素电极与扫描配线(scan line)构成储存电容器的示意图。公知薄膜晶体管液晶显示器的像素结构主要包括一像素 100、一用以驱动

像素 100 的扫描配线 106，以及用以驱动像素 100 的信号配线 108。

其中，像素 100 由一薄膜晶体管 102 与一像素电极 104 所构成，薄膜晶体管 102 主要由一栅极 102a 与一源极/漏极 102b 所构成。在薄膜晶体管 102 中，栅极 102a 与扫描配线 106 电性连接，源极/漏极 102b 的一端通过插塞 112a 与信号配线 108，而源极/漏极 102b 的另一端则通过插塞 112b 及插塞 114 与像素电极 104 电性连接。

此外，像素电极 104 配置于相邻信号配线 108 及相邻扫描配线 106、106a 之间的区域上，部份的像素电极 104 会与相邻的扫描配线 106a 重叠(overlap)以形成储存电容器 110，此储存电容器 110 的电容值可通过像素电极 104 与扫描配线 106a 重叠的面积来决定，或是通过像素电极 104 与扫描配线 106a 之间介电层（未绘示）的厚度来决定。

接着请参照图 2，其绘示为公知薄膜晶体管液晶显示器的像素结构中，通过像素电极与共享配线(common line)构成储存电容器的示意图。公知薄膜晶体管液晶显示器的像素结构主要包括一像素 200、一用以驱动像素 200 的扫描配线 206，以及用以驱动像素 200 的信号配线 208。其中，像素 200 由一薄膜晶体管 202 与一像素电极 204 所构成，薄膜晶体管 202 主要由一栅极 202a 与一源极/漏极 202b 所构成。在薄膜晶体管 202 中，栅极 202a 与扫描配线 206 电性连接，源极/漏极 202b 的一端通过插塞 212a 与信号配线 208，而源极/漏极 202b 的另一端则通过插塞 212b 及插塞 214 与像素电极 204 电性连接。

此外，相邻的扫描配线 206 之间的区域上配置有一共享配线 216，

而像素电极 204 配置于相邻信号配线 208 及相邻扫描配线 206 之间的区域上。通过像素电极 204 与共享配线 216 的重叠(overlap)以形成储存电容器 210, 此储存电容器 210 的电容值可通过像素电极 204 与共享配线 216 重叠的面积来决定, 或是通过像素电极 204 与共享配线 216 之间介电层(未绘示)的厚度来决定。

公知通过像素电极与扫描配线构成储存电容器的结构中, 为了得到足够大的储存电容值, 通常会使得扫描配线具有很宽的线宽, 进而导致开口率下降的问题。而公知通过像素电极与共享配线构成储存电容器的结构中, 共享配线也会使得开口率下降。

此外, 相邻像素之间的横向电场(fringe field)会造成液晶分子排列的改变而出现像素边缘漏光的现象, 因此在对侧基板, 即彩色滤光片基板上的黑色矩阵(Black Matrix, BM)必须将这些漏光的区域遮蔽。彩色滤光片基板上的黑色矩阵同样会使得开口率下降。

发明内容

本发明的目的在提出一种具有高开口率的低温多晶硅薄膜晶体管液晶显示器的像素结构。

为了达本发明的上述目的, 提出一种薄膜晶体管液晶显示器的像素结构主要由一像素、一扫描配线、一信号配线以及一储存电容器所构成。其中, 像素由一低温多晶硅薄膜晶体管(LTPS-TFT)与一像素电极所构成, 扫描配线与信号配线用以驱动低温多晶硅薄膜晶体管, 而储存电容通过一掺杂多晶硅层、一介电层以及一遮光金属层所构成, 遮光金属层配置于掺杂多晶硅层上方, 并且与像素电极电性连接。

上述储存电容器中的掺杂多晶硅层与低温多晶硅薄膜晶体管中的多晶硅层一并定义而形成,而储存电容器中的遮光金属层不但具有遮光的功能,而且兼具与掺杂多晶硅层耦合(coupling)形成储存电容的功能。

本发明中,低温多晶硅薄膜晶体管具有一栅极与一源极/漏极。其中,栅极与扫描配线电性连接,源极/漏极的一端与信号配线电性连接,而源极/漏极的另一端与像素电极电性连接。此外,源极/漏极例如为 N 型离子掺杂或是 P 型离子掺杂。

本发明中,遮光金属层的材质例如为钼钨合金、铬金属、钼金属或是其它同时具有遮光效果与导电效果的材质,遮光金属层与信号配线分布的区域几乎不重叠,由于遮光金属层与信号配线几乎不重叠,故可降低遮光金属层与信号配线之间的寄生电容。

本发明中,储存电容器配置于信号配线下,掺杂多晶硅层例如具有一开口,此开口的位置例如位于信号配线下方,通过开口使得掺杂多晶硅层与信号配线的重叠区域变小,进而降低掺杂多晶硅层与信号配线之间的寄生电容。

储存电容器中的掺杂多晶硅层例如为 N 型离子掺杂或是 P 型离子掺杂。此外,掺杂多晶硅层例如连接于一共享电压(V_{com})。

为了让本发明的上述目的、特征、和优点能更明显易懂,下文特举一较佳实施例,并配合所附图式,作详细说明。

附图说明

图 1 绘示为公知薄膜晶体管液晶显示器的像素结构中,通过像素

电极与扫描配线构成储存电容器的示意图；

图 2 绘示为公知薄膜晶体管液晶显示器的像素结构中，通过像素电极与共享配线构成储存电容器的示意图；

图 3 至图 8 绘示为依照本发明一较佳实施例低温多晶硅薄膜晶体管数组基板的制作流程示意图；

图 9 绘示为依照本发明一较佳实施例低温多晶硅薄膜晶体管液晶显示器的剖面示意图；

图 10 绘示为掺杂多晶硅层具有开口的示意图；

图 11 绘示为对应图 10 低温多晶硅薄膜晶体管液晶显示器的剖面示意图。

标示说明：

100、200、300：像素

102、202：薄膜晶体管

102a、202a、302a：栅极

102b、202b、302b：源极/漏极

104、204、304：像素电极

106、106a、206、306：扫描配线

108、208、308：信号配线

110、210、310：储存电容器

112a、112b、212a、212b、114、214：插塞

216：共享电极

302：低温多晶硅薄膜晶体管

309: 配线

312a、312b、314、316a、316b: 插塞

318: 掺杂多晶硅层

319: 开口

320: 遮光金属层

322、324、326: 介电层

301: 透明基板

400: 彩色滤光片基板

500: 液晶层

600: 薄膜晶体管数组基板

具体实施方式

请参照图3至图8绘示为依照本发明一较佳实施例低温多晶硅薄膜晶体管数组基板的制作流程示意图。首先请参照图3，于一透明基板301上形成一图案化的多晶硅层，并对此多晶硅层作离子掺杂以形成源极/漏极302b与掺杂多晶硅层318，其掺杂的型态例如为N型掺杂或是P型掺杂。在形成源极/漏极302b与掺杂多晶硅层318之后，形成一介电层322于透明基板301上，以覆盖源极/漏极302b与掺杂多晶硅层318。上述介电层322的材质例如为氮硅化物、氧硅化物等介电材质。

接着请参照图4，形成栅极302a、扫描配线306以及遮光金属层320。其中，栅极302a与扫描配线306连接，而遮光金属层320则配置于掺杂多晶硅层318的部份区域上。遮光金属层320、介电层322

以及与遮光金属层 320 重叠的掺杂多晶硅层 318 部份构成一储存电容器 310。上述遮光金属层 320 的材质例如为钼钨合金、铬金属、钼金属或是其它同时具有遮光功能与导电性质的材质。

接着请参照图 5，形成一介电层 324 于透明基板 301 上，以将栅极 302a、扫描配线 306 以及遮光金属层 320 覆盖，介电层 324 的材质例如为氮硅化物、氧硅化物等介电材质。接着再于源极/漏极 302b 上方形成插塞 312a 与插塞 312b，用以作为源极/漏极接触(S/D contact)。

接着请参照图 6，形成信号配线 308、配线 309 于介电层 324 上。其中，信号配线 308 通过插塞 312a 而与源极/漏极 302b 的一端连接，而配线 309 则是通过插塞 312b 而与源极/漏极 302b 的另一端电性连接。

接着请参照图 7，形成一介电层 326 于透明基板 301 上，介电层 326 例如具有平坦的上表面，而介电层 326 的材质例如为氮硅化物、氧硅化物等介电材质。之后再于遮光金属层 320 上方的介电层 324 与介电层 326 中形成插塞 316a，并于配线 309 上方的介电层 326 形成插塞 314。

接着请参照图 8，于介电层 326 表面上形成像素电极 304。其中，像素电极 304 会通过插塞 314、配线 309 与插塞 312b 与源极/漏极 302b 电性连接，而像素电极 304 会通过插塞 316a 与插塞 316b 与遮光金属层 320 电性连接。上述像素电极 304 的材质例如为铟锡氧化物(ITO)等透明导电材质。

在图 8 中可以清楚得知，本实施例的低温多晶硅薄膜晶体管液晶显示器的像素结构，主要包括一像素 300、一用以驱动像素 300 的扫描配线 306 以及用以驱动像素 300 的信号配线 308。

先对像素 300、扫描配线 306 以及信号配线 308 之间的配置关系进行说明。像素 300 由一薄膜晶体管 302 与一像素电极 304 所构成，薄膜晶体管 302 主要由一栅极 302a 与一源极/漏极 302b 所构成。在薄膜晶体管 302 中，栅极 302a 与扫描配线 306 电性连接，源极/漏极 302b 的一端通过插塞 312a 与信号配线 308，而源极/漏极 302b 的另一端则通过插塞 312b、配线 309 以及插塞 314 与像素电极 304 电性连接。

接着对储存电容器 310 进行说明。在信号配线 308 下方的透明基板 301 上配置有一掺杂多晶硅层 318，而在掺杂多晶硅层 318 上则配置有一遮光金属层 320。通过掺杂多晶硅层 318 与遮光金属层 320 的重叠以形成储存电容器 310。遮光金属层 320 例如为钼钨合金、铬金属、钼金属或是其它同时具有遮光效果与导电效果的材质。此外，遮光金属层 320 例如通过插塞 316a、316b 与像素电极 304 电性连接，而掺杂多晶硅层 318 例如连接于一共享电压(V_{com})。

此外，遮光金属层 320 例如分布于信号配线 308 两侧的掺杂多晶硅层 318 上。由于遮光金属层 320 分布于像素的边缘，其不但可以遮蔽像素边缘因横向电场所产生的漏光，亦可以与其下的掺杂多晶硅层 318 相互耦合以形成一储存电容器 310。储存电容器 310 的分布位置即为遮光金属层 320 的分布位置，此外储存电容器 310 本身并不会再

占据其它区域，故使得开口率大幅的提升。

接着请参照图 9，其绘示为依照本发明一较佳实施例低温多晶硅薄膜晶体管液晶显示器的剖面示意图。低温多晶硅薄膜晶体管液晶显示器主要是由一彩色滤光片数组基板 400、一液晶层 500 以及一薄膜晶体管数组基板 600 所构成。由图 9 可以清楚得知，薄膜晶体管数组基板 600 上的遮光金属层 320 与信号配线 308 分布的区域几乎不重叠，由于遮光金属层 320 与信号配线 308 几乎不重叠，故可大幅降低遮光金属层 320 与信号配线 308 之间的寄生电容。

最后请参照图 10 与图 11，其中图 10 绘示为掺杂多晶硅层具有开口的示意图，而图 11 绘示为对应图 10 低温多晶硅薄膜晶体管液晶显示器的剖面示意图。为了更进一步避免掺杂多晶硅层 318 与信号配线 308 之间的寄生电容问题，我们可以修改决定掺杂多晶硅层 318 图案的光罩，使得掺杂多晶硅层 318 对应于信号配线 308 下方处具有一开口 319，开口 319 能够使得掺杂多晶硅层 318 与信号配线 308 的重叠区域变小甚至几乎不重叠，进而降低掺杂多晶硅层 318 与信号配线 308 之间的寄生电容。

综上所述，本发明薄膜晶体管液晶显示器的像素结构至少具有下列优点：

1. 本发明薄膜晶体管液晶显示器的像素结构中，遮光金属层分布的区域同时为储存电容器配置的区域，故可大幅提高开口率。

2. 本发明薄膜晶体管液晶显示器的像素结构中，由遮光金属层与掺杂多晶硅层所构成储存电容器，其电容值 C_{st} 可轻易达到 C_{LC} ： C_{st}

比为 1: 1 至 1: 4 之间。

3.本发明薄膜晶体管液晶显示器的像素结构中，不需要在彩色滤光片基板上配置遮光用的黑色矩阵。

4.本发明薄膜晶体管液晶显示器的像素结构在制作时，仅需对光罩作些许的修改，对制作工艺成本的负担不大。

虽然本发明已以一较佳实施例公开如上，然其并非用以限定本发明，任何熟悉此技术者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰，因此本发明的保护范围当视权利要求书所界定者为准。

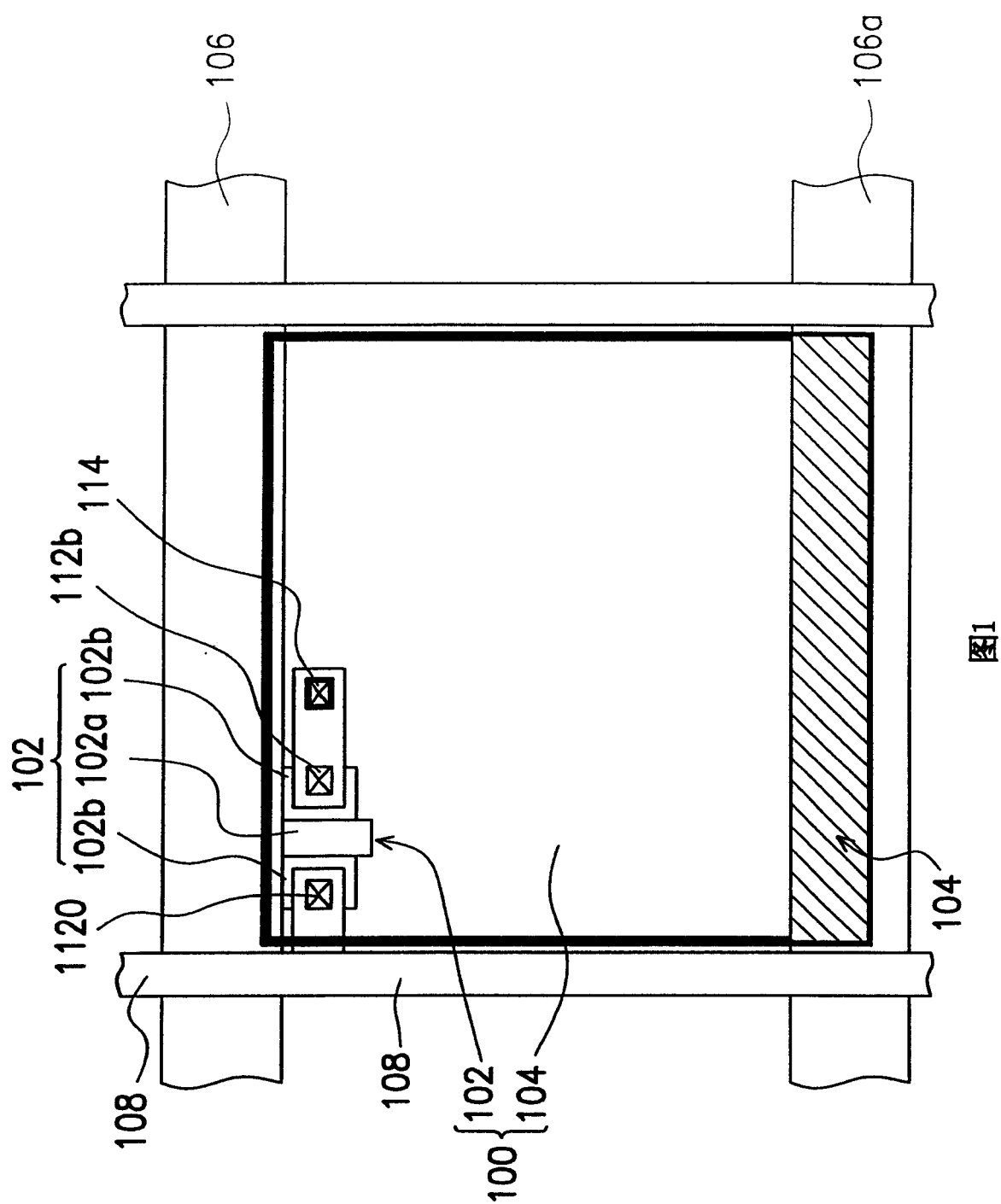


图1

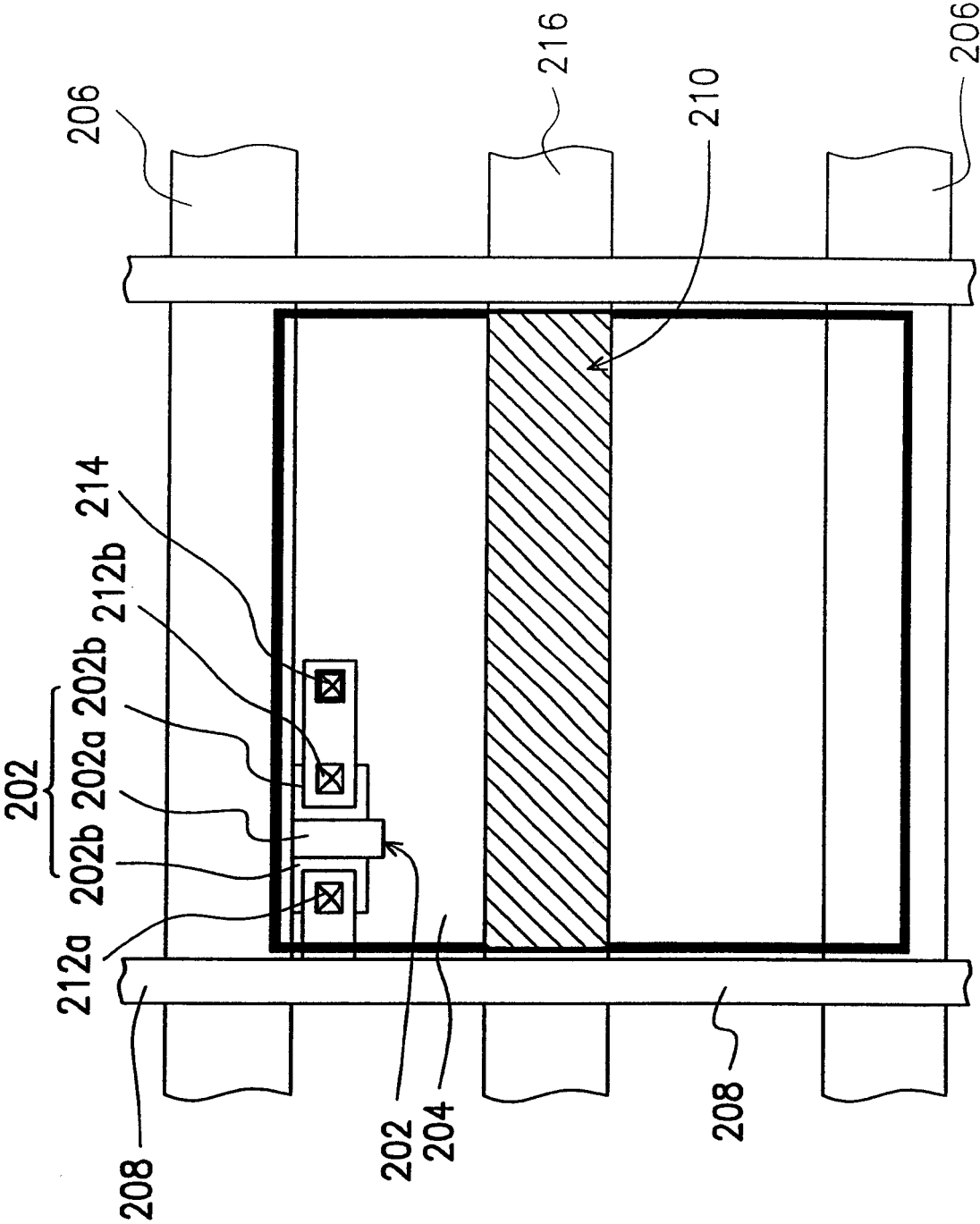


图2

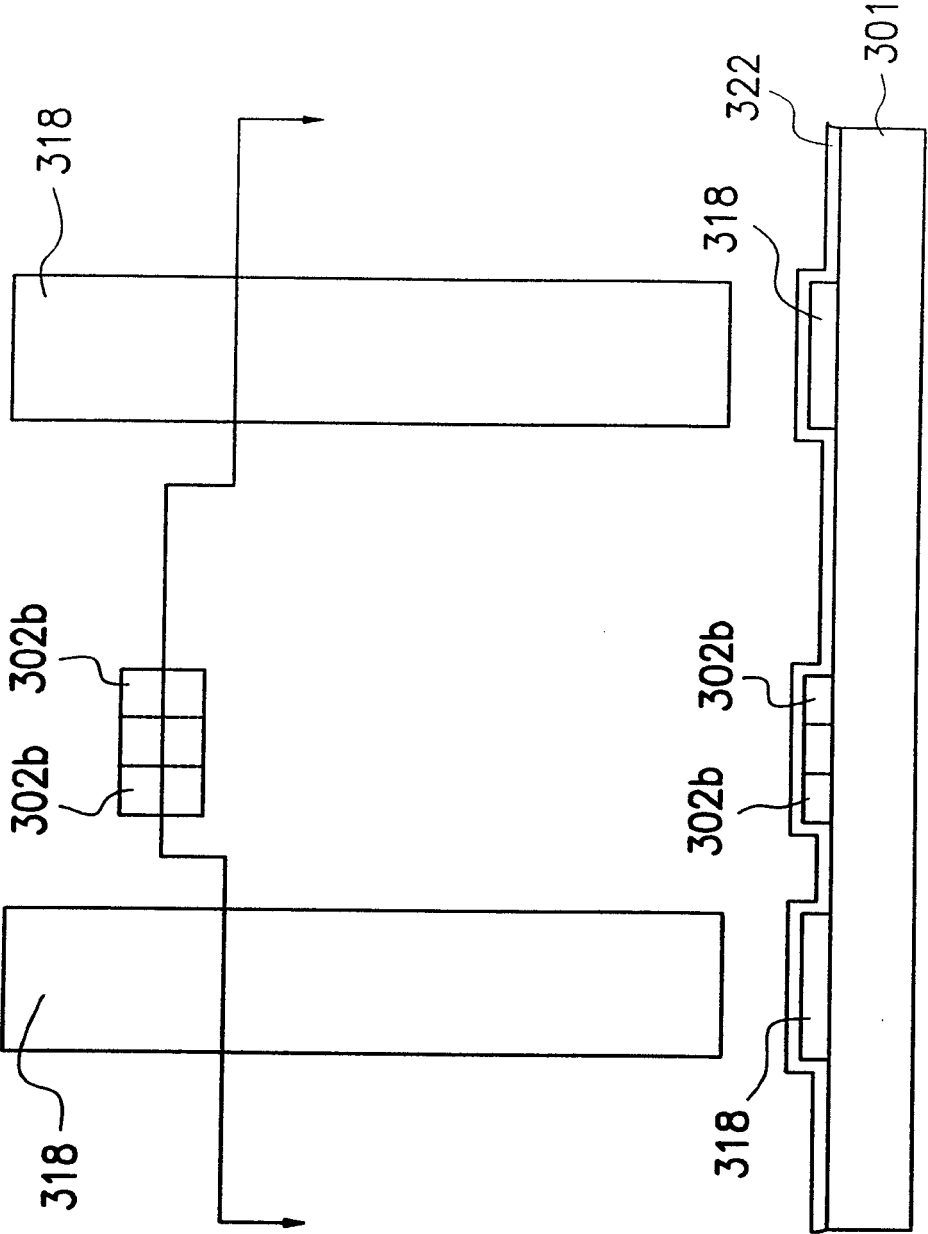


图3

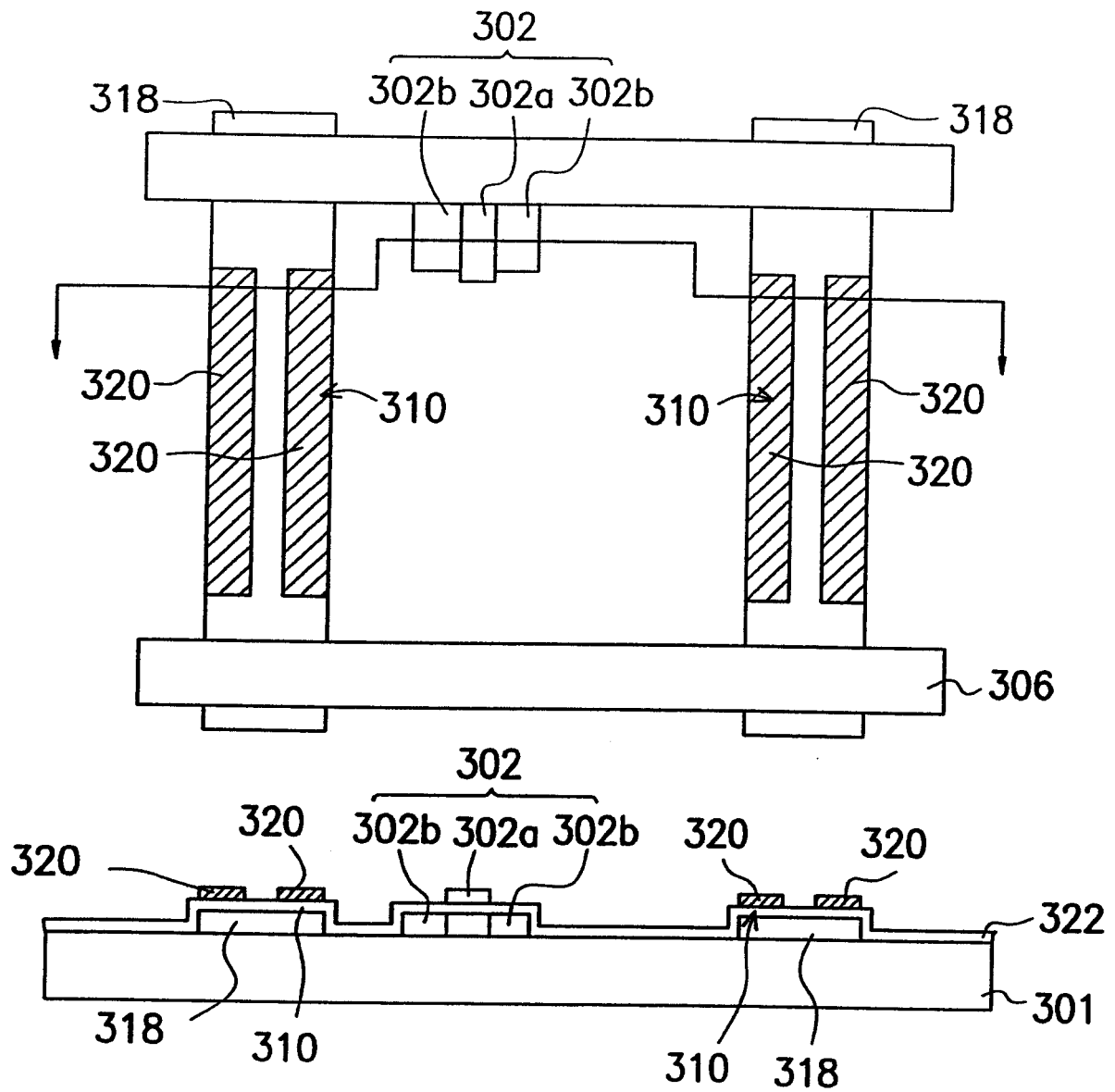


图4

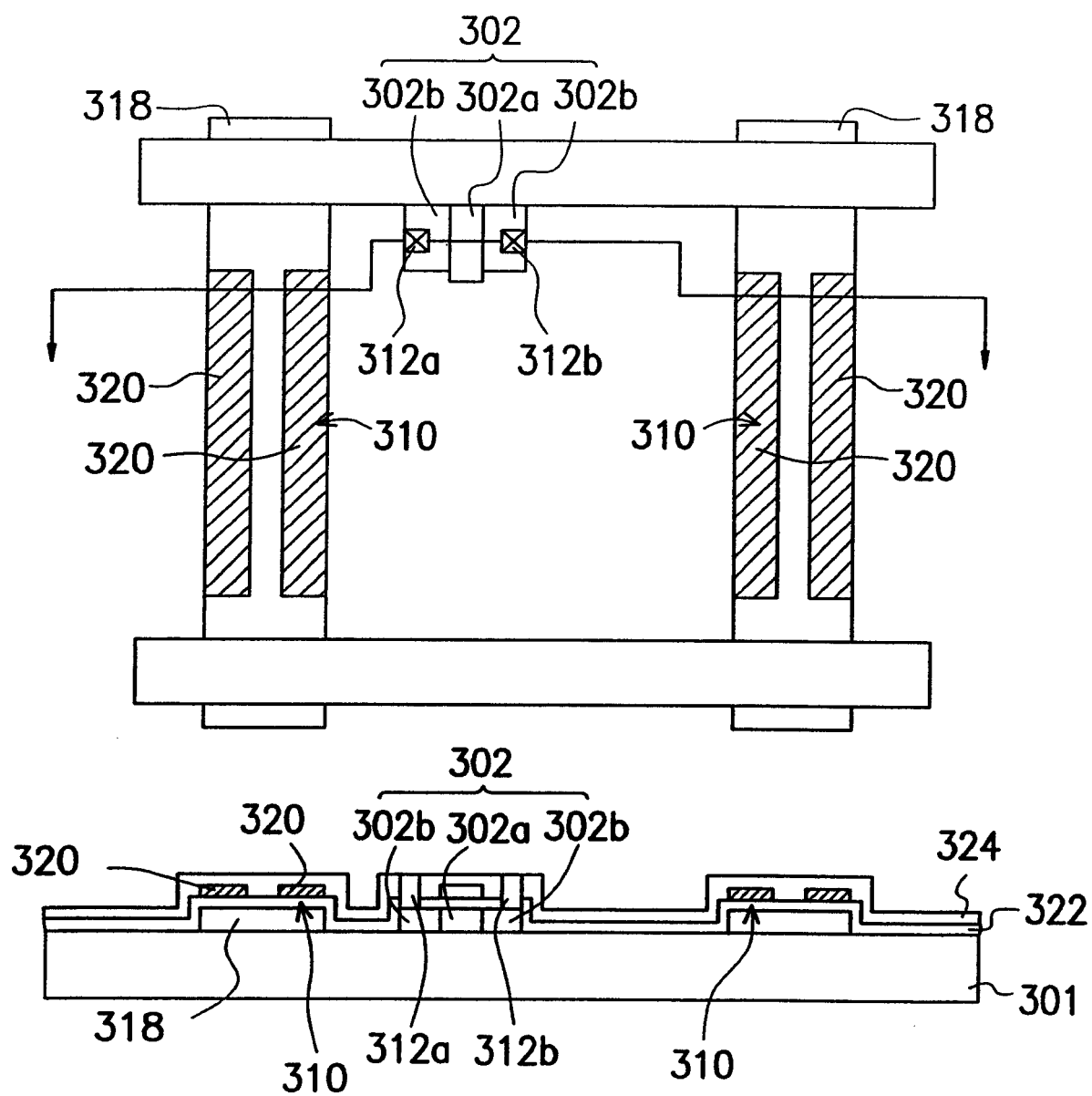


图 5

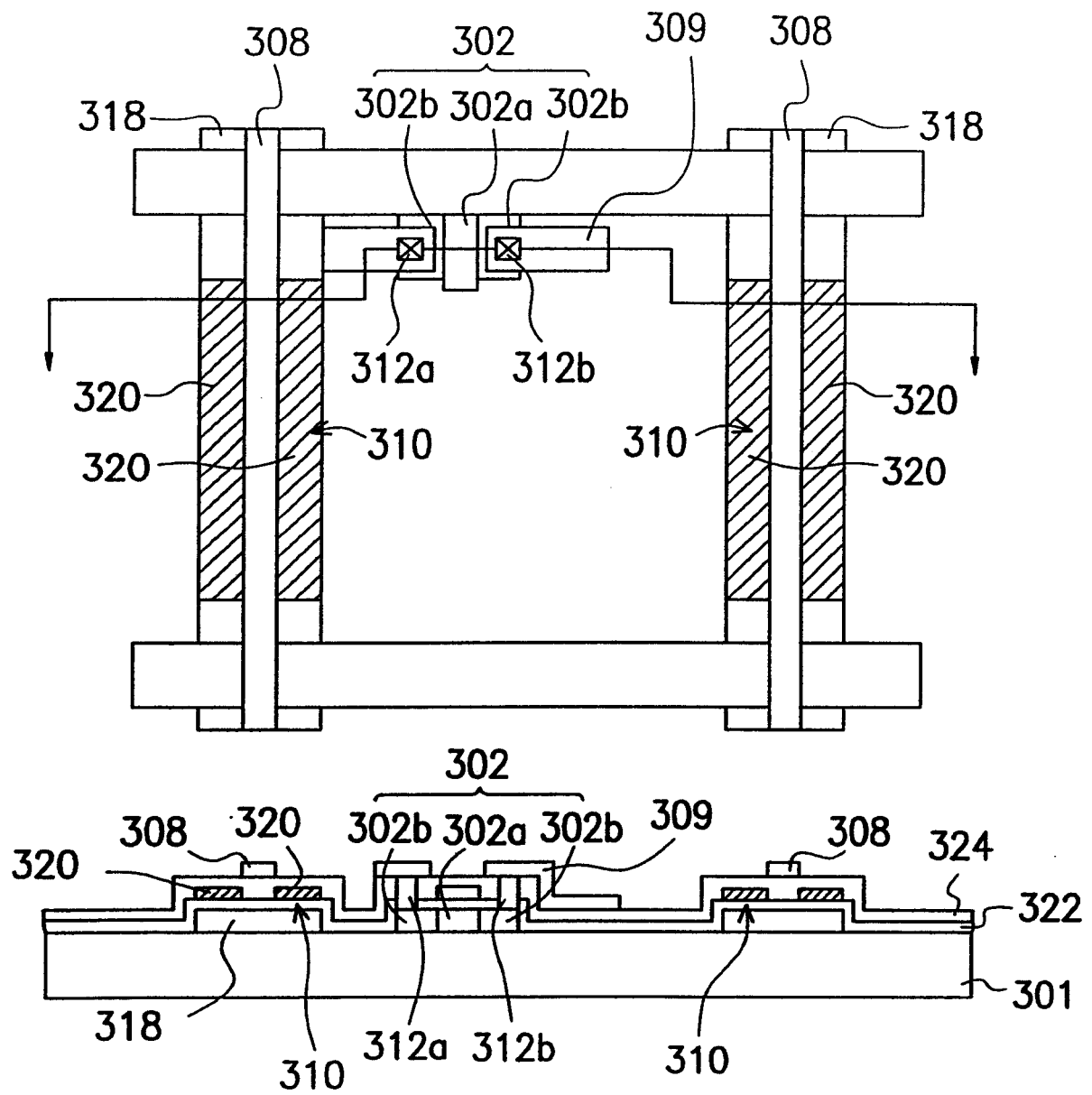


图 6

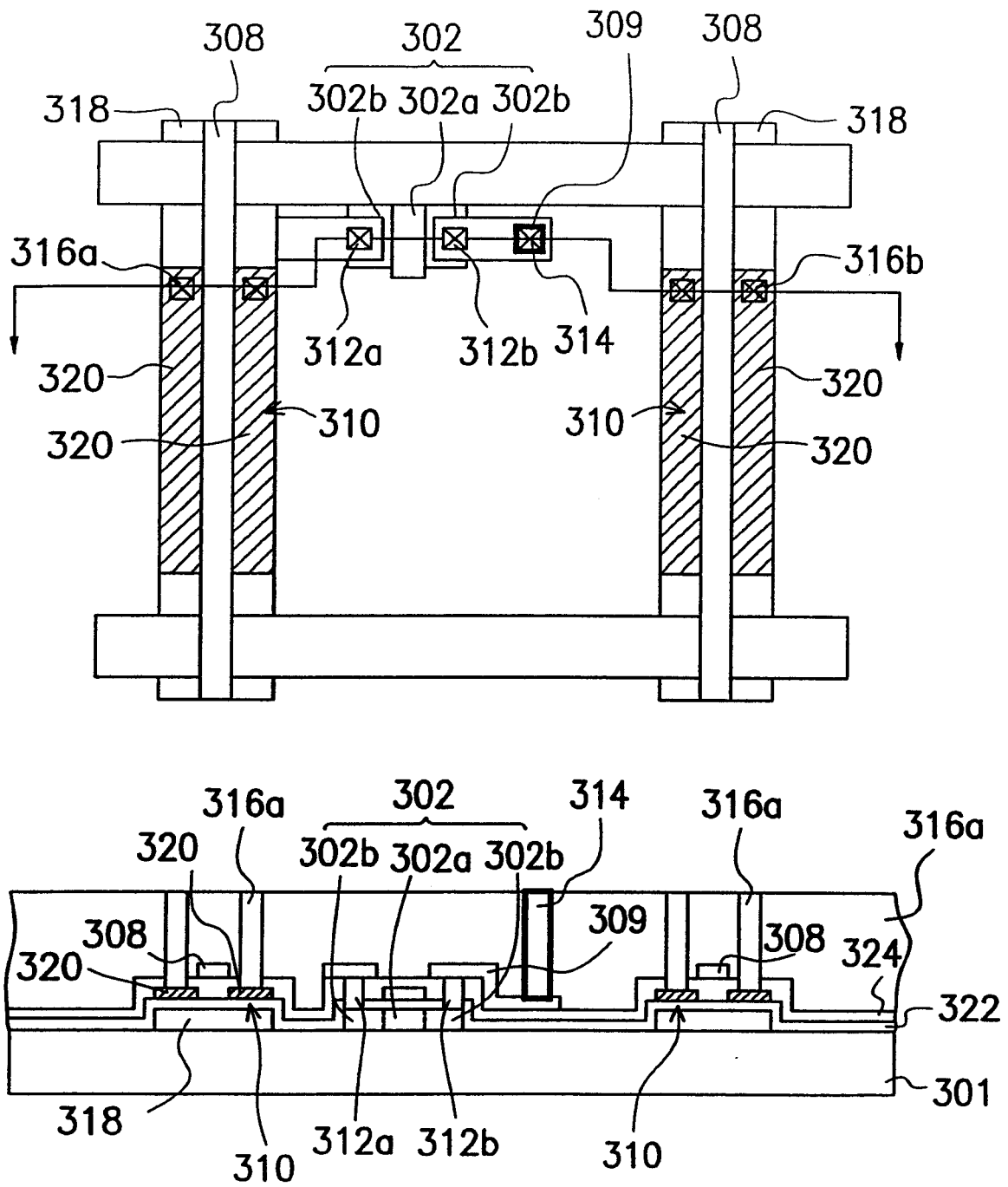


图 7

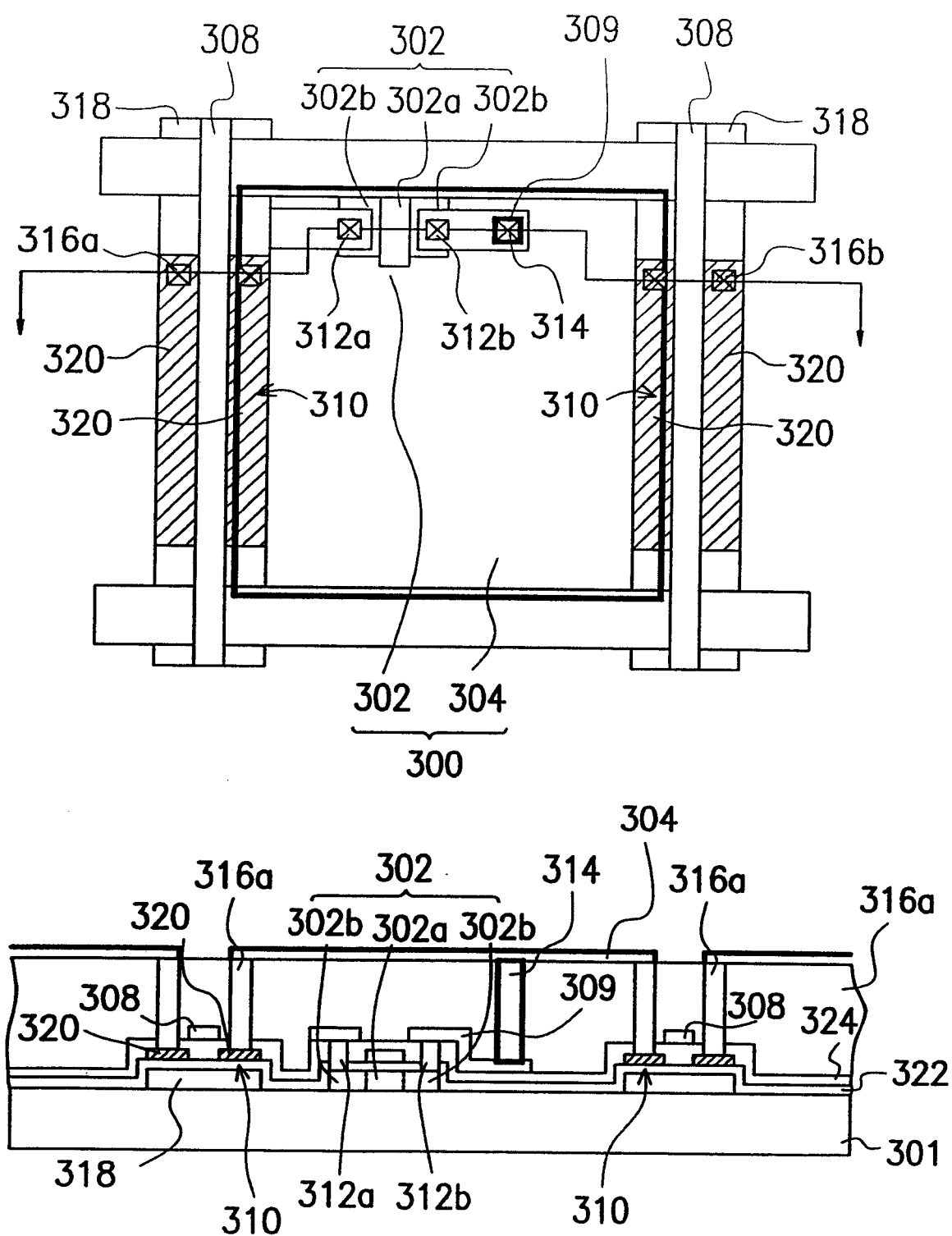
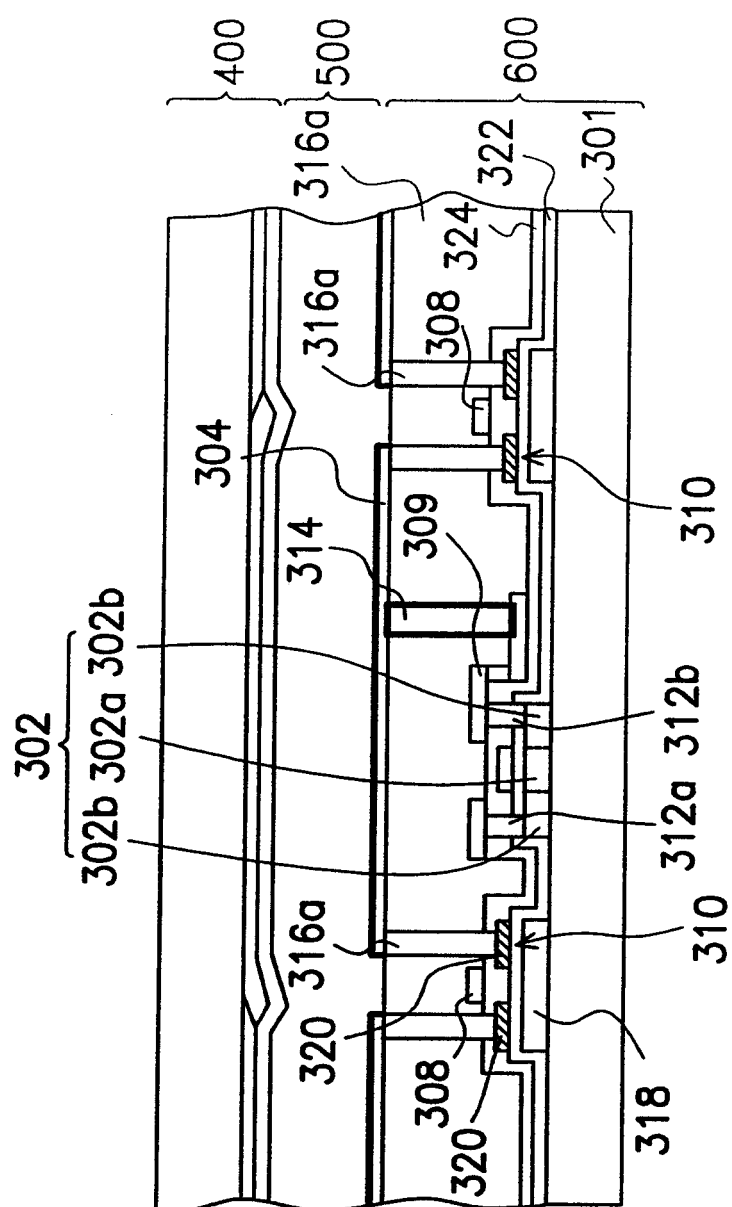


图8



9
[initials]

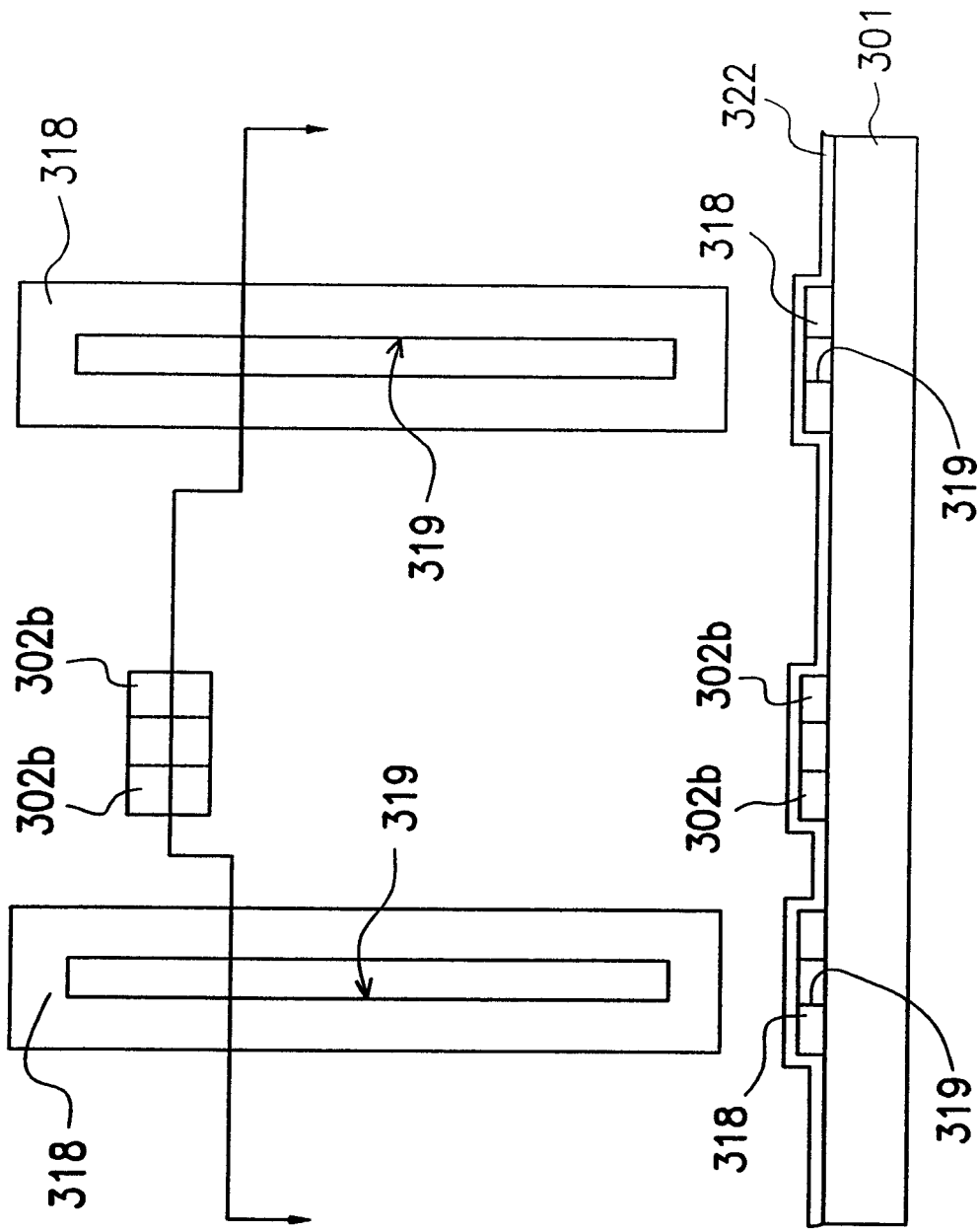


图 10

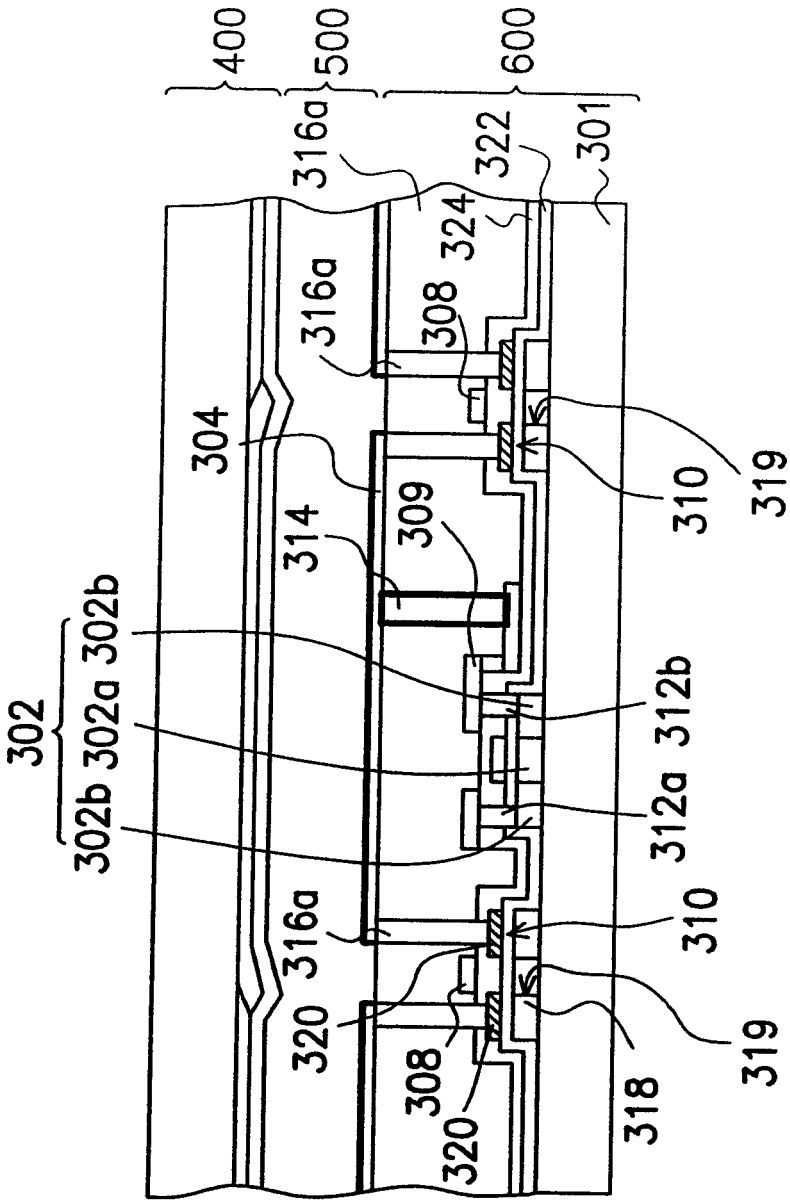


图11

专利名称(译)	薄膜晶体管液晶显示器的像素结构		
公开(公告)号	CN1485655A	公开(公告)日	2004-03-31
申请号	CN02142865.4	申请日	2002-09-23
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股份有限公司		
当前申请(专利权)人(译)	统宝光电股份有限公司		
[标]发明人	郑新安 邱昌明		
发明人	郑新安 邱昌明		
IPC分类号	G02F1/133 G02F1/1335 G02F1/136		
代理人(译)	王学强		
其他公开文献	CN1278174C		
外部链接	Espacenet SIPO		

摘要(译)

一种薄膜晶体管液晶显示器的像素结构，通过一与低温多晶硅薄膜晶体管中的源极/漏极同时定义的掺杂多晶硅层、一介电层以及一遮光金属层构成储存电容器。其中，遮光金属层配置于掺杂多晶硅层上方，并且与像素电极电性连接。由于遮光金属层所分布的区域同时即为储存电容器配置的区域，故可大幅提高开口率。

