



(12) 发明专利申请

(10) 申请公布号 CN 103176318 A

(43) 申请公布日 2013. 06. 26

(21) 申请号 201110431524. 2

(22) 申请日 2011. 12. 20

(71) 申请人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号

(72) 发明人 李嘉灵 张良 吴天一

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

G02F 1/133 (2006. 01)

G09G 3/36 (2006. 01)

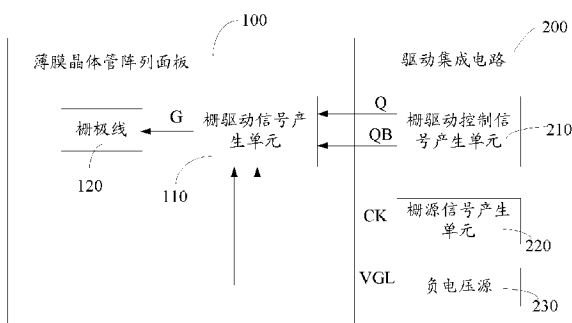
权利要求书2页 说明书7页 附图5页

(54) 发明名称

薄膜晶体管阵列面板和液晶显示装置

(57) 摘要

一种薄膜晶体管阵列面板和液晶显示装置。所述薄膜晶体管阵列面板包括：多条相互垂直的栅极线和数据线、多个像素单元和多级栅驱动信号产生单元，其中，每个所述像素单元包括至少一个薄膜晶体管，所述栅极线连接薄膜晶体管的栅极，所述数据线连接薄膜晶体管的源极；所述栅驱动信号产生单元连接所述栅极线，所述栅驱动信号产生单元接收第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号，并为所述栅极线提供栅驱动信号；所述第一栅驱动控制信号的相位和所述第二栅驱动控制信号的相位相反。本发明可以实现薄膜晶体管阵列面板的窄边框化。



1. 一种薄膜晶体管阵列面板,其特征在于,包括:多条相互垂直的栅极线和数据线、多个像素单元和多级栅驱动信号产生单元,其中,每个所述像素单元包括至少一个薄膜晶体管,所述栅极线连接薄膜晶体管的栅极,所述数据线连接薄膜晶体管的源极;所述栅驱动信号产生单元连接所述栅极线,所述栅驱动信号产生单元接收第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号,并为所述栅极线提供栅驱动信号;所述第一栅驱动控制信号的相位和所述第二栅驱动控制信号的相位相反。

2. 如权利要求1所述的薄膜晶体管阵列面板,其特征在于,两个或两个以上所述栅驱动信号产生单元接收同一个第一栅驱动控制信号和同一个第二栅驱动控制信号。

3. 如权利要求1所述的薄膜晶体管阵列面板,其特征在于,两个或两个以上所述栅驱动信号产生单元接收同一个栅源信号。

4. 如权利要求1所述的薄膜晶体管阵列面板,其特征在于,两个或两个以上所述栅驱动信号产生单元接收同一负电压信号。

5. 如权利要求1所述的薄膜晶体管阵列面板,其特征在于,所述栅驱动信号产生单元包括:一个上拉晶体管和一个下拉晶体管,其中,所述上拉晶体管的第二端接收所述栅源信号,所述上拉晶体管的控制端接收所述第一栅驱动控制信号;所述下拉晶体管的控制端接收所述第二栅驱动控制信号,所述下拉晶体管的第一端接收所述负电压信号;所述上拉晶体管的第一端和所述下拉晶体管的第二端连接,且作为栅驱动信号产生单元的输出端以输出栅驱动信号。

6. 如权利要求1所述的薄膜晶体管阵列面板,其特征在于,所述栅驱动信号产生单元包括:一个上拉晶体管和两个或两个以上下拉晶体管,其中,所述上拉晶体管的第二端接收所述栅源信号,所述上拉晶体管的控制端接收所述第一栅驱动控制信号;所述下拉晶体管的控制端接收所述第二栅驱动控制信号,所述下拉晶体管的第一端接收所述负电压信号;所述上拉晶体管的第一端和所述下拉晶体管的第二端连接,且作为栅驱动信号产生单元的输出端以输出栅驱动信号。

7. 一种液晶显示装置,其特征在于,包括:如权利要求1至6中任一项所述的薄膜晶体管阵列面板和驱动集成电路,所述驱动集成电路连接所述薄膜晶体管阵列面板,并为所述薄膜晶体管阵列面板提供所述第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号。

8. 如权利要求7所述的液晶显示装置,其特征在于,所述驱动集成电路包括:

一个或多个栅驱动控制信号产生单元,连接所述栅驱动信号产生单元,用于为所述栅驱动信号产生单元提供第一栅驱动控制信号和第二栅驱动控制信号;

一个或多个栅源信号产生单元,连接所述栅驱动信号产生单元,用于为所述栅驱动信号产生单元提供栅源信号;

一个或多个负电压源,连接所述栅驱动信号产生单元,用于为所述栅驱动信号产生单元提供负电压信号。

9. 如权利要求8所述的液晶显示装置,其特征在于,所述驱动集成电路还包括:

输入模块,用于输入S和A,所述S为所需栅驱动信号的数量,所述A为第二栅驱动控制信号与第一栅驱动控制信号的商,所述S和A均为正整数;

计算模块,连接所述输入模块,用于计算n、i和N,所述n为第一栅驱动控制信号的数量

量,所述 i 为栅源信号的数量,所述 N 为第二栅驱动控制信号的数量,所述 n 和 i 均为正整数, $S = n*i$, $N = A*n$;

选择判断模块,连接所述计算模块,判断与 S 对应的 n 、 i 和 N 的组数,当 n 、 i 和 N 为多组时,选择其中 n 、 i 和 N 之和最小的一组数,且将 n 、 i 和 N 发送给输出模块;当 n 、 i 和 N 为单组时,直接将 n 、 i 和 N 发送给输出模块;

输出模块,连接所述选择判断模块,用于输出与所述 S 对应的 n 、 i 和 N 。

薄膜晶体管阵列面板和液晶显示装置

技术领域

[0001] 本发明涉及液晶制造技术领域,尤其涉及一种薄膜晶体管阵列面板和液晶显示装置。

背景技术

[0002] 在液晶显示器 (LCD) 中或者在结构与之相似的其他平板显示器,比如电子书、有机发光二极管柔性显示器等,栅极线作为液晶像素阵列布局中的行驱动线是横向布置的。

[0003] 以薄膜晶体管液晶面板 (TFT-LCD) 为例,其通过液晶像素矩阵显示图像。请参见图 1,图 1 是现有技术的 TFT-LCD 面板的结构示意图,包括多个子像素单元,以及与其连接的多条栅极线 $G1, G2 \dots Gn$ 、多条数据线 $D1, D2 \dots Dm$ 。其中,每一个子像素单元都包括薄膜晶体管 (TFT)、存储电容、液晶电容等,且薄膜晶体管的栅极与其对应的栅极线相连,薄膜晶体管的源极与其对应的数据线相连。以子像素单元 10 为例,包括作为像素开关的薄膜晶体管 101、存储电容 102、液晶电容 103。薄膜晶体管 101 的栅极与栅极线 $G1$ 相连,源极与数据线 Dm 相连。栅极线 $G1, G2, \dots, Gn$ 及数据线 $D1, D2, \dots, Dm$ 分别连接到栅驱动电路 106 和数据驱动电路 107。

[0004] 栅驱动电路 106 和数据驱动电路 107 都是后期在组装液晶显示器的时候贴附到液晶显示面板上的。由于栅驱动电路 106 需要分别与若干根 (通常为几百根或者几千根) 栅极线 $G1, G2 \dots Gn$ 连接,并输入栅驱动信号到对应的栅极线,因此该栅驱动电路的造价高,并且组装贴附工艺也要花费大量的工序、人力、时间等。

[0005] 随着用户对液晶显示面板窄边框提出更高的要求,一些产品中将栅驱动电路制作在数据驱动电路一侧,或者与数据驱动电路集成一体,这样若干根栅极线需要在图 1 所示的液晶显示屏的左侧形成外围走线区,并在外围走线区形成栅极线引线以连接栅极线与栅驱动电路。由于栅极线引线的数量也很大,因此仍然无法很好地实现窄边框。

发明内容

[0006] 本发明解决的问题是提供一种可以实现窄边框的薄膜晶体管阵列面板和液晶显示装置。

[0007] 为解决上述问题,本发明提供了一种薄膜晶体管阵列面板,包括:多条相互垂直的栅极线和数据线、多个像素单元和多级栅驱动信号产生单元,其中,每个所述像素单元包括至少一个薄膜晶体管,所述栅极线连接薄膜晶体管的栅极,所述数据线连接薄膜晶体管的源极;所述栅驱动信号产生单元连接所述栅极线,所述栅驱动信号产生单元接收第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号,并为所述栅极线提供栅驱动信号;所述第一栅驱动控制信号的相位和所述第二栅驱动控制信号的相位相反。

[0008] 可选地,两个或两个以上所述栅驱动信号产生单元接收同一个第一栅驱动控制信号和同一个第二栅驱动控制信号。

[0009] 可选地,两个或两个以上所述栅驱动信号产生单元接收同一个栅源信号。

[0010] 可选地,两个或两个以上所述栅驱动信号产生单元接收同一负电压信号。

[0011] 可选地,所述栅驱动信号产生单元包括:一个上拉晶体管和一个下拉晶体管,其中,所述上拉晶体管的第二端接收所述栅源信号,所述上拉晶体管的控制端接收所述第一栅驱动控制信号;所述下拉晶体管的控制端接收所述第二栅驱动控制信号,所述下拉晶体管的第一端接收所述负电压信号;所述上拉晶体管的第一端和所述下拉晶体管的第二端连接,且作为栅驱动信号产生单元的输出端以输出栅驱动信号。

[0012] 可选地,所述栅驱动信号产生单元包括:一个上拉晶体管和两个或两个以上下拉晶体管,其中,所述上拉晶体管的第二端接收所述栅源信号,所述上拉晶体管的控制端接收所述第一栅驱动控制信号;所述下拉晶体管的控制端接收所述第二栅驱动控制信号,所述下拉晶体管的第一端接收所述负电压信号;所述上拉晶体管的第一端和所述下拉晶体管的第二端连接,且作为栅驱动信号产生单元的输出端以输出栅驱动信号。

[0013] 为了解决上述问题,本发明还提供了一种液晶显示装置,包括:上述所述薄膜晶体管阵列面板和驱动集成电路,所述驱动集成电路连接所述薄膜晶体管阵列面板,并为所述薄膜晶体管阵列面板提供所述第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号。

[0014] 可选地,所述驱动集成电路包括:一个或多个栅驱动控制信号产生单元,连接所述栅驱动信号产生单元,用于为所述栅驱动信号产生单元提供第一栅驱动控制信号和第二栅驱动控制信号;一个或多个栅源信号产生单元,连接所述栅驱动信号产生单元,用于为所述栅驱动信号产生单元提供栅源信号;一个或多个负电压源,连接所述栅驱动信号产生单元,用于为所述栅驱动信号产生单元提供负电压信号。

[0015] 可选地,所述驱动集成电路还包括:输入模块,用于输入 S 和 A ,所述 S 为所需栅驱动信号的数量,所述 A 为第二栅驱动控制信号与第一栅驱动控制信号的商,所述 S 和 A 均为正整数;计算模块,连接所述输入模块,用于计算 n 、 i 和 N ,所述 n 为第一栅驱动控制信号的数量,所述 i 为栅源信号的数量,所述 N 为第二栅驱动控制信号的数量,所述 n 和 i 均为正整数, $S = n*i$, $N = A*n$;选择判断模块,连接所述计算模块,判断与 S 对应的 n 、 i 和 N 的组数,当 n 、 i 和 N 为多组时,选择其中 n 、 i 和 N 之和最小的一组数,且将 n 、 i 和 N 发送给输出模块;当 n 、 i 和 N 为单组时,直接将 n 、 i 和 N 发送给输出模块;输出模块,连接所述选择判断模块,用于输出与所述 S 对应的 n 、 i 和 N 。

[0016] 与现有技术相比,本发明具有以下优点:

[0017] 1) 本发明提供一种薄膜晶体管阵列面板,其中:栅驱动信号产生单元接收的第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号在薄膜晶体管阵列面板之外产生,从而节省了薄膜晶体管阵列面板的边框面积,可以实现阵列面板的窄边框化。此外,由于阵列面板中栅驱动信号产生单元的结构比较简单,从而可以降低阵列面板的功耗。

[0018] 2) 可选方案中,两个或两个以上栅驱动信号产生单元可以共用第一栅驱动控制信号和第二栅驱动控制信号、栅源信号、负电压信号中的一种或多种,从而进一步节省了阵列面板的边框面积。在节省阵列面板的边框面积的同时,就可以实现液晶显示装置的窄边框化。

[0019] 3) 可选方案中,栅驱动信号产生单元可以仅包括一个上拉晶体管和下拉晶体管,从而提高了阵列面板的可靠性。

[0020] 4) 可选方案中,栅驱动信号产生单元可以包括多个下拉晶体管,多个下拉晶体管可以交替进行工作,从而可以避免下拉晶体管产生阈值电压漂移,延长了栅驱动信号产生单元的使用寿命,提高了其提供的栅驱动信号的可靠性。

[0021] 5) 可选方案中,液晶显示装置还可以包括:输入模块、计算模块、选择判断模块和输出模块,从而在栅驱动信号数量一定的情况下,通过计算可以得到最小的布线数,最终实现阵列面板的最小边框。

附图说明

[0022] 图 1 是现有技术 TFT-LCD 面板的结构示意图;

[0023] 图 2 是本发明具体实施方式中液晶显示装置的结构示意图;

[0024] 图 3 是图 2 中栅驱动信号产生单元的结构示意图;

[0025] 图 4 是本发明实施例中四个栅驱动信号产生单元的结构示意图;

[0026] 图 5 是图 4 的简化结构示意图;

[0027] 图 6 是图 5 的各信号的时序图;

[0028] 图 7 是本发明实施例中八个栅驱动信号产生单元的结构示意图。

具体实施方式

[0029] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0030] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其他不同于在此描述的其它方式来实施,因此本发明不受下面公开的具体实施例的限制。

[0031] 为实现显示面板的窄边框设计,本发明提供了一种薄膜晶体管阵列面板和液晶显示装置,其中:栅驱动信号产生单元接收的第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号在薄膜晶体管阵列面板之外产生,从而节省了薄膜晶体管阵列面板的边框面积,可以实现阵列面板的窄边框化。

[0032] 下面结合附图进行详细说明。

[0033] 参考图 2 所示,本实施例提供了一种液晶显示装置,包括:薄膜晶体管阵列面板 100 和驱动集成电路(即驱动 IC)200。其中:

[0034] 薄膜晶体管阵列面板 100 包括:多条相互垂直的栅极线 120 和数据线(图中未示出)、多个像素单元(图中未示出)和多级栅驱动信号产生单元 110,每个所述像素单元包括至少一个薄膜晶体管,薄膜晶体管的栅极连接所述栅极线 120,薄膜晶体管的源极连接所述数据线;所述栅驱动信号产生单元 110 与所述栅极线 120 相连,所述栅驱动信号产生单元 110 接收第一栅驱动控制信号 Q 和第二栅驱动控制信号 QB、栅源信号 CK 和负电压信号 VGL,并为所述栅极线 120 提供栅驱动信号 G;所述第一栅驱动控制信号 Q 的相位和所述第二栅驱动控制信号 QB 的相位相反。

[0035] 驱动集成电路 200 包括:一个或多个栅驱动控制信号产生单元 210,连接栅驱动信号产生单元 110,用于为栅驱动信号产生单元 110 提供第一栅驱动控制信号 Q 和第二栅驱动控制信号 QB;一个或多个栅源信号产生单元 220,连接栅驱动信号产生单元 110,用于为栅

驱动信号产生单元 110 提供栅源信号 CK ;一个或多个负电压源 230,连接栅驱动信号产生单元 110,用于为栅驱动信号产生单元 110 提供负电压信号 VGL。

[0036] 其中,所述栅驱动信号产生单元 110 可以设置在薄膜晶体管阵列面板 100 的外围走线区域,其级数与栅极线 120 的级数相同。

[0037] 结合参考图 3 所示,本实施例中所述栅驱动信号产生单元 110 可以包括:一个上拉晶体管 Mup 和一个下拉晶体管 Md,其中,所述上拉晶体管 Mup 的第二端作为栅源信号接口 CK',以接收所述栅源信号 CK ;所述上拉晶体管 Mup 的控制端作为第一控制信号接口 Q',以接收所述第一栅驱动控制信号 Q ;所述下拉晶体管 Md 的控制端作为第二控制信号接口 QB',以接收第二栅驱动控制信号 QB ;所述下拉晶体管 Md 的第一端作为负电压信号接口 VGL',以接收负电压信号 VGL ;所述上拉晶体管 Mup 的第一端和所述下拉晶体管 Md 的第二端连接,且作为栅驱动信号产生单元 110 的输出端 G' 连接某一级栅极线以输出栅驱动信号 G 到该级栅极线。此时,所述栅驱动信号产生单元 110 仅包括两个晶体管,从而功耗较小,且可靠性较高。但本发明并不以此为限,所述栅驱动信号产生单元 110 还可以包括两个以上薄膜晶体管。

[0038] 其中,所述上拉晶体管 Mup 或下拉晶体管 Md 的第一端可以是源极或漏极,控制端可以是栅极。

[0039] 需要说明的是,在本发明的其他实施例中,所述栅驱动信号产生单元 110 还可以采用其他电路结构,其不限制本发明的保护范围。

[0040] 由于下拉晶体管 Md 的工作时间远大于上拉晶体管 Mup 的工作时间,而经过较长的工作时间后,晶体管的阈值电压容易发生漂移(shift)。考虑到下拉晶体管 Md 的面积远小于上拉晶体管 Mup 的面积,因此,优选地,所述栅驱动信号产生单元 110 可以包括:一个上拉晶体管和两个或两个以上下拉晶体管,其中,所述上拉晶体管的第二端接收所述栅源信号,所述上拉晶体管的控制端接收所述第一栅驱动控制信号 ;所述下拉晶体管的控制端接收所述第二栅驱动控制信号,所述下拉晶体管的第一端接收一负电压信号 ;所述上拉晶体管的第一端和所述下拉晶体管的第二端连接,且作为栅驱动信号产生单元 110 的输出端以输出栅驱动信号。此时可以通过设置使得两个或两个以上下拉晶体管交替进行工作,每个下拉晶体管的工作时间可以相同,也可以不同。这样就可以避免下拉晶体管产生阈值电压漂移,延长了栅驱动信号产生单元 110 的使用寿命,提高了其提供的栅驱动信号的精确性。

[0041] 优选地,为了进一步节省阵列面板的边框面积,实现液晶显示装置的窄边框化,可以使两个或两个以上所述栅驱动信号产生单元共用第一栅驱动控制信号和第二栅驱动控制信号、栅源信号、负电压信号中的一种或多种。

[0042] 结合参考图 4 所示,图 4 为本实施例中相邻的四级栅驱动信号产生单元(分别为:第一栅驱动信号产生单元 110a、第二栅驱动信号产生单元 110b、第三栅驱动信号产生单元 110c 和第四栅驱动信号产生单元 110d)。其中,每个栅驱动信号产生单元都可以采用图 3 所示的电路结构;所述四级栅驱动信号产生单元可以由同一个栅驱动控制信号产生单元 210 提供第一栅驱动控制信号 Q 和第二栅驱动控制信号 QB,即一个栅驱动控制信号产生单元可以与多个栅驱动信号产生单元相连,从而每个栅驱动信号产生单元的第一控制信号接口 Q' 分别接收所述第一栅驱动控制信号 Q,第二控制信号接口 QB' 分别接收所述第二栅驱动控制信号 QB。

[0043] 本实施例中驱动集成电路 200 中至少包括四个不同的栅源信号产生单元,其分别为第一栅驱动信号产生单元 110a 提供第一栅源信号 CK1(所述第一栅驱动信号产生单元 110a 的栅源信号接口 Ck' 接收第一栅源信号 CK1)、为第二栅驱动信号产生单元 110b 提供第二栅源信号 CK2(所述第二栅驱动信号产生单元 110b 的栅源信号接口 Ck' 接收第二栅源信号 CK2)、为第三栅驱动信号产生单元 110c 提供第三栅源信号 CK3(所述第三栅驱动信号产生单元 110c 的栅源信号接口 Ck' 接收第三栅源信号 CK3)、为第四栅驱动信号产生单元 110d 提供第四栅源信号 CK4(所述第四栅驱动信号产生单元 110d 的栅源信号接口 Ck' 接收第四栅源信号 CK4)。

[0044] 本实施例中所述负电压源 230 为驱动集成电路 220 中任意一个可以提供负电压信号 VGL 的器件。所述驱动集成电路 220 可以提供一个负电压信号 VGL,所述四个栅驱动信号产生单元的负电压信号接口 VGL' 分别接收所述负电压信号 VGL。

[0045] 上述四个栅驱动信号产生单元虽然接收部分相同的信号,但是栅驱动信号产生单元之间不发生信号交互。最终第一栅驱动信号产生单元 110a 的输出端 G' 输出第一栅驱动信号 G1,第二栅驱动信号产生单元 110b 的输出端 G' 输出第二栅驱动信号 G2,第三栅驱动信号产生单元 110c 的输出端 G' 输出第三栅驱动信号 G3,第四栅驱动信号产生单元 110d 的输出端 G' 输出第四栅驱动信号 G4。

[0046] 为了后续描述的方便,本实施例可以将图 4 所示的结构简化为图 5 的结构,即将采用同一第一栅驱动控制信号 Q 和第二栅驱动控制信号 QB 的四个栅驱动信号产生单元统称为一个共控制信号模块。参考图 6 所示,图 6 示出图 5 中第一栅驱动控制信号 Q、第二栅驱动控制信号 QB、第一栅源信号 CK1、第二栅源信号 CK2、第三栅源信号 CK3、第四栅源信号 CK4、第一栅驱动信号 G1、第二栅驱动信号 G2、第三栅驱动信号 G3 和第四栅驱动信号 G4 的时序图。

[0047] 再结合参考图 7 所示,本实施例可以包括第一共控制信号模块和第二共控制信号模块,每个共控制信号模块分别包括四个栅驱动信号产生单元,则两个共控制信号模块共包括八个栅驱动信号产生单元,从而可以产生八个栅驱动信号,即第一共控制信号模块产生第一栅驱动信号 G1、第二栅驱动信号 G2、第三栅驱动信号 G3 和第四栅驱动信号 G4,第二共控制信号模块产生第五栅驱动信号 G5、第六栅驱动信号 G6、第七栅驱动信号 G7 和第八栅驱动信号 G8。

[0048] 本实施例中驱动集成电路 200 中至少包括两个栅驱动控制信号产生单元,其分别产生第一栅驱动控制信号 Q1、第二栅驱动控制信号 QB1、第一栅驱动控制信号 Q2 和第二栅驱动控制信号 QB2。第一共控制信号模块分别接收第一栅驱动控制信号 Q1 和第二栅驱动控制信号 QB1,第二共控制信号模块分别接收第一栅驱动控制信号 Q2 和第二栅驱动控制信号 QB2。两个共控制信号模块可以接收同一负电压信号 VGL。

[0049] 本实施例中两个共控制信号模块中的四个栅驱动信号产生单元分别接收第一栅源信号 CK1、第二栅源信号 CK2、第三栅源信号 CK3 和第四栅源信号 CK4,即每两个栅驱动信号产生单元共用同一栅源信号。

[0050] 本实施例中通过使四个栅驱动信号产生单元共用一个栅驱动控制信号产生单元,又使两个栅驱动信号产生单元共用一个栅源信号产生单元,从而进一步节省了显示面板的边框面积。在节省显示面板的边框面积的同时,就可以实现液晶显示装置的窄边框化。

[0051] 需要说明的是,本实施例中四个栅驱动信号产生单元共用同一栅驱动控制信号产生单元产生的第一栅驱动控制信号和第二栅驱动控制信号,两个栅驱动信号产生单元共用同一栅源信号产生单元产生的栅源信号仅为举例,在本发明的其他实施例中,可以是 n 个栅驱动信号产生单元共用同一栅驱动控制信号产生单元产生的第一栅驱动控制信号和第二栅驱动控制信号, i 个栅驱动信号产生单元共用同一栅源信号产生单元,所述 n 和 i 都是正整数,其不限制本发明的保护范围。故当需要产生 S 个栅驱动信号时,则可以采用 n 个栅驱动控制信号产生单元和 i 个栅源信号产生单元,其中, $S = n*i$, S 也是正整数。

[0052] 优选地,为了在栅驱动信号的数量一定的情况下,尽可能减少阵列面板边框布线的数量,本实施例中液晶显示装置还可以包括:

[0053] 输入模块,用于输入 S 和 A ,所述 S 为所需栅驱动信号的数量,所述 A 为第二栅驱动控制信号与第一栅驱动控制信号的商,所述 S 和 A 均为正整数;

[0054] 计算模块,连接所述输入模块,用于计算 n 、 i 和 N ,所述 n 为第一栅驱动控制信号的数量,所述 i 为栅源信号的数量,所述 N 为第二栅驱动控制信号的数量,所述 n 和 i 均为正整数, $S = n*i$, $N = A*n$;

[0055] 选择判断模块,连接所述计算模块,判断与 S 对应的 n 、 i 和 N 的组数,当 n 、 i 和 N 为多组时,选择其中 n 、 i 和 N 之和最小的一组数,且将 n 、 i 和 N 发送给输出模块;当 n 、 i 和 N 为单组时,直接将 n 、 i 和 N 发送给输出模块;

[0056] 输出模块,连接所述选择判断模块,用于输出与所述 S 对应的 n 、 i 和 N 。

[0057] 作为一个具体例子,先获取所需栅驱动信号的数量为 400 (即 $S = 400$),第二栅驱动控制信号与第一栅驱动控制信号的数量相同 (即 $A = 1$),并将 $S = 400$ 和 $A = 1$ 发送给输入模块。接着采用计算模块计算出乘积为 400 的两个正整数 (即 n 和 i),其分别可以为: 1 和 400、10 和 40、16 和 25、20 和 20、25 和 16、40 和 10、400 和 1,由于 $N = A*n$,因此相应的 N 分别为: 1、10、16、20、25、40、400,最终计算模块得到七组数据,分别为 (按 n 、 i 和 N 的顺序): 1、400 和 1、10、40 和 10、16、25 和 16、20、20 和 20、25、16 和 25、40、10 和 40、400、1 和 400。接着采用选择判断模块先判断计算模块得到的数据组数,此时数据为七组,因此还需要采用选择判断模块从七组数据中选择出 n 、 i 和 N 之和最小的一组数、具体地,上述七组数据 n 、 i 和 N 之和分别为: 402、60、57、60、66、90、801,则第三组数据对应的和最小。然后选择判断模块将第三组数据 (即 16、25 和 16) 发送给输出模块。最后由输出模块输出与所需栅驱动信号的数量 400 对应的第一栅驱动控制信号的数量 16、栅源信号的数量 25、第二栅驱动控制信号的数量 16。

[0058] 本实施例中所述栅驱动控制信号产生单元通过第一线路为栅驱动信号产生单元提供第一栅驱动控制信号,通过第二线路为栅驱动信号产生单元提供第二栅驱动控制信号;所述栅源信号产生单元通过第三线路为栅驱动信号产生单元提供栅源信号。当栅驱动信号产生单元的数量为 400 时,优选地,所述第一线路的数量为 16、第二线路的数量为 16、第三线路的数量为 25。此时不但可以提供 400 个栅驱动信号,而且第一线路、第二线路和第三线路的数量之和是最小的,从而在栅驱动信号数量一定的情况下,通过计算可以得到最小的布线数,最终实现显示面板的最小边框。

[0059] 其中,所述第一线路、第二线路和第三线路可以均匀地分布在所述栅驱动信号产生单元的两侧。

[0060] 优选地,所述输入模块、计算模块、选择判断模块和输出模块可以设置在驱动集成电路中,从而无需增加薄膜晶体管阵列面板的面积。

[0061] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

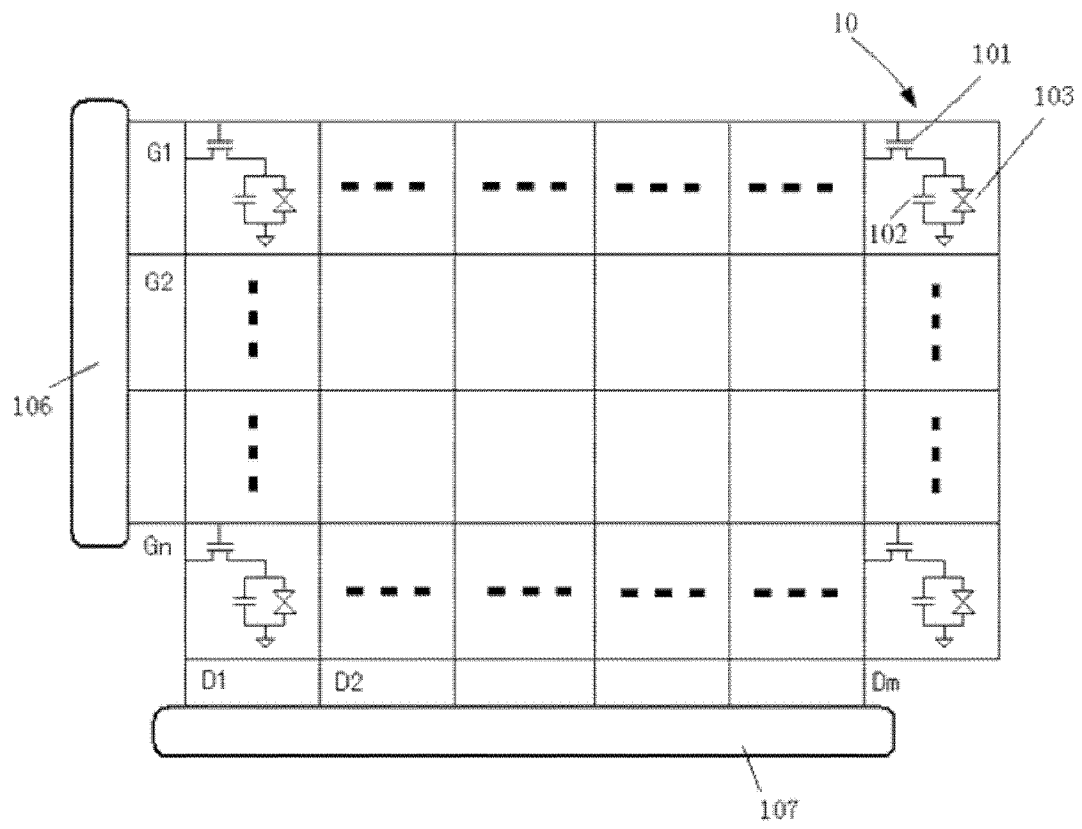


图 1

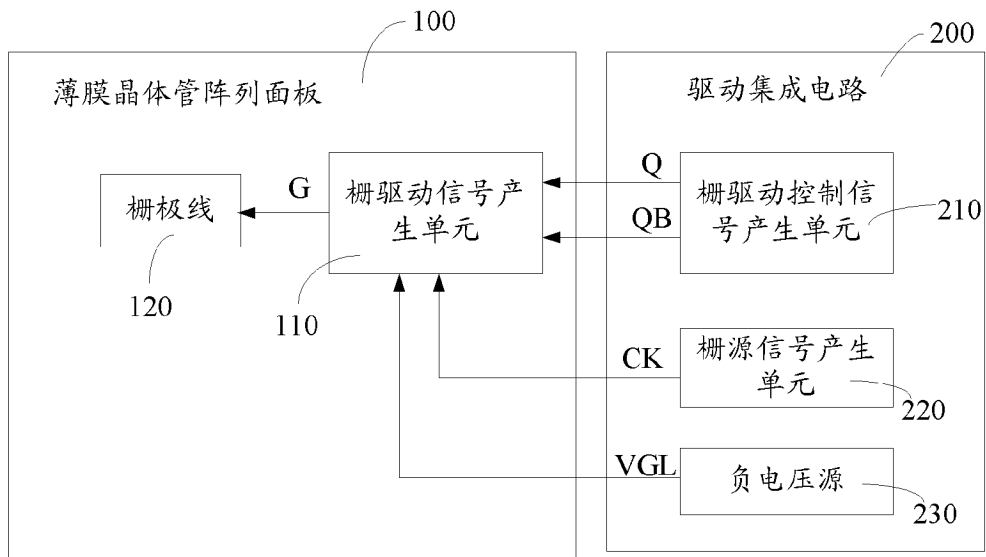


图 2

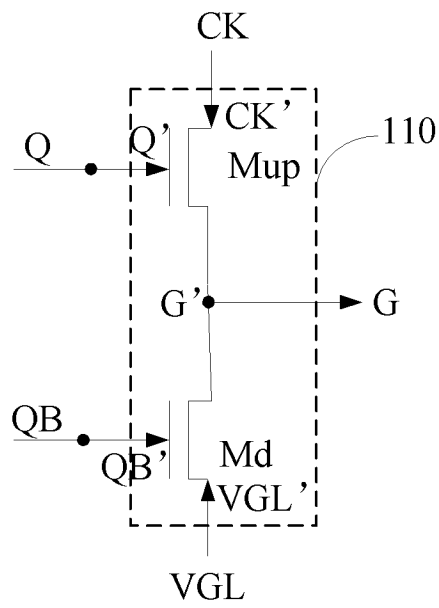


图 3

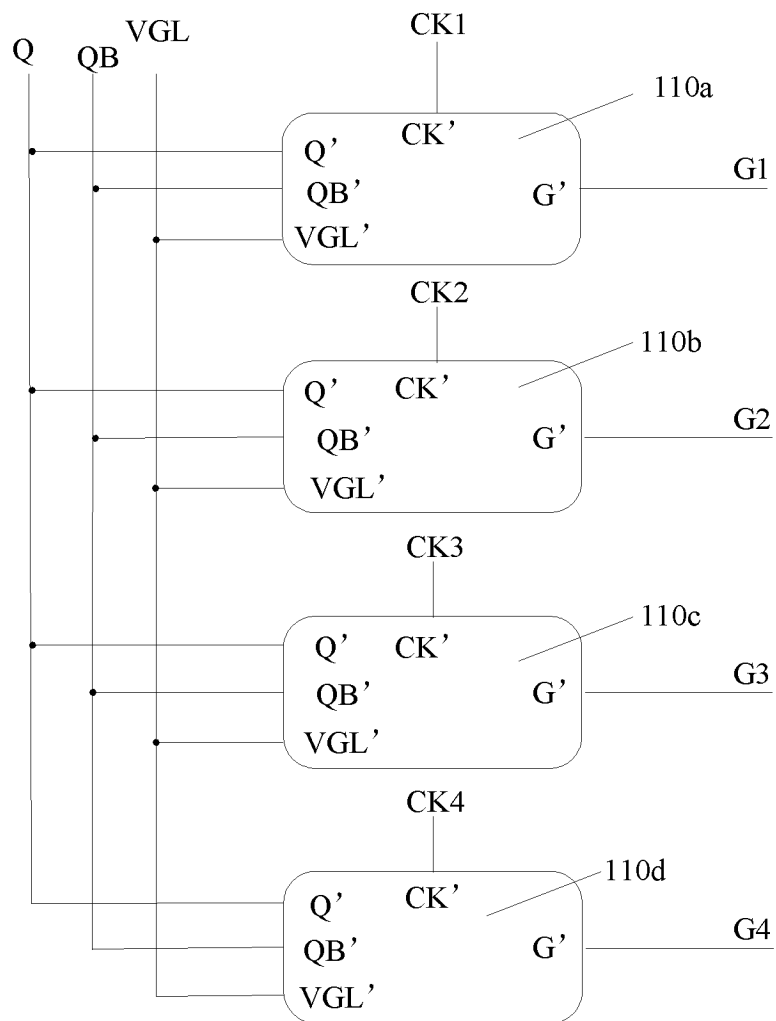


图 4

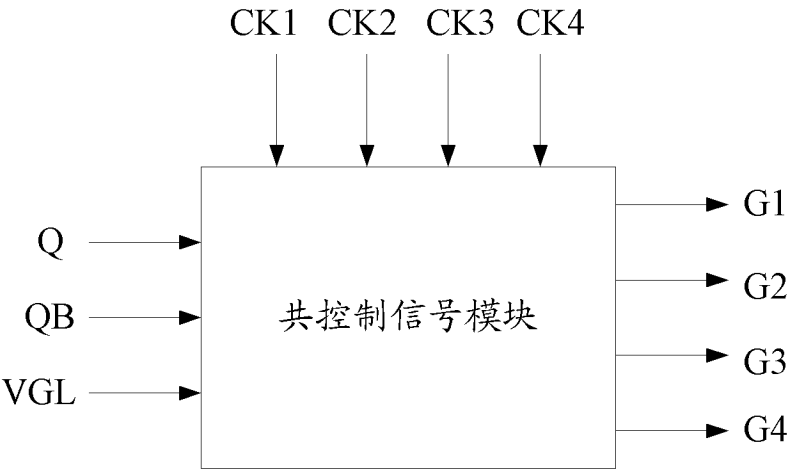


图 5

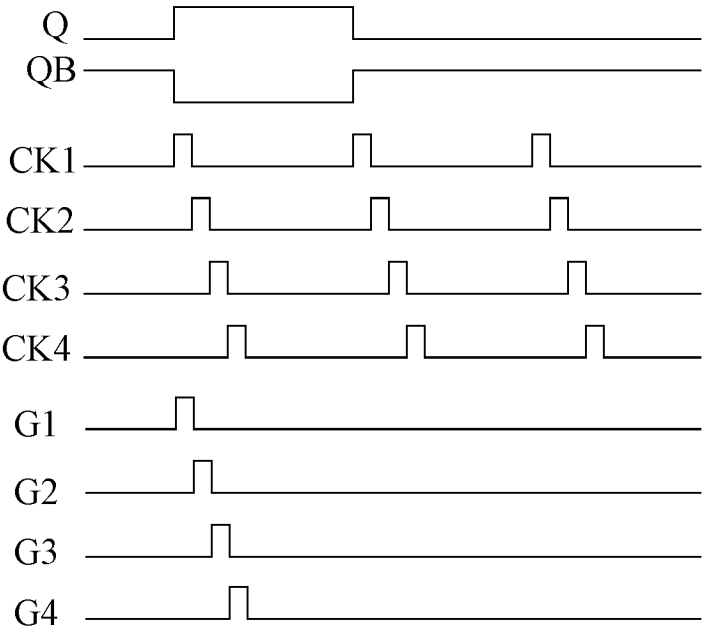


图 6

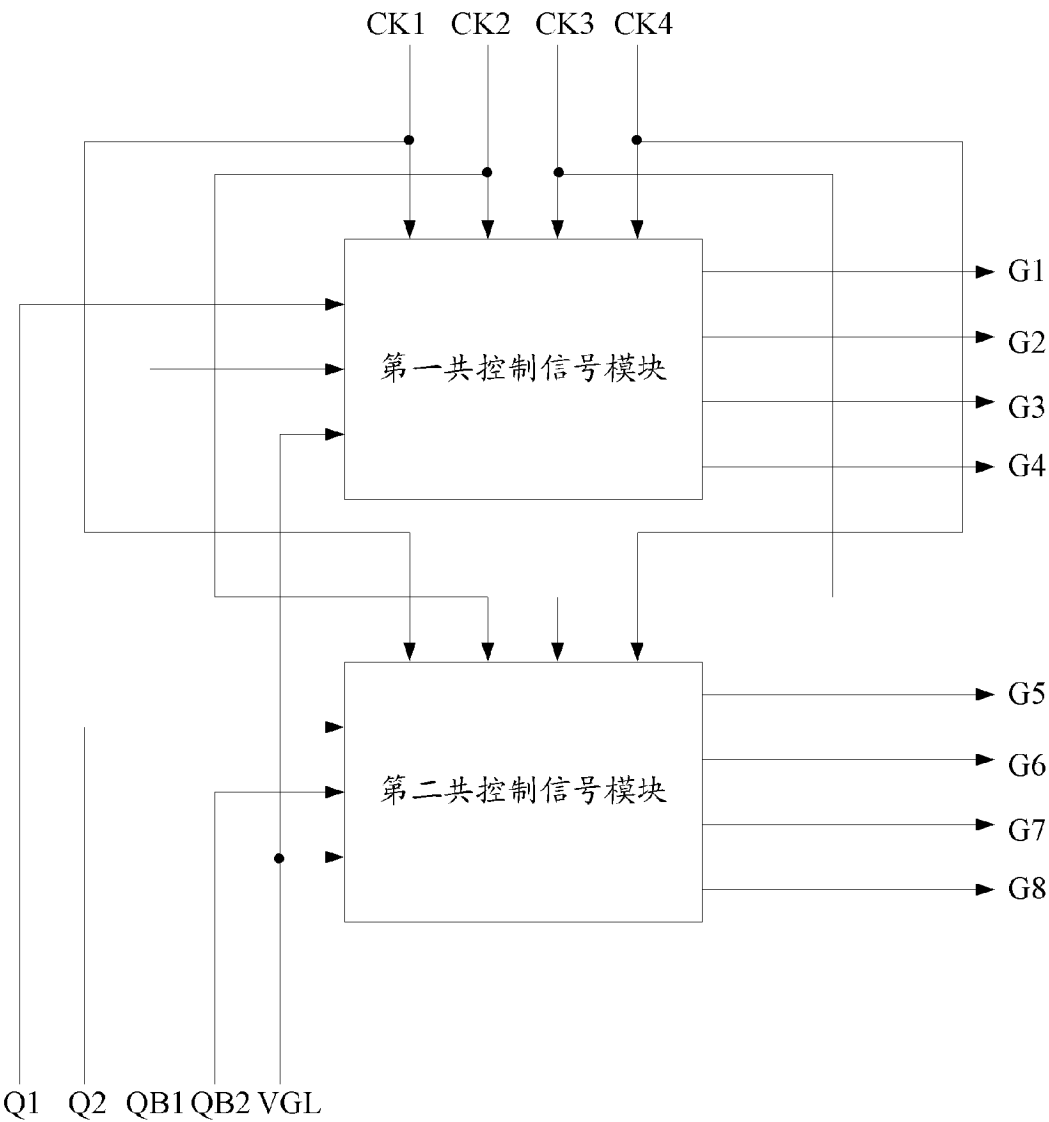


图 7

专利名称(译)	薄膜晶体管阵列面板和液晶显示装置		
公开(公告)号	CN103176318A	公开(公告)日	2013-06-26
申请号	CN201110431524.2	申请日	2011-12-20
[标]申请(专利权)人(译)	上海天马微电子有限公司		
申请(专利权)人(译)	上海天马微电子有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司		
[标]发明人	李嘉灵 张良 吴天一		
发明人	李嘉灵 张良 吴天一		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 G09G3/36		
其他公开文献	CN103176318B		
外部链接	Espacenet SIPO		

摘要(译)

一种薄膜晶体管阵列面板和液晶显示装置。所述薄膜晶体管阵列面板包括：多条相互垂直的栅极线和数据线、多个像素单元和多级栅驱动信号产生单元，其中，每个所述像素单元包括至少一个薄膜晶体管，所述栅极线连接薄膜晶体管的栅极，所述数据线连接薄膜晶体管的源极；所述栅驱动信号产生单元连接所述栅极线，所述栅驱动信号产生单元接收第一栅驱动控制信号和第二栅驱动控制信号、栅源信号和负电压信号，并为所述栅极线提供栅驱动信号；所述第一栅驱动控制信号的相位和所述第二栅驱动控制信号的相位相反。本发明可以实现薄膜晶体管阵列面板的窄边框化。

