



(12) 发明专利

(10) 授权公告号 CN 102566155 B

(45) 授权公告日 2014. 07. 02

(21) 申请号 201010611650. 1

(22) 申请日 2010. 12. 28

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 合肥鑫晟光电科技有限公司

(72) 发明人 孙荣阁
叶翥

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(56) 对比文件

CN 1881050 A, 2006. 12. 20,
CN 1837907 A, 2006. 09. 27, 说明书第 5-8
页、附图 1-2.
US 2002/0140649 A1, 2002. 10. 03,
US 2004/0057005 A1, 2004. 03. 25,
US 6577368 B1, 2003. 06. 10,

审查员 郭栋

(51) Int. Cl.

G02F 1/1343 (2006. 01)

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/77 (2006. 01)

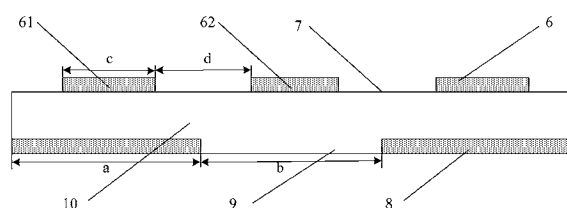
权利要求书2页 说明书7页 附图4页

(54) 发明名称

TFT-LCD 的阵列基板及其制造方法

(57) 摘要

本发明实施例公开了一种 TFT-LCD 的阵列基板及其制造方法, 涉及液晶显示器技术领域, 能够在对位精度不高时, 减小存储电容。该阵列基板包括: 基板, 基板上的栅线和数据线; 栅线和数据线交叉定义一个像素单元, 每一个像素单元包括薄膜晶体管、公共电极、通过绝缘层隔开的第一像素电极层和第二像素电极层; 第一像素电极层与公共电极连接, 包括被第一像素电极层开口间隔开的数个第一像素电极; 第二像素电极层与薄膜晶体管的漏极连接, 包括被第二像素电极层开口间隔开的数个第二像素电极; 第二像素电极包括完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极。



1. 一种 TFT-LCD 的阵列基板,其特征在于,包括:

基板,形成在基板上的栅线和数据线;栅线和数据线交叉定义一个像素单元,每一个像素单元包括薄膜晶体管、公共电极、第一像素电极层和第二像素电极层;

所述第一像素电极层与所述第二像素电极层通过绝缘层隔开;所述第一像素电极层与公共电极连接,包括被第一像素电极层开口间隔开的数个第一像素电极;所述第二像素电极层与所述薄膜晶体管的漏极连接,包括被第二像素电极层开口间隔开的数个第二像素电极;所述第一像素电极与所述第二像素电极交错排列;所述第二像素电极包括完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极;所述重叠处像素电极与所述开口处像素电极间隔分布;

所述两个相邻的开口处像素电极之间至少有一个重叠处像素电极;

所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c+n(c+d) < a < c+2d+n(c+d)$, $c < b < c+2d$, $a+b=2c+2d+n(c+d)$, 其中, n 为大于等于零的整数。

2. 根据权利要求 1 所述的阵列基板,其特征在于,所述两个相邻的开口处像素电极之间有一个重叠处像素电极,则第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c < a < c+2d$, $c < b < c+2d$, $a+b=2c+2d$ 。

3. 根据权利要求 2 所述的阵列基板,其特征在于,所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $a=b=c+d$ 。

4. 一种 TFT-LCD 的阵列基板的制造方法,其特征在于,包括:

沉积第一像素电极层薄膜,通过构图工艺形成包括第一像素电极层的图形,所述第一像素电极层的图形包括被第一像素电极层开口间隔开的数个第一像素电极,所述第一像素电极层的图形与公共电极连接;

沉积第二像素电极层薄膜,通过构图工艺形成包括第二像素电极层的图形,所述第二像素电极的图形通过漏极连接孔与薄膜晶体管的漏极连接,包括被第二像素电极层开口间隔开的数个第二像素电极;

其中,所述第一像素电极与所述第二像素电极交错排列;所述第二像素电极包括完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极;所述重叠处像素电极与所述开口处像素电极间隔分布;

所述两个相邻的开口处像素电极之间至少有一个重叠处像素电极;

所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c+n(c+d) < a < c+2d+n(c+d)$, $c < b < c+2d$, $a+b=2c+2d+n(c+d)$, 其中, n 为大于等于零的整数。

5. 根据权利要求 4 所述的制造方法,其特征在于,所述两个相邻的开口处像素电极之间有一个重叠处像素电极,则第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c < a < c+2d$, $c < b < c+2d$, $a+b=2c+2d$ 。

6. 根据权利要求 5 所述的制造方法,其特征在于,所述第一像素电极层的第一像素电

极的宽度 a、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c、第二像素电极层开口宽度 d 之间的关系为 : $a=b=c+d$ 。

TFT-LCD 的阵列基板及其制造方法

技术领域

[0001] 本发明涉及液晶显示器领域,尤其涉及薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display,简称 TFT-LCD)阵列基板及其制造方法。

背景技术

[0002] 在 TN、IPS、VA 和平面电场等模式的液晶显示器中,平面电场模式具有广视角、低色差、穿透率高等优点,越来越多地被各大面板厂商所采用。

[0003] 但平面电场模式薄膜晶体管液晶显示器在阵列工艺段的工艺顺序不同于其他几种模式的液晶显示器。如图 1 和图 2 所示的阵列基板结构,栅线 1 和数据线 2 交叉定义一个像素单元,在制作过程中,第一层为第一像素电极层(通常为 ITO,或称 1ITO)包括第一像素电极 8,如图 2 所示;其后为包括栅线 1 和栅电极,以及公共电极的图形;第一层绝缘层;源漏金属电极层(包括薄膜晶体管的漏极 4 和源极 3)、数据线 2;第二层绝缘层,并刻蚀出漏极接触孔 5;第二像素电极层(称为 2ITO),包括第二像素电极 6 和第二像素电极层开口 7。图 2 所示的平面电场模式 TFT-LCD 阵列基板中,由于两层 ITO 正对,即 2ITO 与 1ITO 重叠正对,因此存储电容非常大,造成了像素充电速度慢的结果,在对应大尺寸高解析度产品和倍频驱动产品的时候,该问题尤其明显。

[0004] 针对上述问题,现有技术提出了一种阵列基板,如图 3 所示,该阵列基板要求第一像素电极层也制作有开口,该开口为第一像素电极层开口 9,第二像素电极层的开口为第二像素电极层开口 7,第一像素电极层的像素电极为第一像素电极 8、第二像素电极层的像素电极为第二像素电极 6,第一像素电极 8 与第二像素电极 6 交错排列,使得第一像素电极层和第二像素电极层没有电极重叠。这种阵列基板可以大幅度降低存储电容。但由于第一像素电极层为透明层,因此该层和后续几层的对位比较困难,对位精度比较差,通常对位精度在 $3\mu\text{m}$ 以上。如果因对位误差造成两层像素电极之间的重叠,那么存储电容会有很大的变化,影响像素的充电特性偏移,造成面板的显示画面缺陷。因此在实际制作过程中,为避免因对位误差造成的两层像素电极的重叠,第二像素电极层的开口要足够宽,通常要在 $10\mu\text{m}$ 以上。这种阵列基板设计的结果是像素透过率大幅降低。

[0005] 现有技术还提出了另一种阵列基板,如图 4 所示,该阵列基板要求第一像素电极层也制作有开口,该开口为第一像素电极层开口 9,第二像素电极层的开口为第二像素电极层开口 7,第一像素电极层的像素电极为第一像素电极 8、第二像素电极层的像素电极为第二像素电极 6,第一像素电极 8 与第二像素电极 6 交错排列,使得第一像素电极层和第二像素电极层仅有部分电极重叠,这种结构也可大幅度降低存储电容。该阵列基板的第一像素电极层的开口宽度小于第二像素电极层的电极宽度。通常的平面电场模式 TFT-LCD 阵列基板设计中,第二像素电极层的电极宽度仅有 $3\sim 4\mu\text{m}$,因此第一像素电极层的开口宽度更小,仅有 $2\sim 3\mu\text{m}$,现有工艺条件实现该开口宽度非常困难,同样这种阵列基板设计也存在对位精度较差会影响存储电容变化的问题,因此工艺可实现性较差。如果为避免对位误差影响存储电容变化,第二像素电极层的电极宽度要大大加宽,会造成像素透过率大幅降低。

[0006] 发明人在实现本发明的技术方案时发现,现有技术提供的平面电场模式的 TFT-LCD 的阵列基板,皆存在要求较高的对位精度时,工艺实现性差和像素透过率低的缺陷。

发明内容

[0007] 本发明所要解决的技术问题在于提供一种 TFT-LCD 阵列基板及其制造方法,能够在对位精度不高时,保持通过率的前提下,减小 TFT-LCD 像素的存储电容,且工艺实现性较好。

[0008] 为解决上述技术问题,本发明 TFT-LCD 阵列基板及其制造方法采用如下技术方案:

[0009] 一种 TFT-LCD 阵列基板,包括:

[0010] 基板,形成在基板上的栅线和数据线;栅线和数据线交叉定义一个像素单元,每一个像素单元包括薄膜晶体管、公共电极、第一像素电极层和第二像素电极层;

[0011] 所述第一像素电极层与所述第二像素电极层通过绝缘层隔开;所述第一像素电极层与公共电极连接,包括被第一像素电极层开口间隔开的数个第一像素电极;所述第二像素电极层与所述薄膜晶体管的漏极连接,包括被第二像素电极层开口间隔开的数个第二像素电极;所述第一像素电极与所述第二像素电极交错排列;所述第二像素电极包括完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极;所述重叠处像素电极与所述开口处像素电极间隔分布。

[0012] 所述两个相邻的开口处像素电极之间至少有一个重叠处像素电极。

[0013] 所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c+n(c+d) < a < c+2d+n(c+d)$, $c < b < c+2d$, $a+b = 2c+2d+n(c+d)$, 其中, n 为大于等于零的整数。

[0014] 所述两个相邻的开口处像素电极之间有一个重叠处像素电极,则第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c < a < c+2d$, $c < b < c+2d$, $a+b = 2c+2d$ 。

[0015] 所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $a = b = c+d$ 。

[0016] 一种 TFT-LCD 阵列基板的制造方法,包括:

[0017] 沉积第一像素电极层薄膜,通过构图工艺形成包括第一像素电极层的图形,所述第一像素电极层的图形包括被第一像素电极层开口间隔开的数个第一像素电极,所述第一像素电极层的图形与公共电极连接;

[0018] 沉积第二像素电极层薄膜,通过构图工艺形成包括第二像素电极层的图形,所述第二像素电极的图形通过漏极连接孔与薄膜晶体管的漏极连接,包括被第二像素电极层开口间隔开的数个第二像素电极;

[0019] 其中,所述第一像素电极与所述第二像素电极交错排列;所述第二像素电极包括

完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极；所述重叠处像素电极与所述开口处像素电极间隔分布。

[0020] 所述两个相邻的开口处像素电极之间至少有一个重叠处像素电极。

[0021] 所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为： $c+n(c+d) < a < c+2d+n(c+d)$ ， $c < b < c+2d$ ， $a+b = 2c+2d+n(c+d)$ ，其中， n 为大于等于零的整数。

[0022] 所述两个相邻的开口处像素电极之间有一个重叠处像素电极，则第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为： $c < a < c+2d$ ， $c < b < c+2d$ ， $a+b = 2c+2d$ 。

[0023] 所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为： $a = b = c+d$ 。

[0024] 在本发明实施例的技术方案中，使得第一像素电极与所述第二像素电极交错排列，并且所述第二像素电极包括重叠处像素电极和开口处像素电极，重叠处像素电极完全重叠于第一像素电极，而开口处像素电极的边缘完全落入第一像素电极层开口内，并且该重叠处像素电极与开口处像素电极间隔分布，从而优化了第一像素电极层和第二像素电极层的像素电极的排列方式；而且第一像素电极层和第二像素电极层对位精度要求降低，工艺可实现性好；同时，由于不需改变第二像素电极层的电极宽度和开口宽度，像素的透过率没有损失，更易对应大尺寸高解析度产品和倍频驱动产品。

附图说明

[0025] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0026] 图 1 为现有技术平面电场模式 TFT-LCD 的阵列基板的像素结构示意图；

[0027] 图 2 为图 1 中 A-A' 向的剖面示意图之一；

[0028] 图 3 为图 1 中 A-A' 向的剖面示意图之二；

[0029] 图 4 为图 1 中 A-A' 向的剖面示意图之三；

[0030] 图 5 为本发明实施例 TFT-LCD 的阵列基板的像素结构示意图；

[0031] 图 6 为图 5 中 B-B' 向的剖面示意图之一；

[0032] 图 7 为图 5 中 B-B' 向的剖面示意图之二；

[0033] 图 8 为本发明实施例 TFT-LCD 的阵列基板的制造方法的流程图。

[0034] 附图标记说明：

[0035] 1- 栅线； 2- 数据线； 3- 源极；

[0036] 4- 漏极； 5- 漏极接触孔； 6- 第二像素电极；

[0037] 7- 第二像素电极层开口； 8- 第一像素电极；

[0038] 9- 第一像素电极层开口； 10- 绝缘层；

[0039] 61- 重叠处像素电极； 62- 开口处像素电极。

具体实施方式

[0040] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0041] 本发明实施例提供一种 TFT-LCD 的阵列基板及其制造方法,能够在对位精度不高时,保持通过率的前提下,减小 TFT-LCD 像素的存储电容,且工艺实现性较好。

[0042] 实施例一

[0043] 本发明实施例提供一种 TFT-LCD 的阵列基板,如图 5 和图 6 所示,该阵列基板包括:基板,形成在基板上的栅线 1 和数据线 2;栅线 1 和数据线 2 交叉定义一个像素单元,每一个像素单元包括薄膜晶体管、公共电极、第一像素电极层和第二像素电极层;

[0044] 所述第一像素电极层与所述第二像素电极层通过绝缘层 10 隔开;所述第一像素电极层与公共电极连接,包括被第一像素电极层开口 9 间隔开的数个第一像素电极 8;所述第二像素电极层通过漏极接触孔 5 与所述薄膜晶体管的漏极 4 连接,包括被第二像素电极层开口 7 间隔开的数个第二像素电极 6;所述第一像素电极 8 与所述第二像素电极 6 交错排列;所述第二像素电极 6 包括完全重叠于第一像素电极 8 的重叠处像素电极 61 和其边缘完全落入第一像素电极层开口 9 内的开口处像素电极 62;所述重叠处像素电极 61 与所述开口处像素电极 62 间隔分布。

[0045] 在本发明实施例的技术方案中,使得第一像素电极与所述第二像素电极交错排列,并且所述第二像素电极包括重叠处像素电极和开口处像素电极,重叠处像素电极完全重叠于第一像素电极,而开口处像素电极的边缘完全落入第一像素电极层开口内,并且该重叠处像素电极与开口处像素电极间隔分布,从而优化了第一像素电极层和第二像素电极层的像素电极的排列方式;而且第一像素电极层和第二像素电极层对位精度要求降低,工艺可实现性好;同时,由于不需改变第二像素电极层的电极宽度和开口宽度,像素的透过率没有损失,更易对应大尺寸高解析度产品和倍频驱动产品。

[0046] 进一步地,所述两个相邻的开口处像素电极之间至少有一个重叠处像素电极。以下以具体的实施方式来说明本发明的技术方案。

[0047] 实施例一

[0048] 如图 6 所示,为第二像素电极层的两个相邻的开口处像素电极之间有一个重叠处像素电极的情况。第一像素电极层上形成第一像素电极 8,其具备宽度 a ,第一像素电极层上形成开口部,为第一像素电极层开口 9,其具备宽度 b 。第二像素电极层形成第二像素电极 6,其具备宽度 c ,第二像素电极层上形成开口部,为第二像素电极层开口 7,其具备宽度 d 。使得第二像素电极层的一条第一像素电极 8 的两个边缘完全落在第一像素电极层的一条开口之内。则第一像素电极 层的 第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $c < a < c+2d, c < b < c+2d, a+b = 2c+2d$ 。设置第一像素电极的宽度 a 和第一像素电极层

开口宽度 b 都大于第二像素电极的宽度 c , 并且小于两个第二像素电极层开口宽度 d 与第一像素电极的宽度 a 的和, 这样, 开口处像素电极 62 与与其对应位置的第一像素电极层开口 9 的边缘存在一定的距离, 在对位存在偏差时, 开口处像素电极 62 仍然能够位于第一像素电极层开口 9 区域内, 不会与第一像素电极 8 发生重叠, 同样地, 重叠处像素电极 61 与与其重叠的第一像素电极 8 的边缘存在一定的距离, 在对位存在偏差时, 重叠处像素电极 61 也能够保持完全重叠于第一像素电极 8 位置, 而不会偏移到第一像素电极层开口 9 处, 从而避免了在存在对位偏差时, 由于上下两层像素电极的重叠变化带来的存储电容的大幅度变化。

[0049] 优选地, 在本实施例中, 可以使第一像素电极与第一像素电极层开口宽度相等, 则所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系可以为: $a = b = c + d$ 。此种情况下, 与图 2 所示的结构相比较, 像素存储电容可减小一半左右。在本实施例中, 优选第二像素电极的宽度 c 取值在 $2\mu\text{m} \sim 4\mu\text{m}$ 范围内, 第二像素电极层开口宽度 d 取值在 $3\mu\text{m} \sim 6\mu\text{m}$ 范围内。

[0050] 在本实施例的技术方案中, 在存储电容方面, 可以显而易见的看到, 相对于图 2 所示的现有技术, 由于两层像素电极层的正对重叠面积减小了一半, 所以存储电容可减小一半左右; 在图形对位要求方面, 相对于图 4 所示的现有技术, 对位精度要求降低, 从图 4 所示的图形来看, 第一像素电极层开口 9 必须完全落在第二像素电极 6 的宽幅之内。众所周知, 一般来说广泛应用的第二像素电极 6 的宽幅仅有 $3 \sim 4\mu\text{m}$, 因此, 第一像素电极层开口 9 的宽幅小于或等于这个数值, 假如二者相等, 那么两层像素电极层的图形对位偏移会引起存储电容的大幅变化; 假如第一像素电极层开口 9 的宽幅小于第二像素电极 6 的宽幅, 首先工艺上很难实现这么小的电极开口尺寸, 其次可容许的对位偏差也很小, 最多也仅有 $1\mu\text{m}$ 左右。这在阵列工艺上同样也是很难实现的。本实施方案中, 如图 6 所示, 第一像素电极层开口 9 的宽度 b 的值在 $9\mu\text{m}$ 左右, 工艺上很容易实现; 在对位方面, 只要第二像素电极 6 完全落在第一像素电极 8 的范围内就不会引起存储电容变化, 因此可容许对位偏差可达 $3\mu\text{m}$ 左右, 阵列工艺很容易实现; 在穿透率方面, 本实施方案与图 2 和图 4 所示的现有技术的穿透率表现持平, 而图 3 所示的现有技术穿透率表现较差, 比以上几个方案有约 10% 的穿透率降低。

[0051] 实施例二

[0052] 如图 7 所示, 为第二像素电极层的两个相邻的开口处像素电极 62 之间有两个重叠处像素电极 61 的情况。第一像素电极层上形成第一像素电极 8, 其具备宽度 a , 第一像素电极层上形成开口部, 为第一像素电极层开口 9, 其具备宽度 b 。第二像素电极层形成第二像素电极 6, 其具备宽度 c , 第二像素电极层上形成开口部, 为第二像素电极层开口 7, 其具备宽度 d 。使得第二像素电极层的一条第一像素电极 8 的两个边缘完全落在第一像素电极层的一条开口之内。则第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为: $a = 2c + 2d$ 并且 $b = c + d$ 。此种情况下, 像素存储电容可减小三分之一左右。

[0053] 对于本实施例的方案, 在存储电容方面表现不如优选实施方案一, 存储电容只减小三分之一左右, 但图形对位方面和穿透率表现方面与实施例一相同。

[0054] 同理, 可以得出, 所述两个相邻的开口处像素电极之间可以设置一个至多个重叠

处像素电极。只要第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系满足关系式： $c+n(c+d) < a < c+2d+n(c+d)$ ， $c < b < c+2d$ ， $a+b = 2c+2d+n(c+d)$ ，其中， n 为大于等于零的整数。则都可以实现兼顾减小存储电容、图形对位和穿透率方面的要求。

[0055] 实施例三

[0056] 本发明实施例还提供了一种制备上述实施例所述的 TFT-LCD 的阵列基板的制造方法，如图 8 所示，该方法包括：

[0057] 步骤 101、沉积第一像素电极层薄膜，通过构图工艺形成包括第一像素电极层的图形，所述第一像素电极层包括被第一像素电极层开口间隔开的数个第一像素电极，所述第一像素电极层的图形与公共电极连接；

[0058] 进一步地，沉积栅线金属层薄膜，通过构图工艺形成包括栅线和栅电极，以及公共电极的图形，所述第一像素电极层的图形与公共电极连接；沉积第一层绝缘层，并沉积源漏金属层薄膜，通过构图工艺形成包括薄膜晶体管和数据线的图形；沉积第二层绝缘层，通过构图工艺分别在薄膜晶体管的漏极处形成漏极接触孔，其中漏极接触孔开至漏极。

[0059] 在本实施例中，可以在基板上先形成栅线和栅电极，以及公共电极的图形后，再形成第一像素电极层的图形。

[0060] 需要说明的是，形成上述图形的工艺步骤的次序仅为举例，本实施例不加以限制。

[0061] 步骤 102、沉积第二像素电极层薄膜，通过构图工艺形成包括第二像素电极层的图形，所述第二像素电极的图形通过漏极连接孔与薄膜晶体管的漏极连接，包括被第二像素电极层开口间隔开的数个第二像素电极；

[0062] 其中，所述第一像素电极与所述第二像素电极交错排列；所述第二像素电极包括完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极；所述重叠处像素电极与所述开口处像素电极间隔分布。

[0063] 在本实施例中，所述构图工艺包括：光刻胶涂覆、曝光、显影、刻蚀、剥离等工序。

[0064] 进一步地，所述两个相邻的开口处像素电极之间至少有一个重叠处像素电极。

[0065] 所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为： $c+n(c+d) < a < c+2d+n(c+d)$ ， $c < b < c+2d$ ， $a+b = 2c+2d+n(c+d)$ ，其中， n 为大于等于零的整数。

[0066] 所述两个相邻的开口处像素电极之间有一个重叠处像素电极，则第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为： $c < a < c+2d$ ， $c < b < c+2d$ ， $a+b = 2c+2d$ 。

[0067] 所述第一像素电极层的第一像素电极的宽度 a 、第一像素电极层开口宽度 b 与第二像素电极层的第二像素电极的宽度 c 、第二像素电极层开口宽度 d 之间的关系为： $a = b = c+d$ 。

[0068] 在本发明实施例的技术方案中，使得第一像素电极与所述第二像素电极交错排列，并且所述第二像素电极包括重叠处像素电极和开口处像素电极，重叠处像素电极完全重叠于第一像素电极，而开口处像素电极的边缘完全落入第一像素电极层开口内，并且该

重叠处像素电极与开口处像素电极间隔分布,从而优化了第一像素电极层和第二像素电极层的像素电极的排列方式,并进一步优化了第一像素电极层的开口宽度的像素电极的宽度,使得像素存储电容大幅降低;而且第一像素电极层和第二像素电极层对位精度要求降低,工艺可实现性好;同时,由于不需改变第二像素电极层的电极宽度和开口宽度,像素的透过率没有损失,更易对应大尺寸高解析度产品和倍频驱动产品。

[0069] 通过以上的实施方式的描述,所属领域的技术人员可以清楚地了解到本发明可借助软件加必需的通用硬件的方式来实现,当然也可以通过硬件,但很多情况下前者是更佳的实施方式。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品存储在可读取的存储介质中,如计算机的软盘,硬盘或光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施例所述的方法。

[0070] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

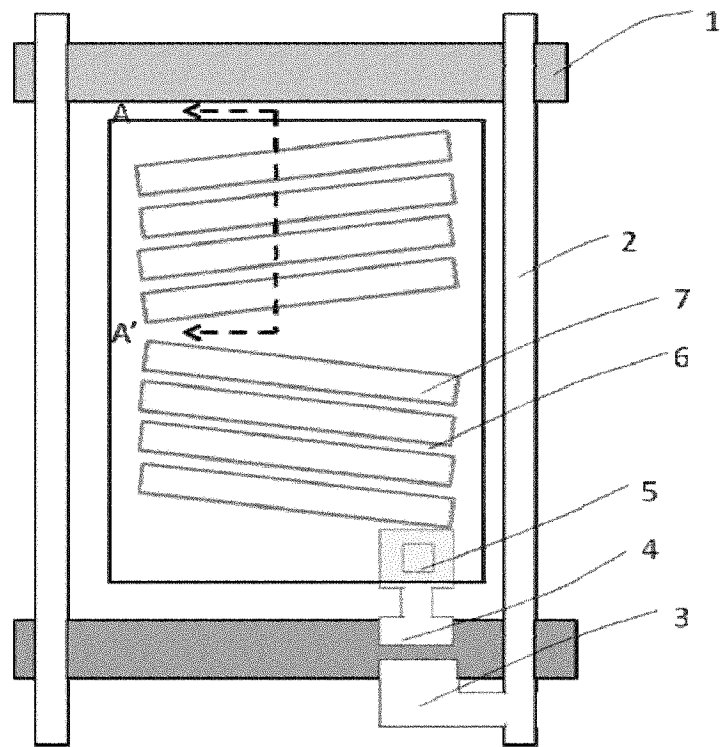


图 1

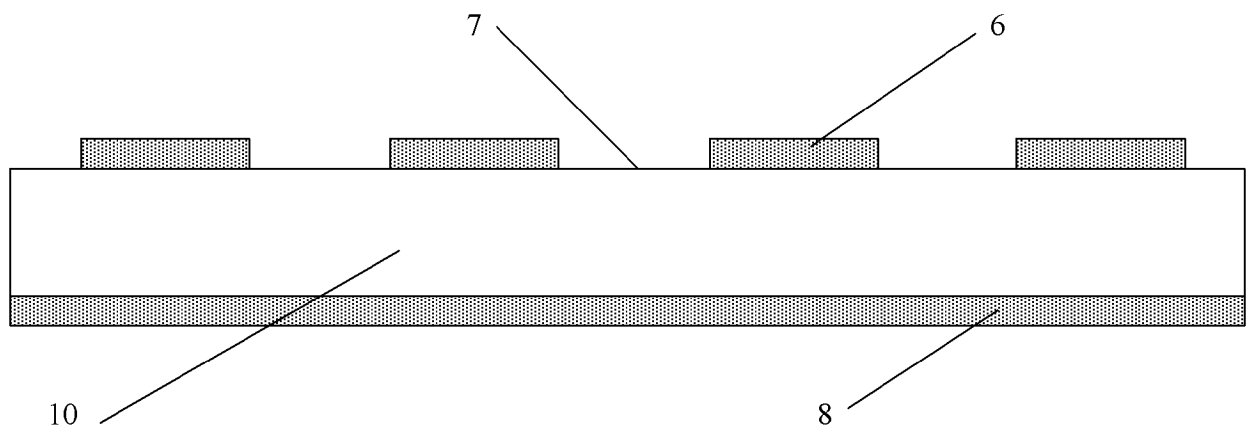


图 2

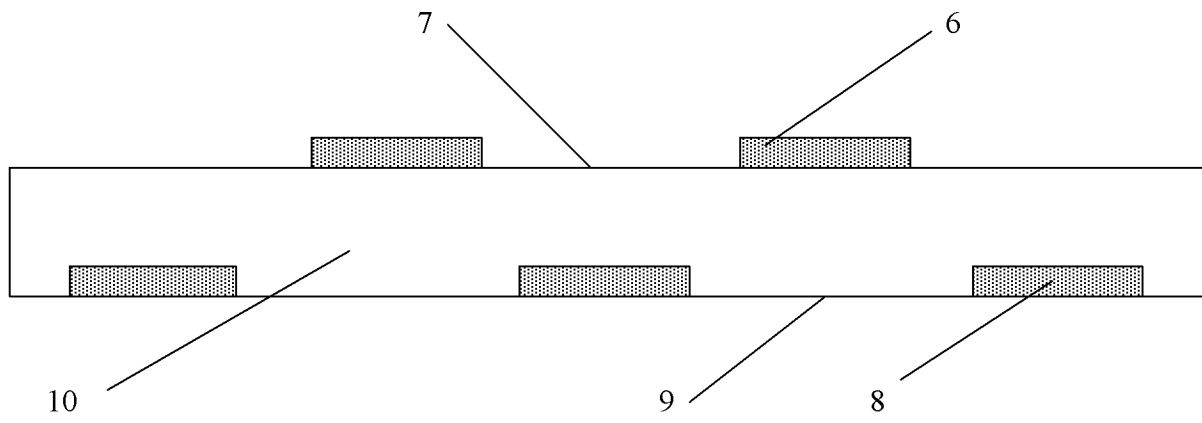


图 3

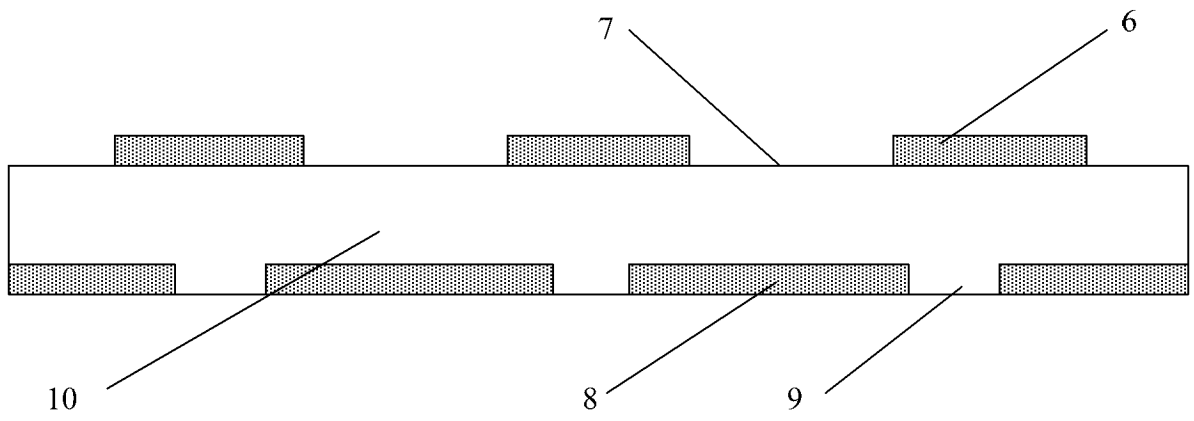


图 4

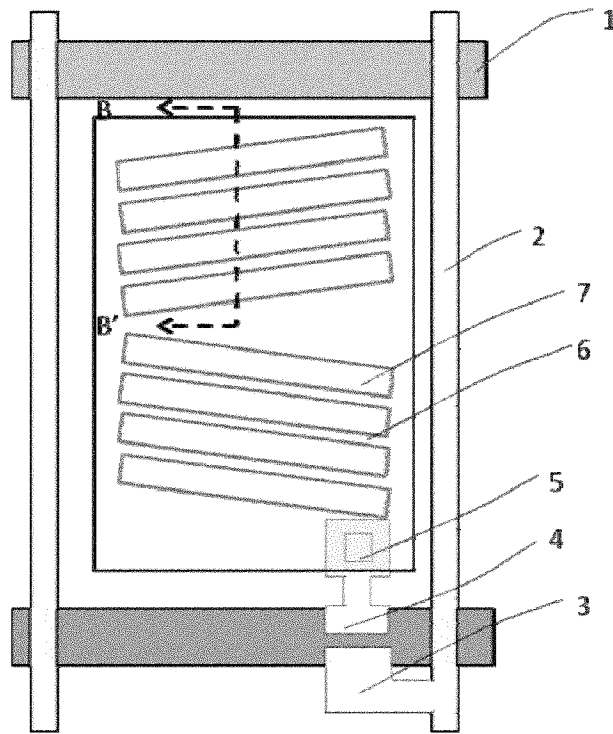


图 5

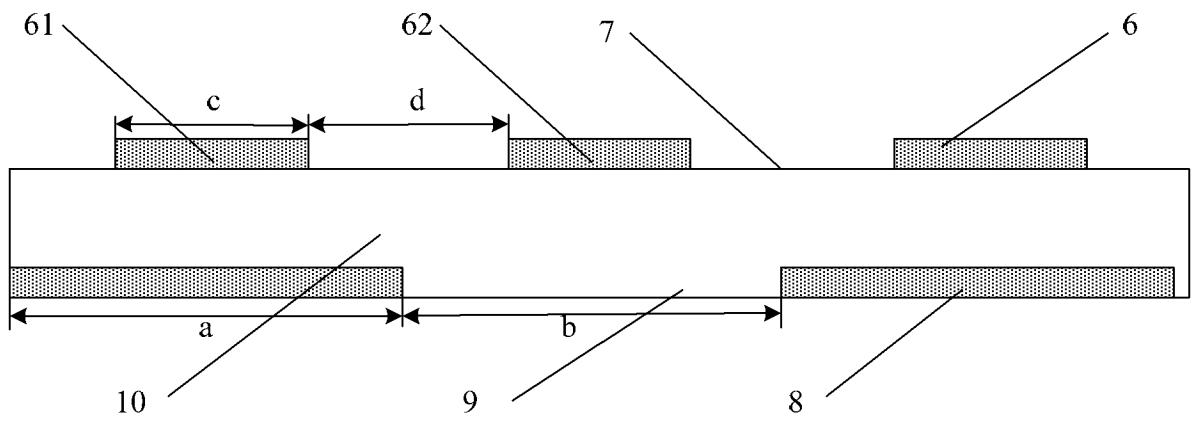


图 6

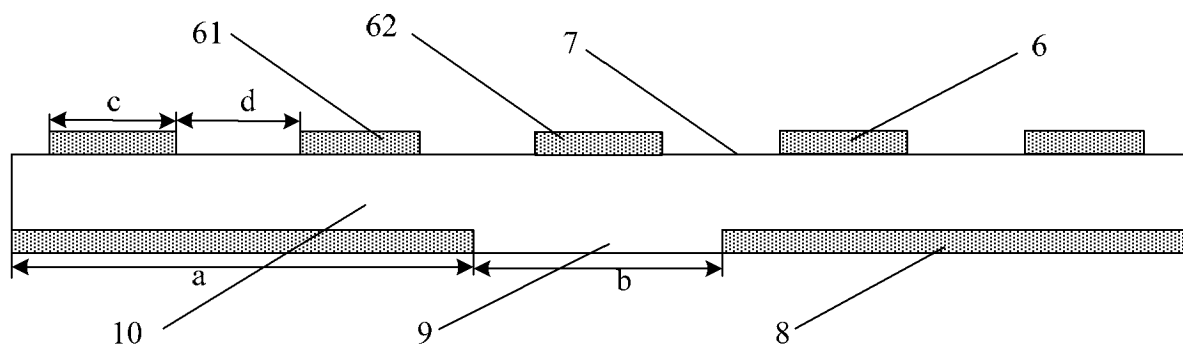


图 7

沉积第一像素电极层薄膜，通过构图工艺形成包括第一像素电极层的图形，所述第一像素电极层的图形包括被第一像素电极层开口间隔开的数个第一像素电极，所述第一像素电极层的图形与公共电极连接

101

沉积第二像素电极层薄膜，通过构图工艺形成包括第二像素电极层的图形，所述第二像素电极的图形通过漏极连接孔与薄膜晶体管的漏极连接，包括被第二像素电极层开口间隔开的数个第二像素电极

102

图 8

专利名称(译)	TFT-LCD的阵列基板及其制造方法		
公开(公告)号	CN102566155B	公开(公告)日	2014-07-02
申请号	CN201010611650.1	申请日	2010-12-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
[标]发明人	孙荣阁 UNKNOWN		
发明人	孙荣阁 叶		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368 H01L27/12 H01L21/77		
CPC分类号	G02F1/134363 G02F2201/15 G02F2201/121 G02F2201/122		
代理人(译)	申健		
审查员(译)	郭栋		
其他公开文献	CN102566155A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种TFT-LCD的阵列基板及其制造方法，涉及液晶显示器技术领域，能够在对位精度不高时，减小存储电容。该阵列基板包括：基板，基板上的栅线和数据线；栅线和数据线交叉定义一个像素单元，每一个像素单元包括薄膜晶体管、公共电极、通过绝缘层隔开的第一像素电极层和第二像素电极层；第一像素电极层与公共电极连接，包括被第一像素电极层开口间隔开的数个第一像素电极；第二像素电极层与薄膜晶体管的漏极连接，包括被第二像素电极层开口间隔开的数个第二像素电极；第二像素电极包括完全重叠于第一像素电极的重叠处像素电极和其边缘完全落入第一像素电极层开口内的开口处像素电极。

