



# (12) 发明专利申请

(10) 申请公布号 CN 102236222 A

(43) 申请公布日 2011. 11. 09

(21) 申请号 201010159116. 1

(22) 申请日 2010. 04. 23

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中路 8 号

(72) 发明人 谢振宇 陈旭 龙春平 徐少颖

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 27/02(2006. 01)

H01L 21/77(2006. 01)

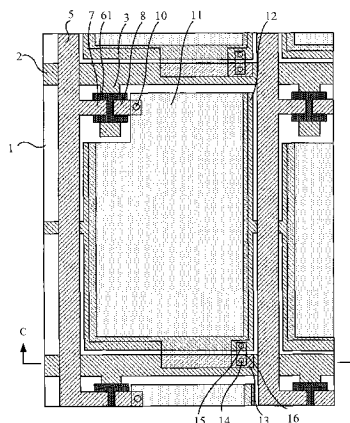
权利要求书 2 页 说明书 6 页 附图 14 页

## (54) 发明名称

阵列基板及其制造方法和液晶显示器

## (57) 摘要

本发明公开了一种阵列基板及其制造方法和液晶显示器。该阵列基板中,栅线的上方形成有附加电极,附加电极和栅线之间以栅绝缘层相互间隔,且附加电极与公共电极线电连接;像素电极的图案延伸至附加电极的上方与附加电极重叠,像素电极与附加电极和公共电极线重叠的部分形成存储电容。本发明结合了基于栅线的存储电容和基于公共电极线的存储电容两种形式,能够提高存储电容值,且减小了存储电容对其他显示因素的影响。不会因为需要过大的公共电极线面积而降低开口率,形成的阻容延迟较小,能获得较好的显示品质。



1. 一种阵列基板,包括衬底基板;所述衬底基板上形成有纵横交叉的数据线和栅线;所述数据线和栅线围设形成矩阵形式排列的像素单元;每个像素单元包括 TFT 开关和像素电极;每个所述 TFT 开关包括栅电极、源电极、漏电极和有源层;栅电极连接栅线,源电极连接数据线,漏电极连接像素电极;所述衬底基板上还形成有公共电极线,其特征在于:

所述栅线的上方形成有附加电极,所述附加电极和所述栅线之间以栅绝缘层相互间隔,且所述附加电极与所述公共电极线电连接;

所述像素电极的图案延伸至所述附加电极的上方与所述附加电极重叠,所述像素电极与所述附加电极和公共电极线重叠的部分形成存储电容。

2. 根据权利要求 1 所述的阵列基板,其特征在于:

每条栅线上的所述附加电极与相邻的两个像素单元中的公共电极线电连接。

3. 根据权利要求 1 或 2 所述的阵列基板,其特征在于:

所述公共电极线与所述栅线同层形成且图案相互间隔,所述附加电极通过附加过孔与所述公共电极线电连接。

4. 根据权利要求 3 所述的阵列基板,其特征在于:

所述附加过孔包括第一过孔和第二过孔,所述第一过孔形成在覆盖所述数据线和附加电极的钝化层中,且位于所述附加电极的上方,所述第二过孔形成在所述栅绝缘层和钝化层中,且位于所述公共电极线的上方;

所述钝化层上形成有跨接线,所述跨接线穿过所述第一过孔和第二过孔连接所述附加电极和公共电极线。

5. 根据权利要求 1 所述的阵列基板,其特征在于:

所述公共电极线与所述数据线同层形成且图案相互间隔,所述附加电极与所述公共电极线一体成型。

6. 根据权利要求 5 所述的阵列基板,其特征在于:

每条数据线两侧相邻像素单元中的公共电极线上分别形成有连通过孔,覆盖所述数据线的钝化层上形成有连通线,所述连通线穿过所述连通过孔连接相邻像素单元中的公共电极线。

7. 一种阵列基板的制造方法,包括在衬底基板上分别形成栅线、栅电极、公共电极线、数据线、有源层、源电极、漏电极和像素电极图案的流程,其特征在于:

在形成所述数据线图案的同时,还同步形成附加电极的图案,所述附加电极位于所述栅线的上方,所述附加电极和所述栅线之间以栅绝缘层相互间隔,且所述附加电极与所述公共电极线电连接;其中,形成的所述像素电极的图案延伸至所述附加电极的上方与所述附加电极重叠,所述像素电极与所述附加电极和公共电极线重叠的部分形成存储电容。

8. 根据权利要求 7 所述的阵列基板的制造方法,其特征在于,在衬底基板上分别形成栅线、栅电极、公共电极线、数据线、有源层、源电极、漏电极和像素电极图案的流程包括:

在所述衬底基板上形成包括所述栅线、栅电极和公共电极线的图案,所述公共电极线与所述栅线的图案相互间隔;

在形成上述图案的衬底基板上形成栅绝缘层;

在所述栅绝缘层上形成包括所述数据线、有源层、源电极、漏电极和附加电极的图案;

在形成上述图案的衬底基板上形成钝化层;

在所述钝化层中形成钝化层过孔和附加过孔,所述钝化层过孔对应所述漏电极的位置,所述附加过孔分别对应所述附加电极和公共电极线的位置;

在形成上述图案的衬底基板上形成包括像素电极和跨接线的图案,所述跨接线穿过所述附加过孔连接所述附加电极和公共电极线。

9. 根据权利要求7所述的阵列基板的制造方法,其特征在于,在衬底基板上分别形成栅线、栅电极、公共电极线、数据线、有源层、源电极、漏电极和像素电极图案的流程包括:

在所述衬底基板上形成包括所述栅线和栅电极的图案;

在形成上述图案的衬底基板上形成栅绝缘层;

在所述栅绝缘层上形成包括所述数据线、有源层、源电极、漏电极、附加电极和公共电极线的图案,所述公共电极线与所述附加电极一体成型;

在形成上述图案的衬底基板上形成钝化层;

在所述钝化层中形成钝化层过孔,所述钝化层过孔对应所述漏电极的位置;

在形成上述图案的衬底基板上形成包括像素电极的图案。

10. 根据权利要求9所述的阵列基板的制造方法,其特征在于:

在形成所述钝化层过孔的同时还同步形成连通过孔,所述连通过孔形成在每条数据线两侧相邻像素单元中的公共电极线上方;

在形成所述像素电极的同时还同步形成连通线的图案,所述连通线穿过所述连通过孔连接相邻像素单元中的公共电极线。

11. 一种液晶显示器,包括液晶面板,其特征在于:所述液晶面板包括彩膜基板和权利要求1~6任一所述的阵列基板。

## 阵列基板及其制造方法和液晶显示器

### 技术领域

[0001] 本发明涉及液晶显示技术,尤其涉及一种阵列基板及其制造方法和液晶显示器。

### 背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD)是液晶显示器中的主流产品。

[0003] 液晶面板是 TFT-LCD 中的重要部件,一般包括对盒设置的阵列基板和彩膜基板,其间填充液晶层。图 1A 为现有阵列基板的局部俯视结构示意图,图 1B 为图 1A 中沿 A-A 线的侧视剖切结构示意图。如图 1A 和 1B 所示,该阵列基板包括衬底基板 1;衬底基板 1 上形成有纵横交叉的数据线 5 和栅线 2;数据线 5 和栅线 2 围设形成矩阵形式排列的像素单元;每个像素单元包括 TFT 开关和像素电极 11;TFT 开关包括栅电极 3、源电极 7、漏电极 8 和有源层 6;栅电极 3 连接栅线 2,源电极 7 连接数据线 5,漏电极 8 连接像素电极 11,有源层 6 形成在源电极 7 和漏电极 8 与栅电极 3 之间。上述数据线 5、栅线 2、TFT 开关的栅电极 3、源电极 7、漏电极 8 和有源层 6,以及像素电极 11 可统称为导电图案。为保持各导电图案的绝缘,可将同层设置的导电图案间隔设置,或通过绝缘层间隔异层设置的导电图案,例如,栅线 2 和栅电极 3 上覆盖栅绝缘层 4,与 TFT 开关和数据线 5 保持绝缘;TFT 开关和数据线 5 上覆盖有钝化层 9,与像素电极 11 保持绝缘,像素电极 11 可通过钝化层过孔 10 与漏电极 8 相连。

[0004] 在 TFT-LCD 的显示过程中,通过数据线向像素电极输入图像信号电压,需要像素电极在一帧的显示周期中保持该图像信号电压,所以在每个像素单元中需要形成存储电容(Storage Capacitor,简称 Cs),以维持像素电极上的图像信号电压。现有技术中主要有两种形成存储电容的方式,一种方式称为基于栅线的存储电容(Cs on Gate),其结构如图 1A 和 1B 所示。每个像素单元中的像素电极 11 会延伸到相邻像素单元的栅线 2 上,像素电极 11 和相邻栅线 2 的这部分重叠区域就形成了存储电容。

[0005] 另一种方式称为基于公共电极线的存储电容(Cs on Common),其结构如图 2A 和 2B 所示,还包括公共电极线 12,与栅线 2 同层形成但不相交,像素电极 11 与公共电极线 12 重叠的部分就形成了存储电容。

[0006] 但是,这两种存储电容形成都有一定缺陷:基于栅线的存储电容,像素电极与栅线之间存在较大的寄生电容,导致阻容延迟(RC Delay)比较大,会影响图像信号的传输;基于公共电极线的存储电容,为达到一定的电容值,必须保证有足够大的重叠面积,而不透光的公共电极线会使得像素单元中的透光面积减小,因此对像素单元的开口率影响较大。

### 发明内容

[0007] 本发明提供一种阵列基板及其制造方法和液晶显示器,以保证像素单元中足够的存储电容,且减小存储电容对其他显示因素的影响。

[0008] 本发明提供一种阵列基板,包括衬底基板;所述衬底基板上形成有纵横交叉的数

据线和栅线；所述数据线和栅线围设形成矩阵形式排列的像素单元；每个像素单元包括 TFT 开关和像素电极；每个所述 TFT 开关包括栅电极、源电极、漏电极和有源层；栅电极连接栅线，源电极连接数据线，漏电极连接像素电极；所述衬底基板上还形成有公共电极线，其中：

[0009] 所述栅线的上方形成有附加电极，所述附加电极和所述栅线之间以栅绝缘层相互间隔，且所述附加电极与所述公共电极线电连接；

[0010] 所述像素电极的图案延伸至所述附加电极的上方与所述附加电极重叠，所述像素电极与所述附加电极和公共电极线重叠的部分形成存储电容。

[0011] 本发明还提供一种阵列基板的制造方法，包括在衬底基板上分别形成栅线、栅电极、公共电极线、数据线、有源层、源电极、漏电极和像素电极图案的流程，其中：

[0012] 在形成所述数据线图案的同时，还同步形成附加电极的图案，所述附加电极位于所述栅线的上方，所述附加电极和所述栅线之间以栅绝缘层相互间隔，且所述附加电极与所述公共电极线电连接；其中，形成的所述像素电极的图案延伸至所述附加电极的上方与所述附加电极重叠，所述像素电极与所述附加电极和公共电极线重叠的部分形成存储电容。

[0013] 本发明还提供了一种液晶显示器，包括液晶面板，其中：所述液晶面板包括彩膜基板和本发明所提供的阵列基板。

[0014] 本发明提供的阵列基板及其制造方法和液晶显示器，结合了基于栅线的存储电容和基于公共电极线的存储电容两种形式，形成在栅线上方的附加电极是一个独立的电极区域，与像素电极之间形成了存储电容。同时，公共电极线与像素电极之间的重叠区域也形成了存储电容，这两部分存储电容共同构成了像素单元的存储电容，能够提高存储电容值，且减小了存储电容对其他显示因素的影响。不会因为需要过大的公共电极线面积而降低开口率，形成的阻容延迟较小，能获得较好的显示品质。

## 附图说明

[0015] 图 1A 为现有一种阵列基板的局部俯视结构示意图；

[0016] 图 1B 为图 1A 中沿 A-A 线的侧视剖切结构示意图；

[0017] 图 2A 为现有另一种阵列基板的局部俯视结构示意图；

[0018] 图 2B 为图 2A 中沿 B-B 线的侧视剖切结构示意图；

[0019] 图 3A 为本发明实施例一提供的阵列基板的局部俯视结构示意图；

[0020] 图 3B 为图 3A 中沿 C-C 线的侧视剖切结构示意图；

[0021] 图 4 为本发明实施例二提供的阵列基板的局部俯视结构示意图；

[0022] 图 5A 为本发明实施例三提供的阵列基板的局部俯视结构示意图；

[0023] 图 5B 为图 5A 中沿 D-D 线的侧视剖切结构示意图；

[0024] 图 6 为本发明实施例四提供的阵列基板的局部俯视结构示意图；

[0025] 图 7 为本发明实施例五提供的阵列基板的制造方法的流程图；

[0026] 图 8A 为本发明实施例五所制造阵列基板的局部俯视结构示意图一；

[0027] 图 8B 为图 8A 中沿 E-E 线的侧视剖切结构示意图；

[0028] 图 9A 为本发明实施例五所制造阵列基板的局部俯视结构示意图二；

- [0029] 图 9B 为图 8A 中沿 F-F 线的侧视剖切结构示意图；
- [0030] 图 10 为本发明实施例六提供的阵列基板的制造方法的流程图；
- [0031] 图 11A 为本发明实施例六所制造阵列基板的局部俯视结构示意图一；
- [0032] 图 11B 为图 11A 中沿 G-G 线的侧视剖切结构示意图；
- [0033] 图 12A 为本发明实施例六所制造阵列基板的局部俯视结构示意图二；
- [0034] 图 12B 为图 12A 中沿 I-I 线的侧视剖切结构示意图。
- [0035] 附图标记：
- [0036] 1- 衬底基板； 2- 栅线； 3- 栅电极；
- [0037] 4- 栅绝缘层； 5- 数据线； 6- 有源层；
- [0038] 7- 源电极； 8- 漏电极； 9- 钝化层；
- [0039] 10- 钝化层过孔；11- 像素电极；12- 公共电极线；
- [0040] 13- 附加电极； 14- 第一过孔；15- 第二过孔；
- [0041] 16- 跨接线； 17- 连通过孔；18- 连通线。

### 具体实施方式

[0042] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

#### [0043] 实施例一

[0044] 图 3A 为本发明实施例一提供的阵列基板的局部俯视结构示意图，图 3B 为图 3A 中沿 C-C 线的侧视剖切结构示意图。如图 3A 和 3B 所示，该阵列基板包括衬底基板 1；衬底基板 1 上形成有纵横交叉的数据线 5 和栅线 2；数据线 5 和栅线 2 围设形成矩阵形式排列的像素单元；每个像素单元包括 TFT 开关和像素电极 11；TFT 开关包括栅电极 3、源电极 7、漏电极 8 和有源层 6；栅电极 3 连接栅线 2，源电极 7 连接数据线 5，漏电极 8 连接像素电极 11，有源层 6 形成在源电极 7 和漏电极 8 与栅电极 3 之间。上述数据线 5、栅线 2、TFT 开关的栅电极 3、源电极 7、漏电极 8 和有源层 6，以及像素电极 11 可统称为导电图案。为保持各导电图案的绝缘，可将同层设置的导电图案间隔设置，或通过绝缘层间隔异层设置的导电图案，栅线 2 和栅电极 3 上覆盖栅绝缘层 4，与 TFT 开关和数据线 5 保持绝缘；TFT 开关和数据线 5 上覆盖有钝化层 9，与像素电极 11 保持绝缘，像素电极 11 可通过钝化层过孔 10 与漏电极 8 相连。

[0045] 该阵列基板上还形成公共电极线 12，本实施例中，公共电极线 12 与栅线 2 同层形成且图案相互间隔。栅线 2 的上方形成有附加电极 13，附加电极 13 和栅线 2 之间以栅绝缘层 4 相互间隔，且附加电极 13 与公共电极线 12 电连接，当公共电极线 12 与栅线 2 同层形成时，附加电极 13 通过附加过孔与公共电极线 12 电连接。像素电极 11 的图案延伸至附加电极 13 的上方与附加电极 13 重叠，像素电极 11 与附加电极 13 和公共电极线 12 重叠的部分形成存储电容。

[0046] 附加电极与公共电极线的连接方式可以有多种，例如，设计附加电极的形状不仅在栅线上方，还延伸至公共电极线的上方，通过栅绝缘层的附加过孔与公共电极线相连。

[0047] 在本实施例中,附加过孔具体包括第一过孔 14 和第二过孔 15,第一过孔 14 形成在覆盖数据线 5 和附加电极 13 的钝化层 9 中,且位于附加电极 13 的上方,第二过孔 15 形成在栅绝缘层 4 和钝化层 9 中,且位于公共电极线 12 的上方;钝化层 9 上形成有跨接线 16,跨接线 16 穿过第一过孔 14 和第二过孔 15 连接附加电极 13 和公共电极线 12。该技术方案可以利用已有的阵列基板制造工艺,在刻蚀形成钝化层过孔 10 的同时刻蚀形成附加过孔,利用刻蚀形成像素电极 11 的工艺同时形成跨接线 16 的图案。

[0048] 本实施例的技术方案结合了基于栅线的存储电容和基于公共电极线的存储电容两种形式,形成在栅线上方的附加电极是一个独立的电极区域,与像素电极之间形成了存储电容。同时,公共电极线与像素电极之间的重叠区域也形成了存储电容,这两部分存储电容共同构成了像素单元的存储电容。

[0049] 平板电容的电容值计算公式为:  $C = \epsilon S / 4 \pi k d$ , 其中,  $C$  为电容值,  $Q$  为电容两电极的电荷值,  $U$  为电容两电极的电压值,  $\epsilon$  为介电常数,  $k$  为静电力常量,  $S$  为电容两电极的正对面积,  $d$  为电容两电极间的距离。本发明的技术方案,一方面以附加电极增加了存储电容的正对面积,因此可以提高存储电容值,或者在保持相同存储电容值的前提下减小公共电极线的面积,从而提高像素单元的开口率;另一方面,在基于栅线的存储电容方式中,栅线和像素电极之间的距离要比附加电极与像素电极之间的距离长,所以本实施例技术方案的这部分存储电容值也比现有技术有所提高;再一方面,由于减小了电容,本实施例还可以优化阻容延迟特性,提高画面品质。

#### [0050] 实施例二

[0051] 图 4 为本发明实施例二提供的阵列基板的局部俯视结构示意图,本实施例与实施例一的区别在于,每条栅线 2 上的附加电极 13 与相邻的两个像素单元中的公共电极线 12 电连接。该技术方案可以通过适当改变附加过孔的数量和位置,以及改变跨接线 16 的图案来简单的实现。

[0052] 本实施例的技术方案不仅可以优化存储电容,而且通过附加电极将成行形成的相邻公共电极线相连,避免各行公共电极线之间存储公共电压差,使公共电极线中的公共电压均匀性更高,这样可以避免像素单元在显示过程中发生的闪烁现象。

#### [0053] 实施例三

[0054] 图 5A 为本发明实施例三提供的阵列基板的局部俯视结构示意图,图 5B 为图 5A 中沿 D-D 线的侧视剖切结构示意图。本实施例的技术方案与实施例一的区别在于:公共电极线 12 与数据线 5 同层形成且图案相互间隔,附加电极 13 与公共电极线 12 一体成型。

[0055] 本实施例的技术方案仍然具有增加存储电容的优势,在形成同等存储电容值的前提下可以减小公共电极线的面积,从而提供像素单元的开口率。另外,相比于实施例一的技术方案,本实施例还省略了形成附加电极过孔和跨接线的工艺。

#### [0056] 实施例四

[0057] 图 6 为本发明实施例四提供的阵列基板的局部俯视结构示意图,本实施例以实施例三为基础,每条数据线 5 两侧相邻像素单元中的公共电极线 12 上分别形成有连通过孔 17,覆盖数据线 5 的钝化层 9 上形成有连通线 18,该连通线 18 穿过连通过孔 17 连接相邻像素单元中的公共电极线 12。

[0058] 本实施例的技术方案不仅可以优化存储电容,而且将成列形成的相邻公共电极线

相连,避免各列公共电极线之间存储公共电压差,使公共电极线中的公共电压均匀性更高,这样可以避免像素单元在显示过程中发生的闪烁现象。

[0059] 本发明实施例还提供了一种阵列基板的制造方法,该方法包括在衬底基板上分别形成栅线、栅电极、公共电极线、数据线、有源层、源电极、漏电极和像素电极图案的流程,其中,在形成数据线图案的同时,还同步形成附加电极的图案,该附加电极位于栅线的上方,附加电极和栅线之间以栅绝缘层相互间隔,且附加电极与公共电极线电连接;形成的像素电极的图案延伸至附加电极的上方与附加电极重叠,该像素电极与附加电极和公共电极线重叠的部分形成存储电容。

[0060] 在具体应用中,形成栅线、栅电极、公共电极线、数据线、有源层、源电极、漏电极和像素电极图案的流程有多种形式,下面以典型的四次掩膜工艺为例进行说明。

[0061] 实施例五

[0062] 图 7 为本发明实施例五提供的阵列基板的制造方法的流程图,该方法包括如下步骤:

[0063] 步骤 710、在衬底基板 1 上形成包括栅线 2、栅电极 3 和公共电极线 12 的图案,公共电极线 12 与栅线 2 的图案相互间隔,所形成的结构如图 8A 和 8B 所示;

[0064] 步骤 710 具体可以通过磁控溅射方法沉积一层金属薄膜,多为不透光的金属,例如铝、钼等,而后采用构图工艺,通过掩模板曝光、显影和刻蚀等工艺形成所需图案。

[0065] 步骤 720、在形成上述图案的衬底基板 1 上形成栅绝缘层 4,栅绝缘层 4 可通过等离子体化学气相沉积 (Plasma Enhanced Chemical Vapor Deposition, 简称 PECVD) 等方法沉积绝缘材料而成;

[0066] 步骤 730、在栅绝缘层 4 上形成包括数据线 5、有源层 6、源电极 7、漏电极 8 和附加电极 13 的图案,具体结构如图 9A 和 9B 所示。

[0067] 步骤 730 具体可以是采用双色调掩模板进行半曝光掩膜刻蚀来形成图案,则附加电极图案的下方还包括形成有源层的材料薄膜。

[0068] 步骤 740、在形成上述图案的衬底基板 1 上形成钝化层 9;

[0069] 步骤 750、在钝化层 9 中形成钝化层过孔 10 和附加过孔,钝化层过孔 10 对应漏电极 8 的位置,附加过孔分别对应附加电极 13 和公共电极线 12 的位置;

[0070] 步骤 760、在形成上述图案的衬底基板 1 上形成包括像素电极 11 和跨接线 16 的图案,跨接线 16 穿过附加过孔连接附加电极 13 和公共电极线 12,其结构可参见图 3A 和 3B 所示,根据附加过孔和跨接线 16 位置的不同,还可以形成图 4A 和 4

[0071] B 所示的结构。

[0072] 本实施例所提供的制造方法可用于制造本发明的阵列基板,具有提高存储电容值和提高像素单元开口率的优点,且利用了原有制造阵列基板的工艺,不增加工艺难度。

[0073] 实施例六

[0074] 图 10 为本发明实施例六提供的阵列基板的制造方法的流程图,该方法包括如下步骤:

[0075] 步骤 101、在衬底基板 1 上形成包括栅线 2 和栅电极 3 的图案,如图 11A 和 11B 所示;

[0076] 步骤 102、在形成上述图案的衬底基板 1 上形成栅绝缘层 4;

[0077] 步骤 103、在栅绝缘层 4 上形成包括数据线 5、有源层 6、源电极 7、漏电极 8、附加电极 13 和公共电极线 12 的图案,该公共电极线 12 与附加电极 13 一体成型,如图 12A 和 12B 所示;

[0078] 步骤 104、在形成上述图案的衬底基板 1 上形成钝化层 9;

[0079] 步骤 105、在钝化层 9 中形成钝化层过孔 10,该钝化层过孔 10 对应漏电极 8 的位置;

[0080] 步骤 106、在形成上述图案的衬底基板 1 上形成包括像素电极 11 的图案,其结构可参见图 5A 和 5B 所示。

[0081] 在本实施例的基础上,还可以:在形成钝化层过孔 10 的同时还可以同步形成连通过孔 17,连通过孔 17 形成在每条数据线 5 两侧相邻像素单元中的公共电极线 12 上方;在形成像素电极 11 的同时还同步形成连通线 18 的图案,该连通线 18 穿过连通过孔 17 连接相邻像素单元中的公共电极线 12,具体结构可参见图 6 所示。

[0082] 本实施例所提供的制造方法可用于制造本发明的阵列基板,具有提高存储电容值和提高像素单元开口率的优点,且利用了原有制造阵列基板的工艺,不增加工艺难度。

[0083] 本发明实施例还提供了一种液晶显示器,包括液晶面板,其中,该液晶面板包括彩膜基板和本发明任一实施例所提供的阵列基板。

[0084] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

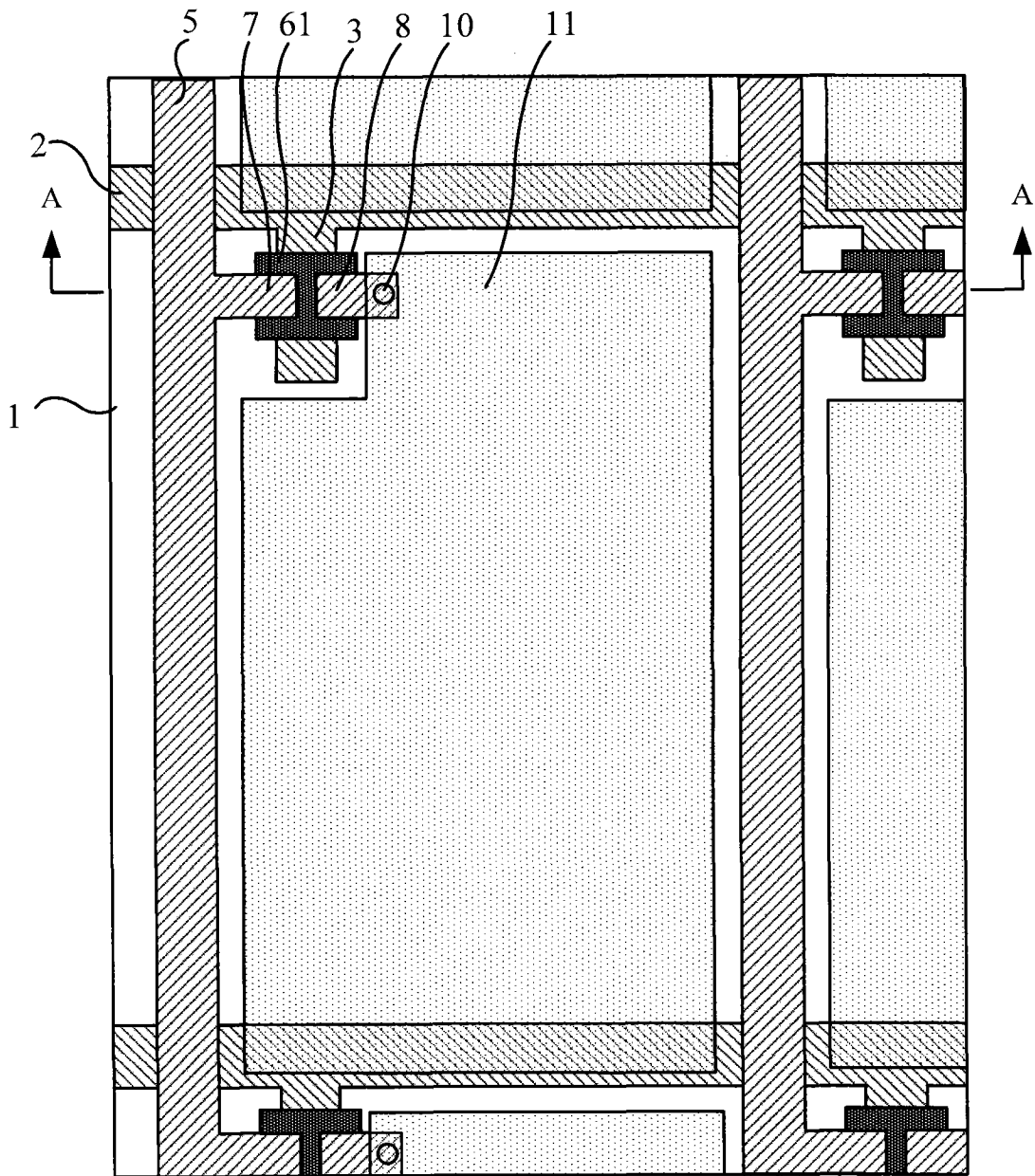


图 1A

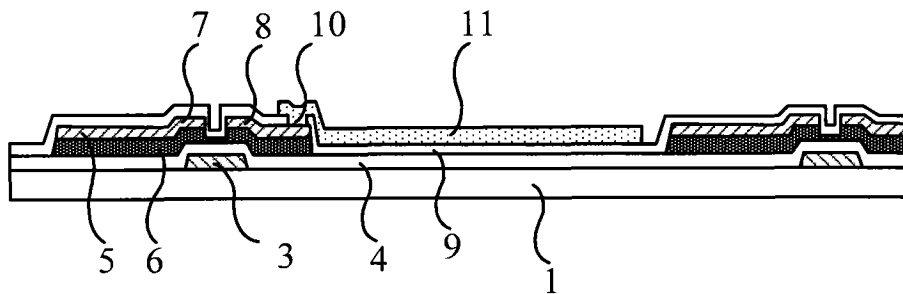


图 1B

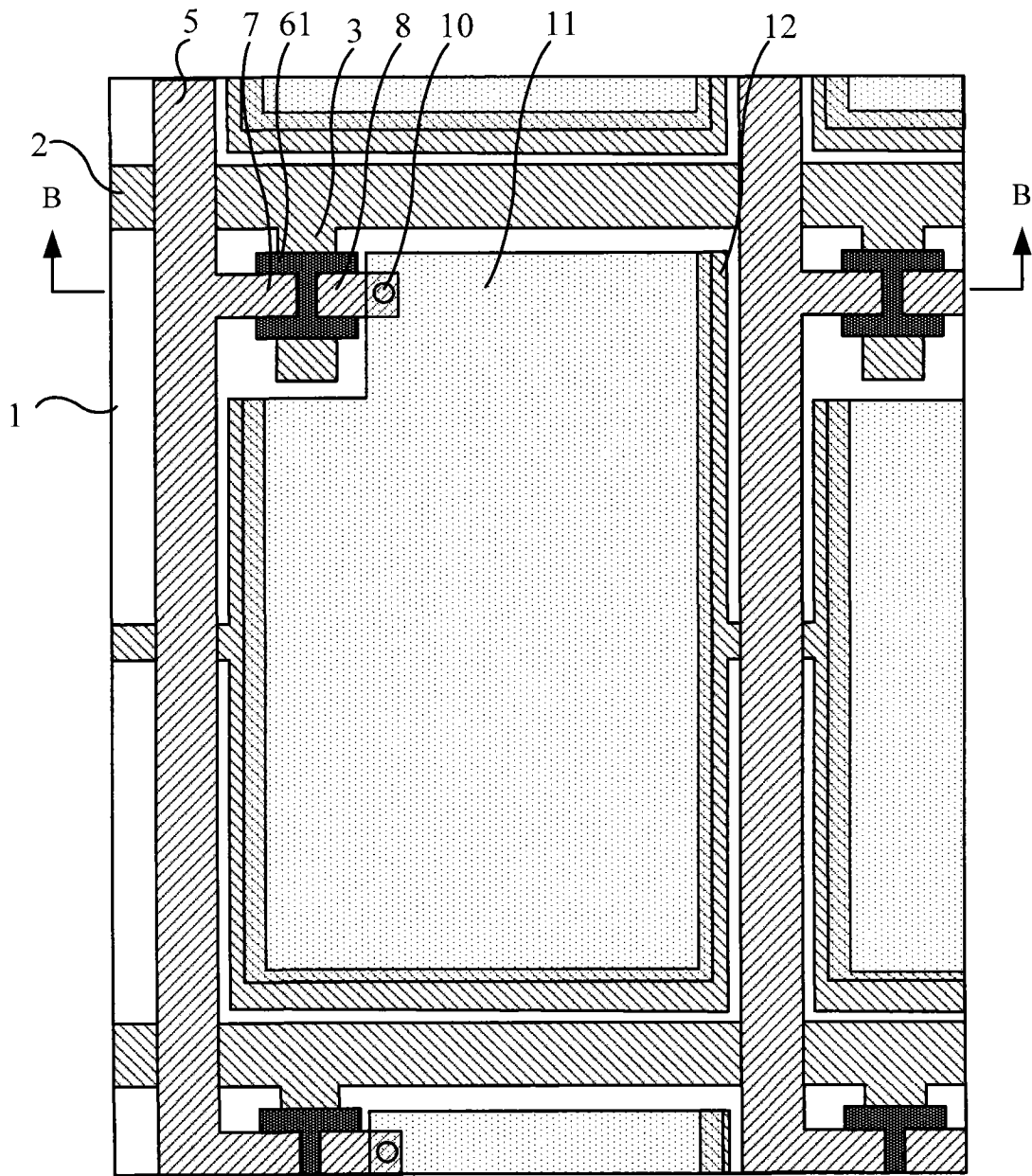


图 2A

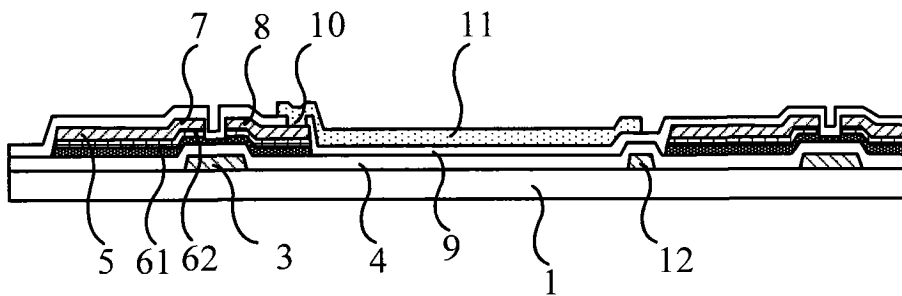


图 2B

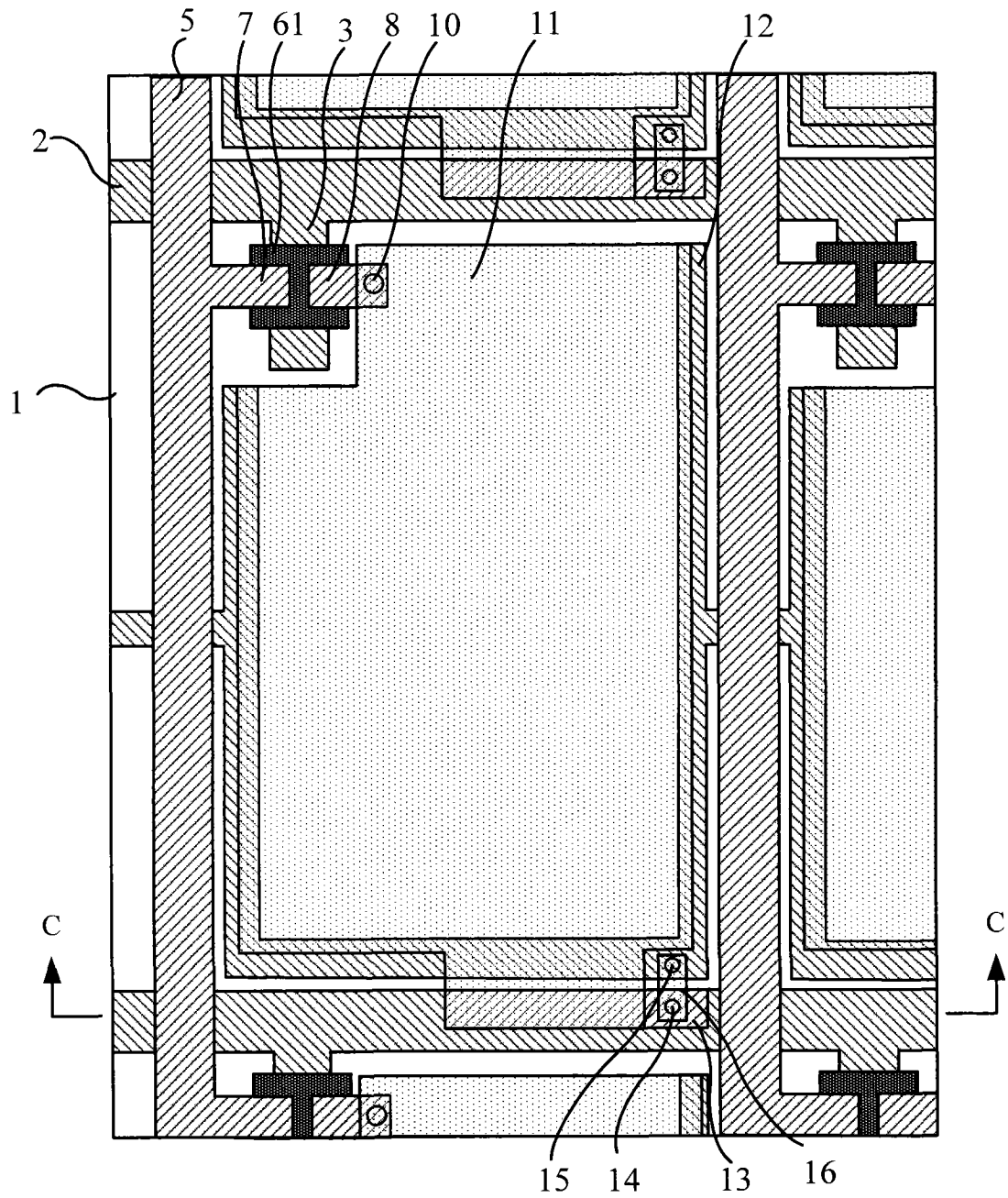


图 3A

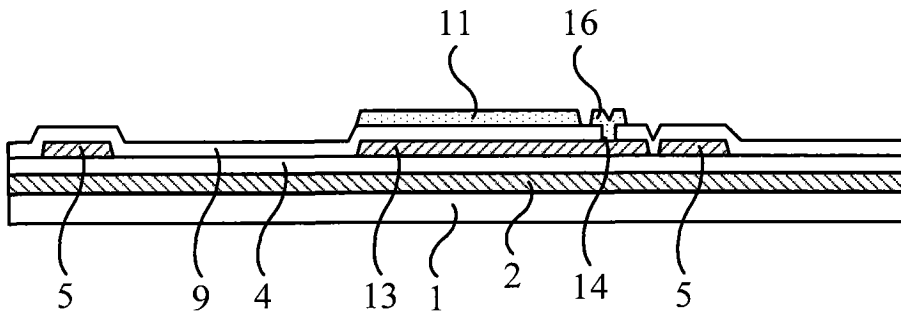


图 3B

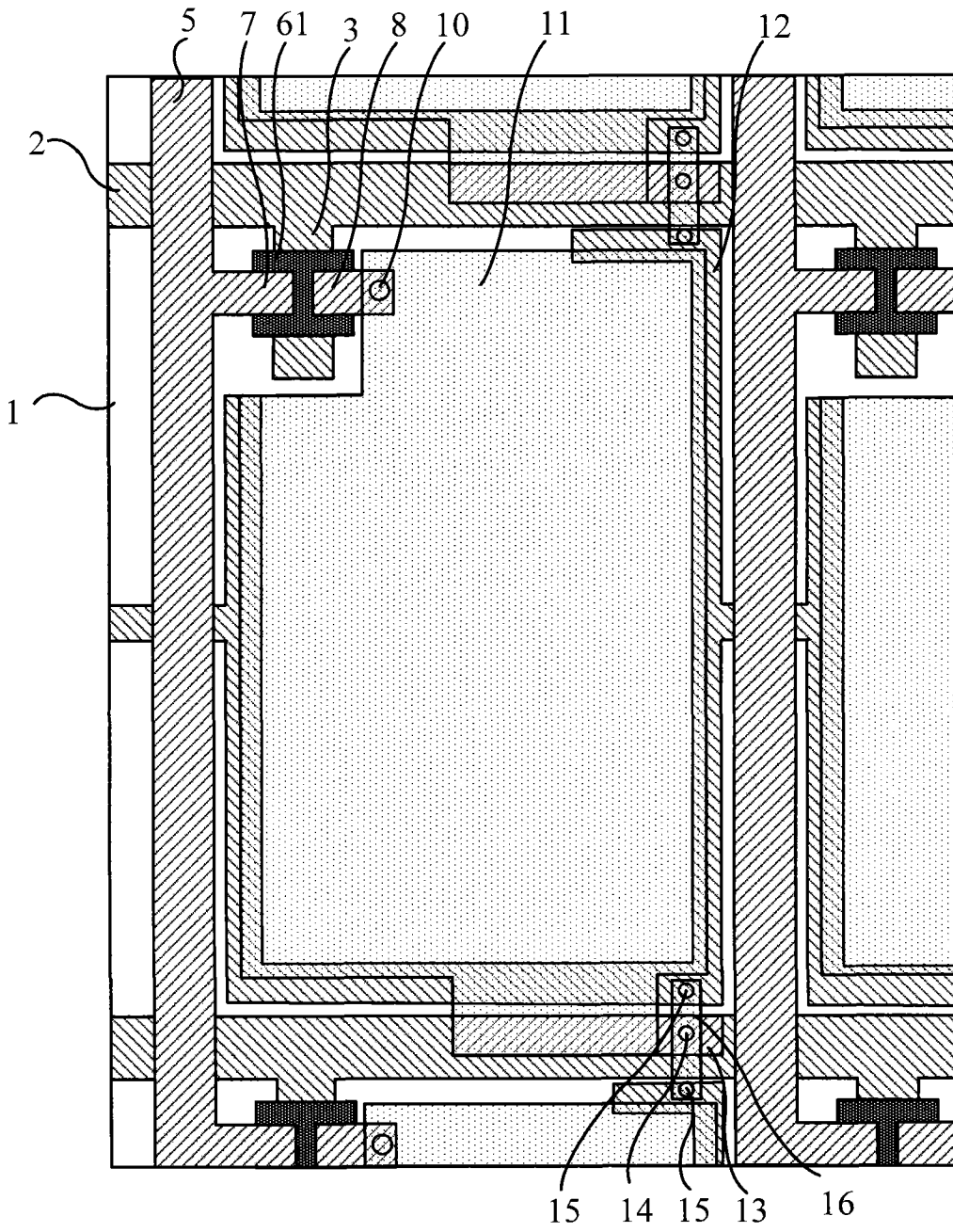


图 4

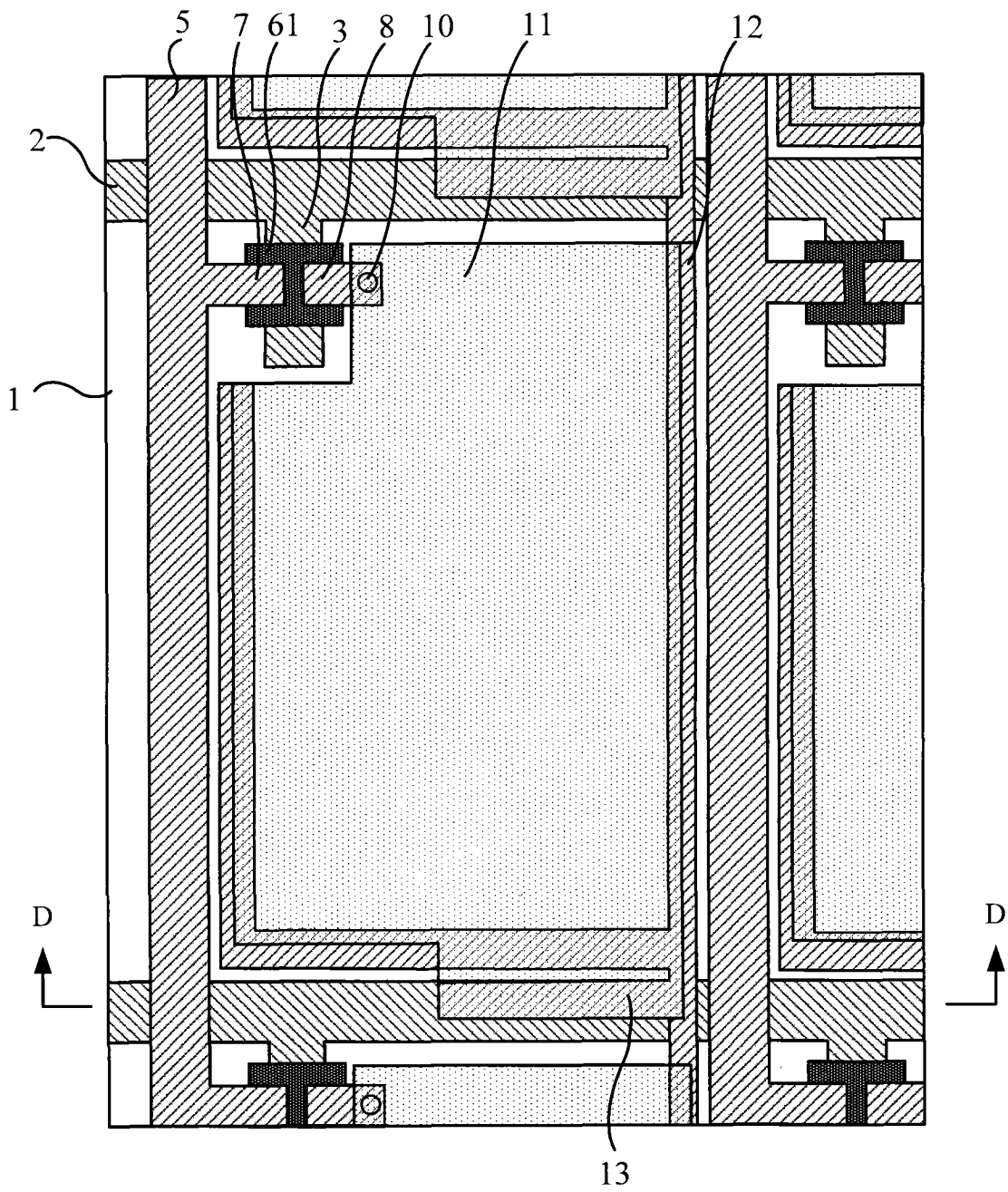


图 5A

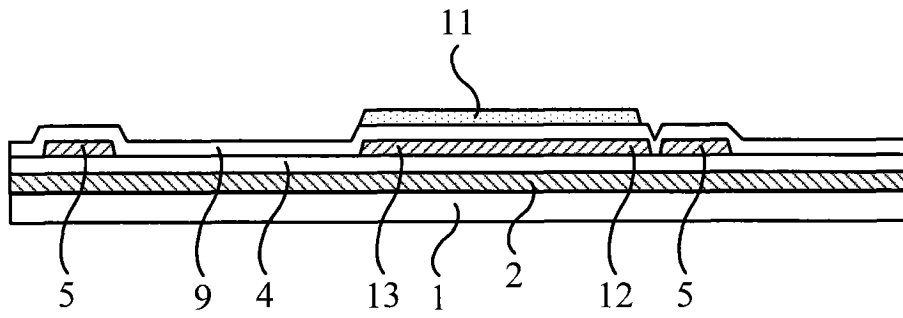


图 5B

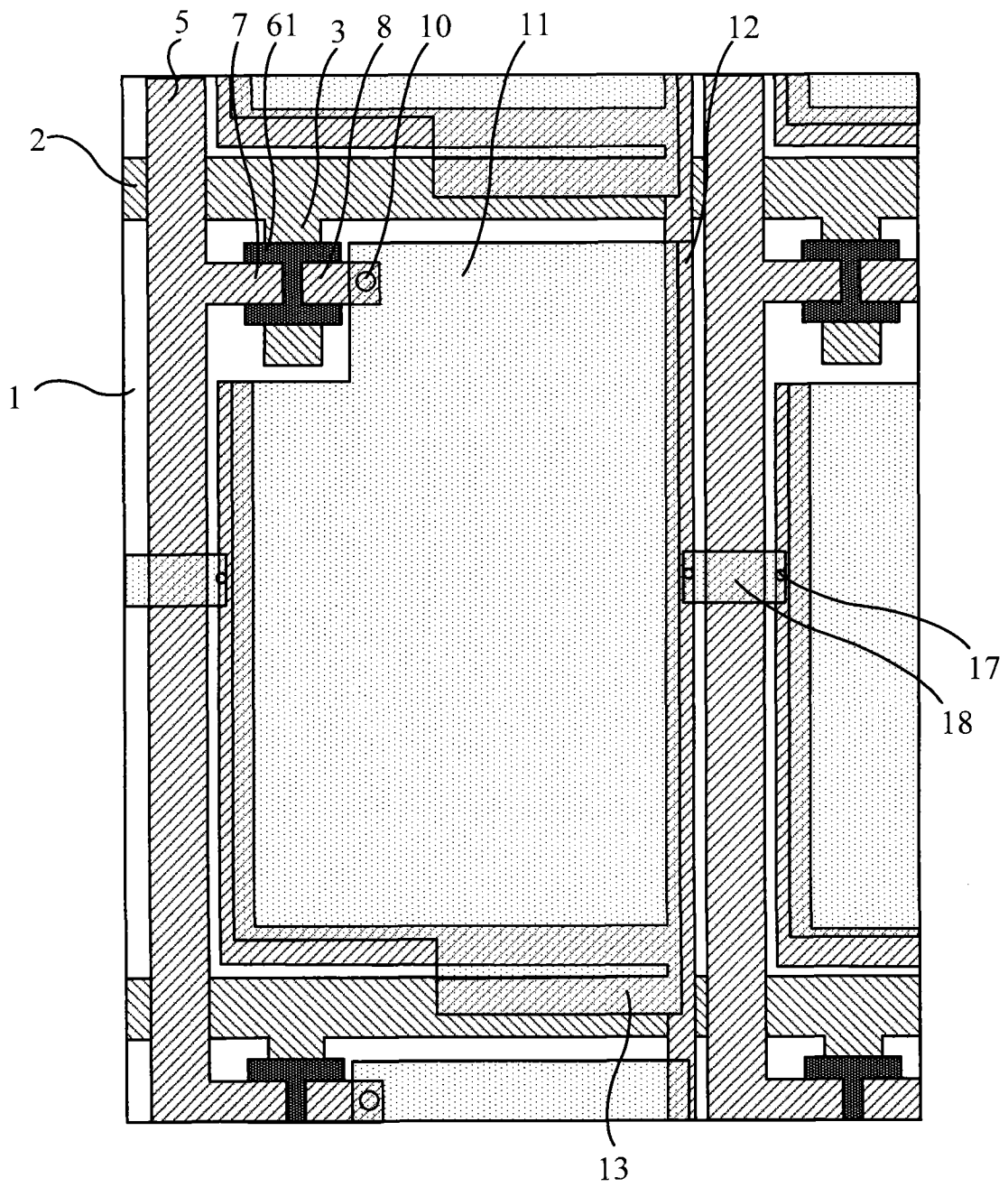


图 6

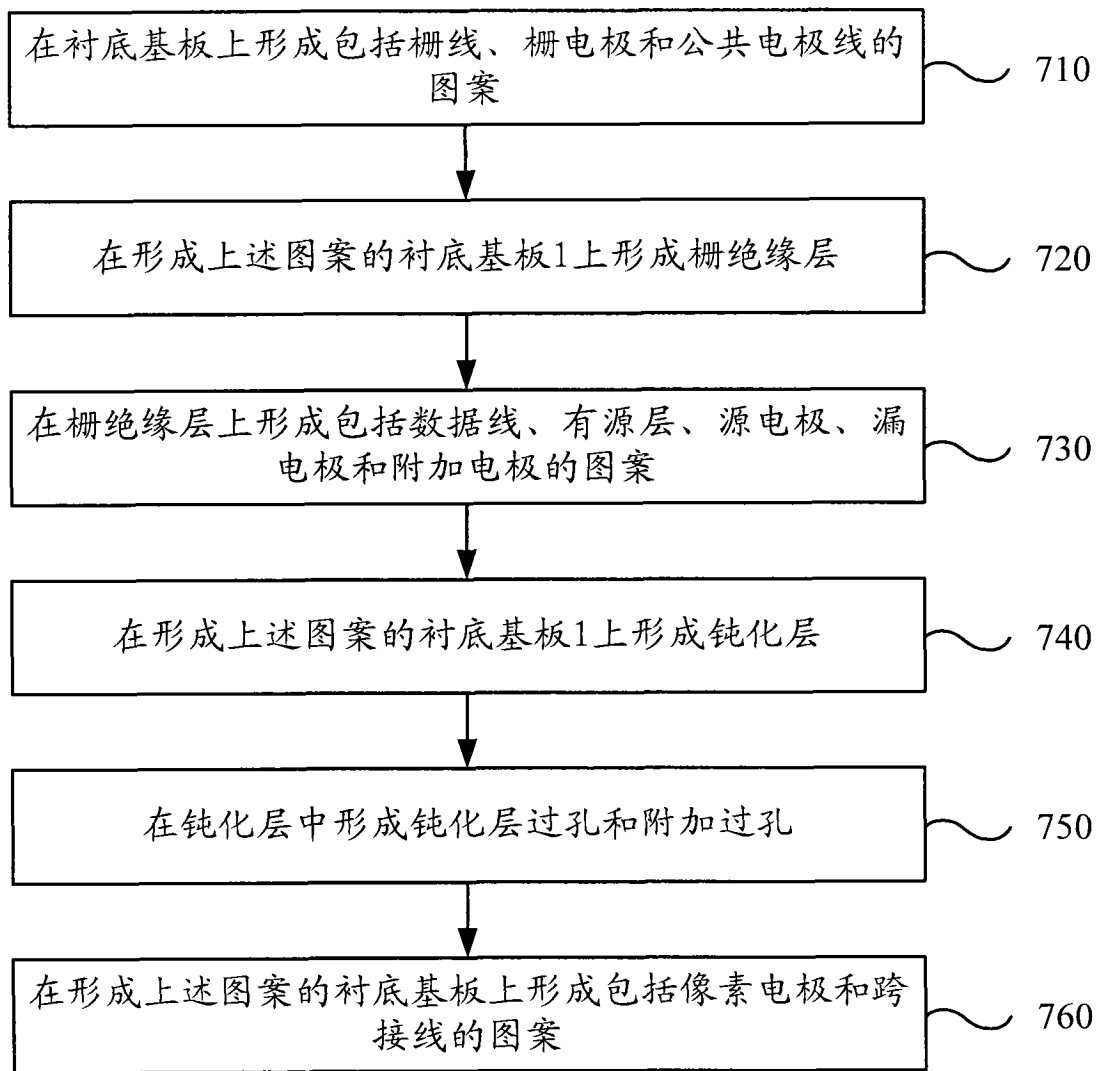


图7

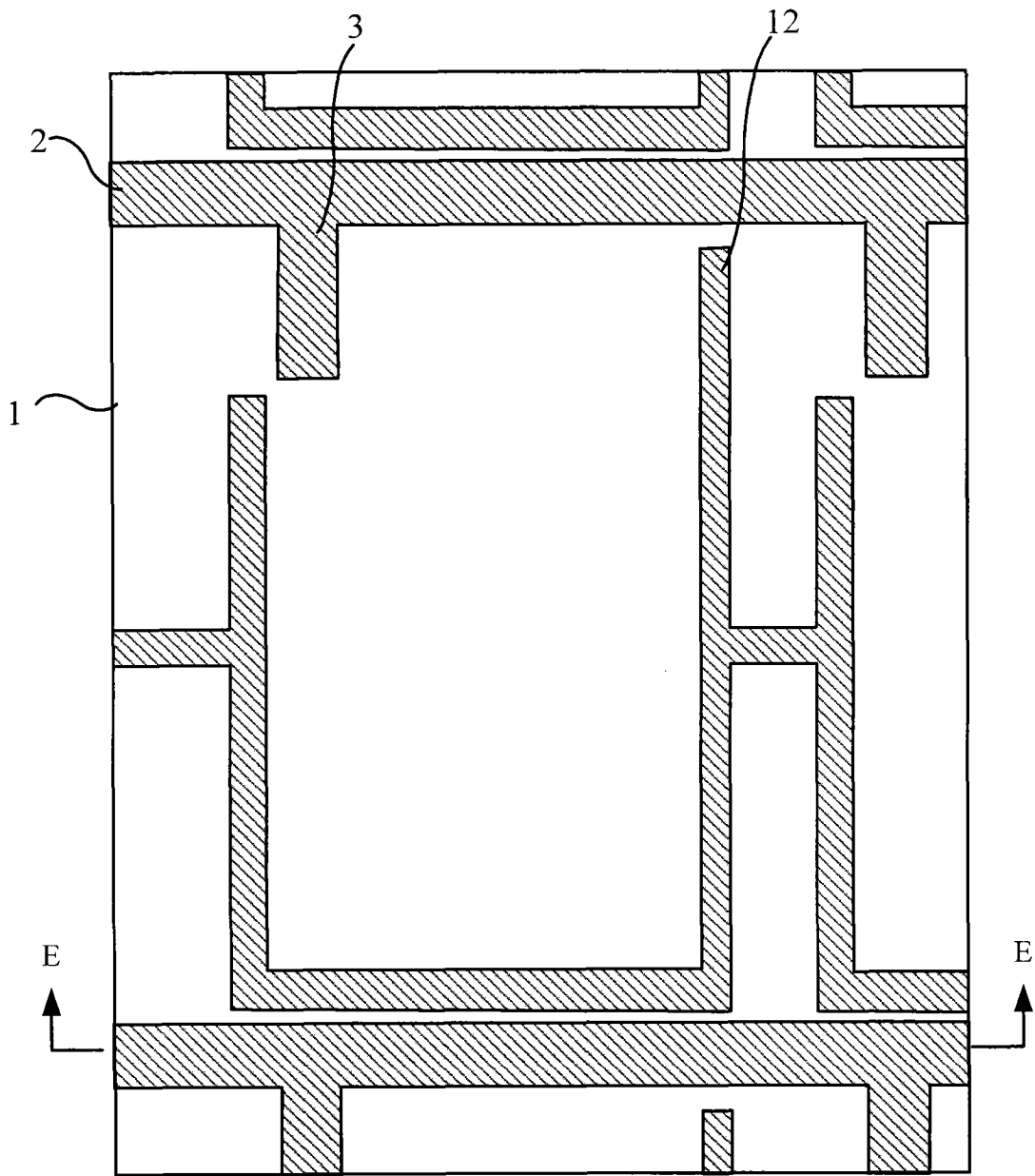


图 8A

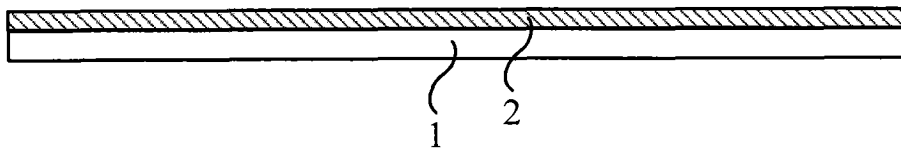


图 8B

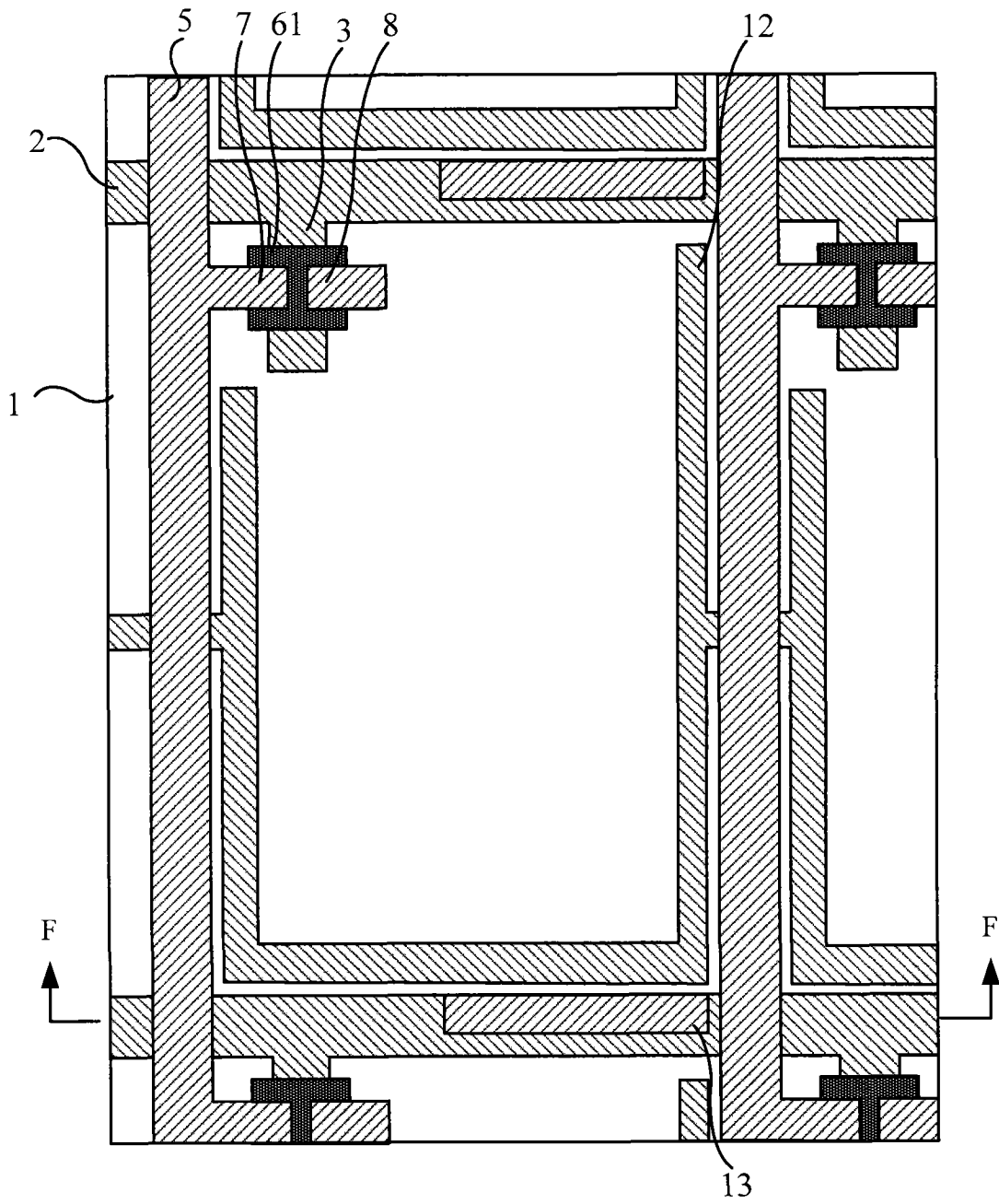


图 9A

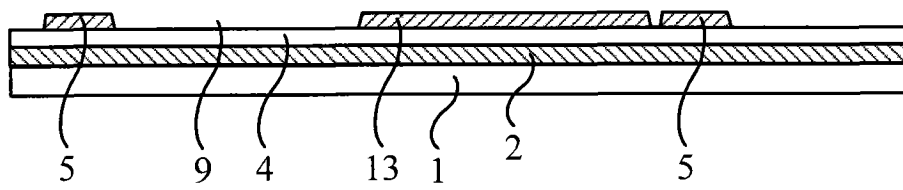


图 9B

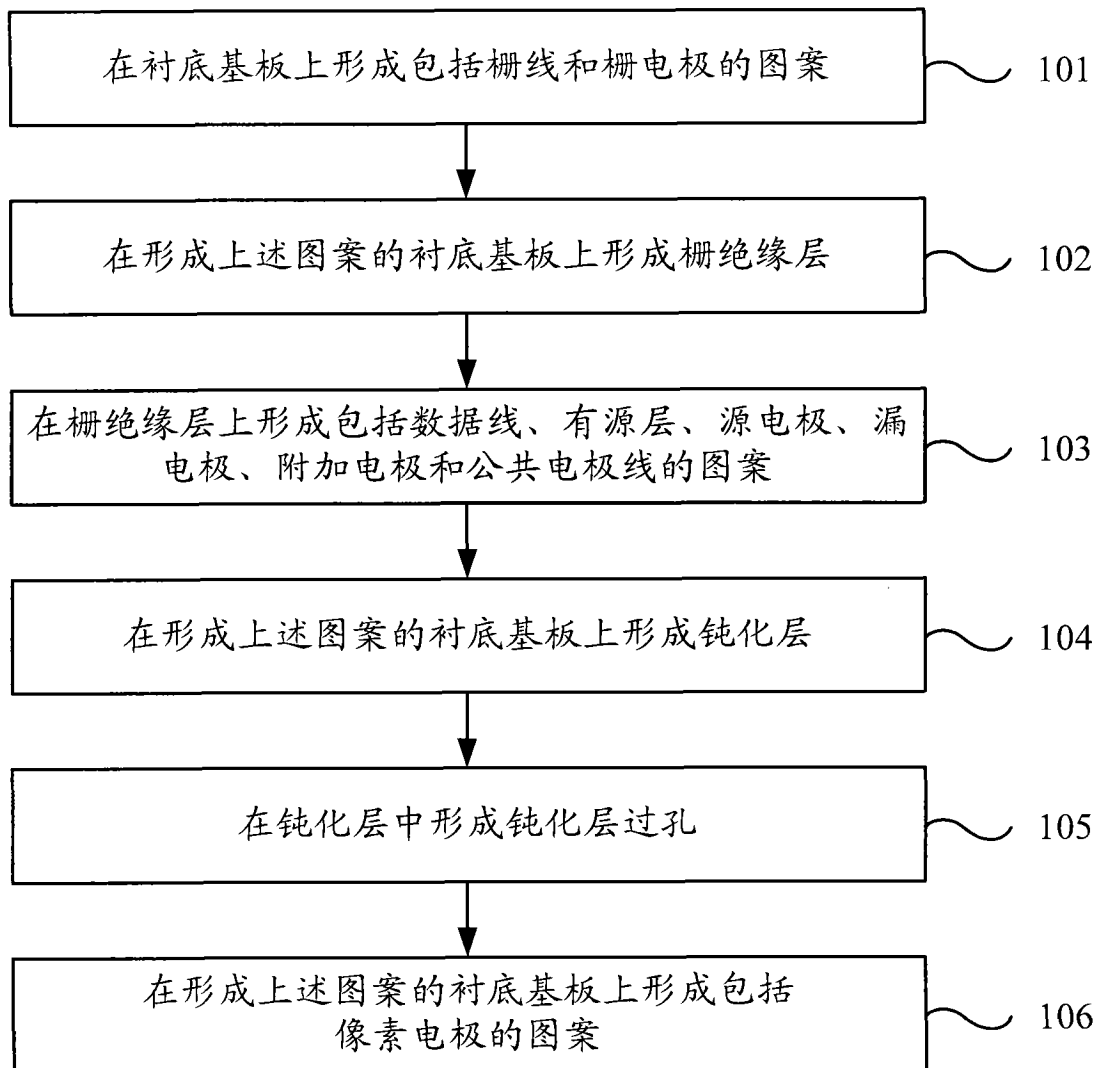


图 10

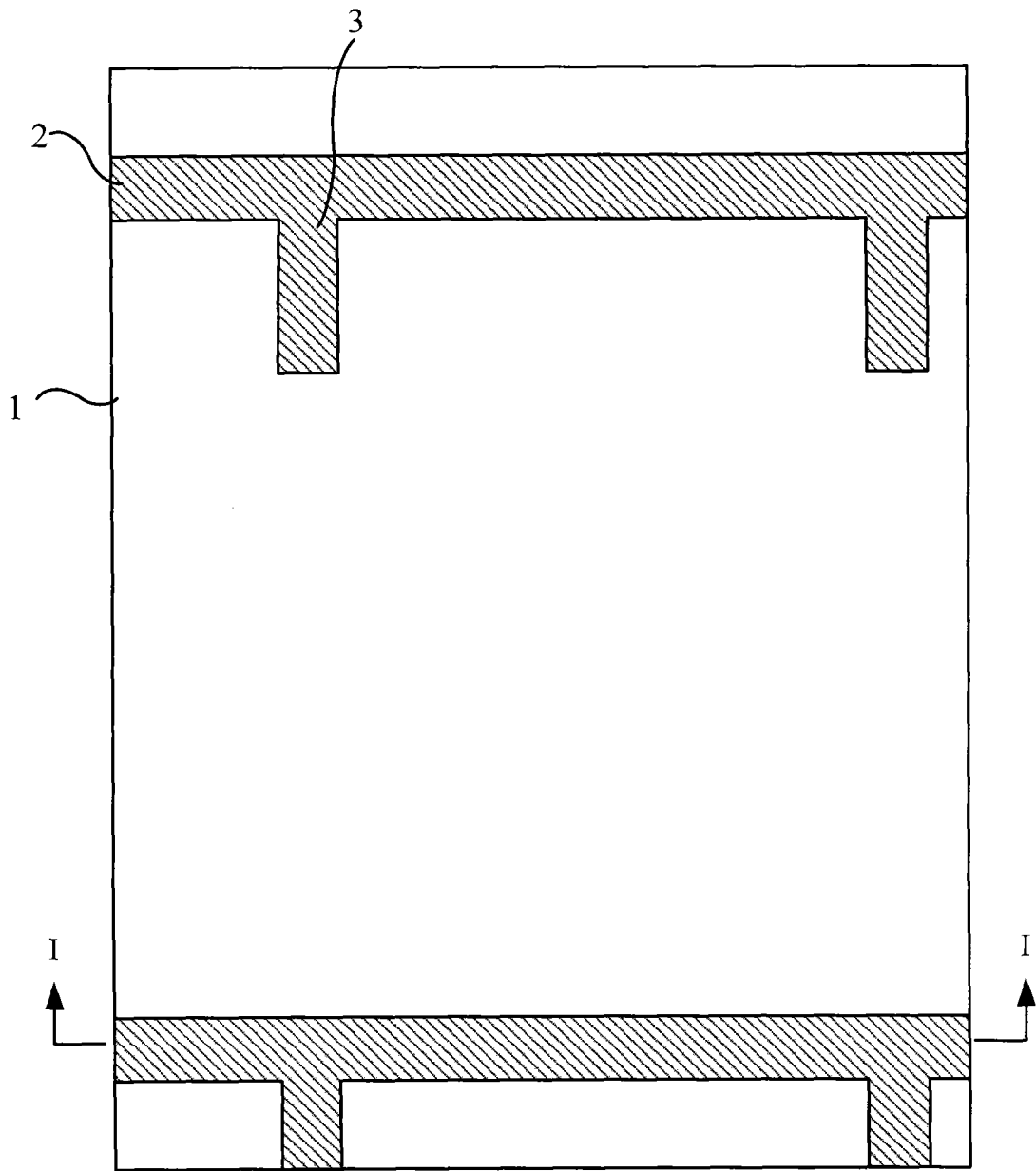


图 11A

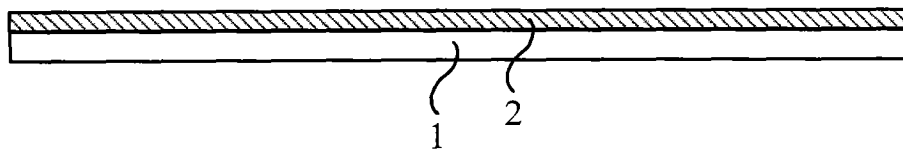


图 11B

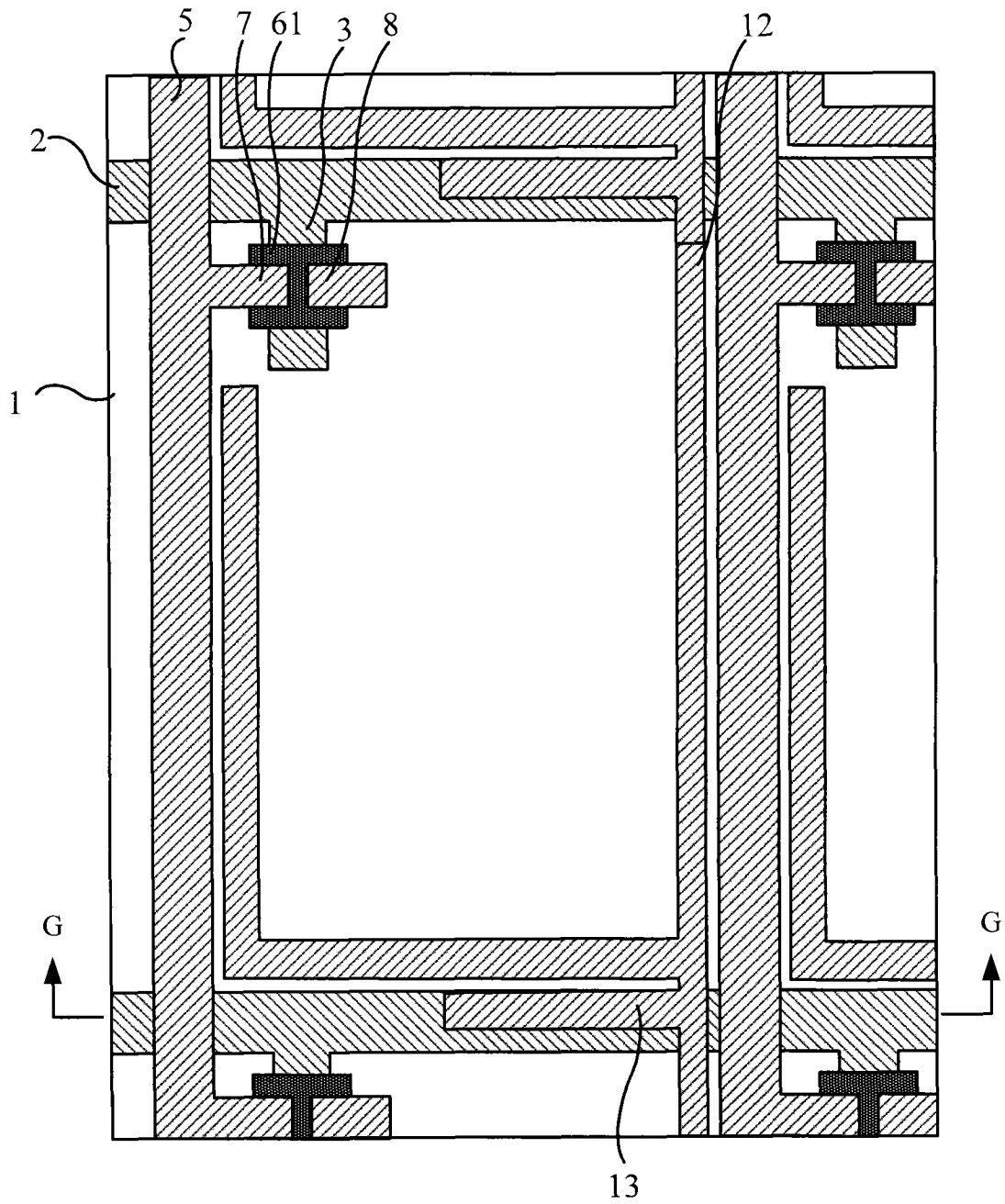


图 12A

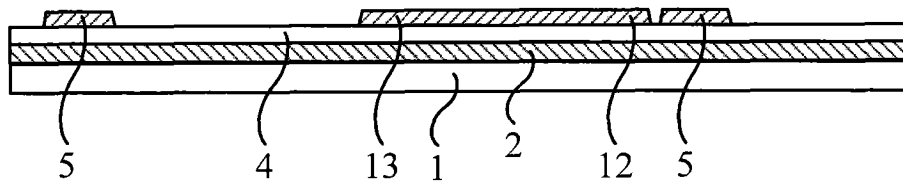


图 12B

专利名称(译)	阵列基板及其制造方法和液晶显示器		
公开(公告)号	<a href="#">CN102236222A</a>	公开(公告)日	2011-11-09
申请号	CN201010159116.1	申请日	2010-04-23
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	谢振宇 陈旭 龙春平 徐少颖		
发明人	谢振宇 陈旭 龙春平 徐少颖		
IPC分类号	G02F1/1362 H01L27/02 H01L21/77		
CPC分类号	G02F1/136213 G02F1/1343 G02F1/136286		
代理人(译)	刘芳		
其他公开文献	CN102236222B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种阵列基板及其制造方法和液晶显示器。该阵列基板中，栅线的上方形成有附加电极，附加电极和栅线之间以栅绝缘层相互间隔，且附加电极与公共电极线电连接；像素电极的图案延伸至附加电极的上方与附加电极重叠，像素电极与附加电极和公共电极线重叠的部分形成存储电容。本发明结合了基于栅线的存储电容和基于公共电极线的存储电容两种形式，能够提高存储电容值，且减小了存储电容对其他显示因素的影响。不会因为需要过大的公共电极线面积而降低开口率，形成的阻容延迟较小，能获得较好的显示品质。

