



(12) 发明专利

(10) 授权公告号 CN 102147550 B

(45) 授权公告日 2014. 08. 13

(21) 申请号 201010606629. 2

US 2003/0020847 A1, 2003. 01. 30,

(22) 申请日 2010. 12. 24

审查员 王欣

(30) 优先权数据

10-2009-0133559 2009. 12. 30 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金永勋 尹中玟

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 王伶

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

US 2009032819 A1, 2009. 02. 05,

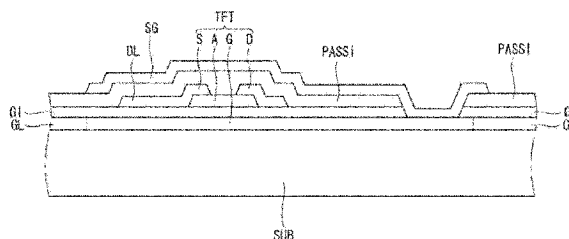
权利要求书2页 说明书7页 附图8页

(54) 发明名称

液晶显示装置及其制造方法

(57) 摘要

本发明涉及具有保护半导体层免受外部进入光损伤的保护元件的液晶显示装置及其制造方法。本公开提出了一种液晶显示装置,其包括:基板;在所述基板上彼此交叉的数据线和选通线;薄膜晶体管,其形成在所述数据线和所述选通线的交叉部处;钝化层,其覆盖所述薄膜晶体管;以及不透明保护层,其形成于所述钝化层上并且覆盖所述薄膜晶体管。根据本公开的液晶显示装置阻挡光进入到薄膜晶体管的半导体有源层,以提高有源层中的电子迁移率及元件的可靠性。



1. 一种液晶显示装置,该液晶显示装置包括:
基板;
在所述基板上彼此交叉的数据线和选通线;
薄膜晶体管,其形成在所述数据线和所述选通线的交叉部处;
钝化层,其覆盖所述薄膜晶体管;以及
不透明保护层,其形成于所述钝化层上并且覆盖所述薄膜晶体管,其中,所述薄膜晶体管包括:
连接到所述选通线的栅极;
半导体层,其形成于覆盖所述栅极的栅绝缘层上、所述栅极的区域内;
源极,其从所述数据线分支出来,并与所述半导体层的一侧相接触;以及
漏极,其面向所述源极,并与所述半导体层的另一侧相接触,并且
其中,所述半导体层具有比所述不透明保护层和所述栅极的尺寸更小的尺寸,
其中,所述不透明保护层包括不透明导电材料,所述不透明保护层连接到所述栅极。
2. 根据权利要求1所述的液晶显示装置,其中,所述栅极和所述不透明保护层具有相同的尺寸并且彼此交叠。
3. 根据权利要求1所述的液晶显示装置,其中,所述不透明导电材料包括钼和钛中的至少一种。
4. 根据权利要求1所述的液晶显示装置,其中,所述不透明导电材料包括厚度比临界厚度厚的铟锡氧化物ITO和铟锌氧化物IZO中的至少一种,当所述ITO和所述IZO比临界厚度更薄时,所述ITO和所述IZO具有透明性,并且当所述ITO和所述IZO比临界厚度更厚时,所述ITO和所述IZO具有不透明性。
5. 根据权利要求1所述的液晶显示装置,该液晶显示装置还包括:
在所述钝化层上的像素电极,其具有连接到所述薄膜晶体管的透明导电材料。
6. 根据权利要求5所述的液晶显示装置,其中,所述透明导电材料包括厚度比临界厚度薄的铟锡氧化物ITO和铟锌氧化物IZO中的至少一种,当所述ITO和所述IZO比临界厚度更薄时,所述ITO和所述IZO具有透明性,并且当所述ITO和所述IZO比临界厚度更厚时,所述ITO和所述IZO具有不透明性。
7. 一种液晶显示装置的制造方法,该制造方法包括以下步骤:
在基板上形成彼此交叉的数据线和选通线,并且形成连接到所述数据线和所述选通线的薄膜晶体管;
在所述薄膜晶体管上沉积钝化层;以及
在所述钝化层上形成覆盖所述薄膜晶体管的不透明保护层,其中,形成所述薄膜晶体管的步骤包括:
在所述基板上形成所述选通线和从所述选通线分支出的栅极;
形成覆盖所述选通线和所述栅极的栅绝缘层;
在所述栅绝缘层上、所述栅极的区域内形成半导体层;以及
形成从所述数据线分支出来并且与所述半导体层的一侧相接触的源极,并且形成面向所述源极并与所述半导体层的另一侧相接触的漏极,并且
其中,所述半导体层具有比所述不透明保护层和所述栅极的尺寸更小的尺寸,并且

其中,形成所述钝化层的步骤包括:

沉积钝化材料;以及

通过穿透所述钝化层和所述栅绝缘层来形成使所述栅极的一些部分露出的栅接触孔;
并且

在形成所述不透明保护层的步骤中,所述不透明保护层通过所述栅接触孔与所述栅极相接触。

8. 根据权利要求7所述的制造方法,其中,在形成所述不透明保护层的步骤中,所述栅极和所述不透明保护层具有相同尺寸并且彼此交叠。

9. 根据权利要求7所述的制造方法,其中,在形成所述不透明保护层的步骤中,通过沉积包括钼和钛中的至少一种的不透明导电材料来形成所述不透明保护层。

10. 根据权利要求7所述的制造方法,其中,在形成所述不透明保护层的步骤中,通过沉积厚度比临界厚度厚的铟锡氧化物ITO和铟锌氧化物IZO中的至少一种来形成所述不透明保护层,当所述ITO和所述IZO比临界厚度更薄时,所述ITO和所述IZO具有透明性,并且当所述ITO和所述IZO比临界厚度更厚时,所述ITO和所述IZO具有不透明性。

11. 根据权利要求7所述的制造方法,其中,形成所述钝化层的步骤包括:

沉积钝化材料;以及

通过穿透所述钝化层来形成使所述漏极的一些部分露出的漏接触孔;并且

所述制造方法还包括:

在所述钝化层上形成通过所述漏接触孔与所述漏极相接触的像素电极。

12. 根据权利要求7所述的制造方法,其中,

形成所述钝化层的步骤包括:

沉积钝化材料;以及

通过穿透所述钝化层来形成使所述漏极的一些部分露出的漏接触孔,并且通过穿透所述钝化层和所述栅绝缘层来形成使所述栅极的一些部分露出的栅接触孔;并且

形成所述不透明保护层的步骤包括:

沉积厚度比临界厚度厚的透明导电材料,该透明导电材料包括铟锡氧化物ITO和铟锌氧化物IZO中的至少一种;以及

对所述透明导电材料进行图案化,以形成通过所述漏接触孔与所述漏极相接触的像素电极和通过所述栅接触孔与所述栅极相接触的所述不透明保护层,

其中,所述不透明保护层与所述栅极具有相同的尺寸并与所述栅极交叠,所述不透明保护层的厚度比所述临界厚度厚,并且所述像素电极的厚度比所述临界厚度薄,当所述ITO和所述IZO比临界厚度更薄时,所述ITO和所述IZO具有透明性,并且当所述ITO和所述IZO比临界厚度更厚时,所述ITO和所述IZO具有不透明性。

液晶显示装置及其制造方法

技术领域

[0001] 本公开涉及一种液晶显示装置及其制造方法。具体地说,本公开涉及具有保护半导体层免受外部进入光损伤的保护元件的液晶显示装置及其制造方法。

背景技术

[0002] 现在,开发了各种平板显示装置来克服阴极射线管的许多缺陷,例如重量重及体积大。平板显示装置包括液晶显示装置(或 LCD)、场发射显示器(或 FED)和电致发光装置(或 ED)。

[0003] 液晶显示装置通过利用电场控制液晶层的透光率来呈现视频数据。根据电场方向,可以将 LCD 分类成两种主要类型:一种是垂直电场型而另一种是水平电场型。

[0004] 对于垂直电场型 LCD,形成在上基板上的公共电极和形成在下基板上的像素电极彼此面对,以形成方向与基板面垂直的电场。由垂直电场来驱动置于上基板和下基板之间的扭曲向列液晶层。垂直电场型 LCD 具有孔径比比较高的优点,同时具有视角较窄(大约 90 度)的缺点。

[0005] 对于水平电场型 LCD,公共电极和像素电极平行地形成在同一基板上。由平行于基板面的电场以面内开关(IPS)模式驱动置于上基板和下基板之间的液晶层。水平电场型 LCD 具有 160 度以上的宽视角的优点。

[0006] 下面,来详细解释水平电场型 LCD。图 1 是例示了根据相关技术的水平电场型 LCD 的平面图。图 2 是用于例示图 1 的水平电场型 LCD 的结构的沿线 I-I' 截取的截面图。

[0007] 参照图 1 和 2,水平电场型 LCD 包括:具有薄膜晶体管 TFTC 的薄膜晶体管(或 TFT)阵列基板 TFTS、具有滤色器 CF 和黑底 BM 的滤色器阵列基板 CFS 以及设置在基板(TFTS 和 CFS)之间的液晶层 LC。水平电场型 LCD 的 TFT 阵列基板包括:在下基板 SUBLC 上彼此交叉的选通线 GLC 和数据线 DLC、在选通线 GLC 和数据线 DLC 的各交叉点处形成的薄膜晶体管 TFTC、在通过选通线 GLC 和数据线 DLC 的交叉结构所限定的像素区域内形成水平电场的像素电极 PXLC 和公共电极 COMC,以及连接公共电极 COMC 的公共线 CLC。

[0008] 薄膜晶体管 TFTC 包括:从选通线 GLC 分支出的栅极 GC;在覆盖栅极 GC 的栅绝缘层 GIC 上的、与栅极 GC 交叠的半导体层 AC;从数据线 DLC 分支出并与半导体层 AC 的一侧相接触的源极 SC;以及面向源极 SC 并与半导体层 AC 的另一侧相接触的漏极 DC。在薄膜晶体管 TFTC 上,形成钝化层 PASSIC 以保护薄膜晶体管 TFTC。在钝化层 PASSIC 上形成像素电极 PXLC。

[0009] 选通线 GLC 向薄膜晶体管 TFTC 的栅极 GC 提供选通信号。数据线 DLC 经由薄膜晶体管 TFTC 的漏极 DC 向像素电极 PXLC 提供像素信号。选通线 GLC 和数据线 DLC 彼此交叉,使得它们限定出像素区域。设置在各像素区域之间并且与选通线 GLC 平行的公共线 CLC 提供用于驱动液晶层的基准电压。

[0010] 薄膜晶体管 TFTC 通过响应于选通线 GLC 的选通信号而导通,以从数据线 DLC 向像素电极 PXLC 提供像素信号。像素电极 PXLC 连接到薄膜晶体管 TFTC 的漏极 DC 并形成在像

素区域内。公共电极 COMC 连接到公共线 CLC 并形成在像素区域内。特别是,像素电极 PXLC 和公共电极 COMC 在像素区域内彼此平行。为此,公共电极 COMC 具有平行地设置并且彼此分开预定距离的多个分段,而像素电极 PXLC 具有多个分段并且各分段设置在公共电极 COMC 的分段之间。

[0011] 因此,水平电场形成于经由薄膜晶体管 TFTC 施加有像素信号的像素电极 PXLC 和经由公共线 CLC 施加有基准信号的公共电极 COMC 之间。特别是,水平电场在像素电极 PXLC 的分段和公共电极 COMC 的分段之间形成。

[0012] 通过水平电场,在薄膜晶体管阵列基板 TFTS 和滤色器阵列基板 CFS 之间沿平行方向排列的液晶分子可以根据介电各向异性属性而旋转。根据旋转状态,透过像素区域的透光率将改变,并且因而能够呈现视频数据。

[0013] 上述液晶显示装置使用了从置于用于呈现视频数据的 LCD 面板的下基板 SUBLC 下方的背光系统(未示出)照射的背光 BL。在此条件下,进入薄膜晶体管阵列基板 TFTS 的光可能会被栅极 GC 阻挡,并且该光可能通过衍射现象进入半导体层 AC。进入像素区域并被认为不会影响半导体层 AC 的一些背光 BL 可以通过从滤色器阵列基板 CFS 或上基板 SUBLC 上形成的黑底 BM 的反射而进入暴露在源极 SC 和漏极 DC 之间的半导体层 AC。

[0014] 象这样,如果光被导入薄膜晶体管 TFTC 的半导体层 AC,则由于光和热应力将使薄膜晶体管 TFTC 的特征曲线移向一侧(特别是左侧),使得薄膜晶体管 TFTC 的特性和性能可能劣化。图 3 是示出了当光进入 TFT 时薄膜晶体管的特征曲线的偏移现象的图。结果,可能发生电流泄漏并且薄膜晶体管 TFTC 可能不会将像素信号正常地传送到像素电极 PXLC。

发明内容

[0015] 为了克服上述缺陷,本公开的目的在于提出一种具有防止背光进入薄膜晶体管的结构的液晶显示装置及其制造方法。本公开的另一目的是提出一种液晶显示装置及其制造方法,其中,在半导体层上方和下方设置两个金属层,以防止光进入到半导体层中并构成双栅结构。

[0016] 为实现上述目的,本公开提出了一种液晶显示装置,其包括:基板;在所述基板上彼此交叉的数据线和选通线;薄膜晶体管,其形成在所述数据线和所述选通线的交叉部处;钝化层,其覆盖所述薄膜晶体管;以及不透明保护层,其形成于所述钝化层上并且覆盖所述薄膜晶体管。

[0017] 所述薄膜晶体管包括:连接到所述选通线的栅极;半导体层,其形成于覆盖所述栅极的栅绝缘层上、所述栅极的区域;源极,其从所述数据线分支出来,并且与所述半导体层的一侧接触;以及漏极,其面向所述源极并与所述半导体层的另一侧相接触。

[0018] 所述栅极和所述不透明保护层具有相同的尺寸并且彼此交叠。

[0019] 所述不透明保护层包括具有钼和钛中的至少一种的不透明导电材料。

[0020] 所述不透明导电材料包括厚度比临界厚度厚的铟锡氧化物(ITO)和铟锌氧化物(IZO)中的至少一种。

[0021] 所述不透明保护层连接到所述栅极。

[0022] 所述液晶显示装置还包括:在所述钝化层上的像素电极,其具有连接到所述薄膜晶体管的透明导电材料。

[0023] 所述透明导电材料包括厚度比临界厚度薄的铟锡氧化物 (ITO) 和铟锌氧化物 (IZO) 中的至少一种。

[0024] 一种液晶显示装置的制造方法, 该制造方法包括以下步骤: 在基板上形成彼此交叉的数据线和选通线, 并且形成连接到所述数据线和所述选通线的薄膜晶体管; 在所述薄膜晶体管上沉积钝化层; 以及在所述钝化层上形成覆盖所述薄膜晶体管的不透明保护层。

[0025] 形成所述薄膜晶体管的步骤包括: 在所述基板上形成所述选通线和从所述选通线分支出的栅极; 形成覆盖所述选通线和所述栅极的栅绝缘层; 在所述栅绝缘层上、所述栅极的区域内形成半导体层; 以及形成从所述数据线分支出来并且与所述半导体层的一侧相接触的源极, 并且形成面向所述源极并与所述半导体层的另一侧相接触的漏极。

[0026] 在形成所述不透明保护层的步骤中, 所述栅极和不透明保护层具有相同尺寸并且彼此交叠。

[0027] 在形成所述不透明保护层的步骤中, 通过沉积包括钼和钛中的至少一种的不透明导电材料来形成不透明保护层。

[0028] 在形成所述不透明保护层的步骤中, 通过沉积厚度比临界厚度厚的铟锡氧化物 (ITO) 和铟锌氧化物 (IZO) 中的至少一种来形成所述不透明保护层。

[0029] 形成所述钝化层的步骤包括: 沉积钝化材料; 并且通过对所述钝化层和所述栅绝缘层进行穿透来形成使所述栅极的一些部分露出的栅接触孔; 并且在形成所述不透明保护层的步骤中, 所述不透明保护层通过所述栅接触孔与所述栅极相接触。

[0030] 形成所述钝化层的步骤包括: 沉积钝化材料; 并且通过穿透所述钝化层来形成使所述漏极的一些部分露出的漏接触孔; 并且该制造方法还包括: 在所述钝化层上形成通过所述漏接触孔与所述漏极相接触的像素电极。

[0031] 形成所述钝化层的步骤包括: 沉积钝化材料; 并且通过穿透所述钝化层来形成使所述漏极的一些部分露出的漏接触孔, 并且通过穿透所述钝化层和所述栅绝缘层来形成使所述栅极的一些部分露出的栅接触孔; 并且形成所述不透明保护层的步骤包括: 沉积厚度比临界厚度厚的透明导电材料, 该透明导电材料包括铟锡氧化物 (ITO) 和铟锌氧化物 (IZO) 中的至少一种; 并且对所述透明导电材料进行图案化以形成通过所述漏接触孔与所述漏极相接触的像素电极和通过所述栅接触孔与所述栅极相接触的不透明保护层, 其中, 所述不透明保护层与所述栅极具有相同的尺寸并与所述栅极交叠, 所述不透明保护层的厚度比临界厚度厚, 并且所述像素电极的厚度比所述临界厚度薄。

[0032] 根据本公开的液晶显示装置阻挡光进入到薄膜晶体管的半导体有源层, 以提高有源层中的电子迁移率及元件的可靠性。因此, 即使长时间使用该 TFT, 不会发生任何图像质量问题 (诸如污垢), 并且保证了液晶显示装置的良好质量。此外, 如本公开提出的双栅薄膜晶体管那样, 可以获得具有尺寸较小并且性能和特性相同的薄膜晶体管的液晶显示装置。因此, 本公开提出了一种具有高孔径比的液晶显示装置。

附图说明

[0033] 附图被包括在本说明书中以提供对本发明的进一步理解, 并结合到本说明书中且构成本申请的一部分, 附图示出了本发明的实施方式, 且与说明书一起用于解释本发明的原理。

[0034] 附图中：

[0035] 图 1 是例示了根据相关技术的水平电场型液晶显示装置的平面图。

[0036] 图 2 是例示了图 1 的液晶显示装置的结构沿 I-I' 截取的截面图。

[0037] 图 3 是示出了当光进入薄膜晶体管的有源层时薄膜晶体管的特征曲线中发生的偏移现象的图。

[0038] 图 4 是例示了根据本公开的水平电场型液晶显示装置的薄膜晶体管阵列基板的平面图。

[0039] 图 5 是例示了图 4 的薄膜晶体管阵列基板的结构的沿 A-A' 截取的截面图。

[0040] 图 6 是例示了图 4 的薄膜晶体管阵列基板的结构的沿 B-B' 截取的截面图。

[0041] 图 7A 到 7G 是例示了根据本公开的第一实施方式的薄膜晶体管阵列基板的制造过程的步骤的截面图。

[0042] 图 8A 到 8E 是例示了根据本公开的第二实施方式的薄膜晶体管阵列基板的制造过程的步骤的截面图。

具体实施方式

[0043] 参照附图,来解释本公开的优选实施方式。图 4 是例示了根据本公开的水平电场型液晶显示装置的薄膜晶体管阵列基板的平面图。图 5 是例示了图 4 的薄膜晶体管阵列基板的结构的沿 A-A' 截取的截面图。图 6 是例示了图 4 的薄膜晶体管阵列基板的结构的沿 B-B' 截取的截面图。

[0044] 根据本公开的水平电场型液晶显示装置包括:具有多个薄膜晶体管 TFT 的薄膜晶体管阵列基板 TFTS;具有多个滤色器(未示出)的滤色器阵列基板(未示出);以及设置在薄膜晶体管阵列基板 TFTS 和滤色器阵列基板之间的液晶层(未示出)。水平电场型 LCD 的薄膜晶体管阵列基板 TFTS 包括:在下基板 SUB 上彼此交叉地形成的选通线 GL 和数据线 DL;在交叉位置处形成的薄膜晶体管 TFT;在通过选通线 GL 和数据线 DL 的交叉所限定的像素区域内形成水平电场的像素电极 PXL 和公共电极 COM;以及连接到公共电极 COM 的公共线 CL。

[0045] 薄膜晶体管 TFT 包括:从选通线 GL 分支出的栅极 G;在覆盖栅极 G 的栅绝缘层 GI 上的、与栅极 G 交叠的(半导体)有源层 A;从数据线 DL 分支出并且与有源层 A 的一侧相接触的源极 S;以及面向源极 S 并与有源层 A 的另一侧相接触的漏极 D。

[0046] 特别是,优选的是,栅极 G 的宽度比选通线 GL 的宽度宽,并成为选通线 GL 在像素区域内的一部分。在栅绝缘层 GI 上、与栅极 G 交叠的有源层 A 优选地具有比栅极 G 的尺寸更小的尺寸。利用这些结构,可以通过栅极保护有源层 A 免受从下方照射的任何背光的损伤。

[0047] 源极 S 在栅绝缘层上,从数据线 DL 分支出来以与栅极 G 交叠,并与有源层 A 的一侧相接触。在平面图中,栅极 G 和源极 S 彼此完全交叠。面向源极 S 的漏极 D 与有源层 A 的另一侧相接触。此外,漏极 D 沿数据线 DL 的方向延伸到栅极 G 的外侧,以与像素电极 PXL 具有连接部。

[0048] 在薄膜晶体管 TFT 上,形成钝化层 PASSI 以保护薄膜晶体管 TFT。钝化层 PASSI 具有漏接触孔 CHD,该漏接触孔 CHD 露出漏极 D 的、从栅极 G 区域向像素区域伸出的一些部

分。通过漏接触孔 CHD,漏极 D 与钝化层 PASSI 上形成的像素电极 PXL 相接触。同样,钝化层 PASSI 和栅绝缘层 GI 具有使栅极 G 的一些部分露出的栅接触孔 CHG。优选的是,使栅接触孔 CHG 形成于离薄膜晶体管 TFT 较远的位置处。

[0049] 然后,在钝化层 PASSI 上形成包括不透明金属并且与像素电极 PXL 分开的保护层 SG。特别是,优选地,保护层 SG 被形成为具有与栅极 G 的尺寸相同的尺寸并且与栅极 G 交叠。结果,栅极 G 和保护层 SG 保护薄膜晶体管 TFT 的有源层 A,不受从上侧和下侧进入的光的损伤。此外,保护层 SG 优选地通过栅接触孔 CHG 接触栅极 G。因此,薄膜晶体管 TFT 具有双栅结构,该双栅结构具有分别在有源层 A 的上侧和下侧的两个栅极。

[0050] 当薄膜晶体管 TFT 具有双栅结构时,可以使得薄膜晶体管 TFT 比相关技术的薄膜晶体管更小。因此,可以减小在像素区域中所占的面积比。因此,像素区域中的透光面积会增加,并且孔径比会提高。

[0051] 选通线 GL 向栅极 G 提供选通信号。数据线 DL 经由薄膜晶体管 TFT 的漏极 D 向像素电极 PXL 提供像素信号。选通线 GL 和数据线 DL 彼此交叉,使得它们限定出像素区域。设置在各像素区域之间并与选通线 GL 平行的公共线 CL 提供用于驱动液晶层的基准电压。

[0052] 薄膜晶体管 TFT 通过响应于选通线 GL 的选通信号而导通,以从数据线 DL 向像素电极 PXL 提供像素信号。像素电极 PXL 连接到薄膜晶体管 TFT 的漏极 D 并形成在像素区域内。公共电极 COM 连接到公共线 CL 并形成在像素区域内。特别是,像素电极 PXL 和公共电极 COM 在像素区域内彼此平行。为此,公共电极 COM 具有平行设置并且彼此分开预定距离的多个弯曲的分段,而像素电极 PXL 具有多个弯曲的分段并且像素电极 PXL 的各弯曲的分段设置在公共电极 COM 的分段之间。

[0053] 因此,水平电场形成于经由薄膜晶体管 TFT 施加像素信号的像素电极 PXL 和经由公共线 CL 施加基准信号的公共电极 COM 之间。特别是,水平电场在像素电极 PXL 的弯曲分段和公共电极 COM 的弯曲分段之间形成。

[0054] 下面,来解释根据本公开的第一实施方式的液晶显示装置的薄膜晶体管阵列基板的制造方法。图 7A 到 7G 是例示了根据本公开的第一实施方式的薄膜晶体管阵列基板的制造过程的步骤的截面图。在第一实施方式中,为解释用于防止光进入薄膜晶体管的双栅结构,图 7A 到 7G 为沿图 4 的 B-B' 截取的截面图。

[0055] 参照图 7A,在透明基板 SUB 上,沉积金属材料并利用第一掩模对其进行图案化以形成栅元件。栅元件包括选通线 GL、从选通线 GL 突出的栅极 G、公共线 CL 和连接到公共线 CL 的公共电极 COM。

[0056] 参照图 7B,在栅元件上,沉积栅绝缘层 GI,以覆盖整个基板 SUB。在栅绝缘层 GI 上,沉积半导体材料并利用第二掩模对其进行图案化,以形成有源层 A。有源层 A 与栅极 G 交叠,同时其具有比栅极 G 更小的尺寸,使得有源层 A 被限制在栅极 G 的范围内。

[0057] 在完成有源层 A 之后,在基板 SUB 的整个表面上沉积金属材料,并利用第三掩模对其进行图案化以形成源-漏元件。源-漏元件包括:数据线 DL,从数据线 DL 分支出并且与有源层 A 的一侧相接触的源极 S,以及与有源层 A 的另一侧相接触并且面向源极 S 的漏极 D。数据线 DL 与选通线 GL 垂直交叉,并且栅绝缘层置于其间。将源极 S 设置在栅极 G 的区域内。漏极 D 由从栅极 G 的区域伸出到像素区域的一些部分形成,如图 7C 所示。

[0058] 在具有源-漏元件的基板 SUB 上,沉积诸如 SiN_x 或 SiO_x 的绝缘材料以形成钝化

层 PASSI。利用第四掩模,对钝化层 PASSI 和覆盖栅极 G 的栅绝缘层 GI 进行图案化以形成露出栅极的一些部分的栅接触孔 CHG,如图 7D 所示。

[0059] 参照图 7E,在基板 SUB 的整个表面上,利用包括钼 (Mo) 和钛 (Ti) (即, Mo-Ti) 的合金金属沉积不透明金属层。利用第五掩模对该不透明金属层进行图案化,形成保护层 SG, 以与栅极 G 具有基本相同的尺寸并且与栅极 G 交叠。保护层 SG 通过栅绝缘孔 CHG 接触栅极 G,使得它起到薄膜晶体管 TFT 的上栅极的作用。

[0060] 至此,为了主要集中于保护层 SG 进行解释,使用了沿图 4 的 B-B' 线所截取的截面图。下面,为集中对像素电极 PXL 进行解释,将使用沿 A-A' 所截取的截面图。参照图 7F,通过利用第六掩模对钝化层 PASSI 进行图案化,形成使漏极 D 的、从栅极 G 的区域伸出到像素区域的一些部分露出的漏接触孔 CHD,如图 7F 所示。

[0061] 参照图 7G,在整个基板 SUB 的具有漏接触孔 CHD 的表面上,沉积诸如铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 的透明导电材料。利用第七掩模对该透明导电材料进行图案化,形成像素电极 PXL。像素电极 PXL 通过漏接触孔 CHD 接触漏极 D。此外,像素电极 PXL 与公共电极 COM 平行,以形成水平电场。

[0062] 在第一实施方式中,在不同步骤中形成保护层 SG 和像素电极 PXL。因此,需要至少七个掩模过程。然而,可以通过使用半色调掩模来减少掩模过程的数量。在本公开的第二实施方式中,将解释具有比第一实施方式更少的掩模过程的薄膜晶体管阵列基板的制造方法。在第二实施方式中,照样使用第一实施方式的第一到第三掩模过程。为同时示出像素电极 PXL 和保护层 SG,在一附图中示出了沿 A-A' 线和 B-B' 线截取的截面图。图 8A 到 8E 是例示了根据本公开的第二实施方式的薄膜晶体管阵列基板的制造过程的步骤的截面图。

[0063] 参照图 8A,在透明基板 SUB 上,沉积金属材料并利用第一掩模对其进行图案化以形成栅元件。栅元件包括选通线 GL、从选通线 GL 突出的栅极 G、公共线 CL 和连接到公共线 CL 的公共电极 COM。

[0064] 参照图 8B,在栅元件上,沉积栅绝缘层 GI,以覆盖整个基板 SUB。然后,在栅绝缘层 GI 上沉积半导体材料并利用第二掩模对半导体材料进行图案化,以形成有源层 A。有源层 A 与栅极 G 交叠,同时其具有比栅极 G 更小的尺寸,使得有源层 A 被限制在栅极 G 的范围内。

[0065] 在完成有源层 A 之后,在基板 SUB 的整个表面上沉积金属材料,并利用第三掩模对其进行图案化以形成源-漏元件。源-漏元件包括数据线 DL,从数据线 DL 分支出并且与有源层 A 的一侧相接触的源极 S,以及与有源层 A 的另一侧相接触并且面向源极 S 的漏极 D。数据线 DL 与选通线 GL 垂直交叉,并且栅绝缘层置于其间。将源极 S 设置在栅极 G 的区域内。漏极 D 由从栅极 G 的区域伸出到像素区域的一些部分形成,如图 8C 所示。

[0066] 在具有源-漏元件的基板 SUB 上,沉积钝化层 PASSI。利用第四掩模,半色调掩模,对覆盖漏极 D 和栅绝缘层 GI 的钝化层 PASSI 和覆盖栅极 G 的栅绝缘层 GI 同时进行图案化。然后,在漏极 D 上,形成穿过钝化层 PASSI 的漏接触孔 CHD,同时在栅极 G 上,形成穿过栅绝缘层 GI 和钝化层 PASSI 的栅接触孔 CHG,如图 8D 所示。

[0067] 同样,在具有漏接触孔 CHD 和栅接触孔 CHG 的钝化层 PASSI 上,利用诸如铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 的透明导电材料同时形成像素电极 PXL 和钝化层 SG。像素电极 PXL 优选地为透明导电层,而保护层 SG 优选地为不透明导电层。为利用同样的材料同时

形成它们,它们的厚度将是不同的。当作为氧化物导电材料的 ITO 和 IZO 比预定厚度更薄时,它们具有透明性。否则,当它们比预定厚度更厚时,它们具有不透明性。预定厚度称为临界厚度。首先,在钝化层 PASSI 上沉积厚度比临界厚度更厚的 ITO 或 IZO。然后,利用第五掩模(另一个半色调掩模),同时形成比临界厚度薄的透明像素电极 PXL 和比临界厚度厚的不透明保护层 SG,如图 8E 所示。

[0068] 尽管参照附图详细描述了本发明的实施方式,但是本领域的技术人员可以理解的是,在不改变本发明的技术精神或基本特征的情况下可以以其他具体形式实施本发明。因此,应当注意的是,前述实施方式在所有方面只是示例性的,并且并非解释为限制本发明。通过所附权利要求书而不是本发明的详细说明来限定本发明的范围。在权利要求书的含义和范围内作出的所有改变或修改或他们的等同物都应当解释为落入本发明的范围内。

[0069] 本申请要求 2009 年 12 月 30 日提交的韩国专利申请 10-2009-0133559 的优先权,通过引用的方式将该韩国专利申请的内容合并于此,以用于各种目的,如同在此进行了全面阐述。

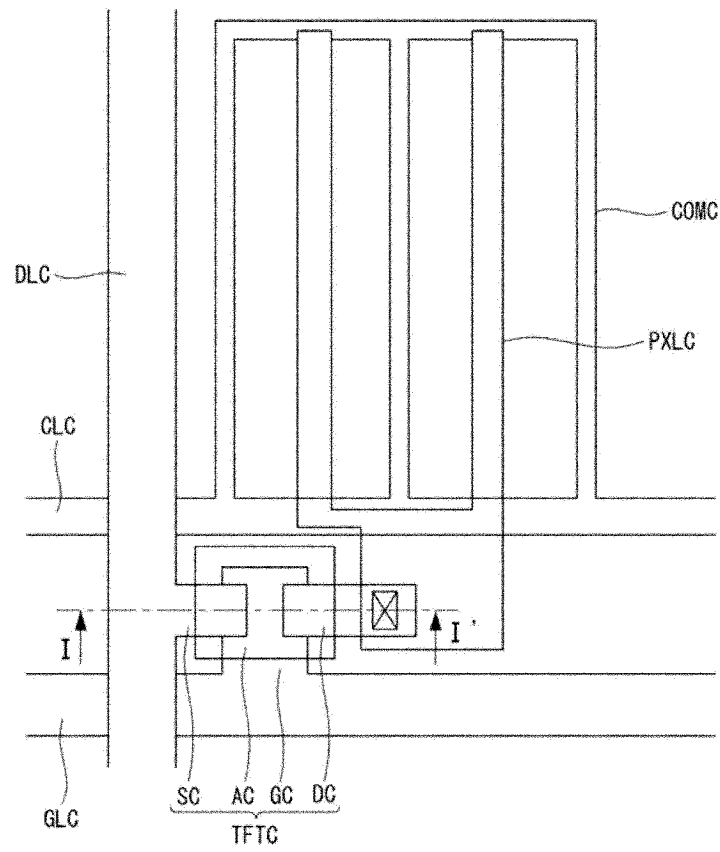


图 1

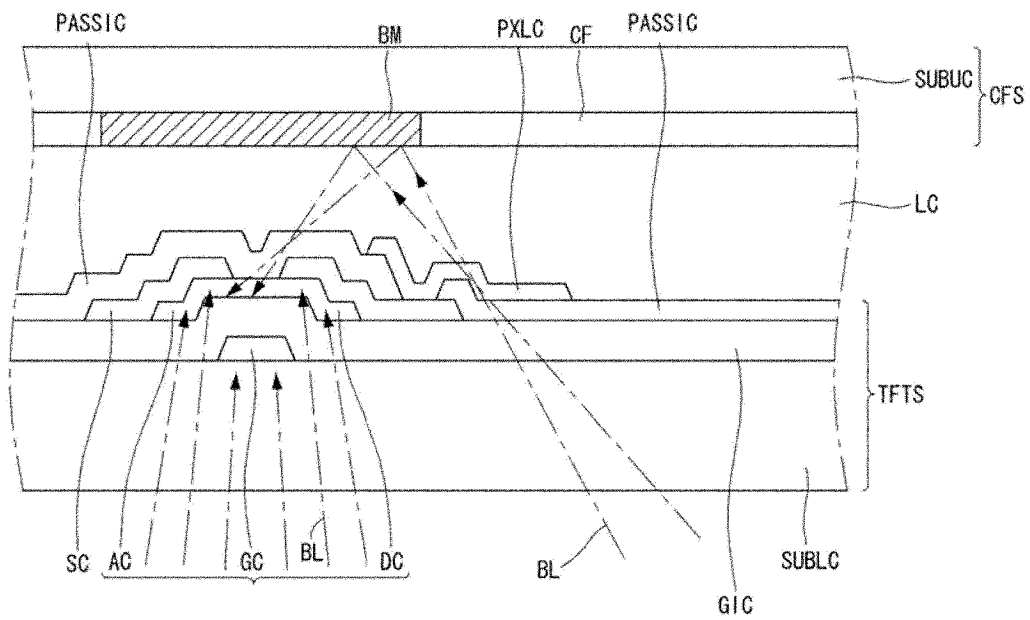


图 2

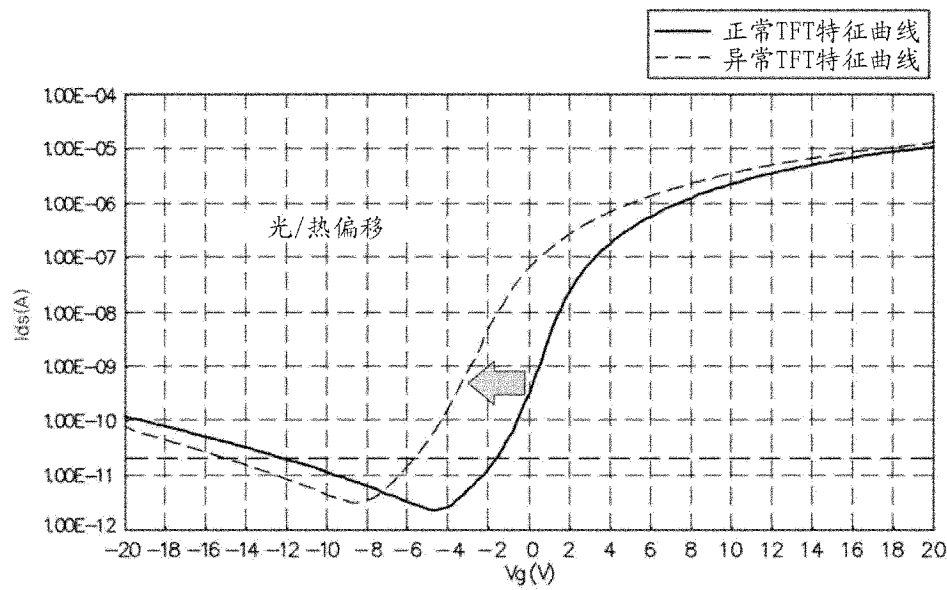


图 3

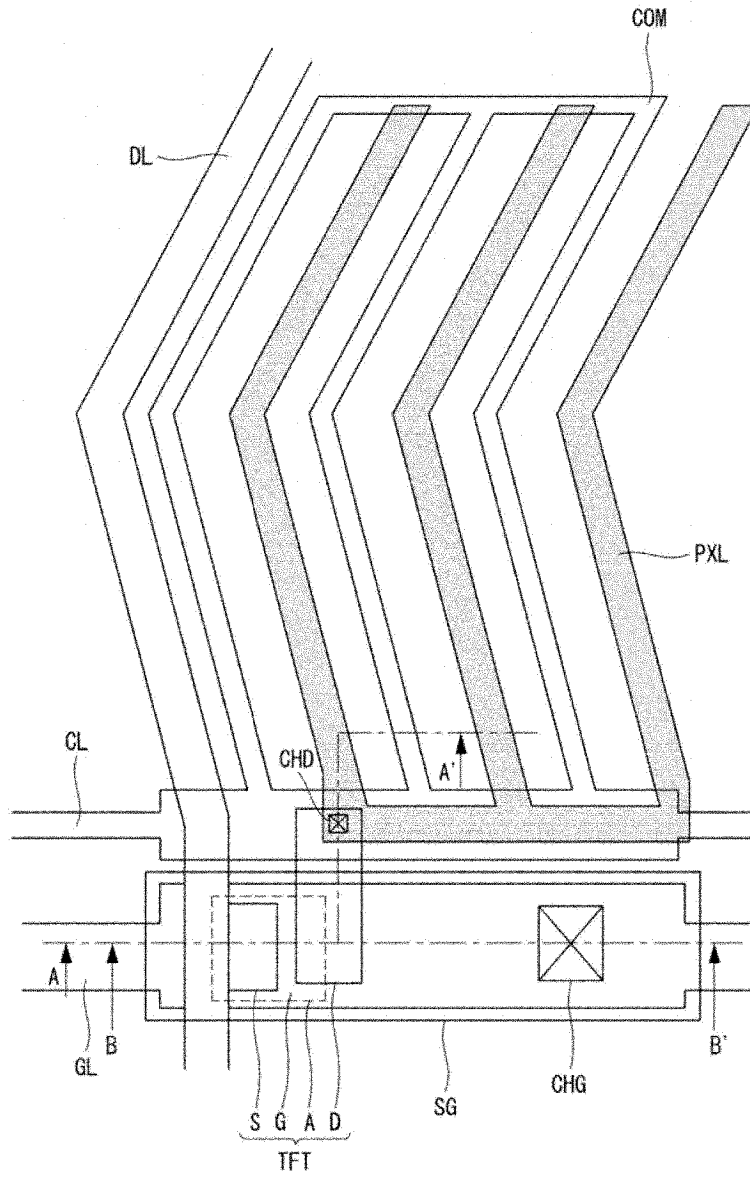


图 4

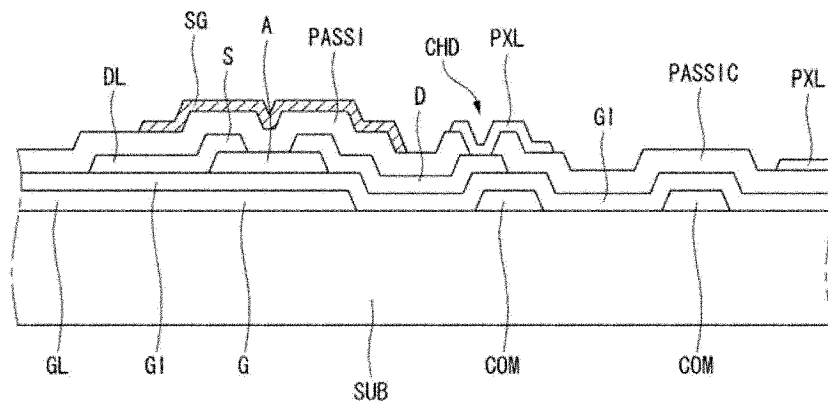


图 5

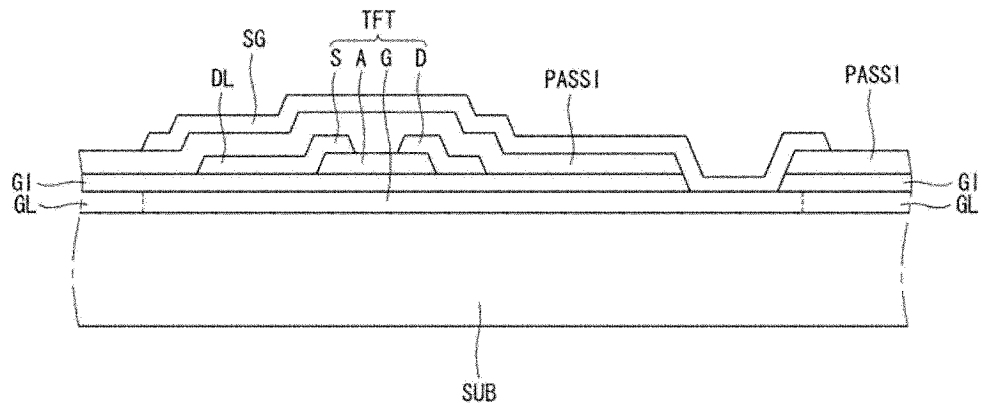


图 6

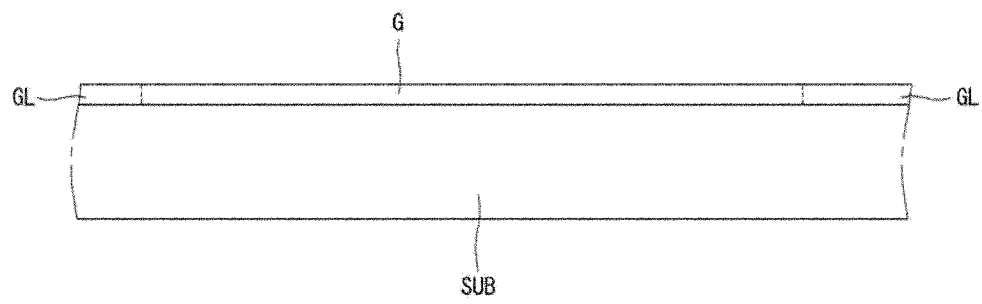


图 7A

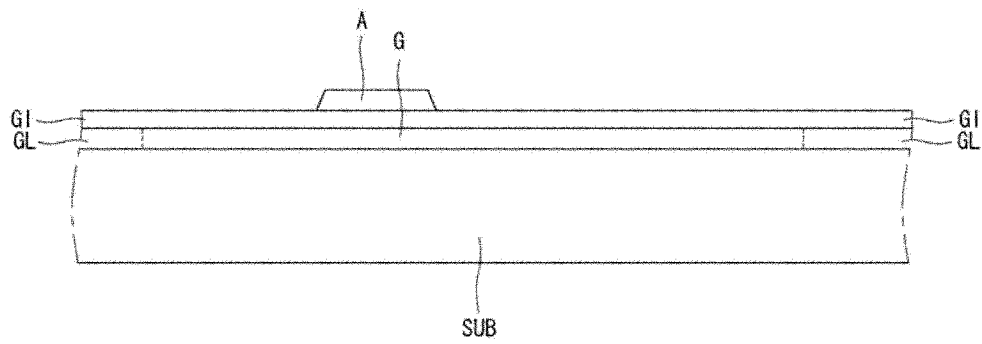


图 7B

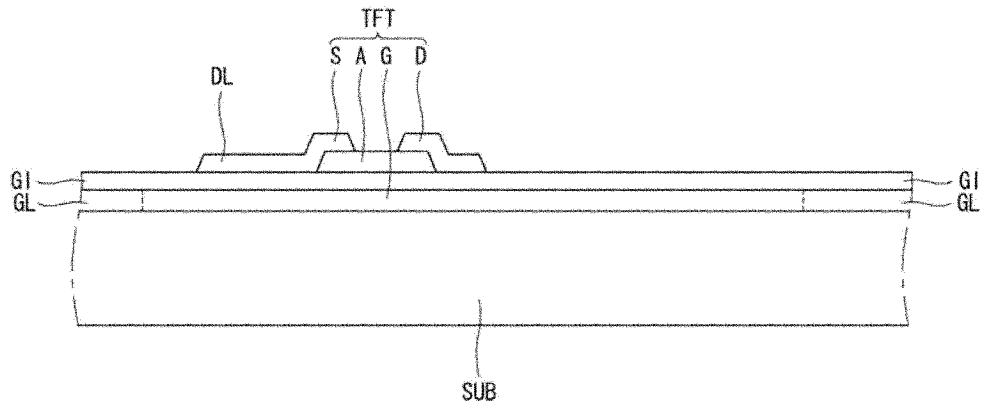


图 7C

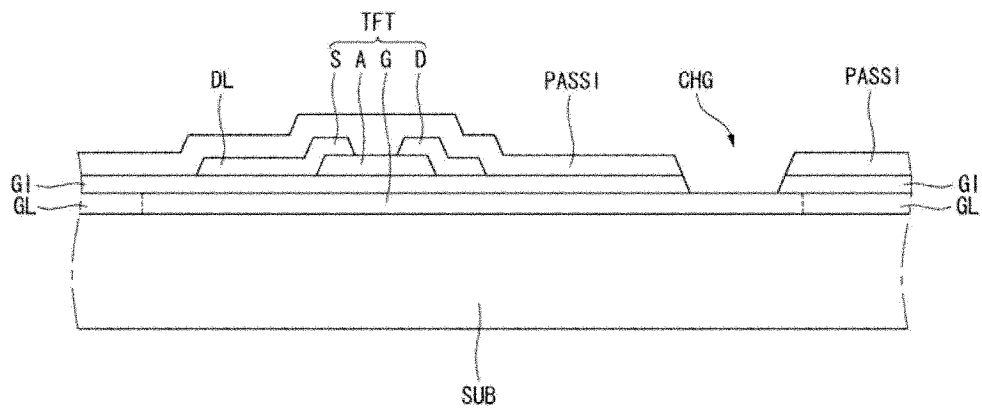


图 7D

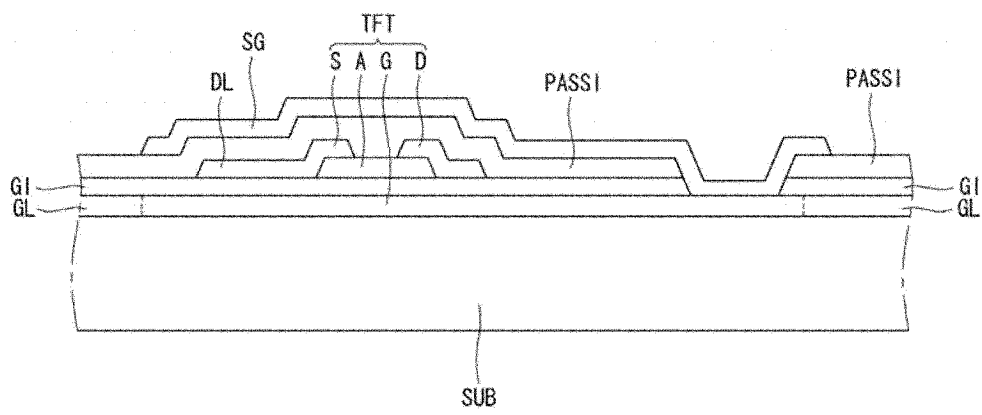


图 7E

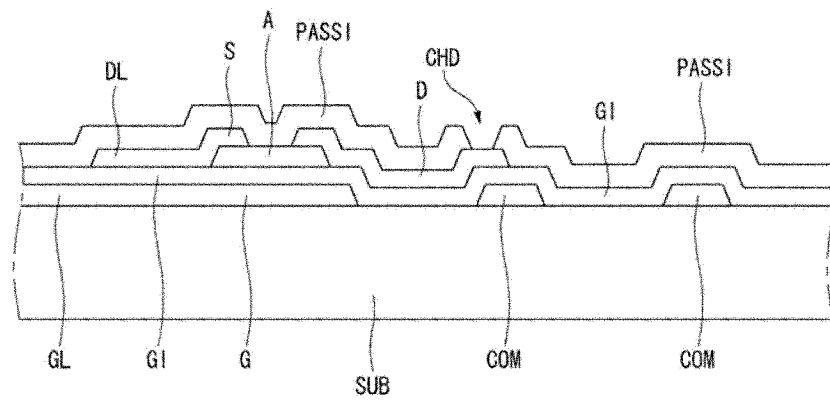


图 7F

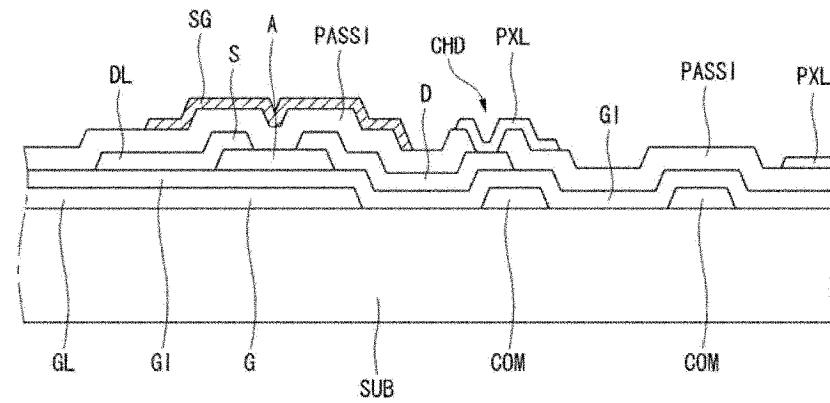


图 7G

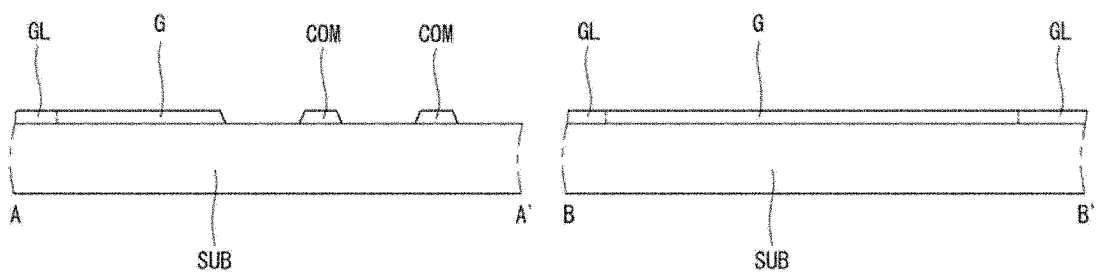


图 8A

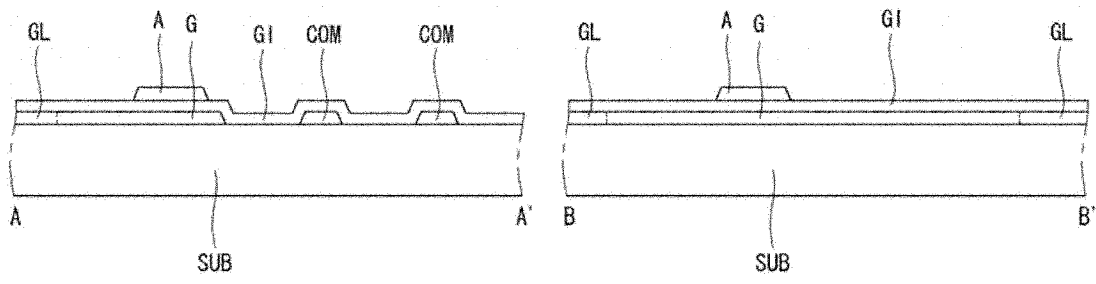


图 8B

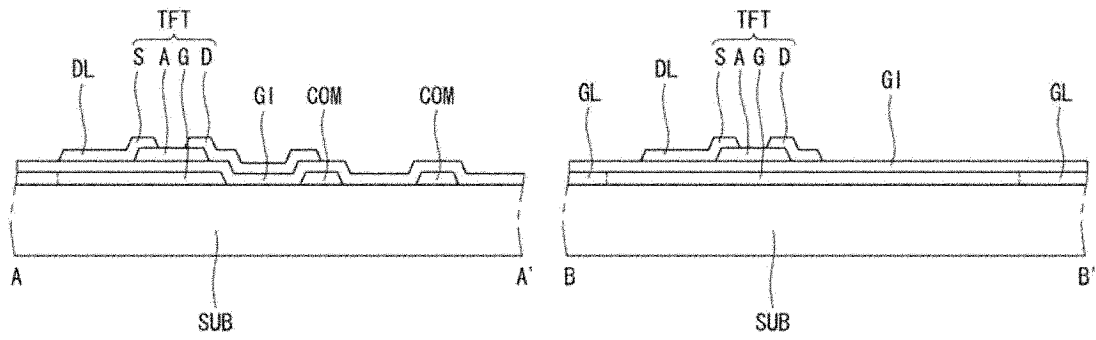


图 8C

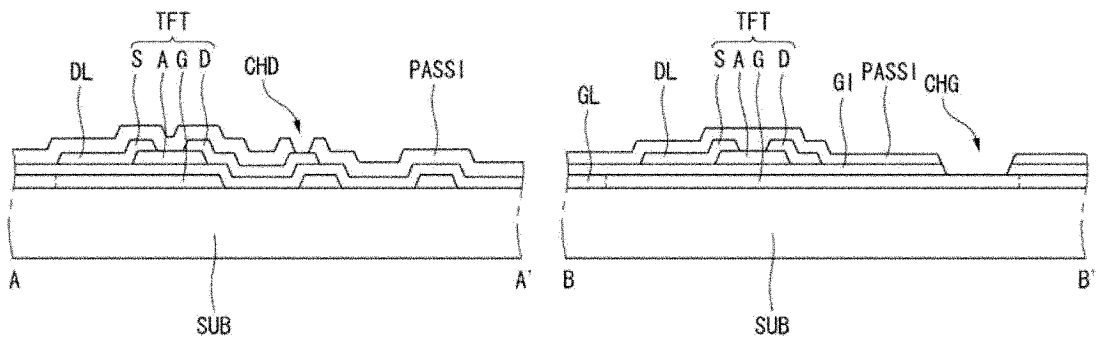


图 8D

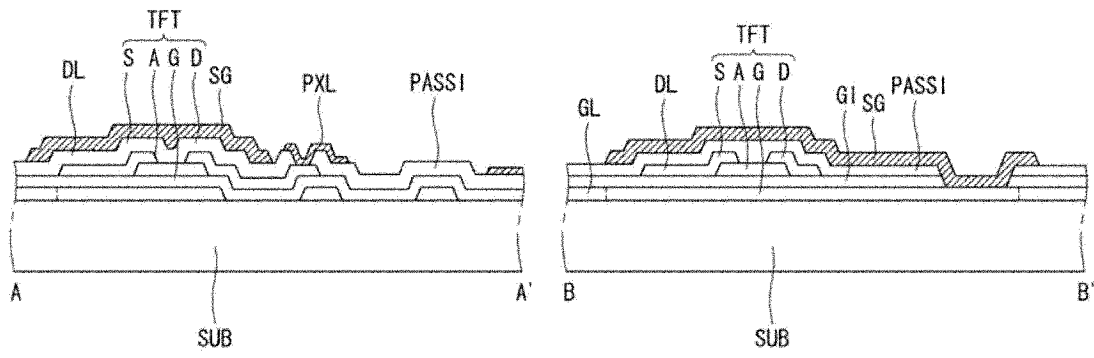


图 8E

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	CN102147550B	公开(公告)日	2014-08-13
申请号	CN201010606629.2	申请日	2010-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金永勋 尹中玫		
发明人	金永勋 尹中玫		
IPC分类号	G02F1/1362 G02F1/1368 H01L29/786 H01L21/77		
CPC分类号	H01L27/1259 G02F1/136209 H01L29/78633		
代理人(译)	李辉 王伶		
审查员(译)	王欣		
优先权	1020090133559 2009-12-30 KR		
其他公开文献	CN102147550A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及具有保护半导体层免受外部进入光损伤的保护元件的液晶显示装置及其制造方法。本公开提出了一种液晶显示装置，其包括：基板；在所述基板上彼此交叉的数据线和选通线；薄膜晶体管，其形成在所述数据线和所述选通线的交叉部处；钝化层，其覆盖所述薄膜晶体管；以及不透明保护层，其形成于所述钝化层上并且覆盖所述薄膜晶体管。根据本公开的液晶显示装置阻挡光进入到薄膜晶体管的半导体有源层，以提高有源层中的电子迁移率及元件的可靠性。

