



(12) 发明专利

(10) 授权公告号 CN 101727859 B

(45) 授权公告日 2012. 12. 26

(21) 申请号 200810224096. 4

(22) 申请日 2008. 10. 15

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中路 8 号

(72) 发明人 商广良 韩承佑

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/1362 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

CN 101089939 A, 2007. 12. 19,

US 2006/0227094 A1, 2006. 10. 12,

CN 1760946 A, 2006. 04. 19,

JP 特开平 11-97694 A, 1999. 04. 09, 全文.

审查员 罗朋

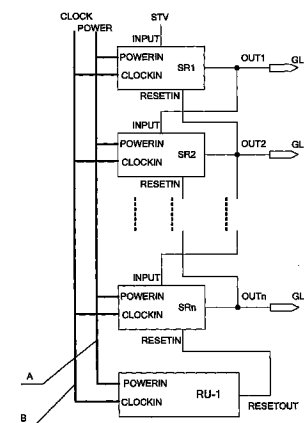
权利要求书 6 页 说明书 13 页 附图 20 页

(54) 发明名称

液晶显示器栅极驱动装置

(57) 摘要

本发明公开了一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线、栅极驱动信号输出端,还包括复位单元;所述复位单元与所述时钟信号线、电源信号线、第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位。本发明提供的液晶显示器栅极驱动装置,可以产生持续时间大于或等于栅极驱动信号的复位信号,可以保证第 n 个移位寄存器单元可靠地复位;并且该复位单元在液晶显示屏中所占的面积可以做到较小,不会造成屏设计难度的显著增加。



1. 一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,其特征在于,还包括复位单元;

所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位;

n 为自然数;

所述复位单元包括:第一薄膜晶体管和第二薄膜晶体管;

所述第一薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端,漏极连接与所述电源信号线相连的高电压信号输入端或所述第一时钟信号输入端,源极连接所述第二薄膜晶体管的漏极以及所述复位单元的复位信号输出端;

所述第二薄膜晶体管的栅极连接与所述时钟信号线相连的第二时钟信号输入端,漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端;

所述高电压信号输入端用于输入高电压信号;

所述低电压信号输入端用于输入低电压信号;

所述第一时钟信号输入端用于输入第一时钟信号;

所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

所述复位信号输出端用于输出所述复位单元产生的复位信号。

2. 根据权利要求 1 所述的液晶显示器栅极驱动装置,其特征在于,所述 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,所述 m 个冗余移位寄存器单元设置在第 $n-m$ 个工作移位寄存器单元的下级,第 m 个冗余移位寄存器单元为第 n 个移位寄存器单元;

m 为自然数。

3. 根据权利要求 2 所述的液晶显示器栅极驱动装置,其特征在于,部分或全部所述 m 个冗余移位寄存器单元中的栅极驱动信号输出端分别连接一行第一栅线,与所述第一栅线连接的薄膜晶体管的漏极不与数据线连接。

4. 一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,其特征在于,还包括复位单元;

所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位;

n 为自然数;

所述复位单元还与第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端连接;

所述复位单元包括:第一薄膜晶体管和第二薄膜晶体管;

所述第一薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端,漏极连接与所述电源信号线相连的高电压信号输入端或所述第一时钟信号输入端,源极连接所述第二薄膜晶体管的漏极以及所述复位单元的复位信号输出端;

所述第二薄膜晶体管的栅极连接第一信号输入端,所述第一信号输入端连接第 $n-1$ 个

移位寄存器单元的栅极驱动信号输出端,漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端;

所述高电压信号输入端用于输入高电压信号;

所述低电压信号输入端用于输入低电压信号;

所述第一时钟信号输入端用于输入第一时钟信号;

所述复位信号输出端用于输出所述复位单元产生的复位信号。

5. 根据权利要求4所述的液晶显示器栅极驱动装置,其特征在于,所述 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,所述 m 个冗余移位寄存器单元设置在第 $n-m$ 个工作移位寄存器单元的下级,第 m 个冗余移位寄存器单元为第 n 个移位寄存器单元;

m 为自然数。

6. 根据权利要求5所述的液晶显示器栅极驱动装置,其特征在于,部分或全部所述 m 个冗余移位寄存器单元中的栅极驱动信号输出端分别连接一行第一栅线,与所述第一栅线连接的薄膜晶体管的漏极不与数据线连接。

7. 一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,其特征在于,还包括复位单元;

所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位;

n 为自然数;

所述复位单元还与第 n 个移位寄存器单元的栅极驱动信号输出端连接;

所述复位单元包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管;

所述第一薄膜晶体管的漏极连接与所述时钟信号信号线相连的第二时钟信号输入端,源极连接所述复位单元的复位信号输出端;

所述第二薄膜晶体管的漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接第一时钟信号输入端;

所述第三薄膜晶体管的栅极连接第二信号输入端,所述第二信号输入端连接第 n 个移位寄存器单元的栅极驱动信号输出端,漏极连接所述栅极或与所述电源信号线相连的高电压信号输入端,源极连接所述第一薄膜晶体管的栅极;

所述第四薄膜晶体管的漏极连接所述第三薄膜晶体管的源极,源极连接 所述低电压信号输入端,栅极连接所述第一时钟信号输入端;

所述高电压信号输入端用于输入高电压信号;

所述低电压信号输入端用于输入低电压信号;

所述第一时钟信号输入端用于输入第一时钟信号;

所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

所述复位信号输出端用于输出所述复位单元产生的复位信号。

8. 根据权利要求7所述的液晶显示器栅极驱动装置,其特征在于,所述 n 个移位寄存

器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,所述 m 个冗余移位寄存器单元设置在第 $n-m$ 个工作移位寄存器单元的下级,第 m 个冗余移位寄存器单元为第 n 个移位寄存器单元;

m 为自然数。

9. 根据权利要求8所述的液晶显示器栅极驱动装置,其特征在于,部分或全部所述 m 个冗余移位寄存器单元中的栅极驱动信号输出端分别连接一行第一栅线,与所述第一栅线连接的薄膜晶体管的漏极不与数据线连接。

10. 一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,其特征在于,还包括复位单元;

所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位;

n 为自然数;

还包括至少一个负载均衡单元,所述负载均衡单元用于保持输入到所述液晶显示器栅极驱动装置的所有时钟信号负载均衡;

所述负载均衡单元的个数为二,输入所述液晶显示器栅极驱动装置的时钟信号个数为二;

所述复位单元包括第一薄膜晶体管和第一二薄膜晶体管,所述负载均衡单元包括第二一薄膜晶体管和第二二薄膜晶体管;

所述第一薄膜晶体管的漏极连接栅极或与所述电源信号线的高电压信号输入端,源极连接所述第一二薄膜晶体管的漏极以及所述复位单元的复位信号输出端,栅极连接与所述时钟信号线相连的第一时钟信号输入端;

所述第一二薄膜晶体管的漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端;

所述第二一薄膜晶体管的漏极连接栅极或与所述电源信号线的高电压信号输入端,源极连接所述第二二薄膜晶体管的漏极以及所述负载均衡单元的复位信号输出端,栅极连接与所述时钟信号线相连的第二时钟信号的输入端;

所述第二二薄膜晶体管的漏极连接所述第二一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接第 z_1-1 个移位寄存器单元的栅极驱动信号输出端; z_1 为处于所述负载均衡单元上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数;

所述复位单元中的复位信号输出端连接所述第 n 个移位寄存器单元的复位信号输入端,所述负载均衡单元中复位信号输出端连接第 z_1 个移位寄存器单元的复位信号输入端;

所述高电压信号输入端用于输入高电压信号;

所述低电压信号输入端用于输入低电压信号;

所述第一时钟信号输入端用于输入第一时钟信号;

所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

所述复位信号输出端用于输出所述复位单元或所述负载均衡单元产生的复位信号。

11. 根据权利要求10所述的液晶显示器栅极驱动装置,其特征在于,所述 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,所述 m 个冗余移位寄存器单元设置在第 $n-m$ 个工作移位寄存器单元的下级,第 m 个冗余移位寄存器单元为第 n 个移位寄存器单元;

m 为自然数。

12. 根据权利要求11所述的液晶显示器栅极驱动装置,其特征在于,部分或全部所述 m 个冗余移位寄存器单元中的栅极驱动信号输出端分别连接一行第一栅线,与所述第一栅线连接的薄膜晶体管的漏极不与数据线连接。

13. 一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,其特征在于,还包括复位单元;

所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位;

n 为自然数;

还包括至少一个负载均衡单元,所述负载均衡单元用于保持输入到所述液晶显示器栅极驱动装置的所有时钟信号负载均衡;

所述负载均衡单元的个数为1,输入所述液晶显示器栅极驱动装置的时钟信号个数为2;

所述复位单元包括第一薄膜晶体管和第一二薄膜晶体管,所述负载均衡单元包括第二一薄膜晶体管和第二二薄膜晶体管;

所述第一薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端,漏极连接与所述电源信号线相连的高电压信号输入端或所述第一时钟信号输入端,源极连接所述第一二薄膜晶体管的漏极以及所述复位单元的复位信号输出端;

所述第一二薄膜晶体管的栅极连接与所述时钟信号线相连的第二时钟信号输入端,漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端;

所述第二一薄膜晶体管的栅极连接与所述时钟信号线相连的第二时钟信号输入端,漏极连接与所述电源信号线相连的高电压信号输入端或所述第二时钟信号输入端,源极连接所述第二二薄膜晶体管的漏极以及所述负载均衡单元的复位信号输出端;

所述第二二薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端,漏极连接所述第二一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端;

所述复位单元中的复位信号输出端连接所述第 n 个移位寄存器单元的复位信号输入端;所述负载均衡单元中的复位信号输出端连接第 z_1 个移位寄存器单元的复位信号输入端; z_1 为处于所述负载均衡单元上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数;

所述高电压信号输入端用于输入高电压信号；

所述低电压信号输入端用于输入低电压信号；

所述第一时钟信号输入端用于输入第一时钟信号；

所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号；

所述复位信号输出端用于输出所述复位单元或所述负载均衡单元产生的复位信号。

14. 根据权利要求13所述的液晶显示器栅极驱动装置,其特征在于,所述 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,所述 m 个冗余移位寄存器单元设置在第 $n-m$ 个工作移位寄存器单元的下级,第 m 个冗余移位寄存器单元为第 n 个移位寄存器单元；

m 为自然数。

15. 根据权利要求14所述的液晶显示器栅极驱动装置,其特征在于,部分或全部所述 m 个冗余移位寄存器单元中的栅极驱动信号输出端分别连接一行第一栅线,与所述第一栅线连接的薄膜晶体管的漏极不与数据线连接。

16. 一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,其特征在于,还包括复位单元；

所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位；

n 为自然数；

还包括至少一个负载均衡单元,所述负载均衡单元用于保持输入到所述液晶显示器栅极驱动装置的所有时钟信号负载均衡；

所述负载均衡单元的个数为二,输入所述液晶显示器栅极驱动装置的时钟信号个数为二；

所述复位单元包括第一一薄膜晶体管、第一二薄膜晶体管、第一三薄膜晶体管和第一四薄膜晶体管,所述负载均衡单元包括第二一薄膜晶体管、第二二薄膜晶体管、第二三薄膜晶体管和第二四薄膜晶体管；

所述第一一薄膜晶体管的漏极连接与所述时钟信号线相连的第二时钟信号输入端,源极连接所述复位单元的复位信号输出端；

所述第一二薄膜晶体管的漏极连接所述第一一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接与所述时钟信号线相连的第一时钟信号输入端；

所述第一三薄膜晶体管的漏极连接栅极或与所述电源信号线相连的高电压信号输入端,源极连接所述第一一薄膜晶体管的栅极,栅极连接第 n 个移位寄存器单元的栅极驱动信号输出端；

所述第一四薄膜晶体管的漏极连接所述第一三薄膜晶体管的源极,源极连接所述低电压信号输入端,栅极连接所述第一时钟信号输入端；

所述第二一薄膜晶体管的漏极连接与所述时钟信号线相连的第一时钟信号输入端,源极连接所述负载均衡单元的复位信号输出端；

所述第二二薄膜晶体管的漏极连接所述第二一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接与所述时钟信号线相连的第二时钟信号输入端;

所述第二三薄膜晶体管的漏极连接栅极或与所述电源信号线相连的高电压信号输入端,源极连接所述第二一薄膜晶体管的栅极,栅极连接第 z_1 个移位寄存器单元的栅极驱动信号输出端; z_1 为处于所述负载均衡单元上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数;

所述第二四薄膜晶体管的漏极连接所述第二三薄膜晶体管的源极,源极连接所述低电压信号输入端,栅极连接所述第二时钟信号输入端;

所述负载均衡单元中复位信号输出端连接所述第 z_1 个移位寄存器单元的复位信号输入端,所述复位单元中的复位信号输出端连接所述第 n 个移位寄存器单元的复位信号输入端;

所述高电压信号输入端用于输入高电压信号;

所述低电压信号输入端用于输入低电压信号;

所述第一时钟信号输入端用于输入第一时钟信号;

所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

所述复位信号输出端用于输出所述复位单元或负载均衡单元产生的复位信号。

17. 根据权利要求 16 所述的液晶显示器栅极驱动装置,其特征在于,所述 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,所述 m 个冗余移位寄存器单元设置在第 $n-m$ 个工作移位寄存器单元的下级,第 m 个冗余移位寄存器单元为第 n 个移位寄存器单元;

m 为自然数。

18. 根据权利要求 17 所述的液晶显示器栅极驱动装置,其特征在于,部分或全部所述 m 个冗余移位寄存器单元中的栅极驱动信号输出端分别连接一行第一栅线,与所述第一栅线连接的薄膜晶体管的漏极不与数据线连接。

液晶显示器栅极驱动装置

技术领域

[0001] 本发明涉及液晶技术领域,尤其涉及一种液晶显示器栅极驱动装置。

背景技术

[0002] 液晶显示器栅极驱动装置用于为栅线提供驱动信号,包含多个移位寄存器单元。移位寄存器单元的典型的复位方式有两种。如图 1a 所示为现有技术移位寄存器单元复位方式一中液晶显示栅极驱动装置结构示意图,如图 1b 所示为现有技术移位寄存器单元复位方式一的时序图。其中每一个移位寄存器单元 (Shift Register, 简称 SR) 均包括电源信号输入端 (POWERIN)、时钟信号输入端 (CLOCKIN)、栅极驱动信号输出端 (OUT)、信号输入端 (INPUT) 以及复位信号输入端 (RESETIN), 除第一个移位寄存器单元和最后一个移位寄存器单元之外, 每一个移位寄存器单元的栅极驱动信号输出端均和与自身相邻的上一级移位寄存器单元的复位信号输入端以及自身相邻的下一级移位寄存器单元的信号输入端连接, 第一个移位寄存器单元的信号输入端 (INPUT) 输入帧起始信号 (STV), 最后一个移位寄存器单元 (SR_{n+1}) 的复位信号输出端 (RESETOUT) 和与其相邻的上一级移位寄存器单元 (SR_n) 的复位信号输入端 (RESETIN) 以及自身的复位信号输入端 (RESETIN) 连接。每一个移位寄存器单元的栅极驱动信号输出端均连接一条栅线 (GL), 用于为该栅线提供驱动信号。每个移位寄存器单元的电源信号输入端 (POWERIN)、时钟信号输入端 (CLOCKIN) 均通过电源信号线 A 和时钟信号线 B 接收输入电源信号和时钟信号。时钟信号可以包括第一时钟信号 (CLK) 和第二时钟信号 (CLKB), 也可以包括更多的时钟信号。

[0003] 图 1b 中, 每一个移位寄存器单元的栅极驱动信号输出端每隔一帧时间输出一个高电平, 控制相应行的薄膜晶体管 (TFT) 打开, 从而实现液晶显示器的逐行扫描。最后一个移位寄存器单元 (SR_{n+1}) 输出的高电平同时作为自身和上一级移位寄存器单元 (SR_n) 的复位信号。可以看到最后一个移位寄存器单元 (SR_{n+1}) 中复位信号输入端 (RESETIN) 中输入的复位信号 (RESETOUT) 持续时间较短, 这样会造成最后一个移位寄存器单元 (SR_n) 和与其相邻的上一级移位寄存器单元 (SR_n) 的复位不可靠。

[0004] 如图 2a 所示为现有技术移位寄存器单元复位方式二中液晶显示栅极驱动装置结构示意图, 如图 2b 所示为现有技术移位寄存器单元复位方式二的时序图。图 2a 与图 1a 的区别在于: 最后一个移位寄存器单元 (SR_{n+1}) 的复位信号输入端 (RESETIN) 与一个专门的用于提供复位信号的信号源 (RESET) 连接, 需要单独提供一条从信号源 (RESET) 到最后一个移位寄存器单元 (SR_{n+1}) 的复位信号输入端 (RESETIN) 之间的复位信号线 C, 信号源 (RESET) 输出的复位信号 (RESETOUT) 维持的时间比较长, 可以保证可靠的复位, 但是需要增加一条复位信号线 C, 使得液晶显示屏设计难度增大, 并且需要生成专门的信号源 (RESET), 提高了信号控制的难度。即使采用帧起始信号 (STV) 作为信号源 (RESET) 的信号, 也同样存在需要增加一条复位信号线的问题。

发明内容

[0005] 本发明的目的在于针对现有技术中存在的问题,提供一种液晶显示器栅极驱动装置,可以保证液晶显示器栅极驱动装置中各移位寄存器单元的可靠复位,并且不会过多占用液晶显示屏的面积,不会造成屏设计难度的显著增加。

[0006] 为实现上述目的,本发明提供了一种液晶显示器栅极驱动装置,包括 n 个移位寄存器单元、时钟信号线、电源信号线和栅极驱动信号输出端,还包括复位单元;

[0007] 所述复位单元与所述时钟信号线、电源信号线和第 n 个移位寄存器单元连接,用于在所述第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使所述第 n 个移位寄存器单元的栅极驱动信号输出端得以复位;

[0008] n 为自然数。

[0009] 上述的复位单元可以为下述结构中的任意一种:

[0010] 第一种:所述复位单元包括:第一薄膜晶体管和第二薄膜晶体管;

[0011] 所述第一薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端,漏极连接与所述电源信号线相连的高电压信号输入端或所述第一时钟信号输入端,源极连接所述第二薄膜晶体管的漏极以及所述复位单元的复位信号输出端;

[0012] 所述第二薄膜晶体管的栅极连接与所述时钟信号线相连的第二时钟信号输入端,漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端;

[0013] 所述高电压信号输入端用于输入高电压信号;

[0014] 所述低电压信号输入端用于输入低电压信号;

[0015] 所述第一时钟信号输入端用于输入第一时钟信号;

[0016] 所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

[0017] 所述复位信号输出端用于输出所述复位单元产生的复位信号。

[0018] 第二种:所述复位单元还与第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端连接;

[0019] 所述复位单元包括:第一薄膜晶体管和第二薄膜晶体管;

[0020] 所述第一薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端,漏极连接与所述电源信号线相连的高电压信号输入端或所述第一时钟信号输入端,源极连接所述第二薄膜晶体管的漏极以及所述复位单元的复位信号输出端;

[0021] 所述第二薄膜晶体管的栅极连接第一信号输入端,所述第一信号输入端连接第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端,漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端;

[0022] 所述高电压信号输入端用于输入高电压信号;

[0023] 所述低电压信号输入端用于输入低电压信号;

[0024] 所述第一时钟信号输入端用于输入第一时钟信号;

[0025] 所述复位信号输出端用于输出所述复位单元产生的复位信号。

[0026] 第三种:所述复位单元还与第 n 个移位寄存器单元的栅极驱动信号输出端连接;

[0027] 所述复位单元包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管;

[0028] 所述第一薄膜晶体管的漏极连接与所述时钟信号信号线相连的第二时钟信号输入端,源极连接所述复位单元的复位信号输出端;

[0029] 所述第二薄膜晶体管的漏极连接所述第一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接第一时钟信号输入端;

[0030] 所述第三薄膜晶体管的栅极连接第二信号输入端,所述第二信号输入端连接第 n 个移位寄存器单元的栅极驱动信号输出端,漏极连接所述栅极或与所述电源信号线相连的高电压信号输入端,源极连接所述第一薄膜晶体管的栅极;

[0031] 所述第四薄膜晶体管的漏极连接所述第三薄膜晶体管的源极,源极连接所述低电压信号输入端,栅极连接所述第一时钟信号输入端;

[0032] 所述高电压信号输入端用于输入高电压信号;

[0033] 所述低电压信号输入端用于输入低电压信号;

[0034] 所述第一时钟信号输入端用于输入第一时钟信号;

[0035] 所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

[0036] 所述复位信号输出端用于输出所述复位单元产生的复位信号。

[0037] 或者是,当该液晶显示器栅极驱动装置中,还包括至少一个负载均衡单元,所述负载均衡单元用于保持输入到所述液晶显示器栅极驱动装置的所有时钟信号负载均衡;且所述负载均衡单元的个数为一,输入所述液晶显示器栅极驱动装置的时钟信号个数为二时,

[0038] 上述的复位单元还可以为下述结构中的任意一种:

[0039] 第四种:所述复位单元包括第一一薄膜晶体管和第一二薄膜晶体管,所述负载均衡单元包括第二一薄膜晶体管和第二二薄膜晶体管;

[0040] 所述第一一薄膜晶体管的漏极连接栅极或与所述电源信号线的高电压信号输入端,源极连接所述第一二薄膜晶体管的漏极以及所述复位单元的复位信号输出端,栅极连接与所述时钟信号线相连的第一时钟信号输入端;

[0041] 所述第一二薄膜晶体管的漏极连接所述第一一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端;

[0042] 所述第二一薄膜晶体管的漏极连接栅极或与所述电源信号线的高电压信号输入端,源极连接所述第二二薄膜晶体管的漏极以及所述负载均衡单元的复位信号输出端,栅极连接与所述时钟信号线相连的第二时钟信号的输入端;

[0043] 所述第二二薄膜晶体管的漏极连接所述第二一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接第 z_1-1 个移位寄存器单元的栅极驱动信号输出端; z_1 为处于所述负载均衡单元上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数;

[0044] 所述复位单元中的复位信号输出端连接所述第 n 个移位寄存器单元的复位信号输入端,所述负载均衡单元中复位信号输出端连接所述第 z_1 个移位寄存器单元的复位信号输入端;

[0045] 所述高电压信号输入端用于输入高电压信号;

[0046] 所述低电压信号输入端用于输入低电压信号;

[0047] 所述第一时钟信号输入端用于输入第一时钟信号;

[0048] 所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号；

[0049] 所述复位信号输出端用于输出所述复位单元或所述负载均衡单元产生的复位信号。

[0050] 第五种：所述复位单元包括第一一薄膜晶体管和第一二薄膜晶体管，所述负载均衡单元包括第二一薄膜晶体管和第二二薄膜晶体管；

[0051] 所述第一一薄膜晶体管的栅极连接与所述时钟信号线相连的第一时钟信号输入端，漏极连接与所述电源信号线相连的高电压信号输入端或所述第一时钟信号输入端，源极连接所述第一二薄膜晶体管的漏极以及所述复位单元的复位信号输出端；

[0052] 所述第一二薄膜晶体管的栅极连接与所述时钟信号线相连的第二时信号输入端，漏极连接所述第一一薄膜晶体管的源极，源极连接与所述电源信号线相连的低电压信号输入端；

[0053] 所述第二一薄膜晶体管的栅极连接与所述时钟信号线相连的第二时钟信号输入端，漏极连接与所述电源信号线相连的高电压信号输入端或所述第二时钟信号输入端，源极连接所述第二二薄膜晶体管的漏极以及所述负载均衡单元的复位信号输出端；

[0054] 所述第二二薄膜晶体管的栅极连接与所述时钟信号线相连的第一时信号输入端，漏极连接所述第二一薄膜晶体管的源极，源极连接与所述电源信号线相连的低电压信号输入端；

[0055] 所述复位单元中的复位信号输出端连接所述第 n 个移位寄存器单元的复位信号输入端；所述负载均衡单元中的复位信号输出端连接所述第 z_1 个移位寄存器单元的复位信号输入端； z_1 为处于所述负载均衡单元上级的移位寄存器单元的个数， z_1 小于或等于 $n-1$ ， z_1 为自然数；

[0056] 所述高电压信号输入端用于输入高电压信号；

[0057] 所述低电压信号输入端用于输入低电压信号；

[0058] 所述第一时钟信号输入端用于输入第一时钟信号；

[0059] 所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号；

[0060] 所述复位信号输出端用于输出所述复位单元或所述负载均衡单元产生的复位信号。

[0061] 第六种：所述复位单元包括第一一薄膜晶体管、第一二薄膜晶体管、第一三薄膜晶体管和第一四薄膜晶体管，所述负载均衡单元包括第二一薄膜晶体管、第二二薄膜晶体管、第二三薄膜晶体管和第二四薄膜晶体管；

[0062] 所述第一一薄膜晶体管的漏极连接与所述时钟信号线相连的第二时钟信号输入端，源极连接所述复位单元的复位信号输出端；

[0063] 所述第一二薄膜晶体管的漏极连接所述第一一薄膜晶体管的源极，源极连接与所述电源信号线相连的低电压信号输入端，栅极连接与所述时钟信号线相连的第一时钟信号输入端；

[0064] 所述第一三薄膜晶体管的漏极连接栅极或与所述电源信号线相连的高电压信号输入端，源极连接所述第一一薄膜晶体管的栅极，栅极连接第 n 个移位寄存器单元的栅极驱动信号输出端；

[0065] 所述第一四薄膜晶体管的漏极连接所述第一三薄膜晶体管的源极，源极连接所述

低电压信号输入端,栅极连接所述第一时钟信号输入端;

[0066] 所述第二一薄膜晶体管的漏极连接与所述时钟信号线相连的第一时钟信号输入端,源极连接所述负载均衡单元的复位信号输出端;

[0067] 所述第二二薄膜晶体管的漏极连接所述第二一薄膜晶体管的源极,源极连接与所述电源信号线相连的低电压信号输入端,栅极连接与所述时钟信号线相连的第二时钟信号输入端;

[0068] 所述第二三薄膜晶体管的漏极连接栅极或与所述电源信号线相连的高电压信号输入端,源极连接所述第二一薄膜晶体管的栅极,栅极连接第 z_1 个移位寄存器单元的栅极驱动信号输出端; z_1 为处于所述负载均衡单元上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数;

[0069] 所述第二四薄膜晶体管的漏极连接所述第二三薄膜晶体管的源极,源极连接所述低电压信号输入端,栅极连接所述第二时钟信号输入端;

[0070] 所述负载均衡单元中复位信号输出端连接所述第 z_1 个移位寄存器单元的复位信号输入端,所述复位单元中的复位信号输出端连接所述第 n 个移位寄存器单元的复位信号输入端;

[0071] 所述高电压信号输入端用于输入高电压信号;

[0072] 所述低电压信号输入端用于输入低电压信号;

[0073] 所述第一时钟信号输入端用于输入第一时钟信号;

[0074] 所述第二时钟信号输入端用于输入与所述第一时钟信号反相的第二时钟信号;

[0075] 所述复位信号输出端用于输出所述复位单元或负载均衡单元产生的复位信号。

[0076] 本发明通过在液晶显示器栅极驱动装置中增加复位单元,可以产生持续时间大于或等于栅极驱动信号持续时间的复位信号,可以保证第 n 个移位寄存器单元可靠地复位;并且该复位单元在液晶显示屏中所占的面积可以做到较小,不会造成屏设计难度的显著增加,复位单元的输入信号采用现有液晶显示器栅极驱动装置的信号,不需要输入新的信号,不会造成信号控制难度的提高,更加方便可靠地实现了液晶显示器栅极驱动装置的复位。

[0077] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

[0078] 图 1a 所示为现有技术移位寄存器单元复位方式一中液晶显示栅极驱动装置结构示意图;

[0079] 图 1b 所示为现有技术移位寄存器单元复位方式一的时序图;

[0080] 图 2a 所示为现有技术移位寄存器单元复位方式二中液晶显示栅极驱动装置结构示意图;

[0081] 图 2b 所示为现有技术移位寄存器单元复位方式二的时序图;

[0082] 图 3 所示为本发明液晶显示器栅极驱动装置实施例一结构示意图;

[0083] 图 4a 所示为本发明液晶显示器栅极驱动装置实施例一中复位单元 (RU-1) 结构示意图;

[0084] 图 4b 所示为本发明液晶显示器栅极驱动装置实施例一时序图;

[0085] 图 4c 所示为本发明液晶显示器栅极驱动装置实施例一中复位单元 (RU-1) 结构二

示意图；

[0086] 图 5 所示为本发明液晶显示器栅极驱动装置实施例二结构示意图；

[0087] 图 6a 所示为本发明液晶显示器栅极驱动装置实施例二中复位单元 (RU-2) 结构示意图；

[0088] 图 6b 所示为本发明液晶显示器栅极驱动装置实施例二时序图；

[0089] 图 6c 所示为本发明液晶显示器栅极驱动装置实施例二中复位单元 (RU-2) 结构示意图；

[0090] 图 7 所示为本发明液晶显示器栅极驱动装置实施例三结构示意图；

[0091] 图 8a 所示为本发明液晶显示器栅极驱动装置实施例三中复位单元 (RU-3) 结构示意图；

[0092] 图 8b 所示为本发明液晶显示器栅极驱动装置实施例三时序图；

[0093] 图 8c 所示为本发明液晶显示器栅极驱动装置实施例三中复位单元 (RU-3) 结构示意图

[0094] 图 9 所示为本发明液晶显示器栅极驱动装置实施例四结构示意图；

[0095] 图 10 所示为本发明液晶显示器栅极驱动装置实施例五结构示意图；

[0096] 图 11 所示为本发明液晶显示器栅极驱动装置实施例六结构示意图；

[0097] 图 12 所示为本发明液晶显示器栅极驱动装置实施例七结构示意图；

[0098] 图 13 所示为本发明液晶显示器栅极驱动装置实施例八结构示意图；

[0099] 图 14 所示为本发明液晶显示器栅极驱动装置实施例九结构示意图。

具体实施方式

[0100] 本发明提供的液晶显示器栅极驱动装置除包括 n 个移位寄存器单元之外,还包括一个复位单元,该复位单元分别与时钟信号线、电源信号线以及第 n 个移位寄存器单元连接,用于在第 n 个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后,产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号,使第 n 个移位寄存器单元的栅极驱动信号输出端 (OUT n) 得以复位。

[0101] 如图 3 所示为本发明液晶显示器栅极驱动装置实施例一结构示意图,该液晶显示器栅极驱动装置的复位单元 (简称 RU-1) 的复位信号输出端 (RESETOUT) 与第 n 个移位寄存器单元 (SR n) 的复位信号输入端 (RESETIN) 连接。

[0102] 图 3 中,通过时钟信号线 B、电源信号线 A 可以向复位单元 (RU-1) 中的时钟信号输入端 (CLKIN) 和电源信号输入端 (POWERIN) 输入时钟信号 (CLOCK) 和电源信号 (POWER)。与时钟信号线 B 相连的时钟信号输入端 (CLOCKIN) 可以包括第一时钟信号输入端 (CLKIN) 和第二时钟信号输入端 (CLKBIN),也可以包括更多的时钟信号,本发明实施例中以两个时钟信号为例进行说明。第一时钟信号输入端 (CLKIN) 中输入第一时钟信号 (CLK),第二时钟信号输入端 (CLKBIN) 中输入第二时钟信号 (CLKB),第二时钟信号 (CLKB) 是第一时钟信号 (CLK) 的反相信号。与电源信号线相连的电源信号输入端 (POWERIN) 可以包括高电压信号输入端 (VDDIN) 和低电压信号输入端 (VSSIN),高电压信号输入端 (VDDIN) 中输入高电压信号 (VDD),低电压信号输入端 (VSSIN) 中输入低电压信号 (VSS)。

[0103] 如图 4a 所示为本发明液晶显示器栅极驱动装置实施例一中复位单元 (RU-1) 结构

一示意图,该复位单元(RU-1)包括:第一薄膜晶体管T1和第二薄膜晶体管T2,第一薄膜晶体管T1的栅极连接第一时钟信号输入端(CLKIN),漏极连接高电压信号输入端(VDDIN),源极连接复位信号输出端(RESETOUT);第二薄膜晶体管T2的栅极连接第二时钟信号输入端(CLKBIN),漏极连接第一薄膜晶体管T1的源极,源极连接低电压输入端(VSSIN)。

[0104] 如图4b所示为本发明液晶显示器栅极驱动装置实施例一时序图,下面结合图4a和4b说明实施例一中复位单元(RU-1)中复位信号的生成。

[0105] 如图4b所示,在第一阶段,第一时钟信号(CLK)为低电平,第一薄膜晶体管T1截止,第二时钟信号(CLKB)为高电平,第二薄膜晶体管导通,则复位信号输出端(RESETOUT)输出低电平。第二阶段,第二时钟信号(CLKB)为低电平,第二薄膜晶体管截止,第一时钟信号(CLK)为高电平,第一薄膜晶体管导通,则复位信号输出端(RESETOUT)输出高电平。复位信号输出端(RESETOUT)输出信号一直重复第一阶段和第二阶段的状态。

[0106] 通过在液晶显示器栅极驱动装置中增加如图4a所示的复位单元(RU-1),可以产生如图4b所示的呈现交流变化的复位信号,该复位信号的持续时间较长,大于或等于移位寄存器单元输出的栅极驱动信号的持续时间,可以保证第n个移位寄存器单元可靠地复位,并且由于该复位信号呈现交流变化,不至于使第n个移位寄存器单元中的用于复位的薄膜晶体管一直受到偏置作用,可以保证第n个移位寄存器单元中的用于复位的薄膜晶体管的正常工作。

[0107] 如图4c所示为本发明液晶显示器栅极驱动装置实施例一中复位单元(RU-1)结构示意图,图4c中的复位单元(RU-1)的结构与图4a的区别在于:图4c中第一薄膜晶体管的栅极和漏极均连接第一时钟信号输入端(CLKIN),而图4a中第一薄膜晶体管的漏极连接高电压信号输入端(VDDIN)。

[0108] 如图5所示为本发明液晶显示器栅极驱动装置实施例二结构示意图,与图3所示的液晶显示器栅极驱动装置的区别在于:图5所示的液晶显示器栅极驱动装置的复位单元(简称RU-2)中还包括一个第一信号输入端(INPUT1),该第一信号输入端(INPUT1)与第n-1个移位寄存器单元中的栅极驱动信号输出端(OUTn-1)连接。

[0109] 如图6a所示为本发明液晶显示器栅极驱动装置实施例二中复位单元(RU-2)结构示意图,该复位单元(RU-2)包括:第一薄膜晶体管T1和第二薄膜晶体管T2,第一薄膜晶体管T1的栅极连接第一时钟信号输入端(CLKIN),漏极连接高电压信号输入端(VDDIN),源极连接复位信号输出端(RESETOUT);第二薄膜晶体管T2的栅极连接第一信号输入端(INPUT1),即与第n-1个移位寄存器单元的栅极驱动信号输出端(OUTn-1),漏极连接第一薄膜晶体管T1的源极,源极连接低电压输入端(VSSIN)。

[0110] 如图6b所示为本发明液晶显示器栅极驱动装置实施例二时序图,下面结合图6a和6b说明实施例二中复位单元(RU-2)中复位信号的生成。在第一阶段,第一时钟信号(CLK)为高电平,第n-1个移位寄存器单元的栅极驱动信号输出单元(OUTn-1)为高电平,第一薄膜晶体管T1和第二薄膜晶体管T2均导通,通过设置第一薄膜晶体管T1和第二薄膜晶体管T2的尺寸,可以使复位信号输出端(RESETOUT)输出低电平。第二阶段,第一时钟信号(CLK)为低电平,第n-1个移位寄存器单元的栅极驱动信号输出单元(OUTn-1)为低电平,第一薄膜晶体管T1和第二薄膜晶体管T2均截止,复位信号输出端(RESETOUT)保持低电平。第三阶段,第一时钟信号(CLK)为高电平,第一薄膜晶体管导通,第n-1个移位寄存

器单元的栅极驱动信号输出端 (OUTn-1) 为低电平, 第二薄膜晶体管截止, 复位信号输出端 (RESETOUT) 输出高电平。第四阶段, 第一时钟信号 (CLK) 为低电平, 第一薄膜晶体管 T1 截止, 第 n-1 个移位寄存器单元的栅极驱动信号输出端 (OUTn-1) 为低电平, 第二薄膜晶体管截止, 复位信号输出端 (RESETOUT) 保持高电平输出。此后, 复位信号输出端 (RESETOUT) 的输出信号重复第三阶段和第四阶段的状态, 直到下一帧第 n-1 行像素扫描完。

[0111] 通过在液晶显示器栅极驱动装置中增加如图 6a 所示的复位单元 (RU-2), 可以产生如图 6b 所示的呈现交流变化的复位信号, 该复位信号的持续时间较长, 大于或等于移位寄存器单元输出的栅极驱动信号的持续时间, 可以保证第 n 个移位寄存器单元可靠地复位。

[0112] 如 6c 所示为本发明液晶显示器栅极驱动装置实施例二中复位单元 (RU-2) 结构示意图, 图 6c 中的复位单元的结构与图 6a 的区别在于: 图 6c 中第一薄膜晶体管的栅极和漏极均连接第一时钟信号输入端 (CLKIN), 而图 6a 中第一薄膜晶体管的漏极连接高电压信号输入端 (VDDIN)。

[0113] 如图 7 所示为本发明液晶显示器栅极驱动装置实施例三结构示意图, 与图 3 所示的液晶显示器栅极驱动装置的区别在于: 图 7 所示的液晶显示器栅极驱动装置的复位单元 (简称 RU-3) 中还包括一个第二信号输入端 (INPUT2), 该第二信号输入端 (INPUT2) 与第 n 个移位寄存器单元中的栅极驱动信号输出端 (OUTn) 连接。

[0114] 图 8a 所示为本发明液晶显示器栅极驱动装置实施例三中复位单元 (RU-3) 结构示意图, 该复位单元 (RU-3) 包括: 第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第四薄膜晶体管 T4。第一薄膜晶体管 T1 的漏极连接第二时钟信号输入端 (CLKBIN), 源极连接复位信号输出端 (RESETOUT); 第二薄膜晶体管 T2 的漏极连接第一薄膜晶体管 T1 的源极, 第二薄膜晶体管 T2 的源极连接低电压信号输入端 (VSSIN); 第三薄膜晶体管 T3 的漏极连接高电压信号输入端 (VDDIN), 源极连接第一薄膜晶体管 T1 的栅极, 栅极连接第 n 个移位寄存器单元的栅极驱动信号输出端 (OUTn); 第四薄膜晶体管 T4 的漏极连接第三薄膜晶体管的源极, 栅极连接第一时钟信号输入端 (CLKIN) 和第二薄膜晶体管的栅极, 源极连接低电压信号输入端 (VSSIN)。

[0115] 如图 8b 所示为本发明液晶显示器栅极驱动装置实施例三时序图, 下面结合图 8a 和 8b 说明实施例三中复位单元 (RU-3) 中复位信号的生成。在第一阶段, 第一时钟信号 (CLK) 为高电平, 第 n 个移位寄存器单元的栅极驱动信号输出端 (OUTn) 输出高电平, 所以第三薄膜晶体管 T3 和第四薄膜晶体管 T4 均导通, 通过设置第三薄膜晶体管 T3 和第四薄膜晶体管 T4 的尺寸可以保证 Q 结点处为高电平, 第一薄膜晶体管 T1 导通, 第二时钟信号 (CLKB) 为低电平, 并且由于第一时钟信号 (CLK) 为高电平, 第二薄膜晶体管 T2 导通, 复位信号输出端 (RESETOUT) 输出低电平。第二阶段, 第一时钟信号 (CLK) 为低电平, 第 n 个移位寄存器单元的栅极驱动信号输出端 (OUTn) 输出低电平, 第三薄膜晶体管 T3 和第四薄膜晶体管 T4 截止, Q 结点浮空, 由于第二时钟信号 (CLKB) 为高电平, 并且第一薄膜晶体管 T1 的寄生电容会耦合到 Q 结点, 使得 Q 结点的电位继续升高, 同时第一薄膜晶体管 T1 导通, 第二薄膜晶体管 T2 截止, 复位信号输出端 (RESETOUT) 为高电平。第三阶段, 第一时钟信号 (CLK) 为高电平, 第 n 个移位寄存器单元的栅极驱动信号输出端 (OUTn) 输出低电平, 第四薄膜晶体管 T4 导通, 第三薄膜晶体管 T3 截止, Q 结点处电位被拉低为低电平, 第一薄膜晶体管 T1 截

止,第二薄膜晶体管 T2 导通,复位信号输出端 (RESETOUT) 为低电平。第四阶段,第一时钟信号 (CLK) 为低电平,第 n 个移位寄存器单元的栅极驱动信号输出端 (OUT n) 输出低电平,第三薄膜晶体管 T3 和第四薄膜晶体管 T4 均截止,Q 结点保持低电平,第一薄膜晶体管 T1 和第二薄膜晶体管 T2 截止,复位信号输出端 (RESETOUT) 为低电平。此后,复位信号输出端 (RESETOUT) 输出的信号重复第三阶段和第四阶段的状态,直到下一帧第 n 行像素扫描完。

[0116] 通过在液晶显示器栅极驱动装置中增加如图 8a 所示的复位单元 (RU-3),可以产生如图 8b 所示的呈现交流变化的复位信号,该复位信号的持续时间较长,大于或等于移位寄存器单元输出的栅极驱动信号的持续时间,可以保证第 n 个移位寄存器可靠地复位。

[0117] 如图 8c 所示为本发明液晶显示器栅极驱动装置实施例三中复位单元 (RU-3) 结构示意图,图 8c 中的复位单元 (RU-3) 的结构与图 8a 的区别在于:图 8c 中第三薄膜晶体管的栅极和漏极均连接第二信号输入端 (INPUT2),而图 8a 中第三薄膜晶体管的漏极连接高电压信号输入端 (VDDIN)。

[0118] 本发明中提供的液晶显示器栅极驱动装置中还可以结合冗余移位寄存器单元和复位单元来实现对最后一个移位寄存器单元的复位,液晶显示器栅极驱动装置的 n 个移位寄存器单元中可以包括 m (m 为自然数) 个冗余移位寄存器单元 (标记为 RSR) 和 $n-m$ 个工作移位寄存器单元 (标记为 SR);对于有 $n-m$ 行像素的液晶显示器,通常有 $n-m$ 个移位寄存器单元用于输出栅极驱动信号来控制 $n-m$ 行像素的逐行扫描,本发明中,对于含有冗余移位寄存器单元的实施例,将这 $n-m$ 个用于输出栅极驱动信号来控制 $n-m$ 行像素的逐行扫描的移位寄存器单元称作工作移位寄存器单元,除这 $n-m$ 个工作移位寄存器单元之外的其余移位寄存器单元不用于输出栅极驱动信号,可以称作冗余移位寄存器单元;冗余移位寄存器单元可以不与栅线连接,即空载;即使与栅线连接,与该栅线连接的 TFT 的漏极也不与数据线连接,即相当于该冗余移位寄存器单元的负载是空像素。

[0119] m 个冗余移位寄存器单元设置在 $n-m$ 个工作移位寄存器单元的下级,其中第 2 个到第 $m-1$ 个冗余移位寄存器单元均与时钟信号线、电源信号线、与自身相邻的上一级冗余移位寄存器单元的栅极驱动信号输出端 (冗余移位寄存器单元不用于输出栅极驱动信号,为便于区别,冗余移位寄存器单元的栅极驱动信号输出端在附图中 ROUT 表示)、与自身相邻的上一级冗余移位寄存器单元的复位信号输入端以及自身相邻的下一级冗余移位寄存器单元的信号输入端连接;第 1 个冗余移位寄存器单元与时钟信号线、电源信号线、第 $n-m$ 个工作移位寄存器单元的栅极驱动信号输出端、第 $n-m$ 个工作移位寄存器单元的复位信号输入端以及第 2 个冗余移位寄存器单元的复位信号输入端连接;第 m 个冗余移位寄存器单元与前述时钟信号线、电源信号线、第 $m-1$ 个冗余移位寄存器单元的栅极驱动信号输出端、第 $m-1$ 个冗余移位寄存器单元的复位信号输入端以及复位单元 (RU-1, RU-2 或 RU-3) 的复位信号输出端 (RESETOUT) 连接。

[0120] 复位单元的结构可以采用图 4a 或 4c 的结构;或者复位单元的结构也可以采用如图 6a 或 6c 所示的结构,复位单元中第二薄膜晶体管的栅极连接第一信号输入端 (INPUT1),第一信号输入端 (INPUT1) 需要连接到第 $m-1$ 个冗余移位寄存器单元的栅极驱动信号输出端 (ROUT $m-1$)。需要说明的是,由于移位寄存器单元的总数是 n ,工作移位寄存器单元的个数是 $n-m$,冗余移位寄存器单元的个数是 m ,而 m 个冗余移位寄存器单元处于 $n-m$ 个工作移位寄存器的下级,所以此处第 $m-1$ 个冗余移位寄存器单元也就是第 $n-1$ 个移位寄存器单元。

[0121] 或者复位单元的结构还可以采用如图 8a 或 8c 所示的结构,复位单元中第二薄膜晶体管的栅极连接第二信号输入端 (INPUT2),第二信号输入端 (INPUT2) 需要连接到第 m 个冗余移位寄存器单元的栅极驱动信号输出端 (ROUT m)。需要说明的是,由于移位寄存器单元的总数是 n ,工作移位寄存器单元的个数是 $n-m$,冗余移位寄存器单元的个数是 m ,而 m 个冗余移位寄存器单元处于 $n-m$ 个工作移位寄存器的下级,所以此处第 m 个冗余移位寄存器单元也就是第 n 个移位寄存器单元。。

[0122] 较佳地, m 可以选择 1 或 2 或 3。如图 9 所示为本发明液晶显示器栅极驱动装置实施例四结构示意图,该实施例四中的复位单元可以采用如图 6a 所示的结构,包含 2 (即 $m = 2$) 个冗余移位寄存器单元,复位单元 (RU-2) 的第一信号输入端 (INPUT1) 连接第一 ($m = 2, m-1 = 1$) 个冗余移位寄存器单元的栅极驱动信号输出端 (ROUT1)。第一个冗余移位寄存器单元可以连接一条栅线 (GL2-1),与该栅线 (GL2-1) 连接的 TFT 的漏极不与数据线连接。如果这 2 个冗余移位寄存器单元的信号输出端 (ROUT1 和 ROUT2) 都是空载,则这 2 个冗余移位寄存器单元的输出的信号很容易受到时钟信号的干扰,如果在第一个冗余移位寄存器单元 (RSR1) 的信号输出端 (ROUT1) 连接一条栅线 (GL2-1),由于与该栅线 (GL2-1) 连接的 TFT 可以产生寄生电容,从而可以减小时钟信号对输出信号的干扰。基于同样的原因,对于包含有 m 个冗余移位寄存器单元的液晶显示器栅极驱动装置来说,为了减小时钟信号对冗余移位寄存器单元信号输出端输出信号的干扰,可以使部分或全部的冗余移位寄存器单元的信号输出端分别连接一条栅线,与各条栅线连接的 TFT 的漏极不与数据线连接。

[0123] 如图 10 所示为本发明液晶显示器栅极驱动装置实施例五结构示意图,该实施例五中的复位单元可以采用如图 8a 或 8c 所示的结构,包含 2 (即 $m = 2$) 个冗余移位寄存器单元,复位单元的第二信号输入端 (INPUT2) 连接第二 ($m = 2$) 个冗余移位寄存器单元的信号输出端 (ROUT2)。

[0124] 如图 11 所示为本发明液晶显示器栅极驱动装置实施例六结构示意图,该实施例六中的复位单元可以采用如图 4a 所示的结构,包含 3 (即 $m = 3$) 个冗余移位寄存器单元。

[0125] 液晶显示器栅极驱动装置中还可以包含两个或更多复位单元,如 4 个、6 个等,复位单元的个数可以根据输入到液晶显示器栅极驱动装置中的时钟信号的个数确定。设置个数与时钟信号个数相同的复位单元可以保证时钟信号负载均衡。例如,如果在栅极驱动装置中只设置一个复位单元,由于不同的时钟信号连接的 TFT 不同,这样不同的时钟信号的负载就不同,而如果时钟信号的负载不均衡,可能会造成相邻行移位寄存器单元输出的栅极驱动信号的电压大小不同,从而影响相邻像素行的显示。

[0126] 如图 12 所示为本发明液晶显示器栅极驱动装置实施例七结构示意图。如图 12 的液晶显示器栅极驱动装置中有两个时钟信号输入端,所以,较佳地,复位单元的个数可以是两个。该实施例七中包含两个复位单元 (RU-1),这两个复位单元均可以采用如图 4a 或 4c 所示的结构,第一个复位单元 (附图中标记为 RU-1-1) 连接时钟信号线、电源信号线,复位信号输出端 (RESETOUT1) 连接第 $n-1$ 个移位寄存器单元的复位信号输入端 (RESETIN),第二个复位单元 (附图中标记为 RU-1-2) 连接时钟信号线、电源信号线,复位信号输出端 (RESETOUT2) 连接第 n 个移位寄存器单元的复位信号输入端 (RESETIN)。通过设置两个复位单元,第 $n-1$ 个移位寄存器单元的复位信号不再由第 n 个移位寄存器单元提供,而是由第一个复位单元 (RU-1-1) 输出的复位信号提供,从而可以保证第 $n-1$ 和第 n 个移位寄存器单

元的可靠复位,并且,较佳地,第一个复位单元(附图中标记为 RU-1-1)连接的时钟信号和第二个复位单元(附图中标记为 RU-1-2)连接时钟信号相反,因为第一个复位单元(附图中标记为 RU-1-1)位于第 $n-1$ 个移位寄存器单元的下级,第二个复位单元(附图中标记为 RU-1-2)位于第 n 个移位寄存器的下级,这样可以保证两个时钟信号的负载均衡。第一个复位单元(附图中标记为 RU-1-1)在该实施例中所起的作用是使输入到液晶显示器栅极驱动装置中的两个时钟信号负载均衡,相当于一个负载均衡单元。

[0127] 从图 12 中可以看出,更具普遍性的一种实施方式可以是:第 n 个移位寄存器单元的复位信号输入端(RESETIN)与一个复位单元(RU-1-2)的复位信号输出端连接,第 1 个到第 $n-1$ 个中的任意一个移位寄存器单元的复位信号输入端(RESETIN)与另一个复位单元(RU-1-1)连接。

[0128] 图 12 所示的实施例基础上还可以包括多个冗余移位寄存器单元,例如 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,那么具备普遍性的一个实施方式可以是,最后一个移位寄存器单元(此处移位寄存器单元包括用于驱动栅极的工作移位寄存器单元和冗余移位寄存器单元)的复位信号输入端(RESETIN)与一个复位单元(RU-1-2)的复位信号输出端连接,另一个复位单元(RU-1-1)的复位信号输入端(RESETIN)可以与第 1 个到第 $n-1$ 个移位寄存器单元中的任意一个移位寄存器单元的栅极驱动信号输出端连接。

[0129] 如图 13 所示为本发明液晶显示器栅极驱动装置实施例八结构示意图。该实施例八中包含两个复位单元,这两个复位单元均可以采用如图 8a 或 8c 所示的结构,第一个复位单元(附图中标记为 RU-3-1)连接时钟信号线、电源信号线、第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端(OUT $n-1$),复位信号输出端(RESETOUT1)连接第 $n-1$ 个移位寄存器单元的复位信号输入端(RESETIN),第二个复位单元(RU-3-2)连接时钟信号线、电源信号线、第 n 个移位寄存器单元的栅极驱动信号输出端(OUT n),复位信号输出端(RESETOUT2)连接第 n 个移位寄存器单元的复位信号输入端(RESETIN)。第 n 和 $n-1$ 个移位寄存器单元的栅极驱动信号输出端连接通常的栅线(GL $n-1$ 和 GL n),与 GL n 和 GL $n-1$ 连接的 TFT 的源极需要连接数据线。通过设置两个复位单元,第 $n-1$ 个移位寄存器单元的复位信号不再由第 n 个移位寄存器单元提供,而是由第一个复位单元(RU-3-1)提供,从而可以保证第 $n-1$ 和第 n 个移位寄存器单元的可靠复位。第一个复位单元(附图中标记为 RU-3-1)在该实施例中所起的作用是使输入到液晶显示器栅极驱动装置中的两个时钟信号负载均衡,相当于一个负载均衡单元。

[0130] 从图 13 中可以看出,更具普遍性的一种实施方式可以是:第 n 个移位寄存器单元的复位信号输入端(RESETIN)与一个复位单元(RU-3-2)的复位信号输出端连接,该复位单元(RU-3-2)的第二信号输入端(INPUT2)与第 n 个移位寄存器单元的信号输出端(OUT n)连接,第 1 个到第 $n-1$ 个中的任意一个移位寄存器单元的复位信号输入端(RESETIN)与另一个复位单元(RU-3-1)连接,该复位单元(RU-3-1)的第二信号输入端(INPUT2)与第 z_1 个寄存器单元的栅极驱动信号输出端连接, z_1 为处于该复位单元(RU-3-1)上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数。

[0131] 如果在图 13 所示的实施例八中包括 m 个冗余移位寄存器单元,例如 n 个移位寄存器单元中包括 m 个冗余移位寄存器单元和 $n-m$ 个工作移位寄存器单元,则复位单元(RU-3-1)

的第二信号输入端 (INPUT2) 需要与第 z_1 个移位寄存器单元的栅极驱动信号输出端连接, z_1 为处于该复位单元 (RU-3-1) 上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数; 复位单元 (RU-3-1) 的复位信号输出端 (RESETOUT) 需要与第 z_1 个移位寄存器单元的复位信号输入端 (RESETIN) 连接。另一个复位单元 (RU-3-2) 的第二信号输入端 (INPUT2) 需要与第 n 个移位寄存器单元 (也就是第 m 个冗余移位寄存器单元) 的栅极驱动信号输出端连接, 复位单元 (RU-3-2) 的复位信号输出端 (RESETOUT) 需要与第 n 个移位寄存器单元的复位信号输入端 (RESETIN) 连接。如图 13 所示的液晶显示器栅极驱动装置中的两个复位单元也可以采用如图 6a 或 6c 所示的结构, 如图 14 所示为本发明液晶显示器栅极驱动装置实施例九结构示意图。图中 RU-2-1 表示第一个复位单元 (RU-2), RU-2-2 表示第二个复位单元 (RU-2), 第一个复位单元 (附图中标记为 RU-2-1) 连接时钟信号线、电源信号线、第 $n-2$ 个移位寄存器单元的栅极驱动信号输出端 (OUT $n-2$), 复位信号输出端 (RESETOUT1) 连接第 $n-1$ 个移位寄存器单元的复位信号输入端 (RESETIN), 第二个复位单元 (RU-2-2) 连接时钟信号线、电源信号线、第 $n-1$ 个移位寄存器单元的栅极驱动信号输出端 (OUT $n-1$), 复位信号输出端 (RESETOUT2) 连接第 n 个移位寄存器单元的复位信号输入端 (RESETIN)。第 n 和 $n-1$ 个移位寄存器单元的栅极驱动信号输出端连接通常的栅线 (GL $n-1$ 和 GL n), 与 GL n 和 GL $n-1$ 连接的 TFT 的源极需要连接数据线。通过设置两个复位单元, 第 $n-1$ 个移位寄存器单元的复位信号不再由第 n 个移位寄存器单元提供, 而是由第一个复位单元 (RU-2-1) 提供, 从而可以保证第 $n-1$ 和第 n 个移位寄存器单元的可靠复位。

[0132] 从图 14 中可以看出, 更具普遍性的一种实施方式可以是: 第 n 个移位寄存器单元的复位信号输入端 (RESETIN) 与一个复位单元 (RU-2-2) 的复位信号输出端连接, 该复位单元 (RU-2-2) 的第一信号输入端 (INPUT1) 与第 $n-1$ 个移位寄存器单元的信号输出端 (OUT $n-1$) 连接, 第 1 个到第 $n-1$ 个中的任意一个移位寄存器单元的复位信号输入端 (RESETIN) 与另一个复位单元 (RU-2-1) 连接, 该复位单元 (RU-2-1) 的第一信号输入端 (INPUT1) 与第 z_1-1 个寄存器单元的信号输出端连接, z_1 为处于该复位单元 (RU-2-1) 上级的移位寄存器单元的个数, z_1 小于或等于 $n-1$, z_1 为自然数。第一个复位单元 (附图中标记为 RU-2-1) 在该实施例中所起的作用是使输入到液晶显示器栅极驱动装置中的两个时钟信号负载均衡, 相当于一个负载均衡单元。

[0133] 如果在图 14 所示的实施例中包括 m 个冗余移位寄存器单元, 例如 n 个移位寄存器单元中包括 $n-m$ 个工作移位寄存器单元和 m 个冗余移位寄存器单元, 则复位单元 (RU-2-1) 的第一信号输入端 (INPUT1) 需要与第 z_1-1 个移位寄存器单元的栅极驱动信号输出端连接, z_1 为处于该复位单元 (RU-2-1) 上级的移位寄存器单元的个数, 可以包括工作移位寄存器单元和冗余移位寄存器单元, z_1 小于或等于 $n-1$, z_1 为自然数; 复位单元 (RU-2-1) 的复位信号输出端 (RESETOUT) 需要与第 z_1 个移位寄存器单元的复位信号输入端 (RESETIN) 连接。。另一个复位单元 (RU-2-2) 的第一信号输入端 (INPUT1) 需要与第 $n-1$ 个移位寄存器单元 (也就是第 $m-1$ 个冗余移位寄存器单元) 的栅极驱动信号输出端连接; 复位单元 (RU-2-2) 的复位信号输出端 (RESETOUT) 需要与第 n 个移位寄存器单元的复位信号输入端 (RESETIN) 连接。。对于如图 12、13 或 14 所述的液晶显示器栅极驱动装置, 其中的多个复位单元的结构可以不同, 例如, 对于图 12, 其中, 与第 n 个移位寄存器单元的复位信号输入端 (RESETIN) 连接的复位单元的结构可以采用如图 4a 或 4c 所示的结构, 与第 $n-1$ 个移位

寄存器单元的复位信号输入端 (RESETIN) 连接的复位单元的结构可以采用如图 6a 或 6c 所示的结构,这时,采用了图 6a 或 6c 所示结构的复位单元的第一信号输入端 (INPUT1) 需要与第 $n-2$ 个移位寄存器单元的栅极驱动信号输出端连接。

[0134] 多个复位单元,分别采用不同的结构,可以组合出多个液晶显示器栅极驱动装置的结构,具体的实现方式与前文所述的方式类似,此处不再赘述。

[0135] 本发明通过在液晶显示器栅极驱动装置中增加一个或多个复位单元,可以产生持续时间较长的复位信号,可以保证第 n 个移位寄存器单元可靠地复位。并且该复位单元在液晶显示屏中所占的面积可以做到较小,不会造成屏设计难度的显著增加,复位单元的输入信号采用现有液晶显示器栅极驱动装置的信号,不需要输入新的信号,不会造成信号控制难度的提高,更加方便可靠地实现了液晶显示器栅极驱动装置的复位。

[0136] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非对其进行限制,尽管参照较佳实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对本发明的技术方案进行修改或者等同替换,而这些修改或者等同替换亦不能使修改后的技术方案脱离本发明技术方案的精神和范围。

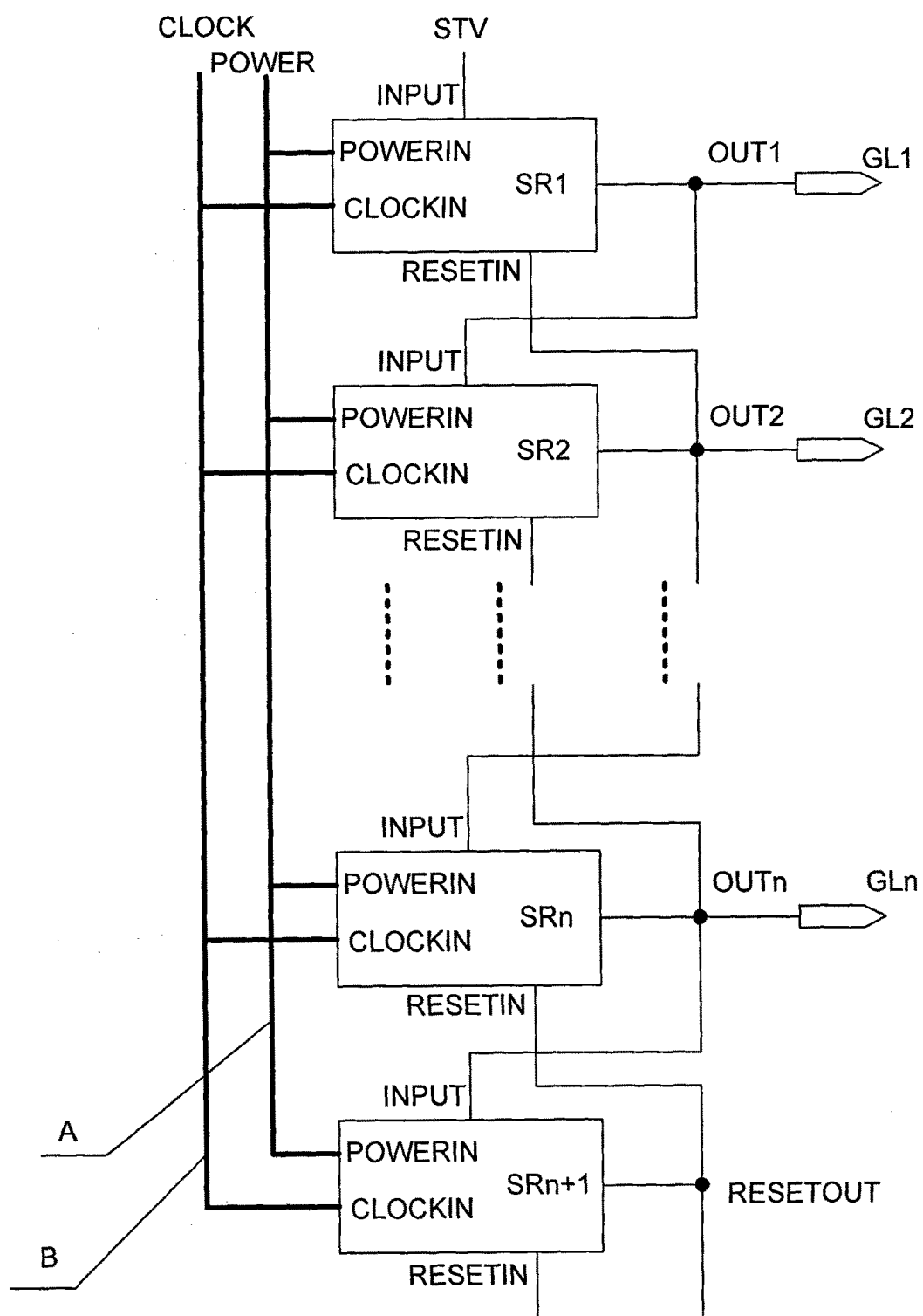


图 1a

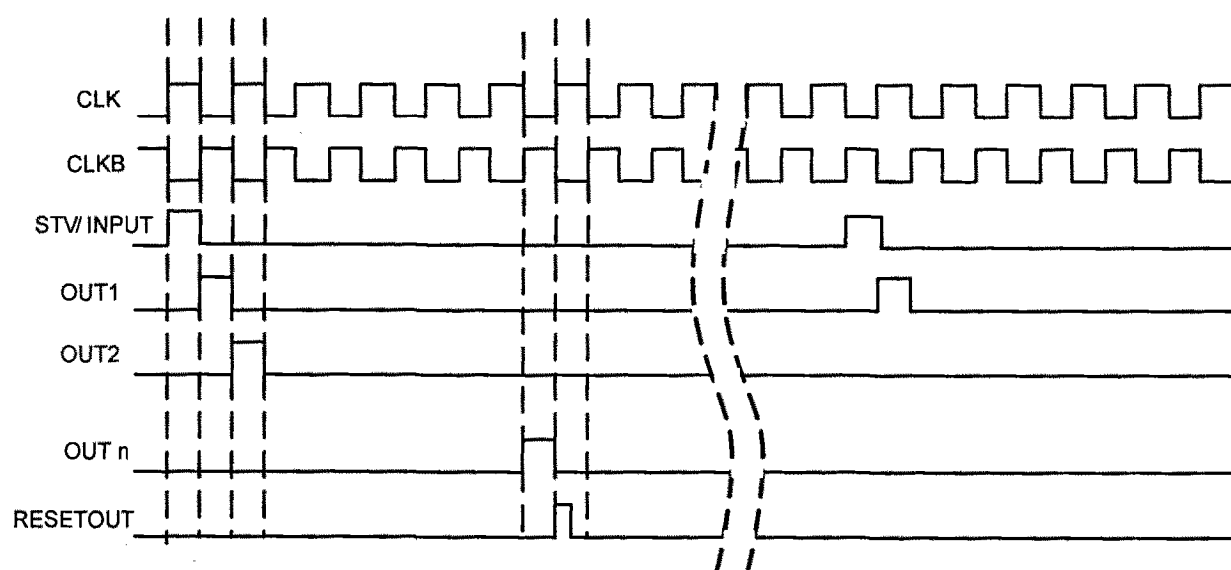


图 1b

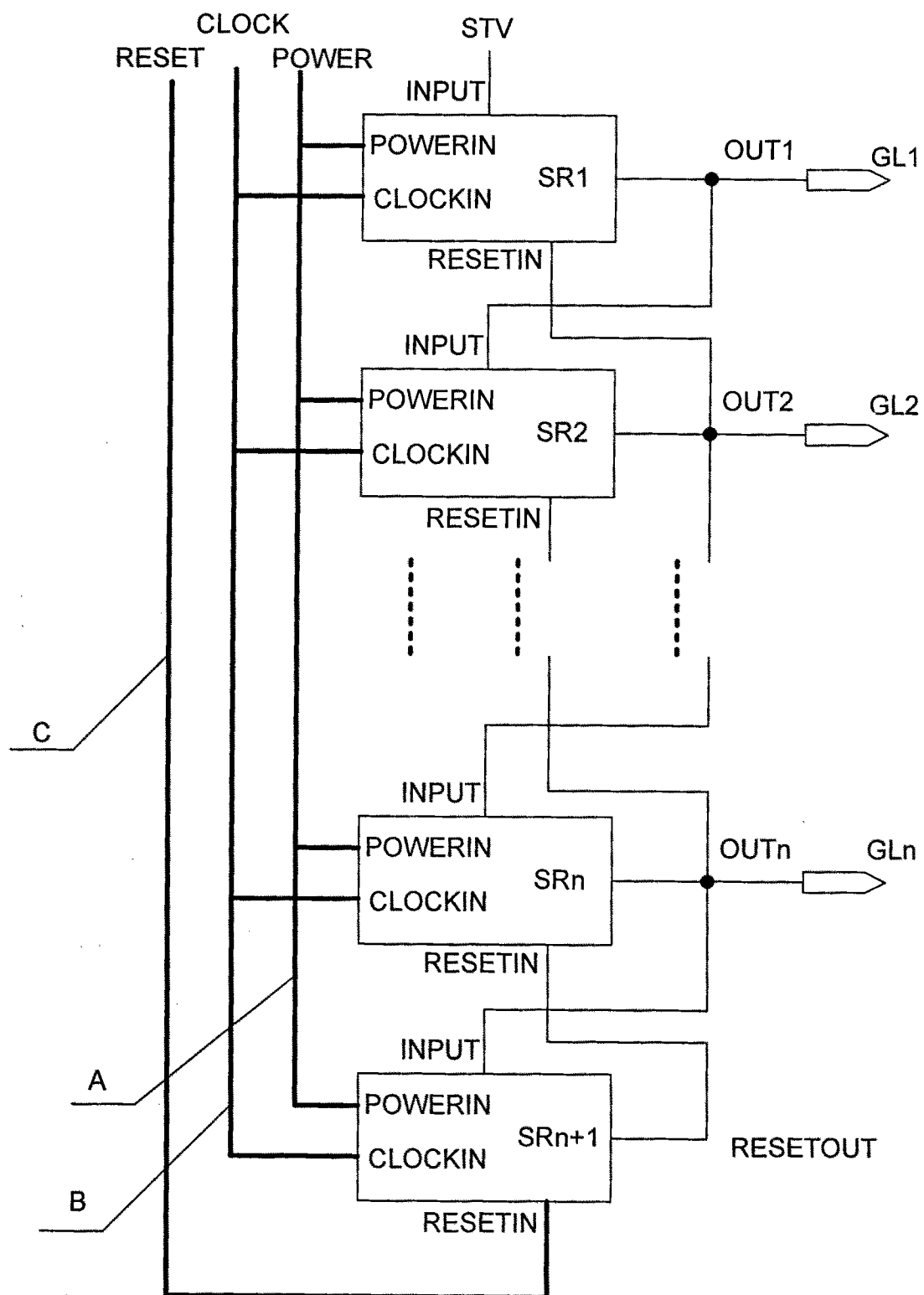


图 2a

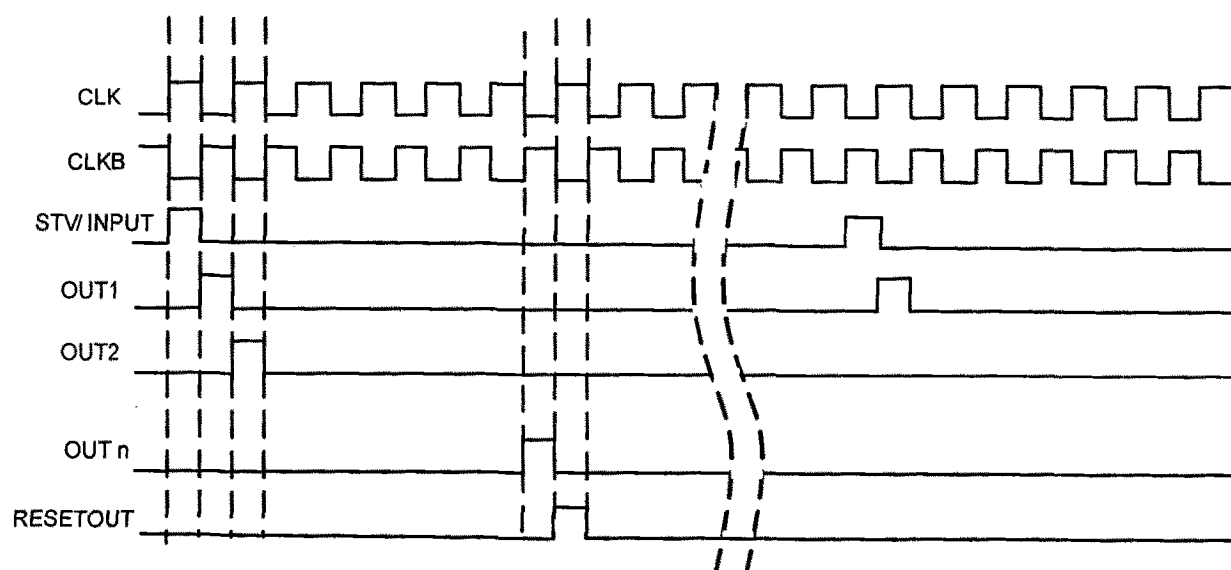


图 2b

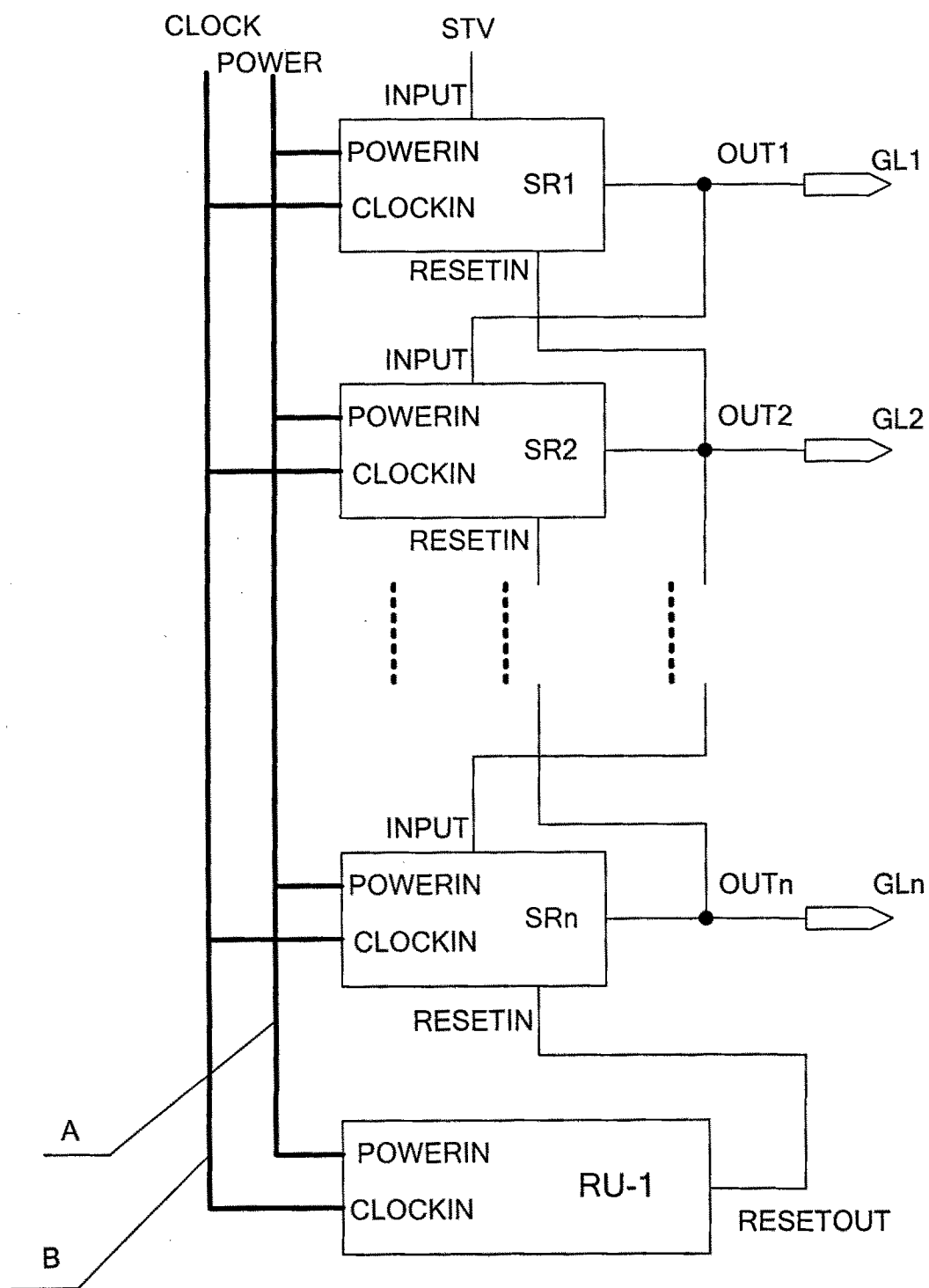


图 3

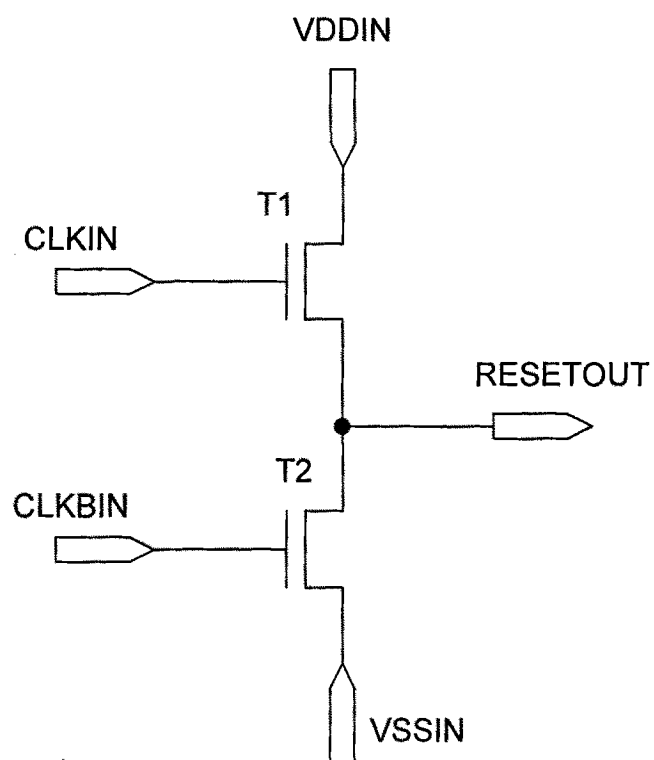


图 4a

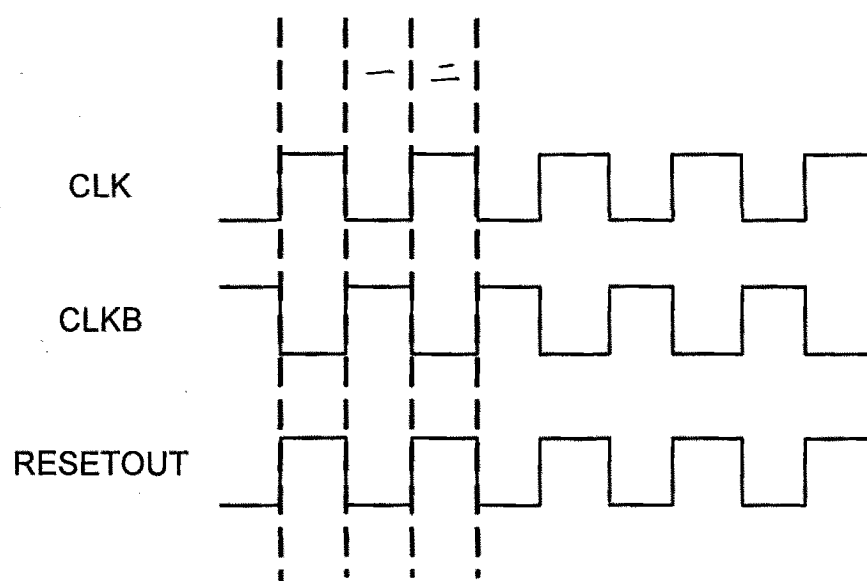


图 4b

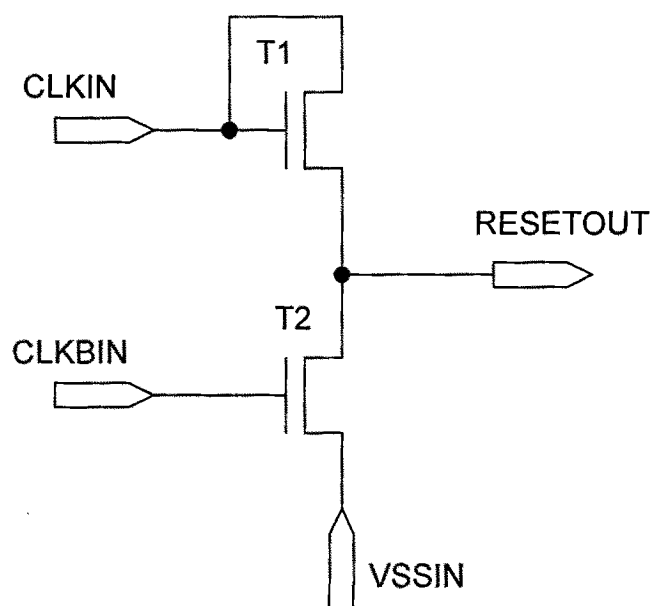


图 4c

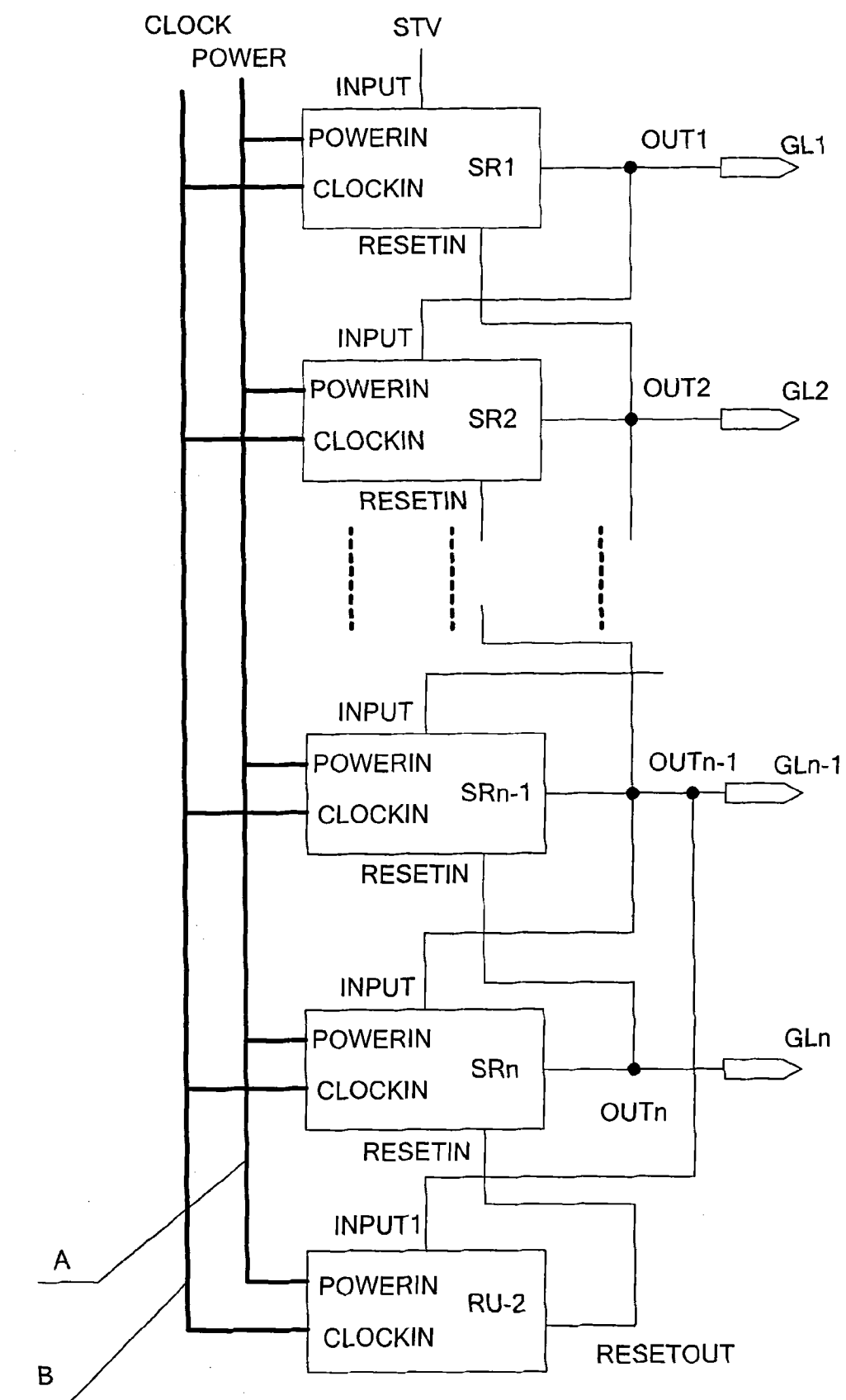


图 5

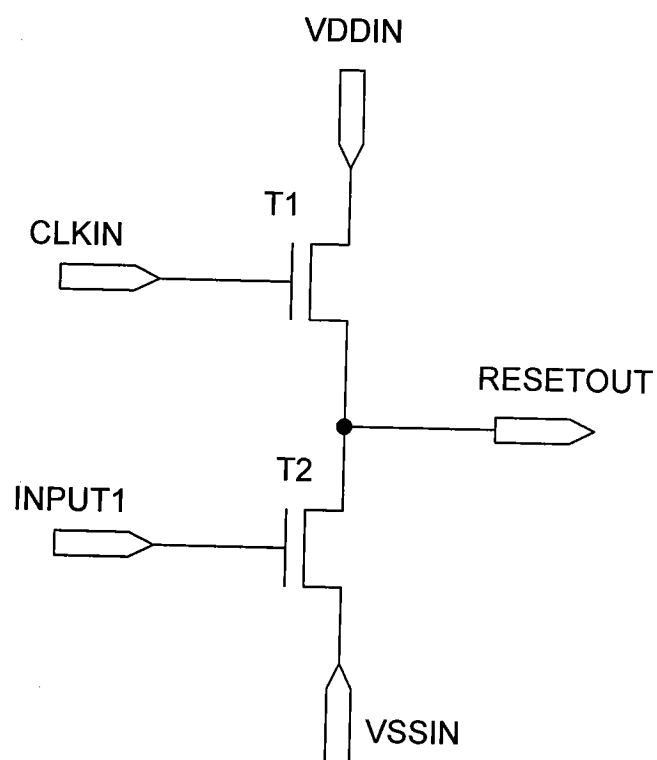


图 6a

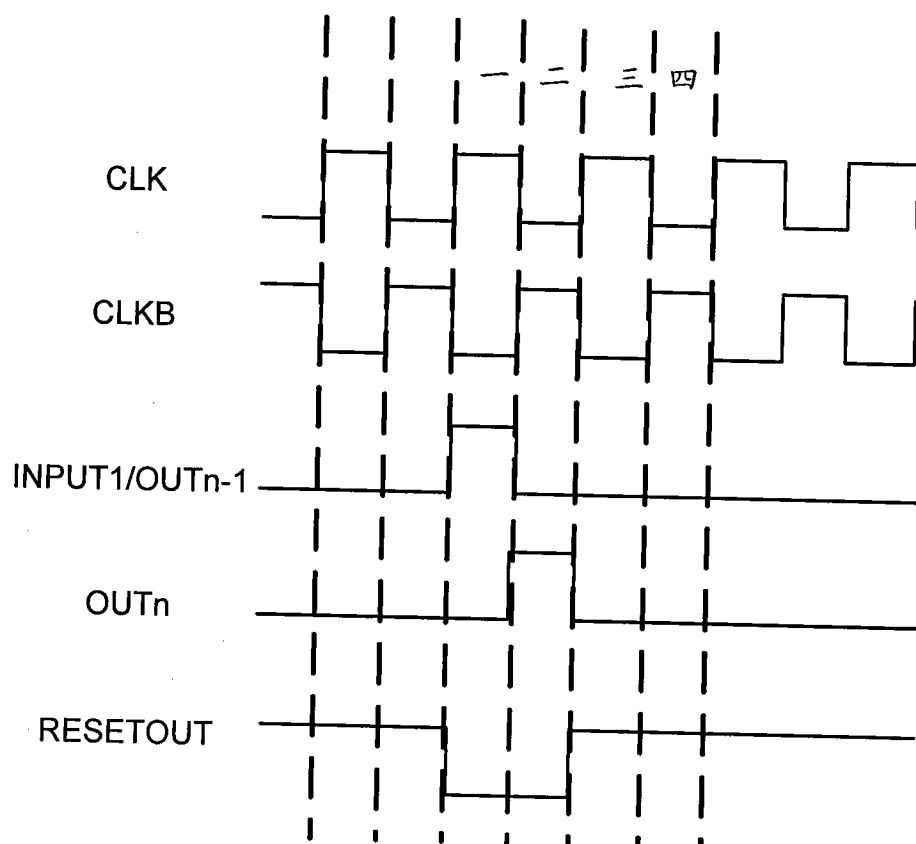


图 6b

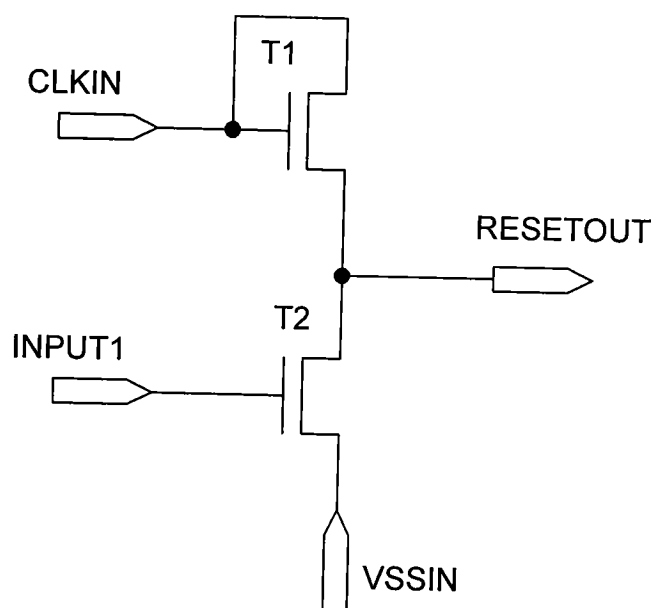


图 6c

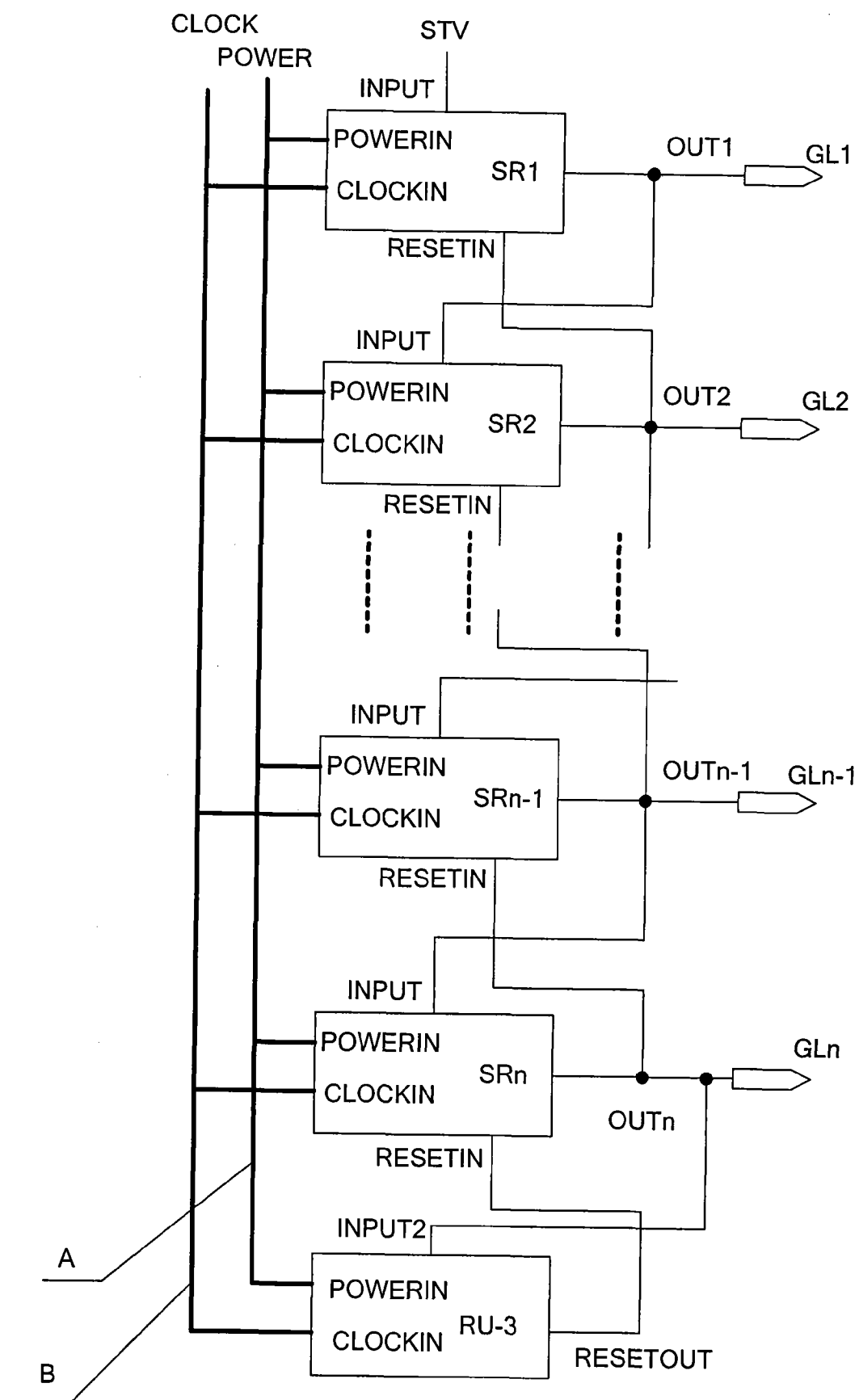


图 7

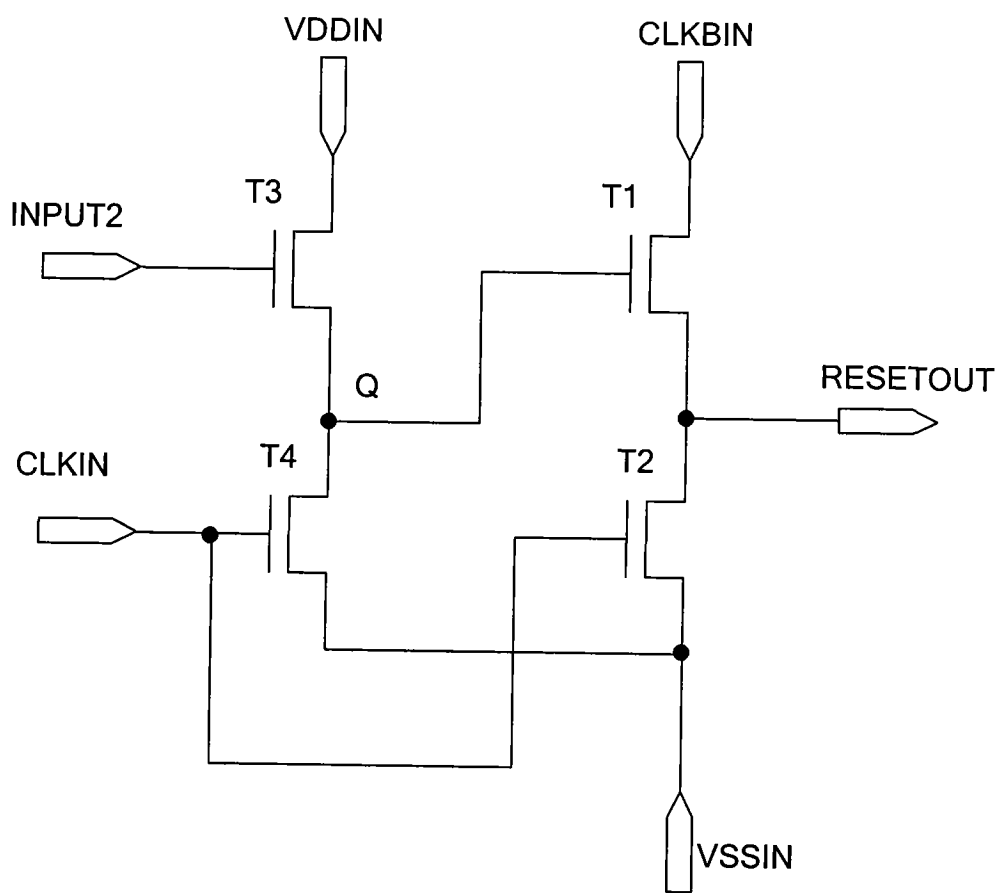


图 8a

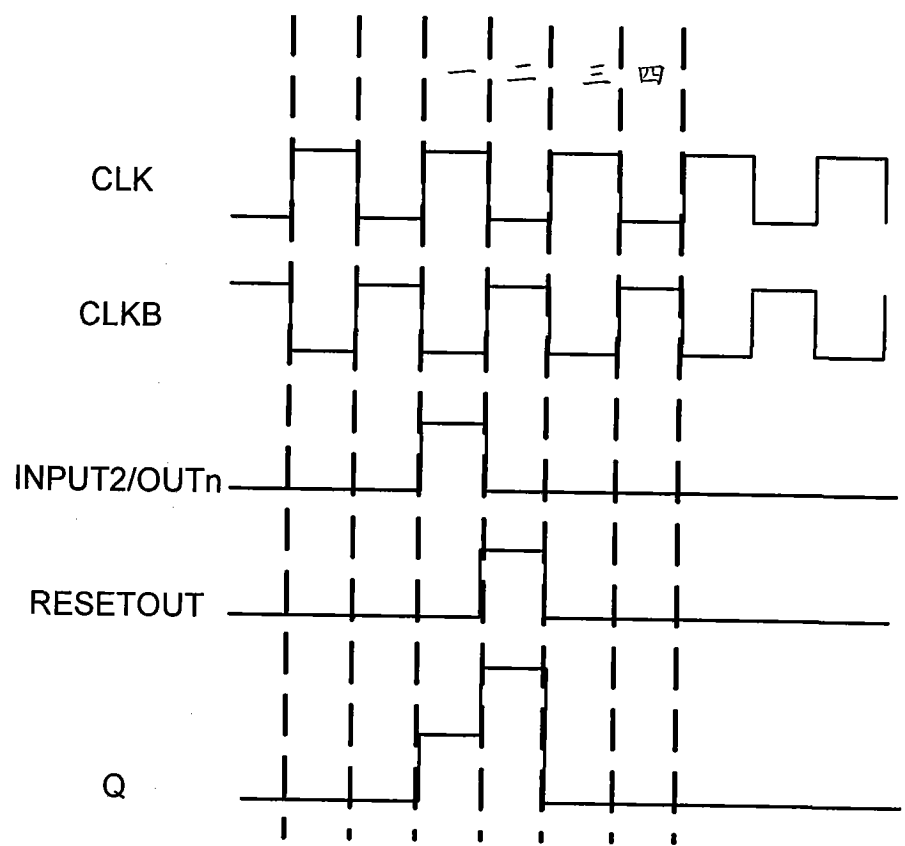


图 8b

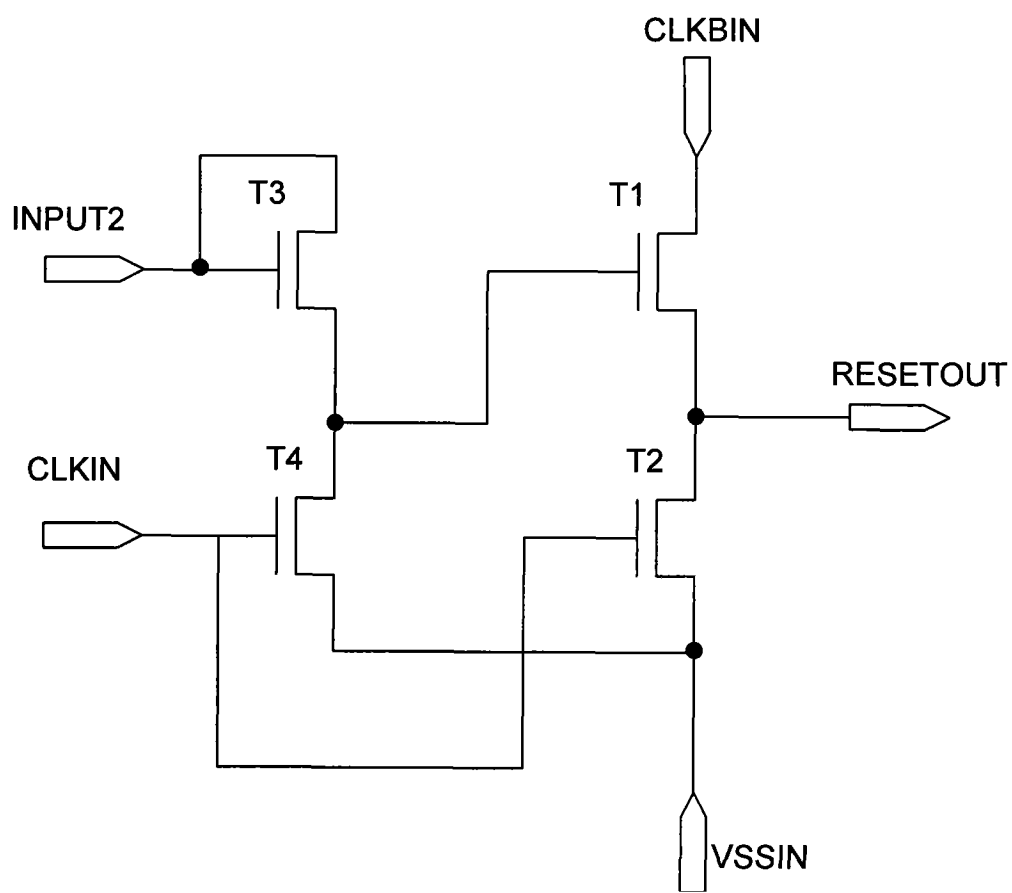


图 8c

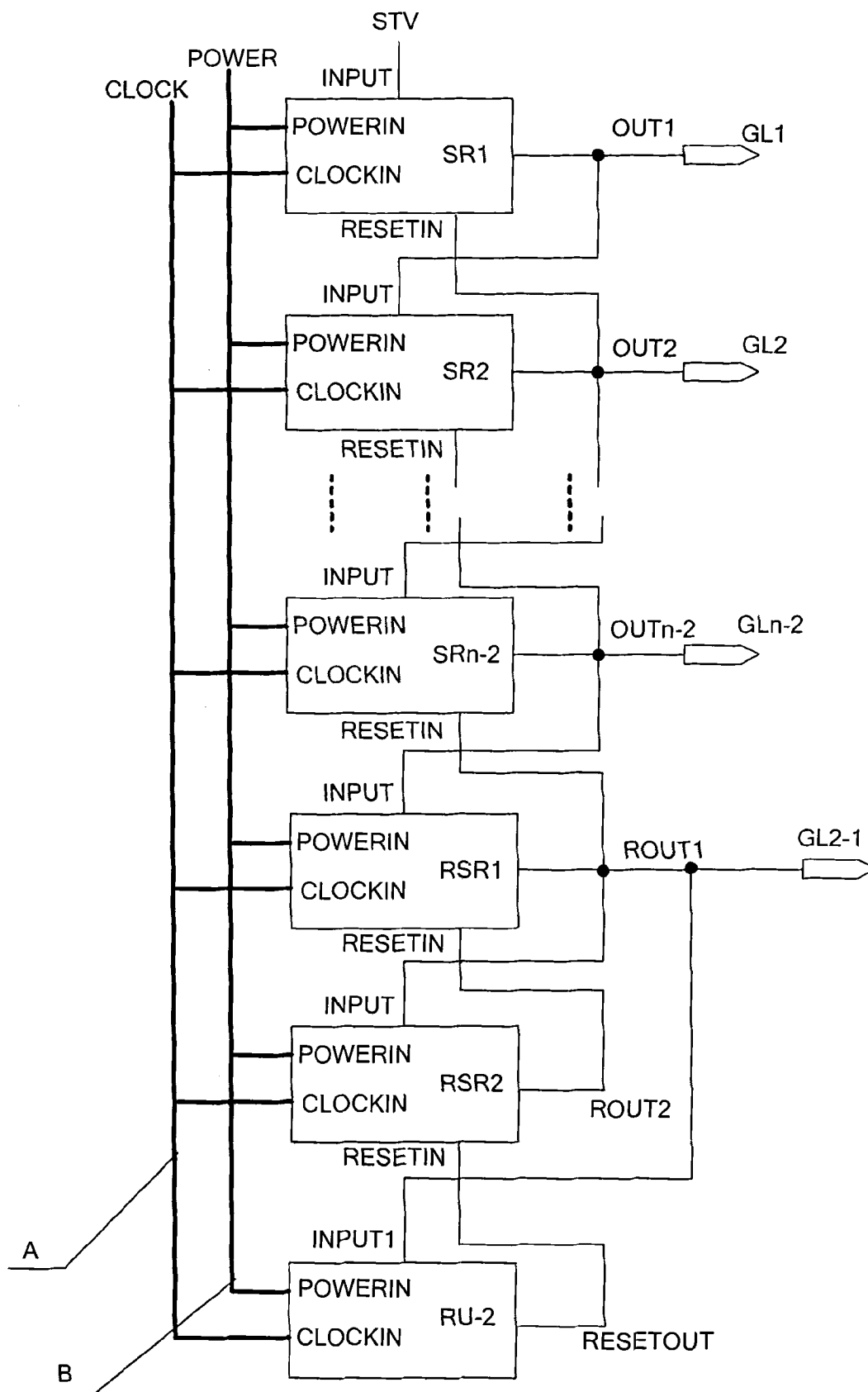


图 9

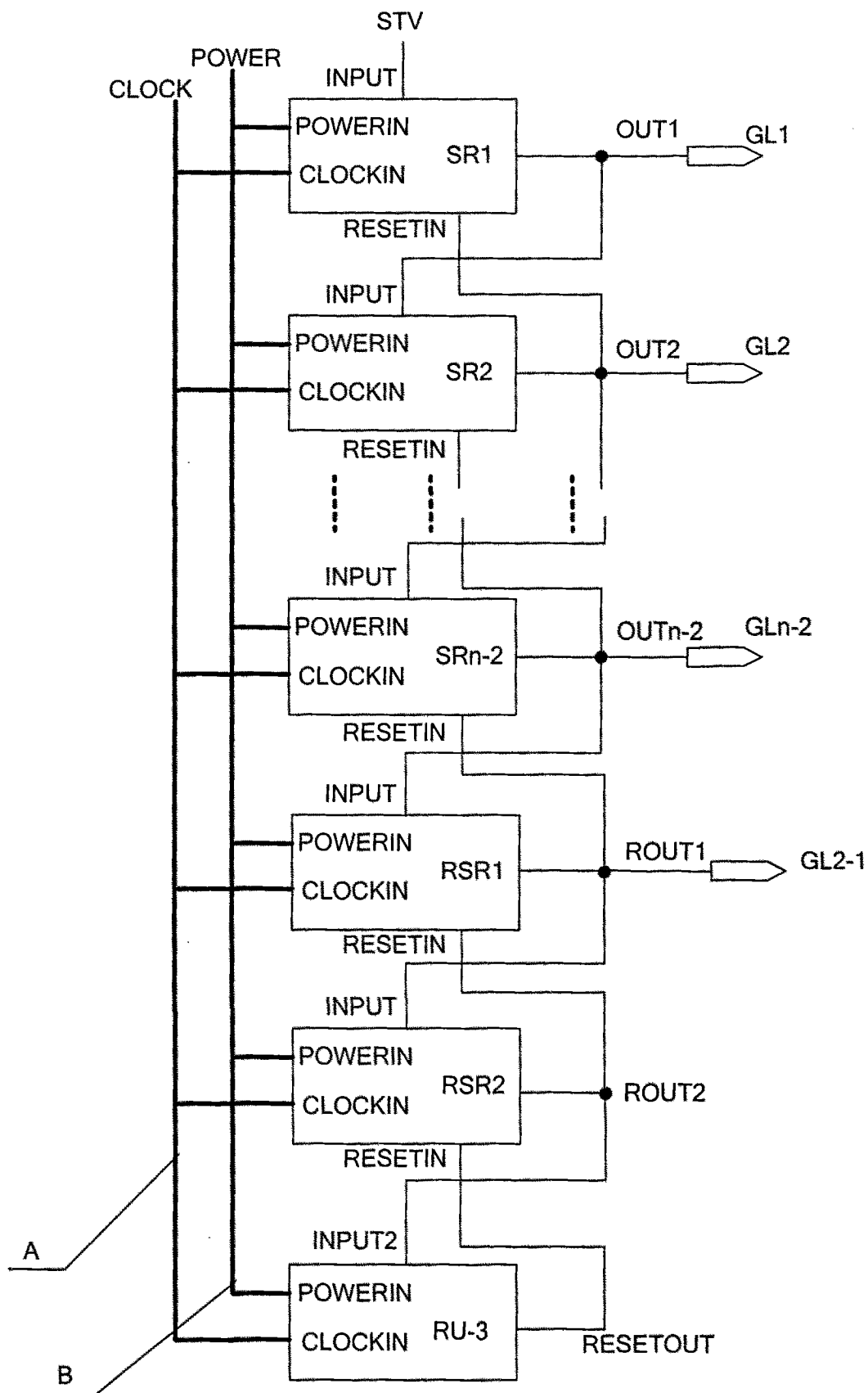


图 10

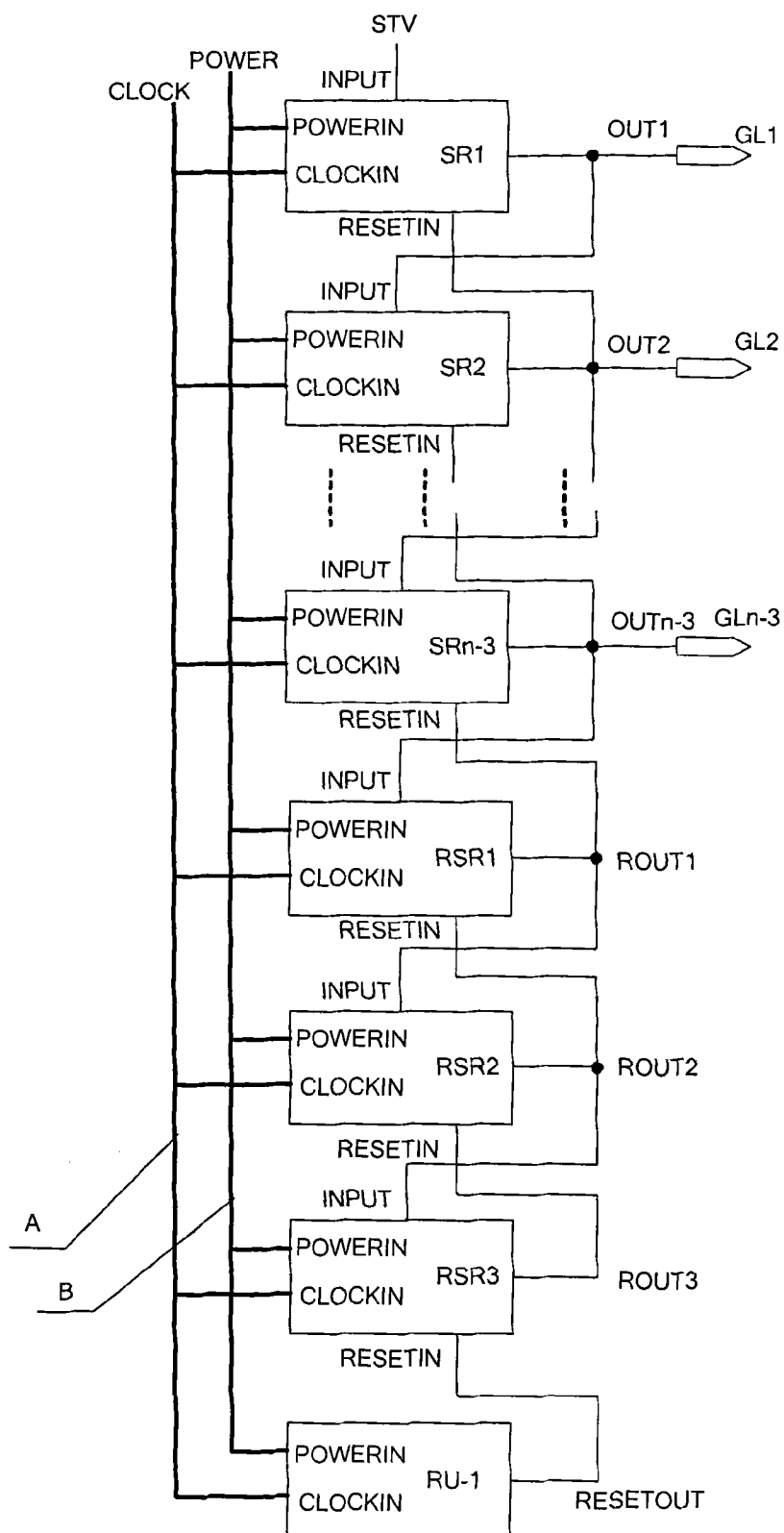


图 11

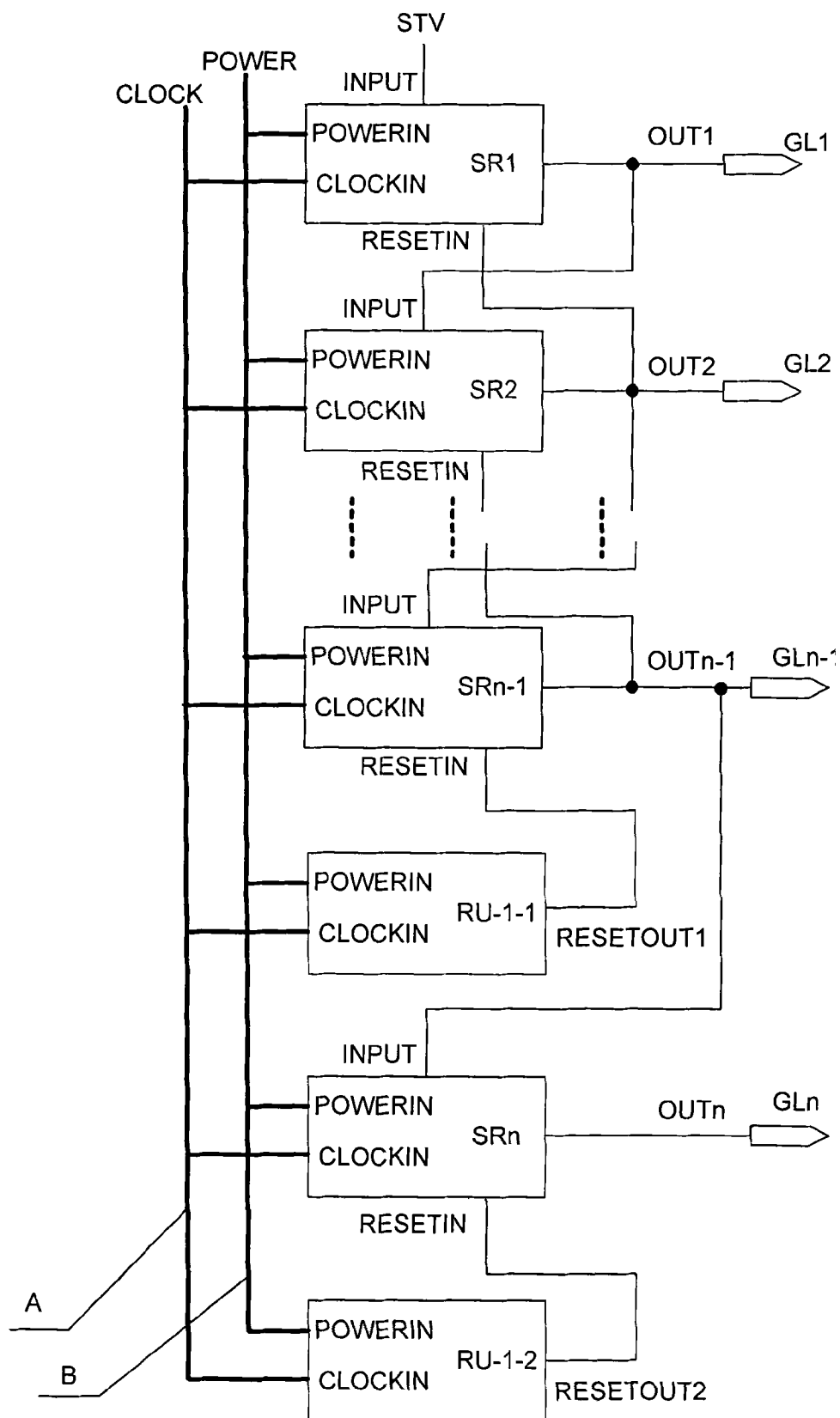


图 12

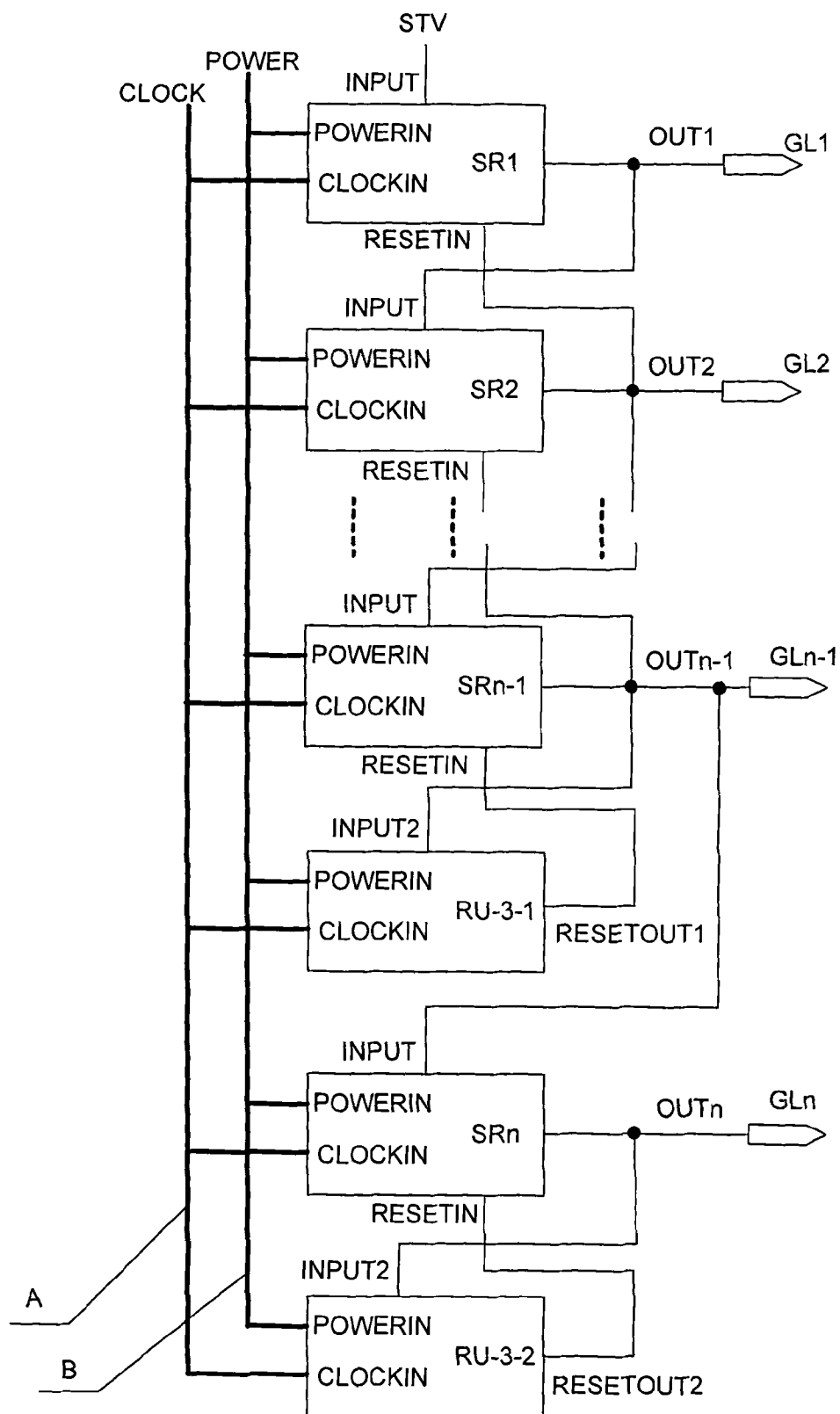


图 13

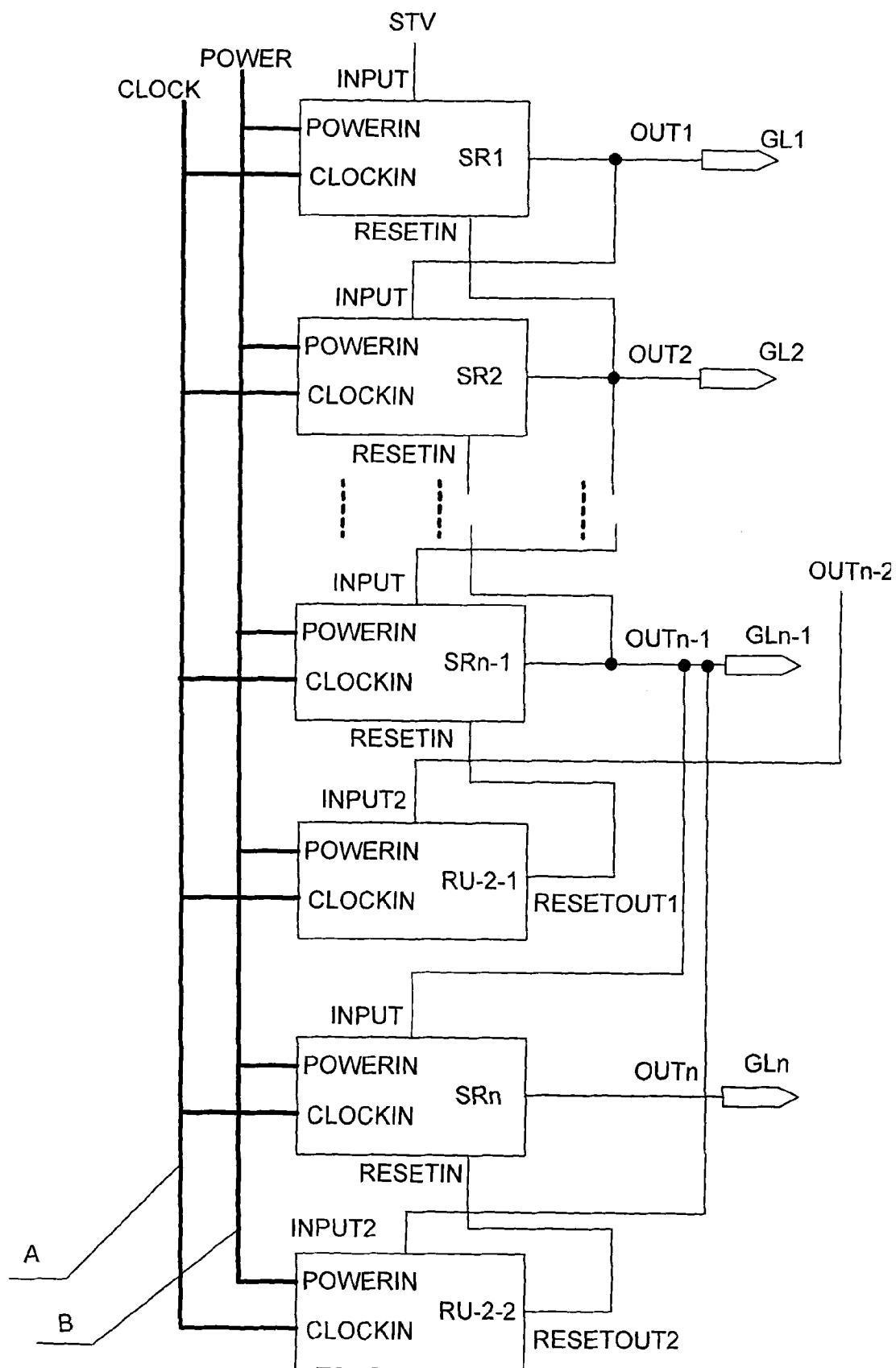


图 14

专利名称(译)	液晶显示器栅极驱动装置		
公开(公告)号	CN101727859B	公开(公告)日	2012-12-26
申请号	CN200810224096.4	申请日	2008-10-15
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	商广良 韩承佑		
发明人	商广良 韩承佑		
IPC分类号	G09G3/36 G02F1/1362 G02F1/133		
代理人(译)	刘芳		
审查员(译)	罗朋		
其他公开文献	CN101727859A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器栅极驱动装置，包括n个移位寄存器单元、时钟信号线、电源信号线、栅极驱动信号输出端，还包括复位单元；所述复位单元与所述时钟信号线、电源信号线、第n个移位寄存器单元连接，用于在所述第n个移位寄存器单元的栅极驱动信号输出端输出栅极驱动信号之后，产生持续时间大于或等于所述栅极驱动信号持续时间的复位信号，使所述第n个移位寄存器单元的栅极驱动信号输出端得以复位。本发明提供的液晶显示器栅极驱动装置，可以产生持续时间大于或等于栅极驱动信号的复位信号，可以保证第n个移位寄存器单元可靠地复位；并且该复位单元在液晶显示屏中所占的面积可以做到较小，不会造成屏设计难度的显著增加。

