

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710135762.2

[43] 公开日 2008年3月12日

[11] 公开号 CN 101140396A

[22] 申请日 2007.8.16

[21] 申请号 200710135762.2

[30] 优先权

[32] 2006.9.8 [33] KR [31] 10-2006-0086747

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李旼哲

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 章社昊 吴贵明

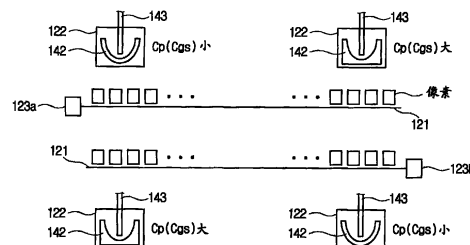
权利要求书 3 页 说明书 16 页 附图 18 页

[54] 发明名称

液晶显示器装置

[57] 摘要

一种液晶显示器装置，包括第一基板，该第一基板包括多个像素，其中所述像素形成有薄膜晶体管和电连接于该薄膜晶体管的像素电极。该第一基板包括彼此绝缘地交叉的栅极线和数据线，以及将栅极驱动信号提供给栅极线的栅极驱动器。薄膜晶体管包括：连接于栅极线的栅电极；连接于数据线的源电极；以及连接于像素电极的漏电极。像素在 $C_p / (C_p + C_{lc} + C_{st})$ 的数值方面朝向栅极驱动器减小（其中， C_p ：栅电极与源电极之间的寄生电容和栅电极与漏电极之间的寄生电容的总和， C_{lc} ：液晶电容，以及 C_{st} ：存储电容）。



1. 一种液晶显示器装置，包括：

第一基板，具有形成在显示区域中的多个像素，每个像素均包括薄膜晶体管和电连接于所述薄膜晶体管的像素电极；

第二基板，面对所述第一基板，并且形成有共用电极；
以及

液晶层，设置在所述第一基板与所述第二基板之间，并且处于垂直对齐（VA）的模式中，

所述第一基板包括：

彼此绝缘地交叉的栅极线和数据线；以及

栅极驱动器，所述栅极驱动器包括移位寄存器，并且将栅极驱动信号施加给所述栅极线，所述移位寄存器包括相对于所述显示区域彼此相对设置的第一移位寄存器和第二移位寄存器；

所述薄膜晶体管包括：

连接于所述栅极线的栅电极；

连接于所述数据线的源电极；以及

连接于所述像素电极的漏电极；并且

所述像素在 $C_p/(C_p+C_{lc}+C_{st})$ 的数值方面朝向所述栅极驱动器减小，其中， C_p ：所述栅电极与所述源电极之间的寄生电容和所述栅电极与所述漏电极之间的寄生电容的总和， C_{lc} ：液晶电容，以及 C_{st} ：存储电容。

2. 根据权利要求1所述的液晶显示器装置,其中,所述薄膜晶体管包括一对沟道区域,所述沟道区域与设置在它们之间的所述漏电极隔开,并且所述栅电极与所述漏电极交迭的面积朝向所述栅极驱动器逐渐变小。
3. 根据权利要求1所述的液晶显示器装置,其中,所述薄膜晶体管包括U形的沟道区域,并且所述栅电极与所述漏电极交迭的面积朝向所述栅极驱动器逐渐变小。
4. 根据权利要求2所述的液晶显示器装置,其中,所述像素的所述存储电容是均匀的。
5. 根据权利要求3所述的液晶显示器装置,其中,所述像素的所述存储电容是均匀的。
6. 根据权利要求1所述的液晶显示器装置,其中,所述像素的所述存储电容朝向所述栅极驱动器逐渐变大。
7. 根据权利要求6所述的液晶显示器装置,其中,所述栅电极与所述源电极交迭的面积和所述栅电极与所述漏电极交迭的面积是均匀的。
8. 根据权利要求2、3和5中任一项所述的液晶显示器装置,其中,所述像素被分成多个块,所述多个块具有相同的 $C_p/(C_p+C_{lc}+C_{st})$ 数值。
9. 根据权利要求1所述的液晶显示器装置,其中,像素电极切割图样形成在所述像素电极上,并且共用电极切割图样形成在所述共用电极上。

10. 根据权利要求1所述的液晶显示器装置,其中,所述栅极线交替地连接于所述第一移位寄存器和所述第二移位寄存器。
11. 根据权利要求10所述的液晶显示器装置,其中,所述像素电极沿着所述栅极线的延伸方向纵向延伸。
12. 根据权利要求10所述的液晶显示器装置,其中,沿所述数据线的延伸方向上的三个邻近像素电极连接于不同的栅极线。
13. 根据权利要求12所述的液晶显示器装置,其中,沿所述数据线的延伸方向上的所述三个邻近像素电极中的两个连接于相同的数据线。
14. 根据权利要求12所述的液晶显示器装置,其中,沿所述数据线的延伸方向上的所述三个邻近像素电极被依次驱动。
15. 一种液晶显示器,具有多个像素和驱动晶体管,每个驱动晶体管均具有栅电极、源电极、以及漏电极,其特征在于,所述显示器的所述像素被构造成使得所述栅电极与每个所述源电极和所述漏电极之间的寄生电容,与所述栅电极与每个所述源电极和所述漏电极之间的寄生电容加上液晶电容再加上存储电容的总和的比率,朝向栅极驱动器减小。

液晶显示器装置

技术领域

符合本发明的装置和方法涉及一种液晶显示器装置。

背景技术

液晶显示器 (LCD) 装置包括: 第一基板, 其上形成有薄膜晶体管; 第二基板, 与第一基板相对设置; 以及液晶层, 设置在两个基板之间。

栅极线和数据线形成在第一基板上, 并且彼此绝缘地交叉, 以形成像素。像素连接于薄膜晶体管。当栅极线接收到选通信号 (即, 接通电压 V_{on}) 以接通薄膜晶体管时, 通过数据线施加的数据电压 V_d 充入到像素中。液晶层中的液晶分子的定向由充入到像素中的像素电压 V_p 与共用电极上的共用电压之间的电场来确定。数据电压 V_d 在每一帧被施加以不同的极性。

施加给像素的数据电压 V_d 通过栅电极与源电极 (漏电极) 之间的寄生电容 C_p 而减小, 以形成像素电压 V_p 。数据电压 V_d 与像素电压 V_p 之间的电压差为回扫电压 V_{kb} 。

栅极线通过栅极驱动器接收选通信号。由于栅极线中的电阻, 邻近于栅极驱动器的像素接收略微延迟的选通信号, 远离栅极驱动器的像素接收显著延迟的选通信号。

回扫电压的电平 (level) 根据选通信号的延迟而变化, 从而使屏幕的亮度不均匀。

发明内容

因此, 本发明的一方面是提供一种 LCD 装置, 该 LCD 装置通过选通信号延迟差的减小而具有更加均匀的亮度。

根据本发明的一方面, 提供一种液晶显示器装置, 包括: 第一基板, 具有形成在显示区域中的多个像素, 每个像素均包括薄膜晶体管以及电连接于该薄膜晶体管的像素电极; 第二基板, 面对第一基板, 并且形成有共用电极; 以及液晶层, 设置在第一基板与第二基板之间, 并且处于垂直对齐 (VA) 的模式。该第一基板包括: 彼此绝缘地交叉的栅极线和数据线; 以及栅极驱动器, 其包括移位寄存器, 并且将栅极驱动信号施加给栅极线, 该移位寄存器包括相对于显示区域彼此相对设置的第一移位寄存器和第二移位寄存器。该薄膜晶体管包括: 连接于栅极线的栅电极; 连接于数据线的源电极; 以及连接于像素电极的漏电极, 并且像素在 $C_p/(C_p+C_{lc}+C_{st})$ 的数值方面朝向栅极驱动器减小 (其中, C_p : 栅电极与源电极之间的寄生电容和栅电极与漏电极之间的寄生电容的总和, C_{lc} : 液晶电容, 以及 C_{st} : 存储电容)。

根据本发明的一方面, 薄膜晶体管包括一对沟道区域, 这对沟道区域与设置在它们之间的漏电极隔开, 并且栅电极与漏电极交迭的面积朝向栅极驱动器逐渐变小。

根据本发明的一方面, 薄膜晶体管包括具有 U 形的沟道区域, 栅电极与漏电极交迭的面积朝向栅极驱动器逐渐变小。

根据本发明的一方面, 像素的存储电容是均匀的。

根据本发明的一方面，像素的存储电容朝向栅极驱动器逐渐变大。

根据本发明的一方面，栅电极与源电极交迭的面积以及栅电极与漏电极交迭的面积是均匀的。

根据本发明的一方面，像素被分成多个块，所述多个块具有相同的 $C_p/(C_p+C_{lc}+C_{st})$ 数值。

根据本发明的一方面，像素电极切割图样形成在像素电极上，并且共用电极切割图样形成在共用电极上。

根据本发明的一方面，栅极线可交替地连接于第一移位寄存器和第二移位寄存器。

根据本发明的一方面，像素电极沿着栅极线延伸的方向纵向延伸。

根据本发明的一方面，沿数据线延伸的方向（以下，称为数据线的延伸方向）上的三个邻近像素电极连接于不同的栅极线。

根据本发明的一方面，沿数据线的延伸方向上的三个邻近像素电极中的两个连接于相同的数据线。

根据本发明的一方面，沿数据线的延伸方向上的三个邻近像素电极被依次驱动。

根据本发明的一方面，液晶显示器具有多个像素和驱动晶体管，每个驱动晶体管均具有栅电极、源电极、以及漏电极，其特征在于，显示器的像素被构造成使得栅电极与每个源电极和漏电极之

间的寄生电容，与栅电极与每个源电极和漏电极之间的寄生电容加上液晶电容再加上存储电容的总和的比率，朝向栅极驱动器减小。

附图说明

本发明的上述和/或其他方面将会从以下结合附图对示例性实施例的详细描述中更加明显并易于理解，在附图中：

图 1 是根据本发明第一示例性实施例的 LCD 装置中的第一基板的布置图；

图 2 是根据本发明第一示例性实施例的 LCD 装置中的第一基板的放大布置图；

图 3 是根据本发明第一示例性实施例的 LCD 装置中的一个像素的布置图；

图 4 是沿着图 3 的 IV-IV 线截取的截面图；

图 5 示出驱动根据本发明第一示例性实施例的 LCD 装置；

图 6 示出根据本发明第一示例性实施例的 LCD 装置中根据像素电压的透射率；

图 7 是根据本发明第一示例性实施例的 LCD 装置中一个像素的等效电路图；

图 8A 至图 8C 示出由于选通信号延迟而引起的像素电压差；

图 9 示出根据本发明第一示例性实施例的 LCD 装置中 C_{gs} 的变化；

图 10 是根据本发明第二示例性实施例的 LCD 装置中的第一基板的布置图;

图 11 示出根据本发明第二示例性实施例的 LCD 装置中 C_{gs} 的变化;

图 12 示出根据本发明第三示例性实施例的 LCD 装置中的第一基板;

图 13 示出根据本发明第三示例性实施例的 LCD 装置中 C_{gs} 的变化;

图 14 示出根据本发明第四示例性实施例的 LCD 装置中 C_{gd} 的变化;

图 15 示出根据本发明第五示例性实施例的 LCD 装置中 C_{st} 的变化; 以及

图 16 示出根据本发明第六示例性实施例的 LCD 装置中 C_{st} 的变化。

具体实施方式

在下面的描述中, 如果说一层形成在另一层“上”, 那么第三层可以设置在两层之间, 或者两层可以互相接触。换句话说, 可以理解成, 当指出一个元件(诸如层、膜、区域、或基板)在另一个元件“上”时, 其可以直接在另一元件上, 或者也可以存在插入元件。此外, 如果说一层“直接”形成在另一层上, 可以理解成, 这两层相互接触。

应当注意到，像素单元是指显示屏幕的单元，在屏幕上来自多个像素的不同颜色的光被混合，以提供具有期望颜色和亮度的光。例如，红色像素、蓝色像素、以及绿色像素形成一个像素单元。

下面，参照图 1 至图 5，对根据本发明示例性实施例的 LCD 装置进行描述。

参照图 4，LCD 装置 1 包括：第一基板 100，薄膜晶体管形成于其上；第二基板 200，面对第一基板 100，并且滤色片 231 形成于其上；以及液晶层 300，设置在基板 100 与 200 之间。

以第一基板 100 开始，栅极导线 121 和 122 形成在第一绝缘基板 111 上。栅极导线 121 和 122 可以是单层金属层或多层金属层。栅极导线 121 和 122 包括在显示区域中水平延伸的栅极线 121 和连接于该栅极线 121 的栅电极 122。

移位寄存器 123 形成在非显示区域中，并且连接于栅极线 121。移位寄存器 123 作为栅极驱动器驱动栅极线 121，例如将接通电压和断开电压施加给栅极线 121。

移位寄存器 123 包括设置在显示区域的左侧上的第一移位寄存器 123a 以及设置在显示区域的右侧上的第二移位寄存器 123b。参照图 2，第一移位寄存器 123a 连接于奇数编号的栅极线 121，而第二移位寄存器 123b 连接于偶数编号的栅极线 121。尽管未示出，但是第一移位寄存器 123a 彼此电连接，并且第二移位寄存器 123b 彼此电连接。

在形成第一基板 100 的同时，移位寄存器 123 形成，并且该移位寄存器可包括多个薄膜晶体管。

栅极绝缘层 131 由氮化硅 (SiN_x) 等制成, 并且形成在第一绝缘基板 111 上, 以覆盖栅极导线 121 和 122。

半导体层 132 由非晶硅等制成, 并且在栅电极 122 的上方形成在栅极绝缘层 131 上。欧姆接触层 133 由硅化物或高掺杂 n 型杂质的 n⁺氢化非晶硅制成, 并且形成在半导体层 132 上。源电极 142 与漏电极 143 之间的沟道区域中的欧姆接触层 133 被去除。

数据导线 141、142、143、144 和 145 形成在欧姆接触层 133 和栅极绝缘层 131 上。数据导线 141、142、143、144 和 145 可以是单层金属层或多层金属层。数据导线 141、142、143、144 和 145 包括: 数据线 141, 垂直延伸成与栅极线 121 交叉, 以形成像素; 源电极 142, 从数据线 141 分出, 并且在欧姆接触层 133 上方延伸; 漏电极 143, 与源电极 142 分开, 并且与源电极 142 相对形成在欧姆接触层 133 的一部分上; 数据焊盘 (data pad) 144, 从数据线 141 延伸, 设置在非显示区域中; 以及存储电极线 145, 与数据线 141 平行形成。存储电极线 145 与像素电极 161 一起形成存储电容 C_{st}。存储电极线 145 可接收共用电压。

数据焊盘 144 连接于数据驱动器 (未示出), 以接收数据信号。数据焊盘 144 形成为比数据线 141 宽。

钝化层 151 形成在数据导线 141、142、143、144 和 145 上, 以及半导体层 132 的未覆盖有数据导线 141、142、143、144 和 145 的部分上。接触孔 152 形成在钝化层 151 中, 以露出漏电极 143。

像素电极 161 形成在钝化层 151 上。像素电极 161 由例如氧化铟锡 (ITO) 或氧化铟锌 (IZO) 的透明传导材料制成。像素电极 161 通过接触孔 152 连接于漏电极 143。像素电极切割图样 162 形成在像素电极 161 上。

像素电极切割图样 **162** 形成为与共用电极切割图样 **252** (稍后描述) 一起将液晶层 **300** 分成多个区域。

像素电极 **161** 具有沿着栅极线 **121** 的延伸方向延伸的矩形形状。

沿数据线 **141** 的延伸方向上的三个邻近像素电极 **161** (即, 三个像素) 组成像素单元, 作为屏幕的单元。三个像素电极 **161** 分别连接于不同的栅极线 **121**。像素电极 **161** 沿着数据线 **141** 的延伸方向交替地连接于左边的数据线 **141** 和右边的数据线 **141**。

在传统的布置中, 一个像素单元中的三个像素电极沿着栅极线的延伸方向设置, 并且分别连接于不同的栅极线。但是, 与用于驱动相同数量的像素的传统布置相比, 在根据本实施例的布置中, 栅极线 **121** 的数量增加三倍, 同时数据线的数量减少三分之一。

通常, 用于驱动数据线 **141** 的电路比用于驱动栅极线 **121** 的电路更加复杂并且更加昂贵。在本示例性实施例中, 由于数据线 **141** 的数量减少三分之一, 所以用于数据线 **141** 的电路减少, 从而减少了制造成本。另一方面, 由于栅极线 **121** 的数量增加三倍, 所以用于栅极线 **121** 的电路的制造成本可能增加。但是, 在本实施例中, 栅极线 **121** 由形成在第一基板 **100** 上的移位寄存器 **123** 驱动, 从而电路的制造成本不会增加。

同时, 像素电极 **161** 沿着栅极线 **121** 的延伸方向纵向延伸, 从而栅极线 **121** 之间的间隔减小。从而, 移位寄存器 **123** 在形成时具有空间限制。但是, 在本实施例中, 由于移位寄存器 **123** 设置在显示区域的相对侧, 所以不难为移位寄存器 **123** 提供空间。

接着, 以下将描述第二基板 **200**。黑矩阵 **221** 形成在第二绝缘基板 **211** 上。黑矩阵 **221** 设置在红色、绿色、以及蓝色滤色片之间,

以将滤色片分开，并且防止光直接照射于设置在第一基板 **100** 上的薄膜晶体管 **T**。黑矩阵 **221** 通常由含有黑色颜料的光致抗蚀有机材料制成。黑色颜料可以是炭黑、氧化钛等。

滤色片层 **231** 包括交替地设置并被黑矩阵 **221** 分开的红色、绿色、以及蓝色滤色片。滤色片层 **231** 对从背光单元（未示出）照射出并穿过液晶层 **300** 的光赋予颜色。滤色片层 **231** 通常由光致抗蚀有机材料制成。

外涂层（overcoat layer）**241** 形成在滤色片层 **231** 和在滤色片层 **231** 之间露出的黑矩阵 **221** 上。外涂层 **241** 为滤色片 **231** 提供平坦表面，并且保护滤色片 **231**。外涂层 **241** 可含有光致抗蚀丙烯酸树脂。

共用电极 **251** 形成在外涂层 **241** 上。共用电极 **251** 由例如氧化铟锡（ITO）、氧化铟锌（IZO）等透明传导材料制成。共用电极 **251** 与薄膜晶体管基板 **100** 的像素电极 **161** 一起将电压施加给液晶层 **300**。

共用电极切割图样 **252** 形成在共用电极 **251** 上。共用电极切割图样 **252** 与像素电极 **161** 的像素电极切割图样 **162** 一起将液晶层 **300** 分成多个区域。

像素电极切割图样 **162** 和共用电极切割图样 **252** 可具有各种形状。在其它示例性实施例中，取代切割图样 **162** 和 **252**，可设置有突起，以将液晶层 **300** 分成多个区域。

液晶层 **300** 设置在第一基板 **100** 与第二基板 **200** 之间。液晶层 **300** 处于垂直对齐（VA）的模式，其中在断电状态下，液晶分子沿着基板 **100** 与 **200** 之间的纵向方向垂直于基板 **100** 和 **200** 对齐。在通电状态中，具有负介电各向异性的液晶分子垂直于电场定向。

但是，如果不形成像素电极切割图样 **162** 和共用电极切割图样 **252**，就不能确定液晶分子的定向。因此，液晶分子是杂乱的，从而在定向不同的液晶分子之间的界面中形成向错线（disclination line）。当电压施加给液晶层 **300** 时，像素电极切割图样 **162** 和共用电极切割图样 **252** 产生边缘场（fringe field），从而确定液晶分子的定向。同样，根据像素电极切割图样 **162** 和共用电极切割图样 **252** 的布置，液晶层 **300** 被分成多个区域。

参照图 5，将描述驱动 LCD 装置 **1**。

当接通电压被提供给第 $n-1$ 条栅极线 **121** 时，连接于第 $n-1$ 条栅极线 **121** 的薄膜晶体管 **150** 被接通。因此，设置在一排（a）中并连接于第 $n-1$ 条栅极线 **121** 的像素电极 **161** 被接通。

接着，接通电压被提供给第 n 条栅极线 **121**，使得设置在一排（b）中并连接于第 n 条栅极线 **121** 的像素电极 **161** 被接通。

同样，当接通电压被提供给第 $n+1$ 条栅极线 **121** 时，设置在一排（c）中并连接于第 $n+1$ 条栅极线 **121** 的像素电极 **161** 被接通。因此，完成一个像素单元的显示。对于一个像素单元的显示，三条栅极线 **121** 被依次驱动，因此数据线 **141** 为每个像素电极 **161** 提供数据电压。

这里，施加给像素电极 **161** 的电压的极性以点翻转模式（dot inversion type）被调节。

如上所述，一个像素单元中的三个像素电极 **161** 不是被同时驱动，而是被依次驱动。此外，为了驱动一个像素单元，接通电压被提供三次。

根据本发明第一示例性实施例的 LCD 装置 1 处于标准的黑色模式，并且具有图 6 示出的根据像素电压而变化的透射率。图 6 的区域 A 中的低灰度电压中的透射率变化，大约是具有扭曲向列(TN)液晶分子的 LCD 装置中的三倍。

在上述 LCD 装置 1 中，栅极线 121 通过与其连接的移位寄存器 123 来接收选通信号。由于栅极线 121 的电阻，邻近于移位寄存器 123 的薄膜晶体管接收略微延迟的选通信号，远离移位寄存器 123 的像素电极接收延迟很久的选通信号。

下面，参照图 7 至图 8C，将对根据选通信号的延迟的亮度差异进行描述。

回扫电压表示为等式 1。

$$\langle \text{等式 1} \rangle V_{kb} = (V_{on} - V_{off}) \times C_p / (C_{lc} + C_{st} + C_p)$$

应当注意， C_p 表示栅电极与源电极之间的寄生电容 C_{gs} 和栅电极与漏电极之间的寄生电容 C_{gd} 的总和； C_{lc} 表示液晶电容； C_{st} 表示存储电容； V_{on} 表示接通电压；以及 V_{off} 表示断开电压。

如果选通信号被较大地延迟，接通电压不会被顺利地施加，从而回扫电压变低。回扫电压对于负像素电压比对于正像素电压变得高。

图 8A 和图 8B 示出在第一像素处的回扫电压以及在第二像素处的回扫电压，其中第一像素设置在选通信号被略微延迟的最左侧，并且第二像素设置在选通信号被较大地延迟的最右侧。

在图 8A 的第一像素中，当施加正像素电压时，回扫电压为 1V，当施加负像素电压时，回扫电压为 1.2V。在图 8B 的第二像素中，

当施加正像素电压时以及当施加负像素电压时，回扫电压均为 0.8V。

从而，保持在像素处的最终均方根电压在第一像素中比在第二像素中高。由于亮度差异根据图 7 中示出的低灰度电压中的像素电压的差异而变得更大，所以对应于第一像素的部分在屏幕上显现得更亮。

参照图 8C，在连接于左侧上的第一移位寄存器 **123a** 的像素中，选通信号从右到左略微延迟。因此，回扫电压 V_{kb} 变得更高，并且与其相对应的屏幕从右到左变得更亮。相反，在连接于右侧上的第二移位寄存器 **123b** 的像素中，选通信号从左到右略微延迟。因此，回扫电压 V_{kb} 变得更高，并且与其相对应的屏幕从左到右变得更亮。

如上所述，取决于移位寄存器 **123** 的位置，亮度在屏幕的右部和左部上不同，因此在屏幕上看到横向线。在由于栅极线越长选通信号就延迟得越久的大尺寸 LCD 装置中，该问题更加严重。

在本发明的示例性实施例中，上述问题通过调节寄生电容 C_p 和/或存储电容 C_{st} 而被解决。在第一示例性实施例中，寄生电容 C_p ，特别是，栅电极 **122** 与源电极 **143** 之间的寄生电容 C_{gs} 被调节，这将参照图 9 描述。

在连接于第一移位寄存器 **123a** 的像素的左侧像素中，栅电极 **122** 与源电极 **143** 交迭的面积相对较小。相反，在连接于第一移位寄存器 **123a** 的像素的右侧像素中，栅电极 **122** 与源电极 **143** 交迭的面积相对较大。即，在像素中，栅电极 **122** 与源电极 **143** 交迭的面积朝向第一移位寄存器 **123a** 减小，从而减小寄生电容 C_{gs} 。

Von-Voff 的值朝向第一移位寄存器 **123a** 增加, 而寄生电容 C_{gs} 朝向第一移位寄存器 **123a** 减小。在等式 1 中, 由于回扫电压 V_{kb} 与寄生电容 C_p 成比例, 所以连接于第一移位寄存器 **123a** 的像素的回扫电压之间的差异减小。即, 寄生电容 C_p 的变化补偿了 Von-Voff 的值的变化的变化, 从而减小像素的回扫电压之间的差异。

在正像素电压中和负像素电压中, 像素的回扫电压之间的差异分别可以在 $\pm 10\%$ 以内。

另一方面, 在连接于第二移位寄存器 **123b** 的像素中, 寄生电容 C_{gs} 向右减小。从而, 连接于第二移位寄存器 **123b** 的像素的回扫电压之间的差异减小。

在上述第一示例性实施例中, 像素的回扫电压 V_{kb} 之间的差异减小, 从而提高了显示质量。

参照图 10 和图 11, 将对本发明的第二示例性实施例进行描述。

移位寄存器 **123** (栅极驱动器) 仅形成在显示区域的左侧上。像素电极 **161** 沿着数据线 **141** 的延伸方向纵向延伸。

在第二示例性实施例中, 与第一示例性实施例中相比, 栅极线 **121** 的数量减少三分之一, 而数据线 **141** 的数量增加了三倍。

由于移位寄存器 **123** 仅形成在显示区域的左侧上, 所以屏幕在显示区域的邻近于移位寄存器 **123** 的左侧部分上被显示得更亮。

在本实施例中, 与第一示例性实施例中说明的一样, 寄生电容被调节, 以减小亮度差异, 因此将省略其描述。

因此，在左侧和右侧上的像素的回扫电压之间的差异减小，从而屏幕的亮度变得更加均匀。

参照图 12 和图 13，将对本发明的第三示例性实施例进行描述。

第一基板 100 进一步包括栅极驱动芯片 126 和柔性薄膜 125，并且栅极线 121 连接于设置在非显示区域中的栅极焊盘 124。

金属图样（未示出）形成在柔性薄膜 125 上，并且与栅极焊盘 124 相接触。栅极驱动芯片 126 通过金属图样和栅极焊盘 124 驱动栅极线 121。在其它示例性实施例中，栅极驱动芯片 126 可以在没有柔性薄膜 125 的情况下直接安装在第一绝缘基板 111 上。

如第二示例性实施例所述，栅极焊盘 124 仅形成在显示区域的左侧。从而，屏幕在显示区域的邻近于栅极焊盘 124 的其左侧部分被显示得更亮。

在本实施例中，与第一示例性实施例中说明的一样，寄生电容被调节，以减小亮度差异，并且将省略其重复的描述。

因此，在左侧和右侧上的像素的回扫电压之间的差异减小，从而屏幕的亮度变得更加均匀。

参照图 14，将对本发明的第四示例性实施例进行描述。

在本实施例中，栅电极 122 与漏电极 143 之间的寄生电容 C_{gd} 被调节，以减小亮度差异。

提供了薄膜晶体管 T 的一对沟道区域，漏电极 143 设置在它们之间。以这种结构，尽管漏电极 143 和栅电极 122 有少许未对齐，也能确保预定的沟道区域。

在连接于第一移位寄存器 **123a** 的像素的左侧像素中，栅电极 **122** 与漏电极 **143** 交迭的面积相对较小。相反，在连接于第一移位寄存器 **123a** 的像素的右侧像素中，栅电极 **122** 与漏电极 **143** 交迭的面积相对较大。即，在像素中，栅电极 **122** 与漏电极 **143** 交迭的面积朝向第一移位寄存器 **123a** 减小，从而减小寄生电容 C_{gd} 。

$V_{on-Voff}$ 的值朝向第一移位寄存器 **123a** 增加，而寄生电容 C_{gs} 朝向第一移位寄存器 **123a** 减小。在等式 1 中，由于回扫电压 V_{kb} 与寄生电容 C_p 成比例，所以连接于第一移位寄存器 **123a** 的像素的回扫电压之间的差异减小。因此，寄生电容 C_p 的变化补偿了 $V_{on-Voff}$ 的值的变化的变化，从而维持像素的回扫电压。

另一方面，在连接于第二移位寄存器 **123b** 的像素中，寄生电容 C_{gs} 向右减小。即，寄生电容 C_p 的变化补偿了 $V_{on-Voff}$ 的值的变化的变化，从而，像素的回扫电压之间的差异减小。

在上述第四示例性实施例中，像素的回扫电压 V_{kb} 之间的差异减小，从而提高了显示质量。

参照图 15，将对本发明的第五示例性实施例进行描述。在本实施例中，存储电容 C_{st} 被调节，以减小亮度差异。

在连接于第一移位寄存器 **123a** 的像素的左侧像素中，存储电极线 **145** 与像素电极 **161** 交迭的面积相对较大。相反，在连接于第一移位寄存器 **123a** 的像素的右侧像素中，存储电极线 **145** 与像素电极 **161** 交迭的面积相对较小。即，在像素中，存储电极线 **145** 与像素电极 **161** 交迭的面积朝向第一移位寄存器 **123a** 增加，从而增加存储电容 C_{st} 。

$V_{on-Voff}$ 的值朝向第一移位寄存器 **123a** 增加，并且存储电容 C_{st} 朝向第一移位寄存器 **123a** 增加。在等式 1 中，由于回扫电压

V_{kb} 与存储电容 C_{st} 成反比, 所以连接于第一移位寄存器 **123a** 的像素的回扫电压之间的差异减小。因此, 存储电容 C_{st} 的变化补偿了 V_{on}-V_{off} 的值的变化, 从而减小像素的回扫电压 V_{kb} 之间的差异。

另一方面, 在连接于第二移位寄存器 **123b** 的像素中, 存储电容 C_{st} 向右增加。从而, 连接于第二移位寄存器 **123b** 的像素的回扫电压 V_{kb} 之间的差异减小。

在上述第五示例性实施例中, 像素的回扫电压 V_{kb} 之间的差异减小, 从而提高了显示质量。

参照图 16, 将对本发明的第六示例性实施例进行描述。

与连接于左侧移位寄存器 **123** 的奇数编号的栅极线 **121** 相对应的像素的存储电容 C_{st} 向右减小。相反, 与连接于右侧移位寄存器 **123** 的偶数编号的栅极线 **121** 相对应的像素的存储电容 C_{st} 向右增加。

在第六示例性实施例中, 像素的存储电容 C_{st} 逐渐地改变, 并且像素被分成多个块, 所述多个块具有相同的存储电容。在第六示例性实施例中, 很容易设计第一基板 **100**。

可以对本发明的示例性实施例进行各种修改。例如, 可以同时改变两个寄生电容 C_{gs} 和 C_{ds} 以及存储电容 C_{st} 中的至少两个。

如上所述, 本发明提供一种 LCD 装置, 在该装置中, 减少了由于选通信号的延迟差异而引起的亮度不均匀性。

虽然已经示出并描述了本发明的几个示例性实施例, 但是在不背离本发明的原则和精神以及所附权利要求及其等同物所限定的范围的前提下, 本领域技术人员可以对本发明的这些实施例进行各种修改。

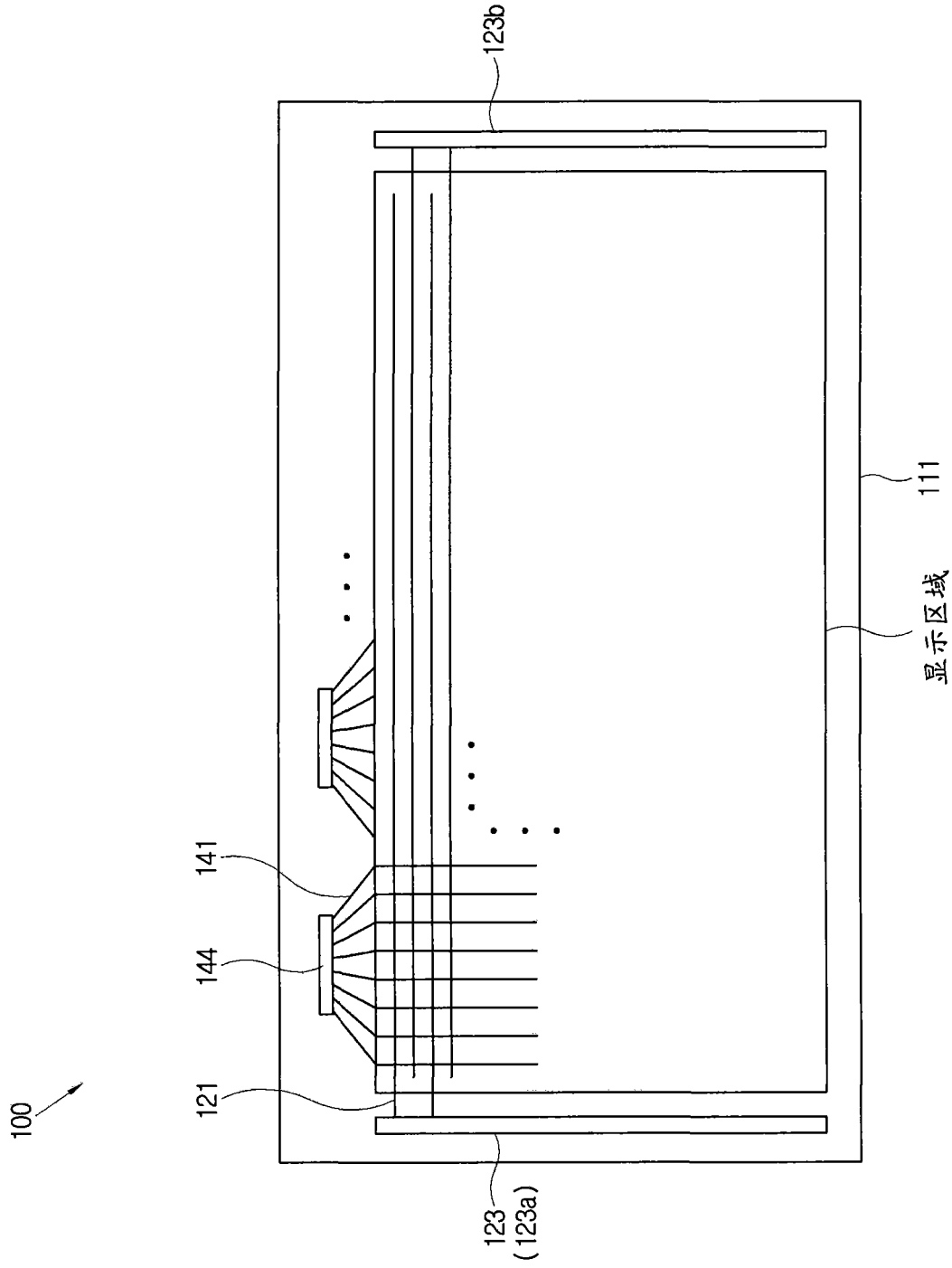


图 1

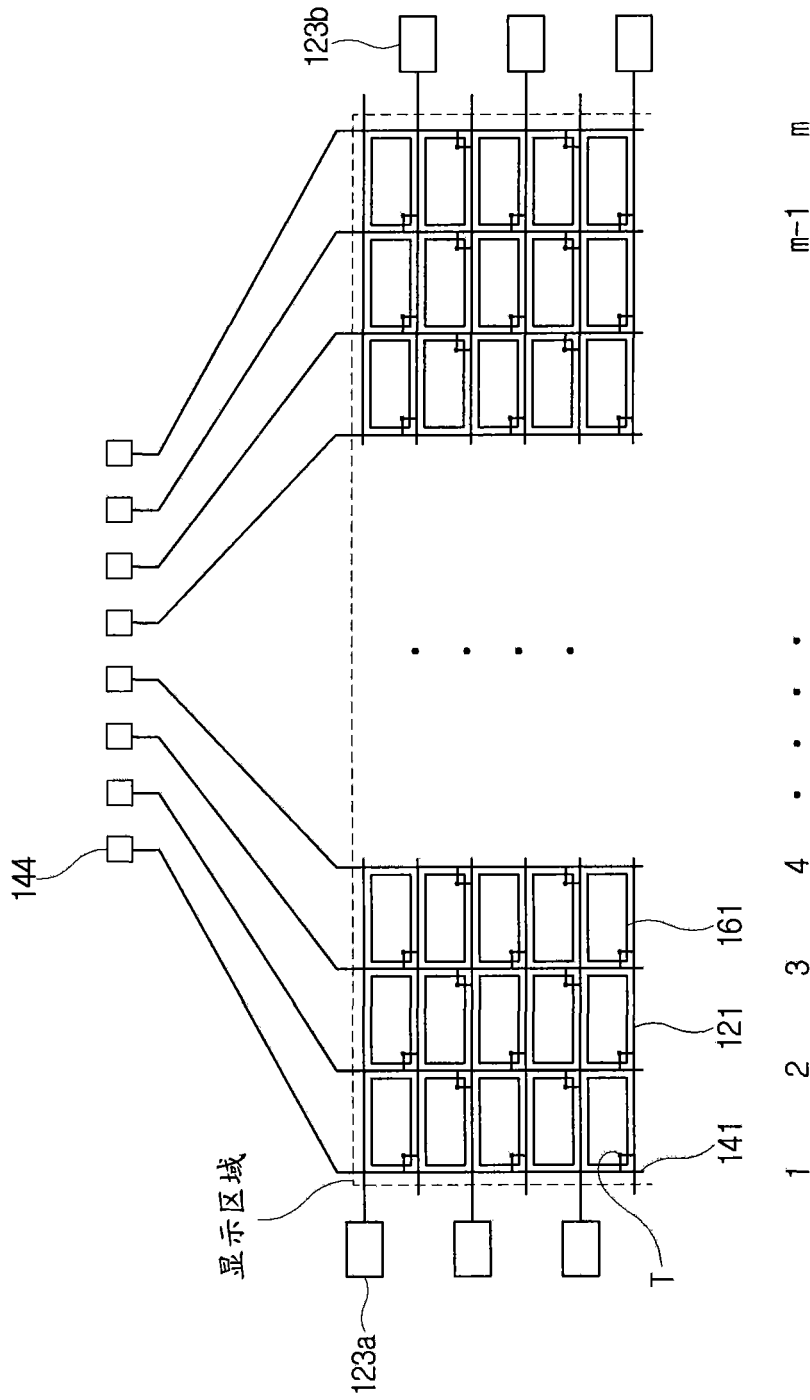


图 2

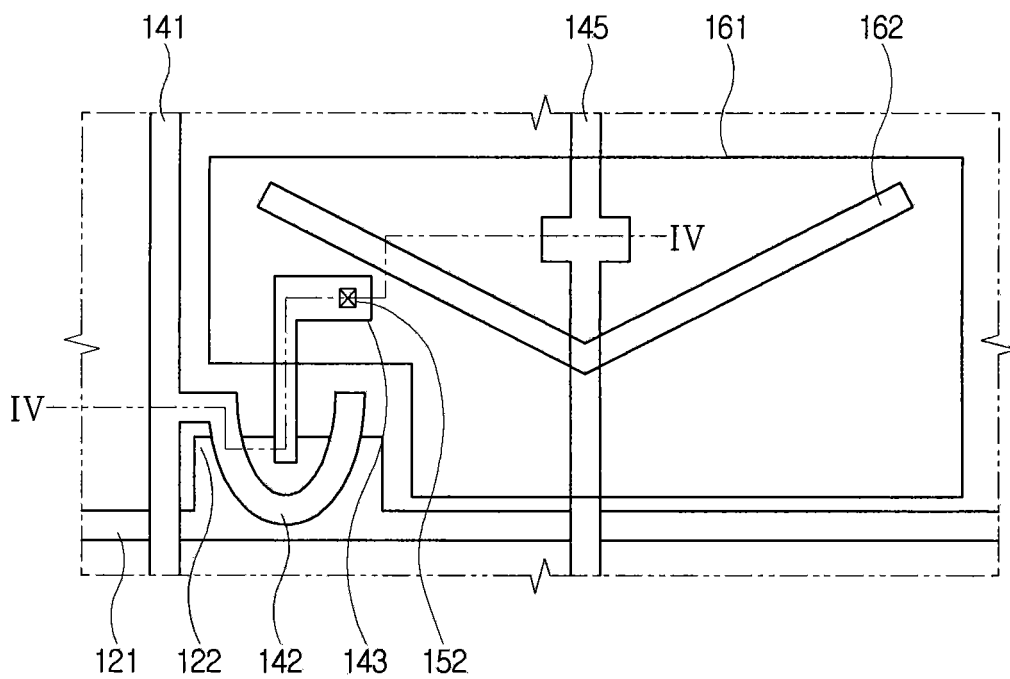


图 3

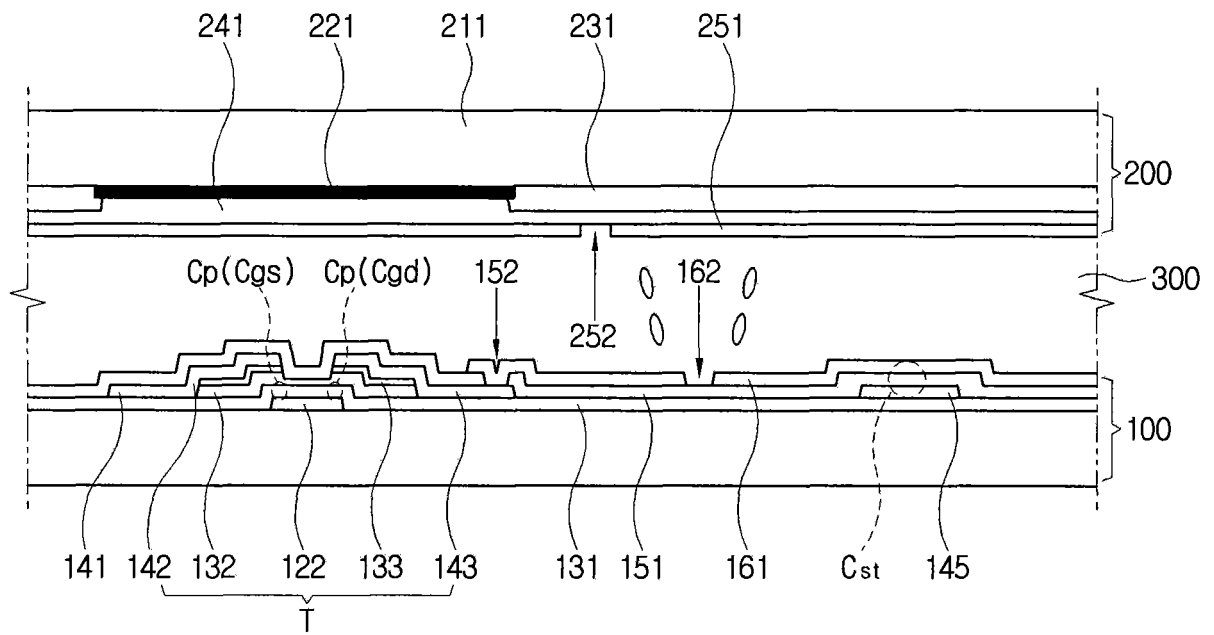


图 4

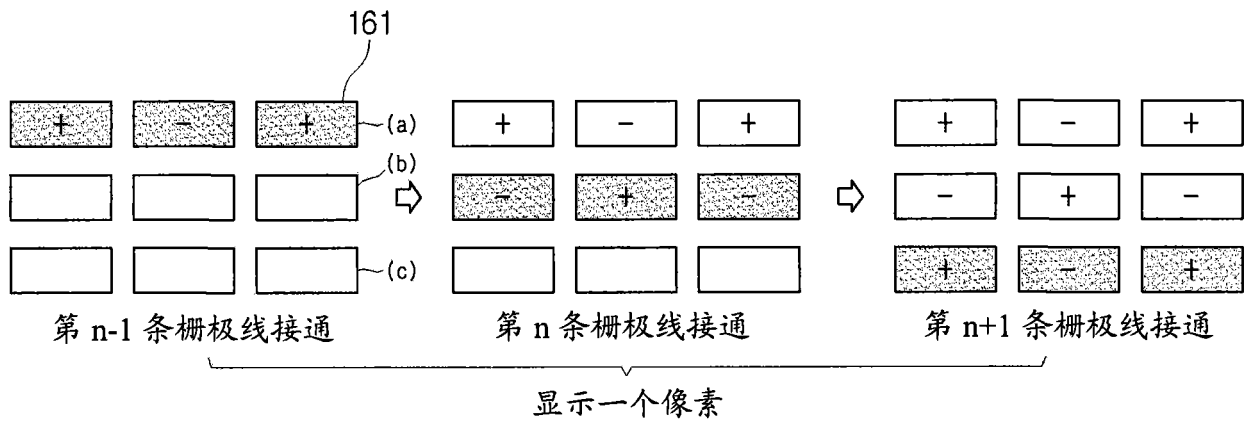


图 5

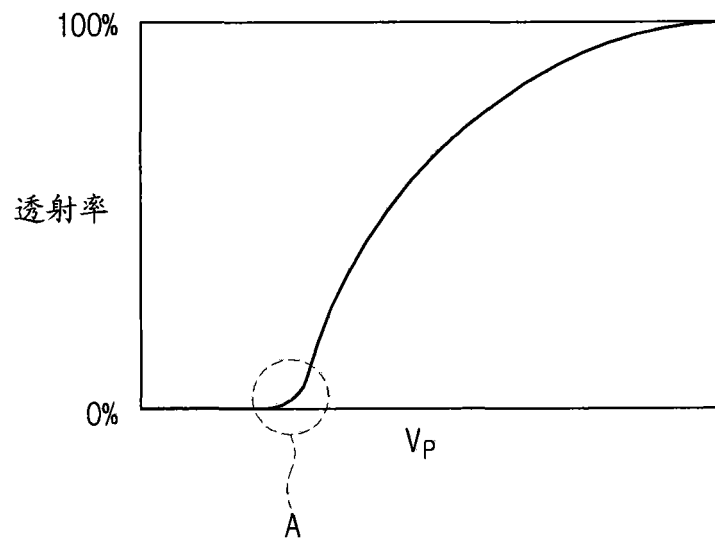


图 6

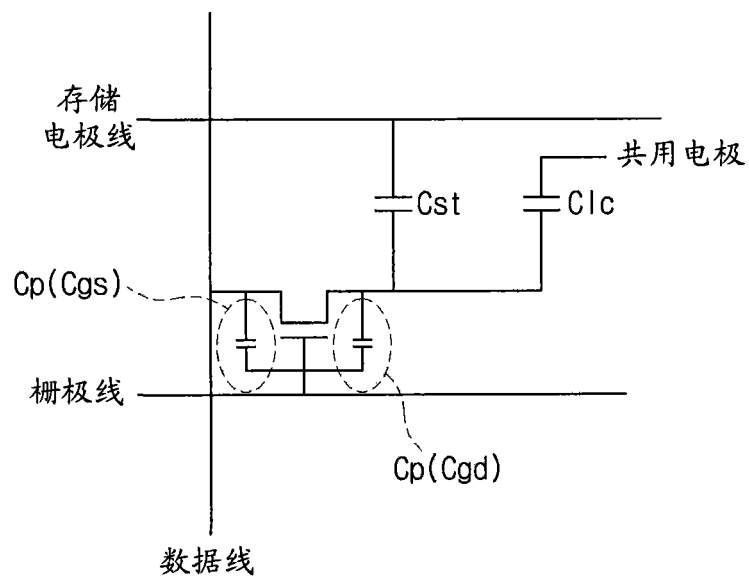


图 7

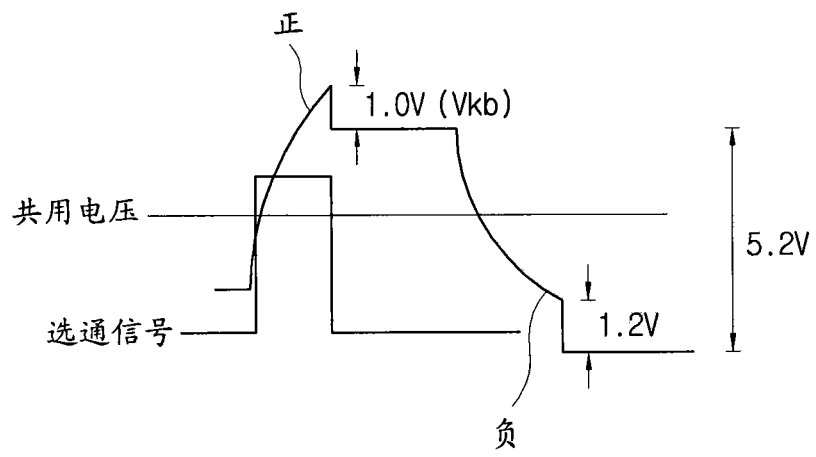


图 8A

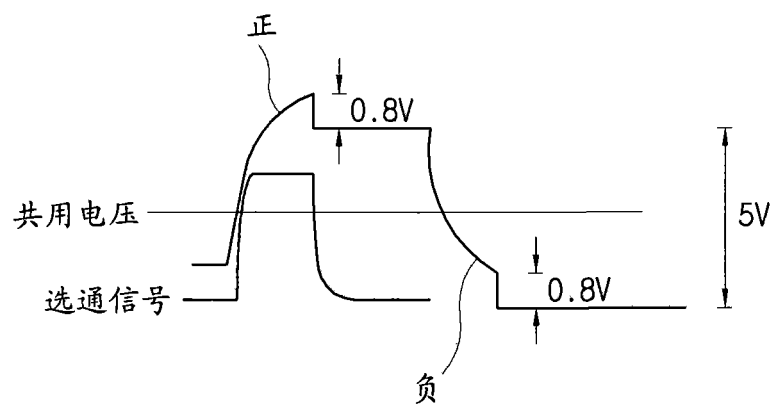


图 8B

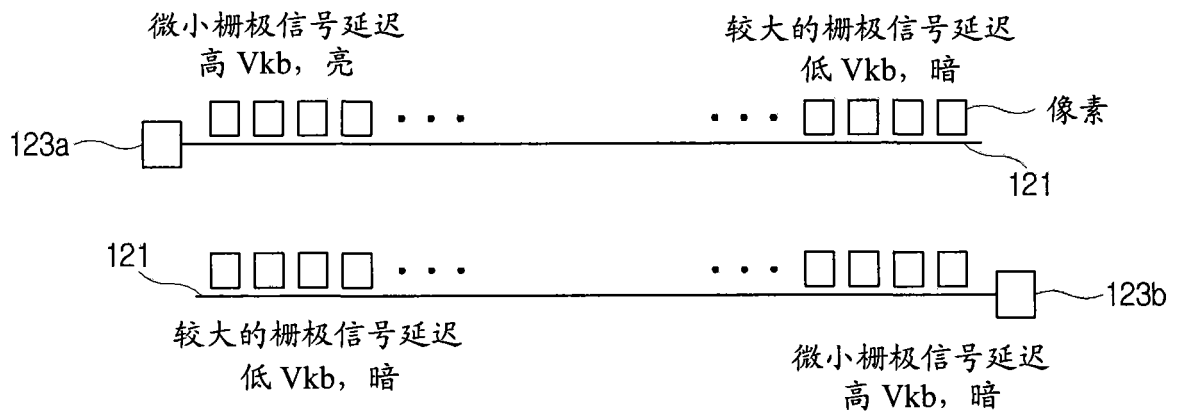


图 8C

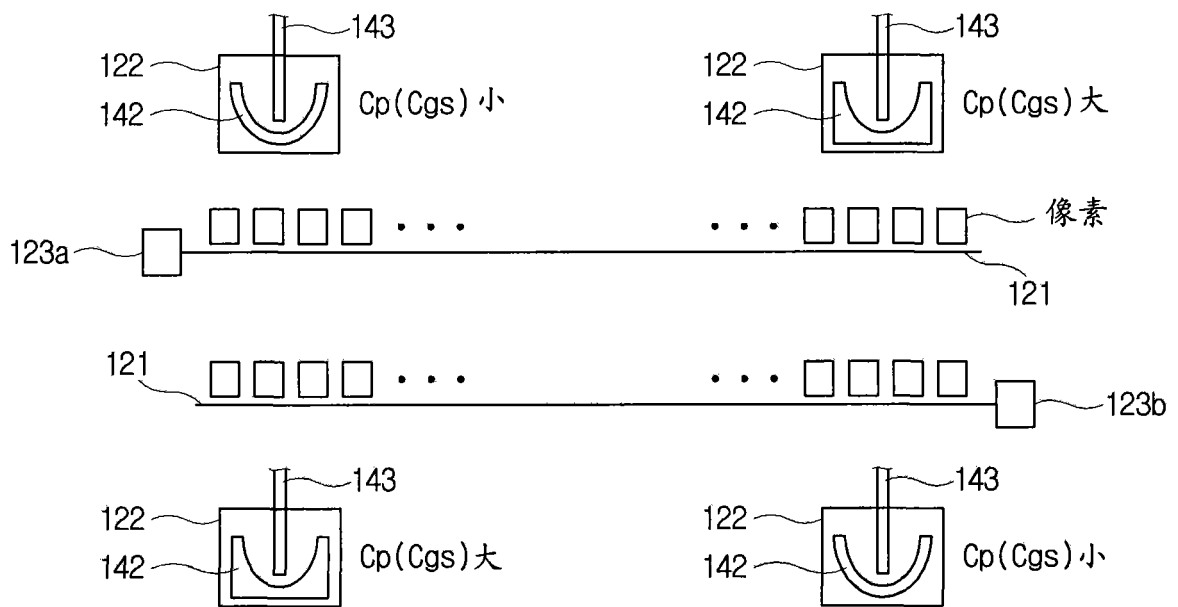


图 9

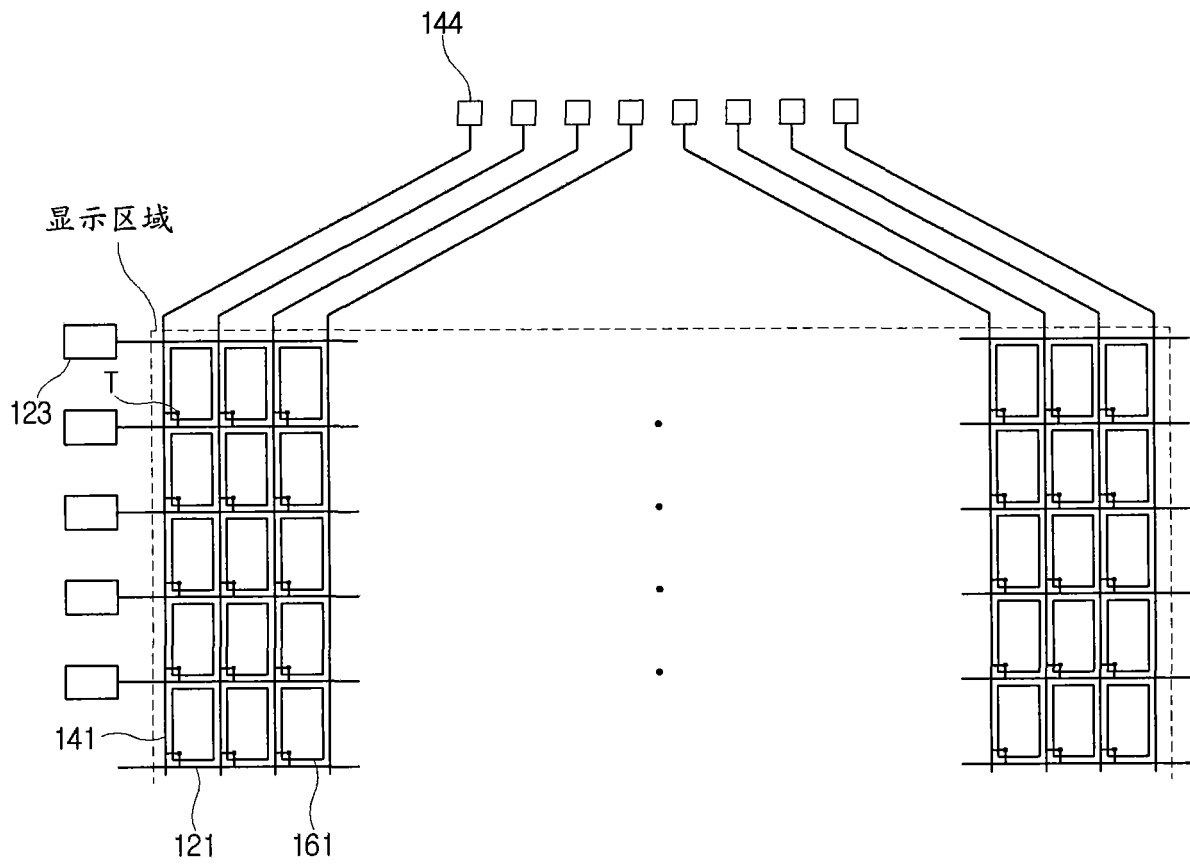


图 10

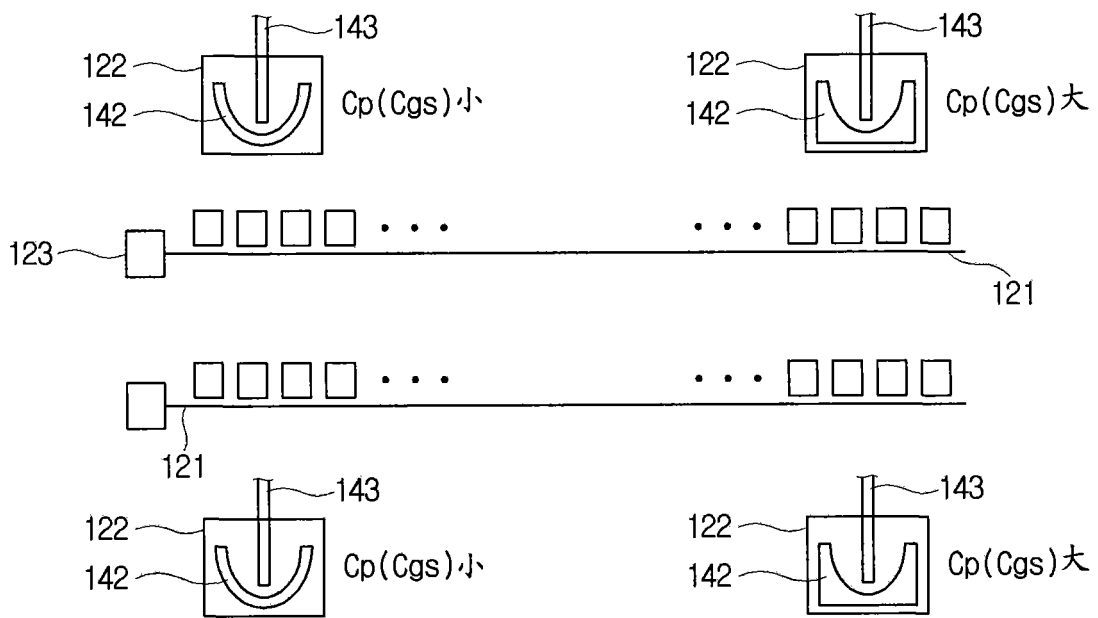


图 11

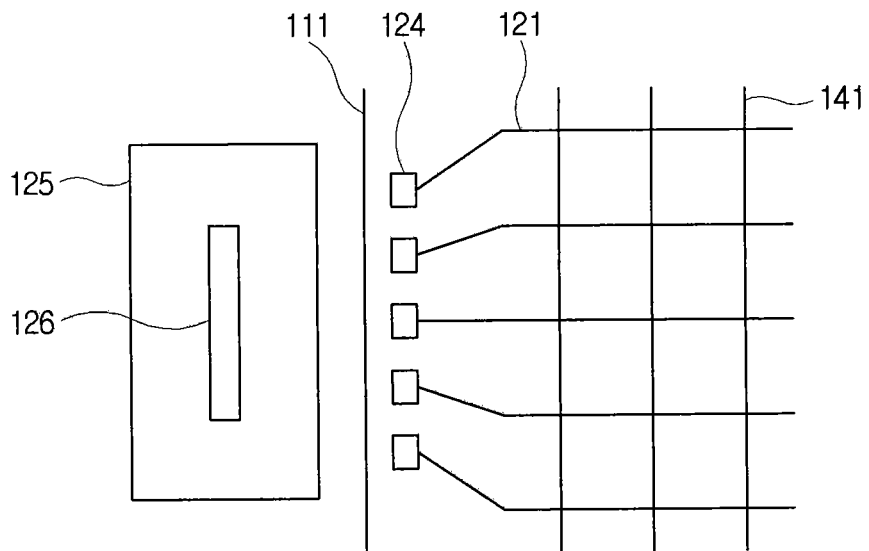


图 12

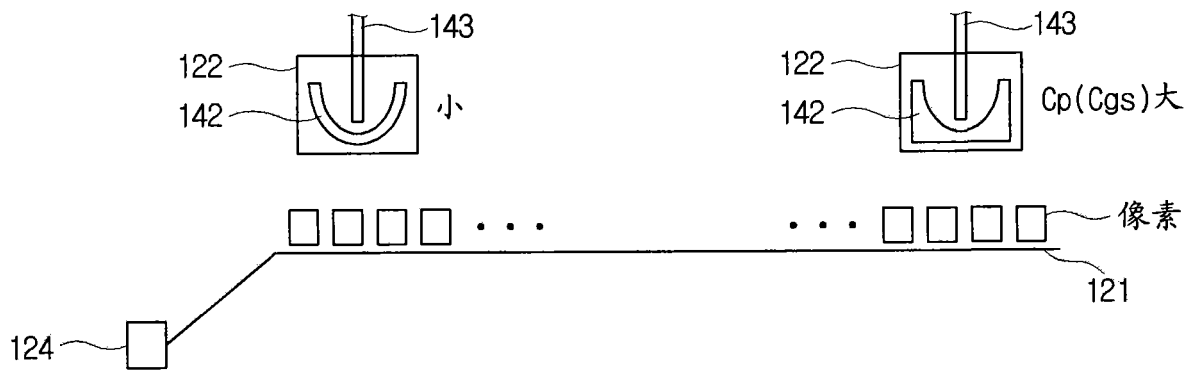


图 13

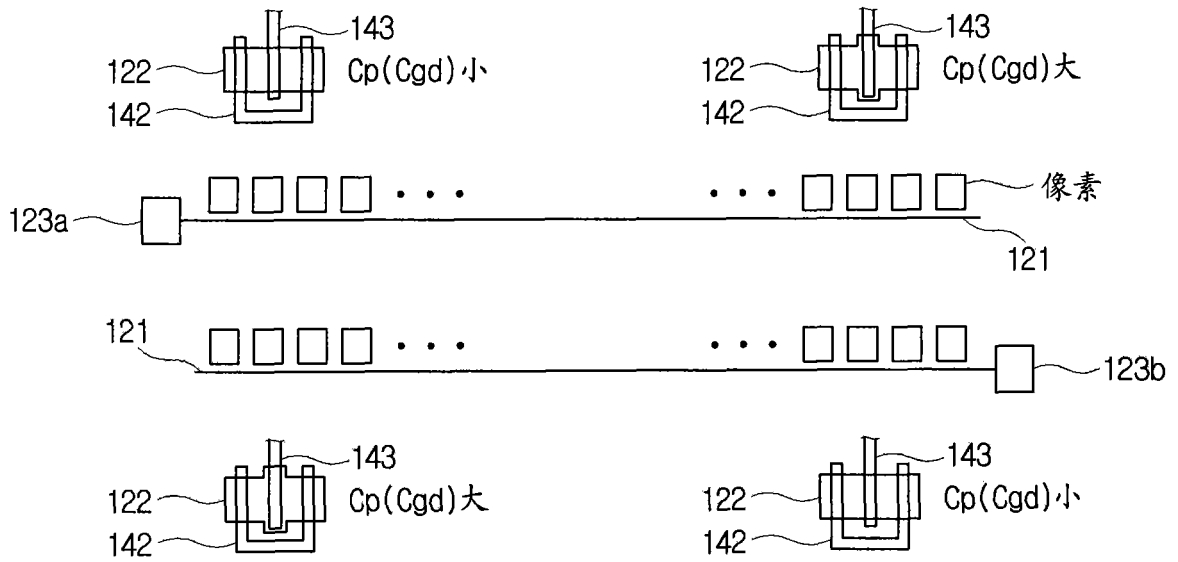


图 14

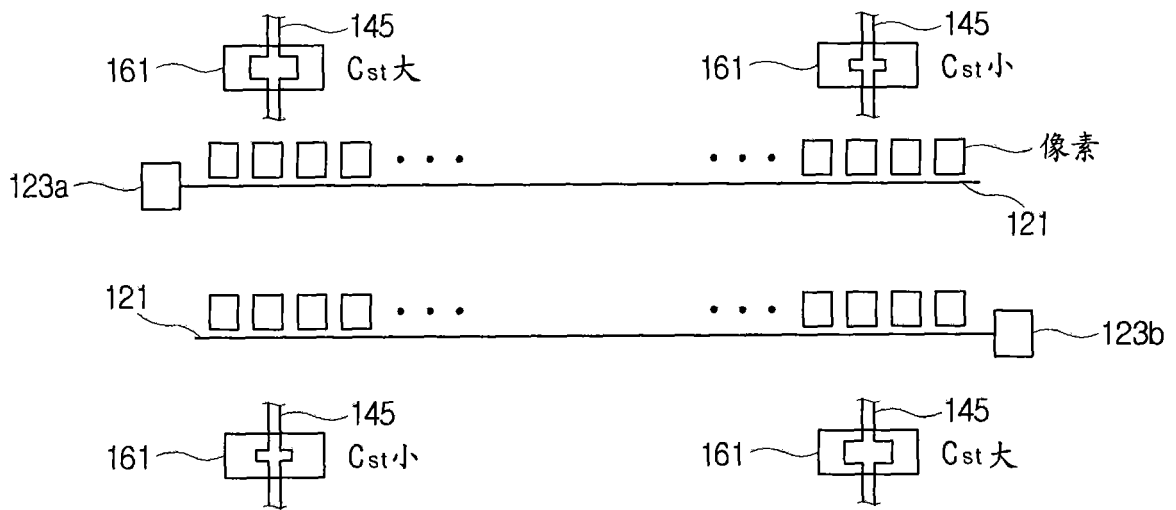


图 15

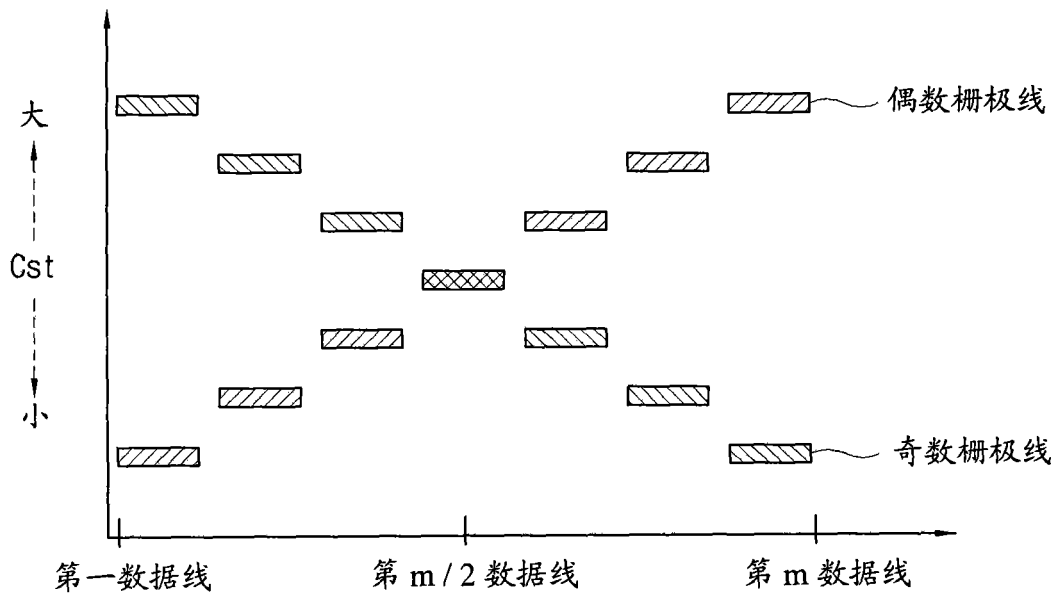


图 16

专利名称(译)	液晶显示器装置		
公开(公告)号	CN101140396A	公开(公告)日	2008-03-12
申请号	CN200710135762.2	申请日	2007-08-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李旻哲		
发明人	李旻哲		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/136213 G09G2320/0219 G02F1/1393 G09G2320/0223 G09G3/3648		
代理人(译)	吴贵明		
优先权	1020060086747 2006-09-08 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器装置，包括第一基板，该第一基板包括多个像素，其中所述像素形成有薄膜晶体管和电连接于该薄膜晶体管的像素电极。该第一基板包括彼此绝缘地交叉的栅极线和数据线，以及将栅极驱动信号提供给栅极线的栅极驱动器。薄膜晶体管包括：连接于栅极线的栅电极；连接于数据线的源电极；以及连接于像素电极的漏电极。像素在 $C_p/(C_p+C_{lc}+C_{st})$ 的数值方面朝向栅极驱动器减小(其中， C_p ：栅电极与源电极之间的寄生电容和栅电极与漏电极之间的寄生电容的总和， C_{lc} ：液晶电容，以及 C_{st} ：存储电容)。

