



(12) 发明专利

(10) 授权公告号 CN 101131491 B

(45) 授权公告日 2012.06.20

(21) 申请号 200710147563.3

(22) 申请日 2007.08.27

(30) 优先权数据

81056/06 2006.08.25 KR

124754/06 2006.12.08 KR

15821/07 2007.02.15 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金东奎 罗柄善

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波 陶凤波

(51) Int. Cl.

G02F 1/133(2006.01)

G02F 1/136(2006.01)

(56) 对比文件

US 6072550 A, 2000.06.06, 说明书第1栏第25行—第2栏第11行、图3.

JP 7218896 A, 1995.08.18, 说明书第0018—0024段、图1.

JP 63198022 A, 1988.08.16, 全文.

US 2005/0179631 A1, 2005.08.18, 全文.

EP 1674922 A1, 2006.06.28, 说明书第36、57、58、110、145、146、147、153、248段、图4, 8, 11.

US 2004/0114059 A1, 2004.06.17, 说明书第0088段—0092段、图4, 10A.

US 2003/0227078 A1, 2003.12.11, 说明书第31段—41段、图1—3.

JP 4313733 A, 1992.11.05, 说明书第2段, 第9—10段、图1—4.

JP 4313733 A, 1992.11.05, 说明书第2段, 第9—10段、图1—4.

审查员 马美娟

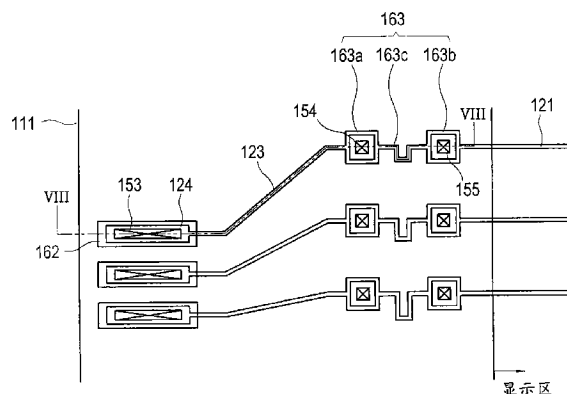
权利要求书 3 页 说明书 10 页 附图 13 页

(54) 发明名称

具有延迟补偿的液晶显示装置

(57) 摘要

本发明涉及一种液晶显示装置,包括:第一基板,具有显示区;第二基板,面对所述第一基板;以及液晶层,设置在所述第一基板和所述第二基板之间,所述第一基板包括:栅极主线,设置在所述显示区中;栅极焊盘,设置在所述显示区外;以及镇流电阻器,电连接所述栅极主线和所述栅极焊盘,且包括比定义所述栅极主线的主要导电材料具有更大电阻率的材料。



1. 一种液晶显示装置,包括:

第一基板,具有显示区;

第二基板,与所述第一基板间隔开并面对所述第一基板;以及

液晶材料层,设置在所述第一基板和所述第二基板之间,

所述第一基板包括:

栅极主线,设置在所述显示区中;

栅极焊盘,设置在所述显示区外;以及

镇流电阻器,电连接所述栅极主线和所述栅极焊盘,且包括比主要定义所述栅极主线的第二材料具有更大电阻率的第一材料,

其中,所述镇流电阻器的长度与相应的栅极主线和所述栅极焊盘之间的距离成反比,且所述镇流电阻器的至少一部分具有曲折图案。

2. 根据权利要求1的液晶显示装置,其中所述第一基板还包括与所述栅极主线连接的薄膜晶体管以及与所述薄膜晶体管电连接的像素电极。

3. 根据权利要求2的液晶显示装置,其中所述电阻器包括与所述像素电极相同的材料。

4. 根据权利要求3的液晶显示装置,其中所述电阻器包括铟锡氧化物或铟锌氧化物。

5. 根据权利要求1的液晶显示装置,其中如果通过所述电阻器连接的所述栅极主线和所述栅极焊盘之间的距离变长,则所述电阻器的电阻值变小。

6. 根据权利要求1的液晶显示装置,还包括设置在所述栅极焊盘和所述电阻器之间的扇出部件。

7. 根据权利要求6的液晶显示装置,其中所述栅极主线、所述栅极焊盘和所述扇出部件形成成为相同的层。

8. 根据权利要求7的液晶显示装置,其中所述第一基板还包括横过栅极外围的静电条、以及抗静电二极管,所述栅极外围设置在所述电阻器外并具有所述栅极焊盘和所述栅极扇出部件,所述抗静电二极管与所述栅极外围和所述静电条电连接。

9. 根据权利要求8的液晶显示装置,其中所述第一基板还包括存储电极线和公共电压线,所述存储电极线形成在所述显示区内并平行于所述栅极主线伸长,所述公共电压线形成在所述显示区外并横过所述栅极外围,并且向所述存储电极线提供公共电压,所述静电条由所述公共电压线构成。

10. 根据权利要求8的液晶显示装置,其中所述抗静电二极管包括第一抗静电二极管和第二抗静电二极管,所述第一抗静电二极管将所述栅极外围作为控制端子和输入端子,将所述静电条作为输出端子,所述第二抗静电二极管将所述栅极外围作为输出端子,将所述静电条作为控制端子和输入端子。

11. 根据权利要求6的液晶显示装置,还包括密封剂,所述密封剂形成在所述扇出部件上且将所述第一基板和所述第二基板结合。

12. 根据权利要求1的液晶显示装置,还包括设置在所述栅极焊盘和所述电阻器之间的扇出部件。

13. 根据权利要求12的液晶显示装置,其中所述栅极焊盘、所述扇出部件和所述电阻器形成成为相同的层。

14. 根据权利要求 2 的液晶显示装置,其中所述液晶层是垂直取向模式。

15. 根据权利要求 14 的液晶显示装置,其中所述像素电极包括像素电极切割图案且所述第二基板包括公共电极,所述公共电极形成有公共电极切割图案。

16. 根据权利要求 15 的液晶显示装置,其中所述像素电极包括彼此分离的第一像素电极和第二像素电极,且所述第一和第二像素电极接收不同的像素电压。

17. 根据权利要求 16 的液晶显示装置,其中所述薄膜晶体管包括漏极电极,所述漏极电极包括直接向所述第一像素电极提供数据电压的第一漏极电极、以及与所述第二像素电极一起形成耦合电容的第二漏极电极。

18. 根据权利要求 16 的液晶显示装置,其中所述薄膜晶体管包括与所述第一像素电极连接的第一薄膜晶体管、以及与所述第二像素电极连接的第二薄膜晶体管。

19. 根据权利要求 1 的液晶显示装置,其中所述电阻器的总电阻为所述栅极主线的总电阻的 10%至 50%。

20. 一种液晶显示装置,包括:

第一基板,具有显示区;

第二基板,面对所述第一基板;以及

液晶层,设置在所述第一基板和所述第二基板之间,

所述第一基板包括:

栅极主线,设置在所述显示区中;

栅极焊盘,设置在所述显示区外;

电阻器,电连接所述栅极主线和所述栅极焊盘,且包括比所述栅极主线具有更大电阻的材料;

薄膜晶体管,与所述栅极主线连接;以及

像素电极,与所述薄膜晶体管电连接且包括与所述电阻器相同的材料,

其中,所述液晶层为垂直取向模式,以及

其中,所述电阻器的长度与相应的栅极主线和所述栅极焊盘之间的距离成反比,且所述电阻器的至少一部分具有曲折图案。

21. 一种薄膜晶体管阵列基板,包括:

基板,具有显示区和非显示区;

栅极主线,设置在所述显示区中;

栅极焊盘,设置在所述显示区外;

电阻器,电连接所述栅极主线和所述栅极焊盘,且包括比所述栅极主线具有更大电阻的材料;

薄膜晶体管,与所述栅极主线连接;以及

像素电极,与所述薄膜晶体管电连接且包括与所述电阻器相同的材料,

其中,所述电阻器的长度与相应的栅极主线和所述栅极焊盘之间的距离成反比,且所述电阻器的至少一部分具有曲折图案。

22. 一种液晶显示器,具有像素区域矩阵且包括:

多个焊盘,驱动电路的端子可连接到所述多个焊盘从而向所述焊盘提供各栅极脉冲信号;

多个栅信号承载线,每个从所述焊盘中的各自一个扇出且每个具有延伸得与对应的多个像素控制晶体管操作上耦接的长度,所述多个像素控制晶体管沿所述栅信号承载线的长度分布;以及

一个或多个镇流电阻器,与对应的一个和多个所述栅信号承载线成一条线地整体设置,其中每个镇流电阻为足够大的电阻从而减小沿相应的栅信号承载线的长度测量时最接近和最远离所述各焊盘处的相应栅信号承载线的像素区域之间的亮度差异,

其中,所述镇流电阻器的长度与相应的栅极主线和所述栅极焊盘之间的距离成反比,且所述镇流电阻器的至少一部分具有曲折图案。

具有延迟补偿的液晶显示装置

技术领域

[0001] 本发明公开的内容涉及液晶显示 (LCD) 装置, 更具体而言, 涉及其中栅信号传输路径的延迟差异被减小且亮度均匀性由此得到改善的液晶显示装置。

背景技术

[0002] 普通液晶显示装置包括具有多个薄膜晶体管 (TFT) 的第一基板 (含有 TFT 的基板)、与第一基板成分开面对关系的第二基板 (公共电极基板)、以及设置在第一和第二基板之间的液晶材料层。

[0003] 含有 TFT 的基板 (第一基板) 的像素区域通常定义为矩形区域, 其具有在设置于 TFT 基板中的相应栅极线和数据线彼此交叉处或附近定位的角。穿过每个像素区域的光透射通常通过薄膜晶体管 (TFT) 控制, 薄膜晶体管的栅极连接到栅极线, 其源极连接到数据线, 且其漏极连接到像素区域的相应像素电极。当激活像素的栅信号, 即栅极导通电压 (V_{on}) 提供到栅极线时, 薄膜晶体管导通且出现在源极的数据电压 (V_d) 通过 TFT 的导电沟道区施加到像素电极。

[0004] 由于出现在像素电极上的像素电压 V_p 与出现在间隔开的第二基板的公共电极上的公共电压 V_{com} 之间的差而形成的电场驱动在中间的液晶材料至相应的光学取向。在一些实施例中, 供应到数据线上的数据电压 V_d 的极性按每帧或预定数目的帧翻转, 从而减小单向电流的不利影响。

[0005] 多种因素可导致像素电极上出现的 V_p 电压不同于供应在数据线上的 V_d 电压。所谓的密勒 (Miller) 电容或寄生电容 C_p 经常存在于每个 TFT 的栅极与它的源极和漏极电极的每个之间。通过 TFT 供应到像素区域的数据电压脉冲 V_d 的上升沿和下降沿由于经寄生电容 C_p 的负反馈而被迟缓 (导致变化更缓慢), 由此引起与出现在数据线上的数据电压脉冲的 V_d 幅度相比不同的像素电压 V_p 出现在带电的像素电极上。供应到数据线上的数据电压 V_d 的幅度和像素电极上产生的像素电压 V_p 之间的差称为反冲电压 (kick backvoltage) V_{kb} 。

[0006] 影响像素电极电压 V_p 的另一因素是施加到 TFT 的栅极的栅极导通电压的幅度 (magnitude)。在一类实施例中, 栅极线从较宽的栅信号发源 (origination) 焊盘接收其栅信号, 在较宽的栅信号发源焊盘处多个焊盘在可设置相应的驱动芯片 (集成电路芯片) 的区域中挤在一起且每条栅极线用作单独的信号传输条带 (strip) 以用于将栅信号从其 IC 连接焊盘耦合到沿每条栅极线分布的各 TFT。靠近其各栅极分布焊盘定位的像素区域一般接收短延迟的栅信号 (RC 因子导致延迟), 而远离栅极焊盘定位的像素区域接收由于栅极线的累积电阻 (R) 和 / 或其它传输线效应 (即 C 和 / 或 L) 而导致的较长延迟的栅信号。

[0007] 反冲电压 V_{kb} 的大小尤其依赖于栅信号线的产生延迟的累积电阻。所得到的像素电压 V_p 受反冲电压 V_{kb} 变化的影响, 由此导致归因于像素区域距离其相应的栅信号发源焊盘的距离的图像中亮度不规则。这些效应会引起不期望的图像质量下降。

发明内容

[0008] 本公开的一个实施例提供一种液晶显示装置,其减小了由于栅信号之间的延迟差异导致的亮度不规则性。

[0009] 本公开的额外方面和 / 或优点将在下面的详细说明中阐述。根据本公开的一个方面,设置延迟镇流电阻器,其中该电阻器包括与用于形成透光像素电极的材料相同的材料。更具体而言,在一个实施例中,延迟镇流电阻器包括铟锡氧化物 (ITO) 或铟锌氧化物 (IZO)。

[0010] 根据本公开的另一方面,如果沿着通过所述电阻器连接的栅极主线和扇出线测量的栅极和栅极焊盘之间的距离变大,则延迟镇流电阻器具有较小电阻值,且如果该分隔距离较小,则具有较大电阻值。

[0011] 根据本公开的另一方面,液晶显示装置还包括设置在所述栅极焊盘和所述延迟镇流电阻器之间的信号扇出部件。

[0012] 根据本公开的另一方面,所述栅极主线、所述栅极焊盘和所述扇出部件形成成为相同层的部分。

[0013] 根据本公开的一方面,第一基板还包括交叉栅极外围的静电条、以及抗静电二极管,所述栅极外围设置在所述电阻器外并具有所述栅极焊盘和所述栅极扇出部件,所述抗静电二极管与所述栅极外围和所述静电条电连接。

[0014] 根据本公开的一方面,第一基板还包括存储电极线和公共电压线,所述存储电极线形成在所述显示区内并平行于所述栅极主线伸长,所述公共电压线形成在所述显示区外并交叉所述栅极外围,且向所述存储电极线提供公共电压,所述静电条包括所述公共电压线。

[0015] 根据本发明的一方面,所述抗静电二极管包括第一抗静电二极管和第二抗静电二极管,所述第一抗静电二极管将所述栅极外围作为控制端子和输入端子,将所述静电条作为输出端子,所述第二抗静电二极管将所述栅极外围作为输出端子,将所述静电条作为控制端子和输入端子。

[0016] 根据本发明的一方面,该液晶显示装置还包括密封剂,所述密封剂形成在所述扇出部件上且将所述第一基板和所述第二基板结合。

[0017] 根据本发明的一方面,该液晶显示装置还包括设置在所述栅极焊盘和所述电阻器之间的扇出部件。

[0018] 根据本发明的一方面,所述栅极焊盘、所述扇出部件和所述电阻器形成成为相同的层。

[0019] 根据本发明的一方面,所述电阻器的至少一部分具有曲折图案。

[0020] 根据本发明的一方面,所述液晶层是垂直取向模式。

[0021] 根据本发明的一方面,所述像素电极包括像素电极切割图案且所述第二基板包括公共电极,所述公共电极形成有公共电极切割图案。

[0022] 根据本发明的一方面,所述像素电极包括彼此分离的第一像素电极和第二像素电极,且所述第一和第二像素电极接收不同的像素电压。

[0023] 根据本发明的一方面,所述薄膜晶体管包括漏极电极,所述漏极电极包括直接向所述第一像素电极提供数据电压的第一漏极电极和与所述第二像素电极一起形成耦合电

容的第二漏极电极。

[0024] 根据本发明的一方面,所述薄膜晶体管包括与所述第一像素电极连接的第一薄膜晶体管和与所述第二像素电极连接的第二薄膜晶体管。

[0025] 根据本发明的一方面,所述电阻器的总电阻为所述栅极主线的总电阻的 10% 至 50%。

[0026] 根据本发明的一方面,所述栅极主线中栅信号延迟的变化发生在 100% 内。

[0027] 本发明的上述和 / 或其它方面可以通过提供一种液晶显示装置实现,该液晶显示装置包括:第一基板,具有显示区;第二基板,面对所述第一基板;以及液晶层,设置在所述第一基板和所述第二基板之间;所述第一基板包括:栅极主线,设置在所述显示区中;栅极焊盘,设置在所述显示区外;电阻器,电连接所述栅极主线和所述栅极焊盘,且包括比所述栅极主线具有更大电阻的材料;薄膜晶体管,与所述栅极主线连接;以及像素电极,与所述薄膜晶体管电连接且包括与所述电阻器相同的材料,所述液晶层为垂直取向 (VA) 模式。

[0028] 本发明的上述和 / 或其它方面可以通过提供一种薄膜晶体管阵列基板实现,该薄膜晶体管阵列基板包括:基板,具有显示区和非显示区;栅极主线,设置在所述显示区中;栅极焊盘,设置在所述显示区外;电阻器,电连接所述栅极主线和所述栅极焊盘,且包括比所述栅极主线具有更大电阻的材料;薄膜晶体管,与所述栅极主线连接;以及像素电极,与所述薄膜晶体管电连接且包括与所述电阻器相同的材料。

附图说明

[0029] 通过下面结合附图的详细描述,本公开的上述和 / 或其它特征及优点将变得更加明显,附图中:

[0030] 图 1 示出根据第一实施例的液晶显示装置中的第一基板的平面图;

[0031] 图 2 是根据第一实施例的图 1 中的部分 A 的放大图;

[0032] 图 3 是沿图 2 中的 III-III 取得的剖视图;

[0033] 图 4 绘出根据第一实施例的液晶显示装置中作为像素电压的函数的透射率属性的曲线;

[0034] 图 5 示出根据第一实施例的液晶显示装置的像素的等效电路的示意图;

[0035] 图 6A 至 6C 示出由于延迟的栅信号导致的亮度不规则性;

[0036] 图 7 是根据第一实施例的图 1 中的部分 B 的放大视图;

[0037] 图 8 是沿图 7 的线 VIII-VIII 取得的剖视图;

[0038] 图 9 示出根据第一实施例的液晶显示装置中亮度不规则性的改善;

[0039] 图 10 示出延迟的栅信号和亮度之间的关系;

[0040] 图 11 示出亮度和寄生电容的变化;

[0041] 图 12 示出电阻器的电阻值导致的栅信号延迟;

[0042] 图 13 示出依赖于电阻器的电阻值的像素电压;

[0043] 图 14 示出根据第二示例实施例的液晶显示装置中的主要部分的电路图;

[0044] 图 15 是图 14 中的部分 C 的放大图;

[0045] 图 16 示出根据第三实施例的液晶显示装置;

[0046] 图 17 是沿图 16 中的线 XVII-XVII 取得的剖视图;

- [0047] 图 18 是根据第四实施例的液晶显示装置中的像素的等效电路；
- [0048] 图 19 示出根据第四实施例的液晶显示装置中改善可视性的原理；
- [0049] 图 20 示出根据第四实施例的液晶显示装置的布置；及
- [0050] 图 21 示出根据第五实施例的液晶显示装置的布置。

具体实施方式

[0051] 现在将参照附图描述根据本公开的实施例，附图中相似的附图标记通常表示相似的元件且实用地可避免重复描述。

[0052] 下面，关于在第二膜（即层）“上”或“之上”形成第一膜（即层）的论述将理解为涵盖第三层设置在所述两个膜（即层）之间的情况以及所述两个膜（即层）彼此直接接触的情况。

[0053] 将参照图 1-3 描述根据本公开的液晶显示装置。

[0054] 液晶显示装置 1（图 3）包括具有薄膜晶体管 T 的第一基板 100、与第一基板 100 间隔开并面对第一基板 100 的第二基板 200、设置在第一和第二基板 100 和 200 之间的液晶材料层 300、以及密封环 400（图 1），其密封地将第一和第二基板 100 和 200 以间隔开的关系彼此接合。

[0055] 第一基板 100 包括显示区域和围绕显示区域的非显示区域。显示区域的栅极主线（main line）121 通过非显示区域的扇出（fan-out）部件 123 与栅极焊盘 124 连接。

[0056] 下面将描述根据第一实施例的第一基板 100。

[0057] 栅极信号从信号发源焊盘（例如 IC 连接焊盘，见图 7 的 124）经栅极布线传输到栅极电极，所述栅极布线形成在第一绝缘基板 111 上。栅极布线可包括单个或多个金属层。栅极布线通常包括设置在显示区域中并横向延伸的栅极主线 121、与栅极主线 121 连接的栅极电极 122、从栅极主线 121 延伸到非显示区域的扇出部件 123、以及与扇出部件 123 的端部连接的栅极焊盘 124。存储电极线 125 通常与栅极主线 121 平行地延伸，例如如图 2 所示。

[0058] 栅极信号发源焊盘 124 通常与输出栅极信号到栅极布线的焊盘端的栅极驱动电路（未示出）的封装端子或 IC 管脚连接。栅极焊盘 124 具有比将该信号发源焊盘 124 连接至沿栅极主线 121 分布的 TFT 的栅极的栅极主线 121 实质上更宽的宽度。

[0059] 在一实施例中由氮化硅（SiNx）制成的栅极绝缘层 131 交叠栅极电极 122 和栅极布线 121，后者（121、122）设置在第一绝缘基板 111 上。

[0060] 在一实施例中包括非晶硅（a-Si）的半导体层 132 形成在栅极绝缘层 131 上，交叠栅极电极 122。在一实施例中包括高度掺杂以 n 型掺杂剂的 n+ 氢化非晶硅的欧姆接触层 133 形成在半导体层 132 上。欧姆接触层 133 从 TFT（T）的源极电极 142 和漏极电极 143 之间的沟道被选择性去除（蚀刻掉）。

[0061] 数据承载布线形成得延伸在漏极的欧姆接触层 133 之上且在栅极绝缘层 131 上。数据布线可包括金属的单层或多层。数据布线包括图 2 中示出为垂直延伸并在像素区域的角部分处交叉栅极主线 121 的数据线 141。源极电极 142 从数据线 141 分支并在欧姆接触层 133 上延伸。与源极电极 142 分开的漏极电极 143 与源极电极 142 相对地延伸在欧姆接触层 133 上。源极线的扇出部件 144 从数据主线 141 延伸到非显示区域和数据驱动焊盘

145(属于数据驱动电路或 IC,未示出),数据驱动焊盘 145 与扇出部件 144 的端部连接。

[0062] 数据焊盘 145 与数据驱动器电路(未示出)连接并接收数据驱动信号。数据焊盘 145 比数据主线 141 具有更宽的宽度。

[0063] 钝化层 151 形成在数据布线和未被数据布线覆盖的半导体层 132 上。接触孔 152 形成在钝化层 151 上从而暴露漏极电极 143。如图 7 和 8 所示,接触孔 153、154 和 155 也形成在钝化层 151 上。栅极绝缘层 131 从接触孔 153、154 和 155 去除。

[0064] 像素电极 161 形成在钝化层 151 上。像素电极 161 通常由透明导电材料例如氧化铟锡(ITO)、氧化铟锌(IZO)等制成。像素电极 161 通过接触孔 152 与漏极电极 143 连接。像素电极切割图案 166 如图所示地限定(切穿)像素电极 161。

[0065] 像素电极 161 的像素电极切割图案 166 与公共电极切割图案 252(以后描述)一起将液晶层 300 分成多个区。

[0066] 下面将描述根据第一实施例的液晶显示装置 1 的第二基板 200。

[0067] 黑矩阵 221 形成在第二绝缘基板 211 上。黑矩阵 221 基本勾勒出相应的红色、绿色和蓝色滤色器 231 的轮廓并阻挡光穿过下面的第一基板 100 的薄膜晶体管(T)的区域直接发射。黑矩阵 221 可包括添加有黑颜料的光致抗蚀剂有机材料。黑颜料可包括碳黑或氧化钛。

[0068] 滤色器 231 可包括带通光学材料例如在黑矩阵 221 的区域之间重复形成的红色、绿色和蓝色滤色器之一。滤色器 231 将颜色赋予从背光单元(未示出)发射并穿过液晶层 300 行进的光。滤色器 231 通常包括光致抗蚀剂有机材料。

[0069] 保护(overcoat)、平坦层 241 通常形成在滤色器 231 和黑矩阵 221 上。保护层 241 提供平坦表面,即使滤色器和黑矩阵具有不同厚度,并且保护层 241 保护滤色器 231。保护层 241 可包括光致抗蚀剂丙烯酸类树脂(acrylicresin)。

[0070] 公共电极 251 形成在保护层 241 上。公共电极 251 包括透明导电材料诸如氧化铟锡(ITO)、氧化铟锌(IZO)等。公共电极 251 向液晶材料层 300 的一侧供应电压,同时薄膜晶体管基板的像素电极 161 向另一侧提供第二电压,从而建立穿过液晶材料层 300 的一个或更多电场图案。

[0071] 公共电极切割图案 252 形成在公共电极 251 上。公共电极切割图案 252 与像素电极 161 的像素电极切割图案 166 一起将液晶层 300 分成多个区。像素电极切割图案 166 和公共电极切割图案 252 不限于所示的用于第一实施例的 V 形图案,而是可以另外地以各种形状形成。在本公开的另一实施例中,可以提供凸起从而代替切割图案 166 和 252 将液晶层 300 分成多个区。

[0072] 液晶层 300 设置在第一和第二基板 100 和 200 之间。在一实施例中,液晶材料层 300 是垂直取向(VA)模式,其中如果未接收电压则液晶分子的长轴垂直于第一和第二基板 100 和 200。当接收驱动电压时,由于负介电各向异性,液晶分子的长轴变换为处于相对于电场的垂直方向。

[0073] 如果不形成切割图案 166 和 252,液晶分子会不规则地处于所有方向,因为所处的方向没有被边界条件确定,由此在不同的所处方向之间的边界上产生旋错线(disclination line)。组织切割图案 166 和 252 从而当电压供应到液晶层 300 时形成边缘电场(fringe electric field)并且由此确定液晶分子的所处方向。液晶层 300 通过切

割图案 166 和 252 分成多个区。

[0074] 当没有实质电压跨液晶材料施加时,根据第一实施例的液晶显示装置 1 具有常黑模式 (normally black mode),并且作为像素电压的函数的透射率示于图 4 的曲线图中。图 4 中的部分 C 所示的低梯度透射率变化对于 VA 材料在剧烈程度上是扭转向列液晶的三倍。

[0075] 在根据第一实施例的液晶显示装置 1 中,栅极主线 121 通过与其末端部分相连的栅极焊盘 124 接收栅信号。由于栅极主线 121 的电阻,与栅极焊盘 124 相邻的薄膜晶体管 T 即左薄膜晶体管 T 接收短延迟的栅信号,但远离栅极焊盘 124 的薄膜晶体管 T 即右薄膜晶体管 T 接收长延迟的栅信号。

[0076] 参照图 5 至 6C 描述取决于栅信号延迟差异的图像亮度变化。

[0077] 反冲电压 V_{kb} 可通过下面的公式 1 表示。

[0078] 公式 1

$$V_{kb} = (V_{on} - V_{off}) * C_p / (C_{lc} + C_{st} + C_p)$$

[0080] 如图 3 和 5 所示, C_p 表示复合的栅极电极与源极电极之间的寄生电容 C_{gs} 和栅极电极与漏极电极之间的寄生电容 C_{gd} , C_{lc} 是液晶电容, C_{st} 是存储电容, V_{on} 是栅极导通电压, V_{off} 表示栅极截止电压。

[0081] 如果栅信号相对于数据线上的数据脉冲延迟较长,则栅极导通电压 (V_{on}) 没有及时提供,由此降低反冲电压 V_{kb} 。当提供负像素电压而不是提供正像素电压时,反冲电压变得较大。

[0082] 图 6A 和 6B 分别示出具有短延迟栅信号的左侧显示区中的像素以及具有长延迟栅信号的右侧显示区中的像素的反冲电压 V_{kb} 。

[0083] 对于图 6A 中的左侧像素,反冲电压在正像素电压被提供时为约 1.0V,在负像素电压被提供时为约 1.2V。对于图 6B 中的右侧像素,反冲电压在正像素电压和负像素电压被提供时都为约 0.8V。

[0084] 结果,左侧像素具有较大的最终保持的均方根像素电压,并且相应于左侧像素的图像看起来比较亮。

[0085] 如图 6C 所示,栅信号被较短延迟并且反冲电压 V_{kb} 变得较大,如果它们较接近栅极焊盘 124。相反,栅信号被较长延迟并且反冲电压 V_{kb} 变得较小,如果它们较远离栅极焊盘 124。因此,左侧像素比右侧像素具有较大的均方根像素电压从而使对应于左侧像素的图像比对应于右侧像素的图像更亮。

[0086] 如上所述,左侧和右侧亮度不同,因此有时显示非想要的垂直线。在具有长栅极主线 121 并导致较长延迟的栅信号的大尺寸液晶显示装置中这个问题更严重。

[0087] 参照图 7,根据本公开第一实施例的液晶显示装置 1 提供设置在栅极主线 121 和扇出线 123 (及栅极焊盘 124) 之间的补偿电阻器 163 以减少上述问题。

[0088] 下面将参照图 7-9 描述根据第一实施例的液晶显示装置 1 的电阻器 163。

[0089] 电阻器 163 设置在非显示区中在扇出部件 123 和栅极主线 121 之间。电阻器 163 的主要电阻材料通过提供像素电极 161 的主要材料的相同层提供。电阻器 163 包括与扇出部件 123 连接的第一部分 163a、与栅极主线 121 相连的第二部分 163b、以及电设置在第一部分 163a 和 163b 之间的第三部分 163c。

[0090] 第一部分 163a 通过接触孔 154 接触扇出部件 123。第二部分 163b 通过接触孔 155

接触栅极主线 121。

[0091] 通过接触孔 153 暴露的栅极焊盘 124 被接触部件 162 覆盖,其中部件 162 由与像素电极 161 相同的材料构成并且其中部件 162 设置在与像素电极 161 相同的层中。

[0092] 电阻器 163 可包括比光学不透明的电导体例如栅极主线 121 中使用的金属材料具有更大电阻的一个或更多透光的电导体例如氧化铟锡 (ITO)、氧化铟锌 (IZO) 等。由于电阻器 163 具有显著大的电阻,所以栅信号在进入显示区之前被显著延迟,如图 9 所示,并且图 6A-6B 所示的延迟差异不再是确定反冲的重要因素。

[0093] 因此,栅信号之间的延迟差异和反冲电压的变化的范围被减小。另外,显示区的左侧和右侧的亮度差异降低。

[0094] 在一类实施例中,栅极主线 121 的总电阻通常为 $4000\ \Omega$ 至 $7000\ \Omega$,同时电阻器 163 的总电阻可以是栅极主线 121 的总电阻的 10% 至 50%。电阻器 163 的电阻值可通过改变电阻器 163 的厚度、宽度和长度属性中的一种或更多来改变。

[0095] 优选但不是必须的是,电阻器 163 的电阻值设定为使得主栅极线的电阻导致的栅信号延迟变化显著小于总布线电阻导致的栅信号延迟。换言之,显示区的远右侧像素的栅信号延迟值不大于显示区中远左侧像素(最接近栅信号发源焊盘 124 的像素)的栅信号延迟值的约两倍。

[0096] 栅极主线 121 和栅极焊盘 124 之间的距离是多样的,从而导致它们之间的不同电阻和不规则的亮度。

[0097] 电阻器 163 中第三部分 163c 的长度反比于相应的栅极主线 121 与栅极焊盘 124 之间的距离。这样,降低了由于栅极主线 121 与栅极焊盘 124 之间的距离变化导致的亮度不规则性。

[0098] 如图 8 可见,密封剂 400 设置在扇出部件 123 上,同时电阻器 163 设置在密封剂 400 的含有液晶材料的区域内。由于电阻器 163 没有暴露于外部,其可以免受腐蚀。

[0099] 在制造工艺期间,来自外部的静电流会损坏薄膜晶体管 T。根据第一实施例,从栅极焊盘 124 引入的静电流能量的主要部分耗散在具有较大电阻的电阻器 163 中,因此减小了静电导致的问题。

[0100] 根据本公开另一实施例的电阻器 163 可包括比栅极主线 121 具有更大电阻且与像素电极 161 的材料不同的其它材料。在本公开的另一实施例中,电阻器 163 的形状相同,并且栅极主线 121 和栅极焊盘 124 之间的距离差可通过改变扇出部件 123 的形状来处理。

[0101] 下面,将说明调整栅信号延迟从而改善亮度不规则性的原因。

[0102] 图 10 示出根据显示区中的栅信号延迟值的亮度变化率。亮度变化率通过数学表达式定义, $BVR = (\text{左显示区的亮度} - \text{中间显示区的亮度}) / (\text{中间显示区的亮度}) * 100$ 。这里,大的值意味着大的亮度差异。

[0103] 如图 10 的例子所示,如果栅信号延迟值上升 43% (从 $2.55\ \mu\text{s}$ 到 $3.67\ \mu\text{s}$),则亮度变化率 (BVR) 增大 64% 左右 (从 30.6% 到 50.3%)。

[0104] 图 11 示出与反冲电压成比例的根据 $C_p / (C_{lc} + C_{st} + C_p)$ 的亮度变化率。如图所示,如果 $C_p / (C_{lc} + C_{st} + C_p)$ 增大 24% (从 0.037 到 0.046),则亮度变化率上升大约 26.4% (从 35.6% 到 45%)。

[0105] 如图 10 和 11 所示,亮度不规则性 (BVR) 随着栅信号延迟值的变化变大和 / 或来

自寄生电容的对反冲的相对贡献变大而恶化。

[0106] 可以通过改变非显示区中的补偿或镇流 (ballasting) 电阻即从栅极焊盘到栅极主线的电阻而使与像素电极位置有关的栅信号延迟的相对量改变, 这将参照图 12 和 13 的例子来说明。

[0107] 如图所示, 非显示区中的电阻在下面四个值上转换: $1/6k\Omega$ 、 $1/3k\Omega$ 、 $1/2k\Omega$ 和 $2/3k\Omega$ 。最下面的具有 $0k\Omega$ 的数据曲线是没有镇流电阻器且栅极主线和栅极焊盘在相同的层中整体形成的情况。

[0108] 如图 12 所示, 非显示区中镇流电阻器的电阻越大, 从主线的左侧 (最接近栅极焊盘) 移动到主线的右侧 (最远离栅极焊盘) 时累积的栅信号延迟值越大。如果非显示区中镇流电阻器的电阻变大, 则右侧栅信号延迟值与左侧栅信号延迟值的比率降低。换言之, 降低了从左侧到右侧的亮度改变。

[0109] 如果电阻是 $0k\Omega$, 位置延迟比率 $PDR = (\text{右栅信号延迟值}) / (\text{左栅信号延迟值})$ 为 6.53 (从 $4.18/0.64$ 计算得到)。同时, 如果电阻是 $2/3k\Omega$, PDR 值是 1.77 (从 $8.12/4.57$ 计算得到)。因此看出, 随着镇流电阻成为栅极焊盘和栅极电极之间总的线电阻中更主导的因素, PDR (位置延迟比率) 显著降低。

[0110] 如图 13 所示, 非显示区中镇流电阻器的电阻越大, 总像素电压越小。随着镇流电阻器的电阻变大, 位置电压比率 $PVR = (\text{左侧像素电压}) / (\text{右侧像素电压})$ 降低。即, 如果电阻是 $0k\Omega$, 比率 $(\text{左侧像素电压}) / (\text{右侧像素电压})$ 是 1.028 (从 $3.3/3.21$ 计算得到)。如果电阻是 $2/3k\Omega$, PVR 是 1.012 (从 $3.19/3.15$ 计算得到)。

[0111] 如图 12 和 13 所示, 非显示区中镇流电阻器的增大的电阻降低了左侧显示区和右侧显示区之间栅信号延迟的位置相关差异和像素电压的位置相关差异。然而, 如果非显示区中镇流电阻器的电阻变大, 则也更难以向每个 TFT 传输强的栅信号。因此, 镇流电阻器的电阻应当考虑到栅极主线 121 的总电阻并作为折衷而确定。

[0112] 下面, 将参照图 14 和 15 描述根据本公开第二示例实施例的液晶显示装置。图 14 示出于图 1 中的 B 区域对应的部分。

[0113] 如图 14 所示, 二极管连接的 MOSFET 的抗静电 (anti-static) 组 170 形成在每个镇流电阻器 163 的外围部分上。抗静电组 170 与栅极外围和公共电压线 146 电连接。如果制造工艺期间静电通过栅极焊盘 124 引入, 则具有大电阻的电阻器 163 会被损坏, 从而引起断路。然而, 当静电电压的绝对值超过预定阈值时二极管连接的 MOSFET 的抗静电组 170 被激活, 并且激活的组 170 将引入的静电分散到公共电压线 (例如, 地) 146 从而防止电阻器 146 被损坏。栅极外围部分指的是与栅极主线 121 连接并在电阻器 163 外部形成的栅极布线。即, 栅极外围部分包括栅极焊盘 124 和扇出部件 123。

[0114] 在一实施例中, 抗静电二极管装置 170 包括多个薄膜 MOSFET 晶体管。抗静电二极管装置 170 包括耦合来承载不同方向的电流的第一二极管连接的 MOSFET 171 和第二二极管连接的 MOSFET 172。设置第一二极管连接的 MOSFET 171 使得负向电流从栅极外围流向公共电压线 146。设置第二二极管连接的 MOSFET 172 使得正向电流从公共电压线 146 流向栅极外围部分。

[0115] 下面, 将参照图 15 更详细地说明抗静电二极管装置 170 的实施例。公共电压线 146 用作关于抗静电二极管装置 170 的静电条 (electrostatic bar)。

[0116] 第一二极管连接的 MOSFET 171 的控制端子 (栅极) 1711 和输入端子 (漏极) 1712 彼此连接并与栅极线外围 (121) 连接。第一二极管连接的 MOSFET 171 的输出端子 (源极) 1713 与公共电压线 146 连接。桥接器 1714 将输入端子 (漏极) 1712 连接到栅极外围 (121)。如果静电输入到栅极外围且静电超过 MOSFET 171 的预定阈值 (V_t), 则与栅极外围连接的控制端子 1711 转换到导通状态, MOSFET 171 变为导电的并且因而将静电转移到与输出端子 1713 连接的公共电压线 146。

[0117] 第二二极管连接的 MOSFET 172 的控制端子 (栅极) 1721 和输入端子 (漏极) 1722 与公共电压线 146 连接。第二二极管连接的 MOSFET 172 的输出端子 (源极) 1723 与栅极外围 (121) 连接。第二桥接器 1724 连接公共电压线 146 和控制端子 1721, 同时第三桥接器 1725 连接输出端子 1723 和栅极外围。如果静电输入到栅极外围且静电超过 MOSFET 172 的预定阈值 (V_t), 则通过桥接器 1724 与栅极外围连接的控制端子 1721 转换到导通状态, MOSFET 172 变为导电的并且因而将静电转移到与输入端子 (漏极) 1722 连接的公共电压线 146。

[0118] 在另一示例性实施例中, 抗静电二极管装置 170 可包括仅第一抗静电二极管连接的 MOSFET 171 而没有第二抗静电二极管连接的 MOSFET 172。

[0119] 下面将参照图 16 和 17 描述根据本公开第三实施例的液晶显示装置。

[0120] 根据第三实施例的栅极焊盘 164 和扇出部件 165 整体形成在与镇流电阻器 163 相同的层中。栅极焊盘 164 和扇出部件 165 可包括铟锡氧化物 (ITO) 或铟锌氧化物 (IZO)。电阻器 163 通过接触孔 156 与栅极主线 121 连接。栅极焊盘 164 和扇出部件 165 与根据第一实施例的电阻器 163 执行相同的操作。

[0121] 在一实施例中, 镇流电阻器 163 的电阻反比于相应的栅极主线 121 和栅极焊盘 164 之间的距离, 与第一实施例的一个方案的情况相同。因此, 降低了由于栅极主线 121 和栅极焊盘 164 之间的距离差异导致的亮度不规则性。

[0122] 在本公开的另一实施例中, 可以仅提供由基本电阻性的材料例如铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 构成的扇出部件 165 来延迟相应的栅信号, 而不形成单独的诸如图 16 的较低两条线所示的方波形状的镇流电阻器 163。

[0123] 将参照图 18 至 20 描述根据第四实施例的液晶显示装置。

[0124] 如图 18 所示, 薄膜晶体管 T 与两个液晶电容 C_{LC1} 和 C_{LC2} 连接。第一液晶电容 C_{LC1} 形成在第一像素电极 PE1 和公共电极 CE 之间。第一像素电极 PE1 与薄膜晶体管 T 直接相连。第二液晶电容 C_{LC2} 形成在第二像素电极 PE2 和公共电极 CE 之间。第二像素电极 PE2 通过耦合电容 C_{CP} 与薄膜晶体管 T 非直接地相连。

[0125] 这里, 第一像素电极 PE1 和第二像素电极 PE2 由于耦合电容 C_{CP} 和第二液晶电容 C_{LC2} 的存在而彼此电分离。

[0126] 根据第四实施例的液晶显示装置通过参照图 19 说明的机制可以改善可视性 (visibility)。

[0127] 第一像素电极 PE1 通过薄膜晶体管 T 接收数据信号。同时, 第二像素电极 PE2 通过经形成在第二像素电极 PE2 和薄膜晶体管 T 之间的绝缘层中的耦合电容 C_{CP} 的电压接收数据信号, 而不是从薄膜晶体管 T 直接接收数据信号。

[0128] 这样, 第二像素电极 PE2 比第一像素电极 PE1 接收更弱的信号, 由此导致与第一

像素电极 PE1 对应的像素区域和与第二像素电极 PE2 对应的像素区域亮度上的差异。在一实施例中,提供到第二像素电极 PE2 的电压是提供到第一像素电极 PE1 的电压的 50%至 90%。

[0129] 这样,单个像素具有多个区域,所述多个区域具有不同的伽马 (gamma) 曲线。前面和侧面部分中的亮度和颜色被补偿从而改善侧视性 (lateral visibility)。

[0130] 如图 20 所示,像素电极 161 包括通过像素电极分离图案 167 彼此分离的第一像素电极 161a 和第二像素电极 161b。第二像素电极 161b 具有梯形形状,其三个边被第一像素电极 161a 围绕。与像素电极分离图案 167 并列的像素电极切割图案 166 形成在第一和第二像素电极 161a 和 161b 上。

[0131] 漏极电极 143 包括与第一像素电极 161a 连接并向其提供电信号的第一漏极电极 143a 以及在第二像素电极 161b 下面延伸的第二漏极电极 143b。第二漏极电极 143b 与第二像素电极 161b 一起形成耦合电容 C_{CP} 。

[0132] 像素电极分离图案 167 和像素电极切割图案 166 与公共电极切割图案 252 一起将液晶层 300 分成多个区。

[0133] 存储电极线 125 沿像素电极 161 的边界形成。上和下存储电极线 125 通过接触孔 157 和桥接电极 168 彼此连接。

[0134] 将参照图 21 描述根据本公开的第五实施例的液晶显示装置。

[0135] 像素电极 161 总体上具有矩形形状。像素电极 161 在数据线 141 的延伸方向上伸长。

[0136] 像素电极 161 包括通过像素电极分离图案 167 彼此分离的第一像素电极 161a 和第二像素电极 161b。第一像素电极 161a 设置在像素的中央并具有 V 形 (chevron-shape)。第二像素电极 161b 包围第一像素电极 161a 的内部、上部和下部。第二像素电极 161b 大于第一像素电极 161a。

[0137] 薄膜晶体管 T 包括与第一像素电极 161a 连接的第一薄膜晶体管 TFT1 和与第二像素电极 161b 连接的第二薄膜晶体管 TFT2。

[0138] 各薄膜晶体管 TFT1 和 TFT2 的漏极电极 143 与像素电极 161 交叠从而形成存储电容 C_{st} 。存储电容 C_{st} 与漏极电极 143 和像素电极 161 的交叠尺寸成比例。

[0139] 在第五实施例中,各像素电极 161a 和 161b 通过使用独立的薄膜晶体管 TFT1 和 TFT2 来接收不同的像素电压。第五实施例中改善可视性的方法与第四实施例中相同。因此这里将不提供详细描述。

[0140] 第四和第五实施例中非显示区的配置可以与本公开的第一至第三实施例的相同。

[0141] 由于第四和第五实施例中像素电极 161 被分开,因而液晶电容 C_{lc} 和存储电容 C_{st} 小。这样,反冲电压 V_{kb} 变得较大,由此使得亮度差异更显著 (见公式 1)。

[0142] 如上所述,本发明公开提供了一种液晶显示装置,该装置减小了由于栅信号延迟差异导致的亮度不规则性。

[0143] 尽管已经示出并描述了多个实施例,本领域技术人员在研习了以上所述之后将理解,在不偏离本公开的原则和精神的情况下可以在这些实施例中做出改变。

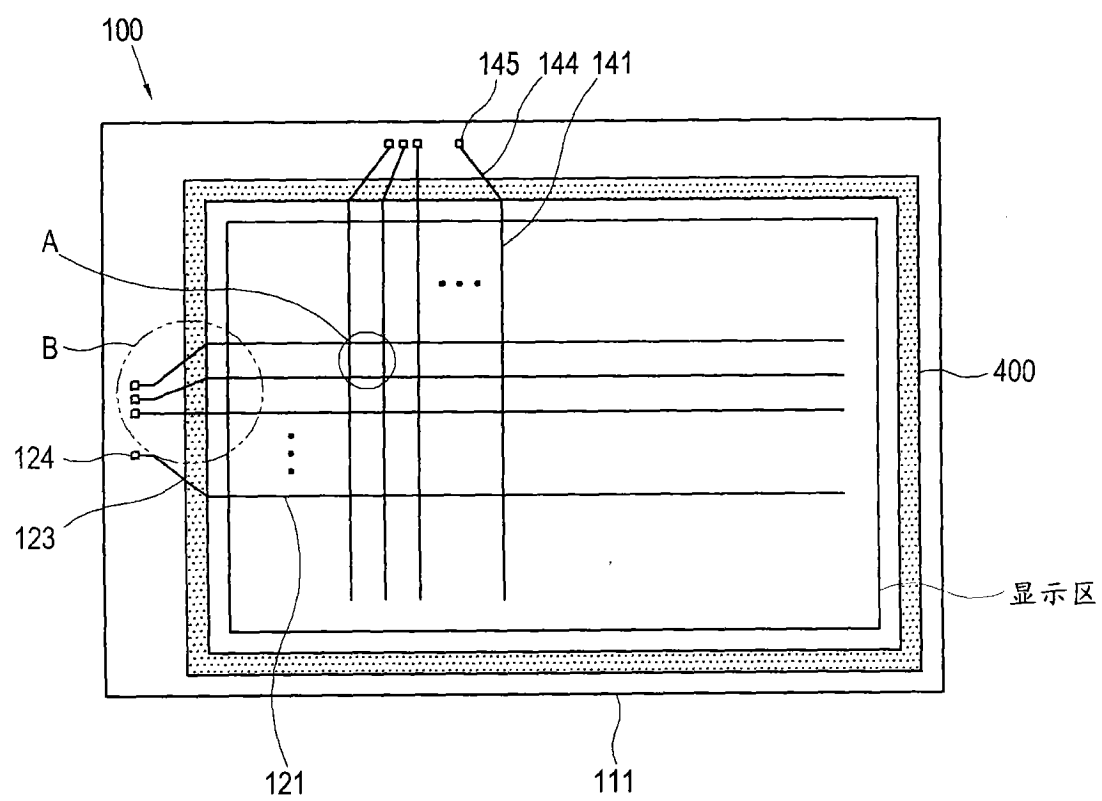


图 1

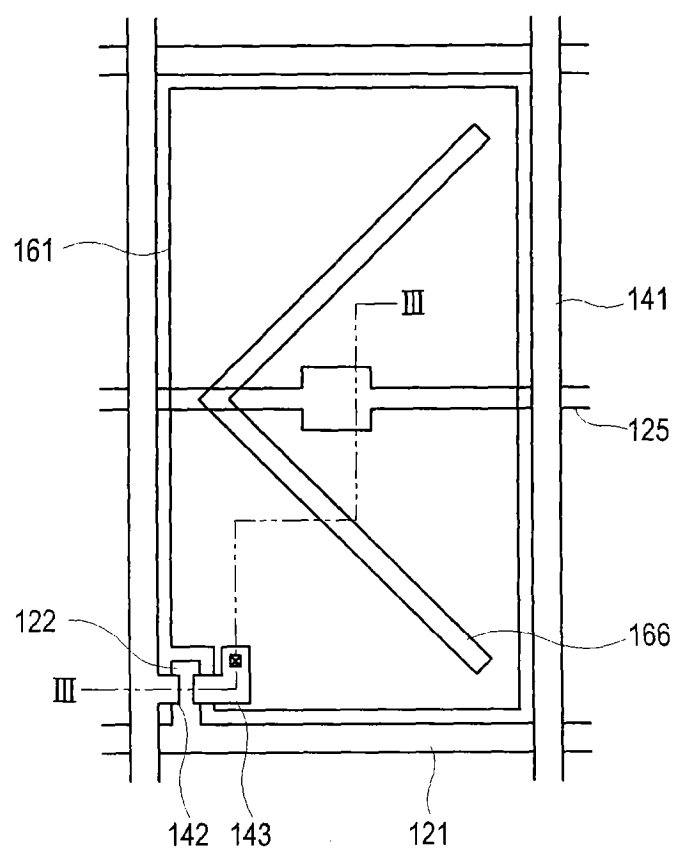


图 2

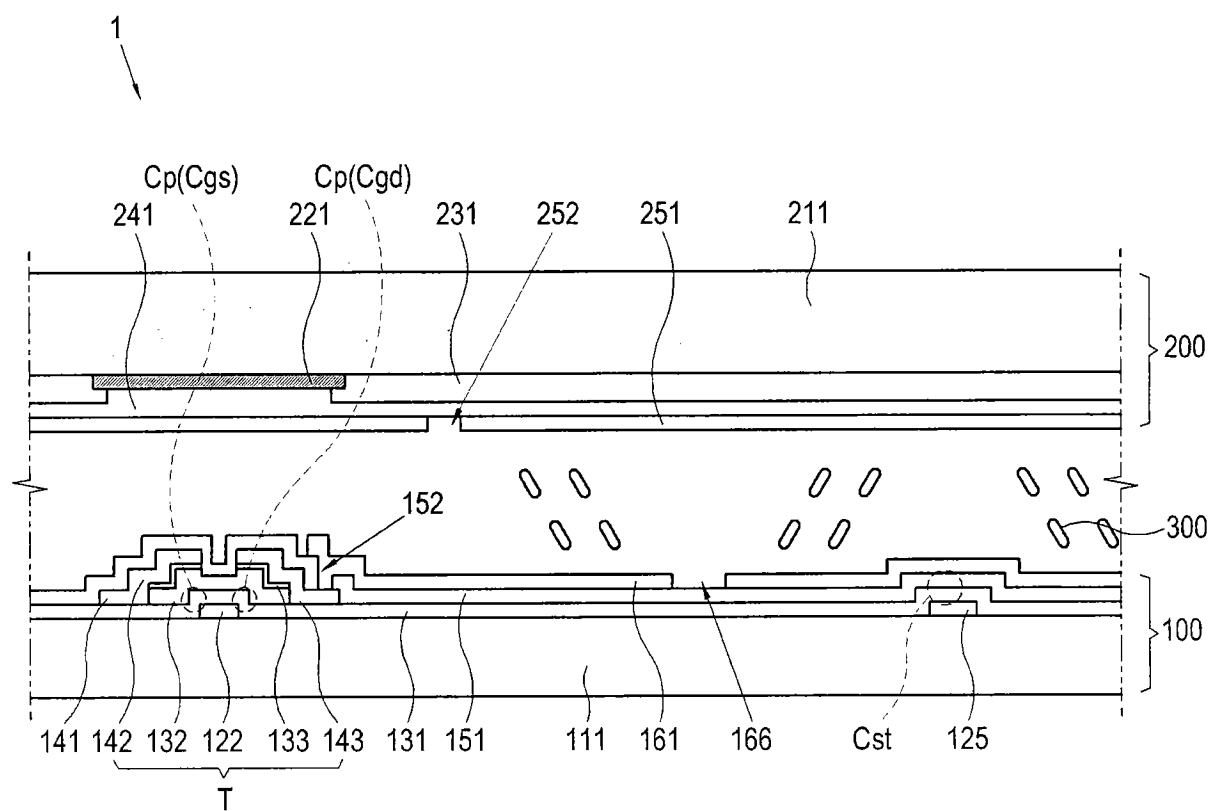


图 3

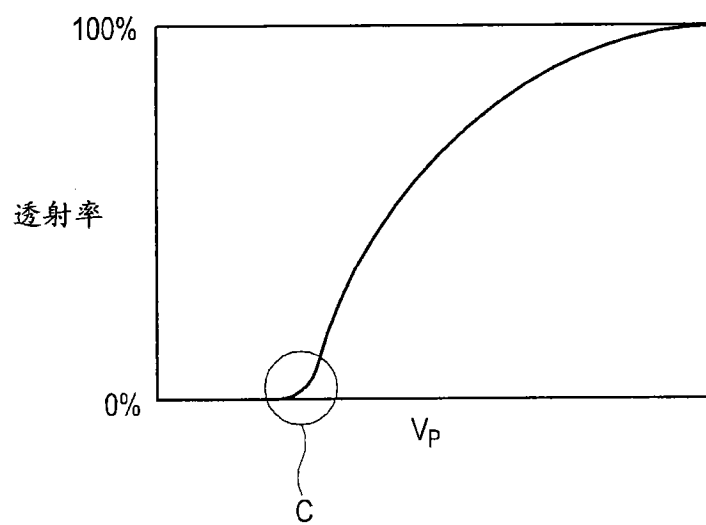


图 4

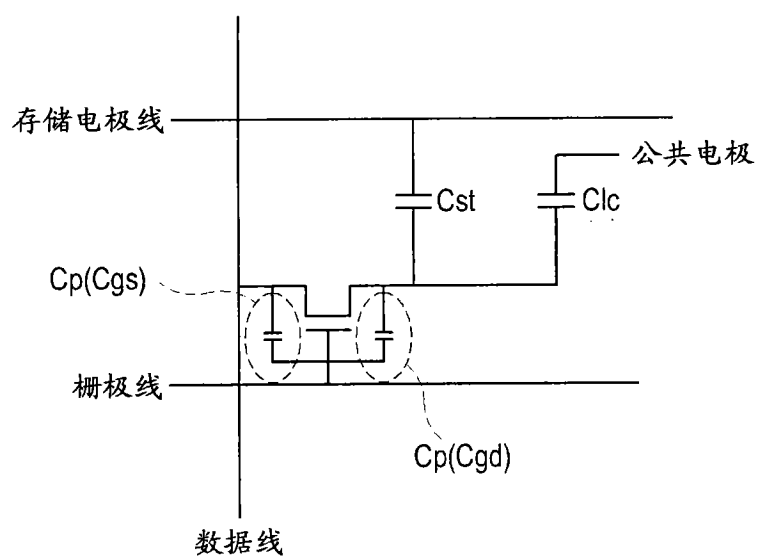


图 5

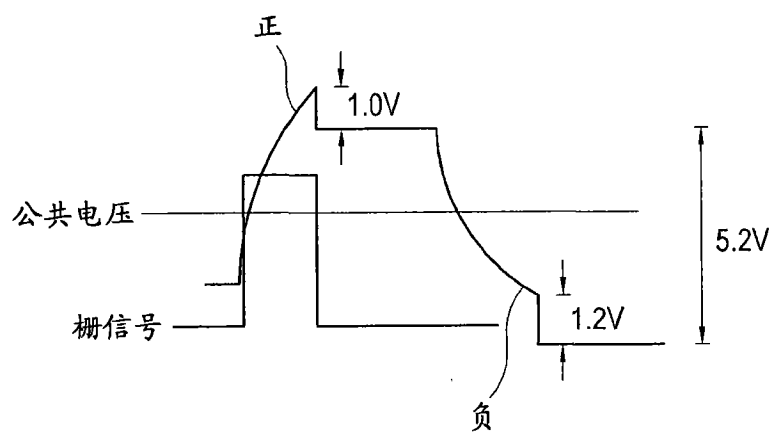


图 6A

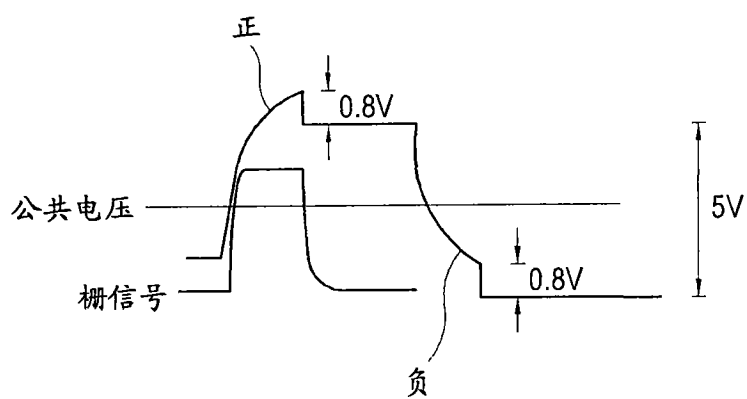


图 6B

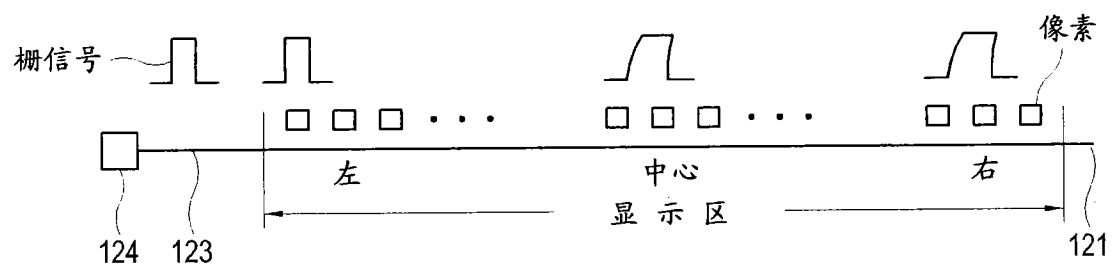


图 6C

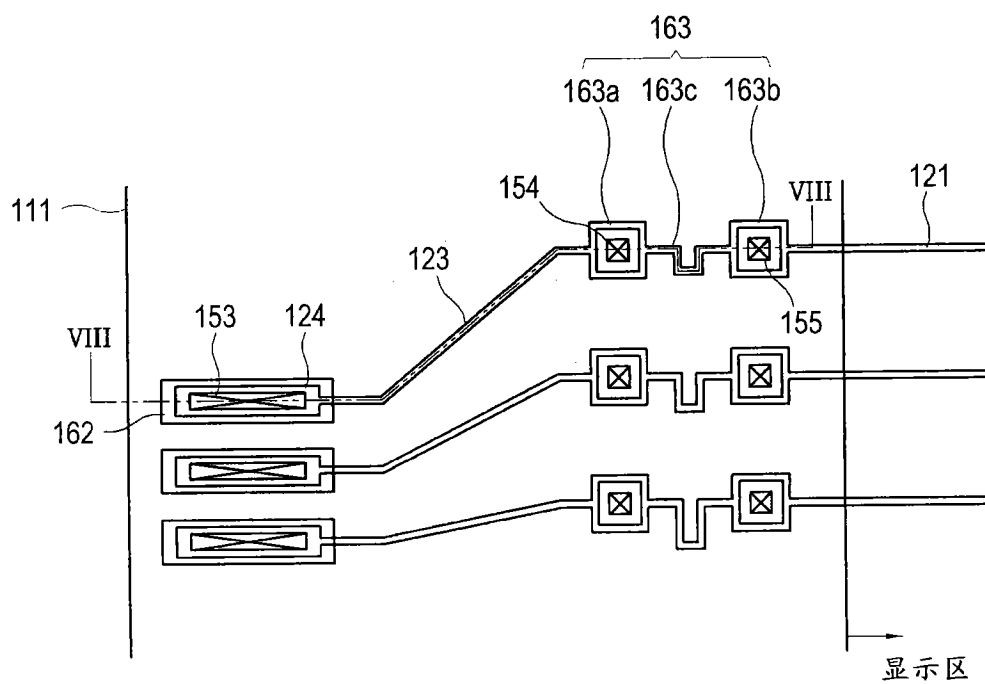


图 7

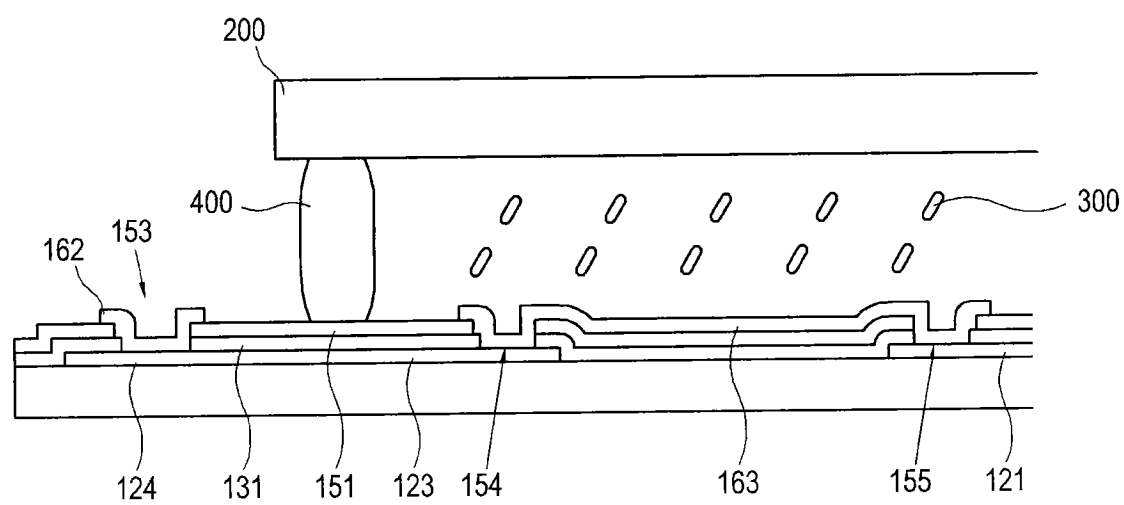


图 8

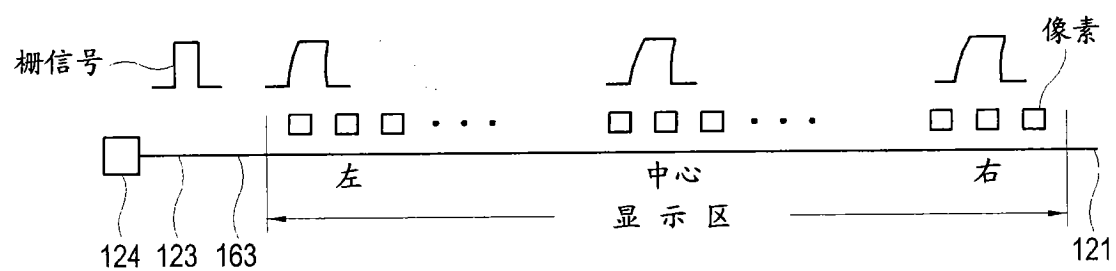


图 9

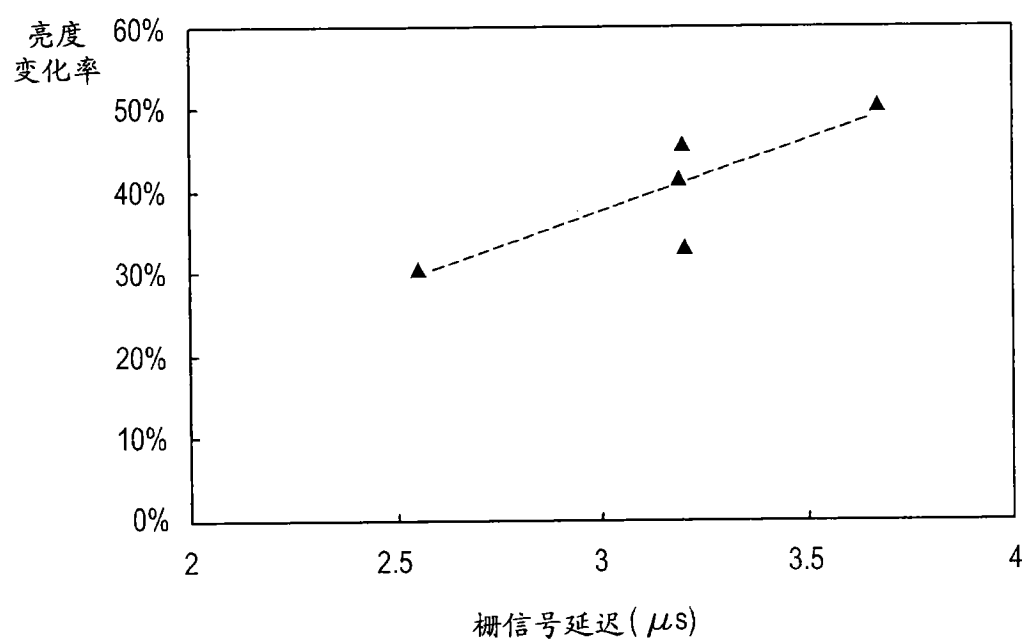


图 10

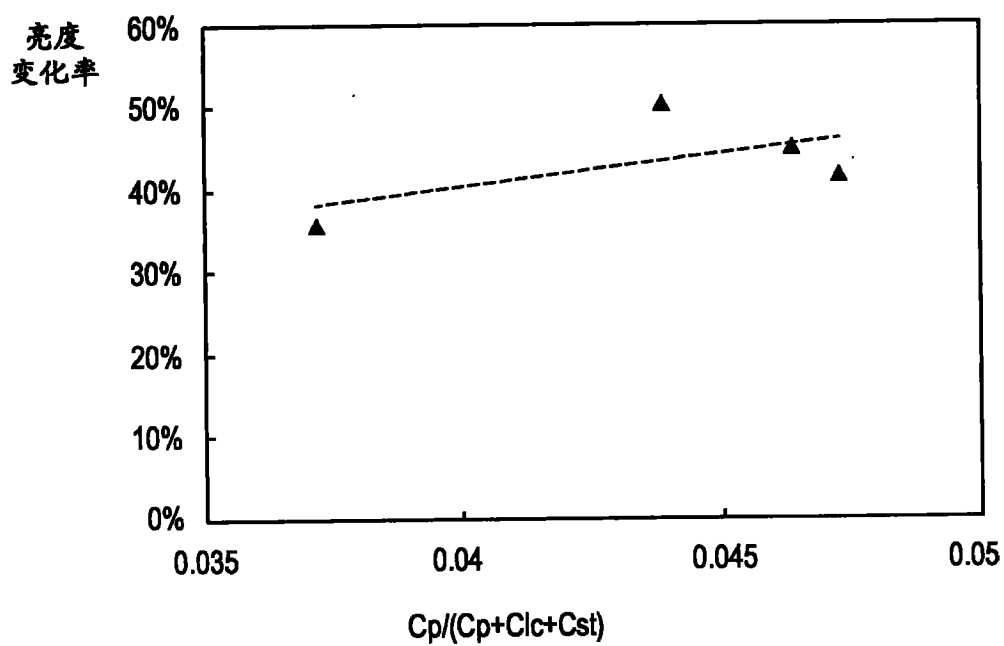


图 11

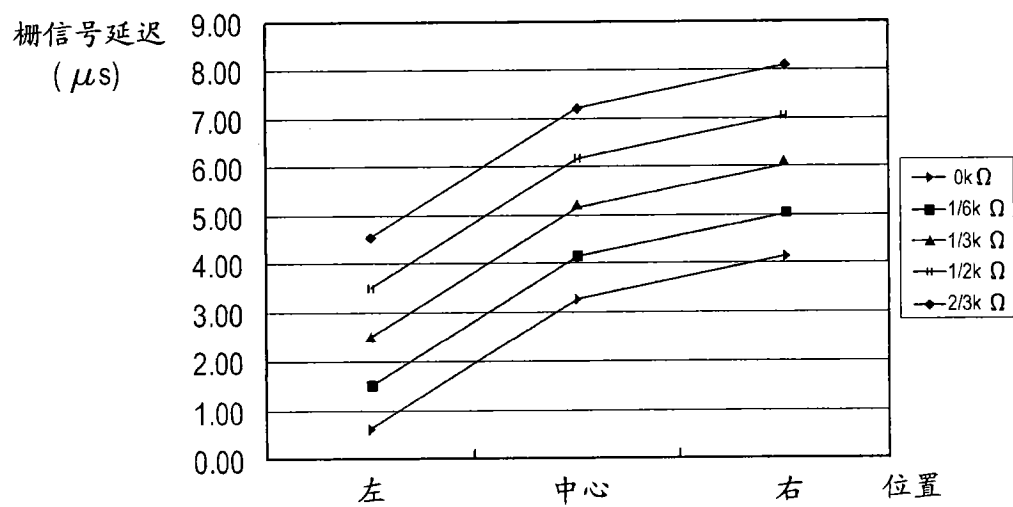


图 12

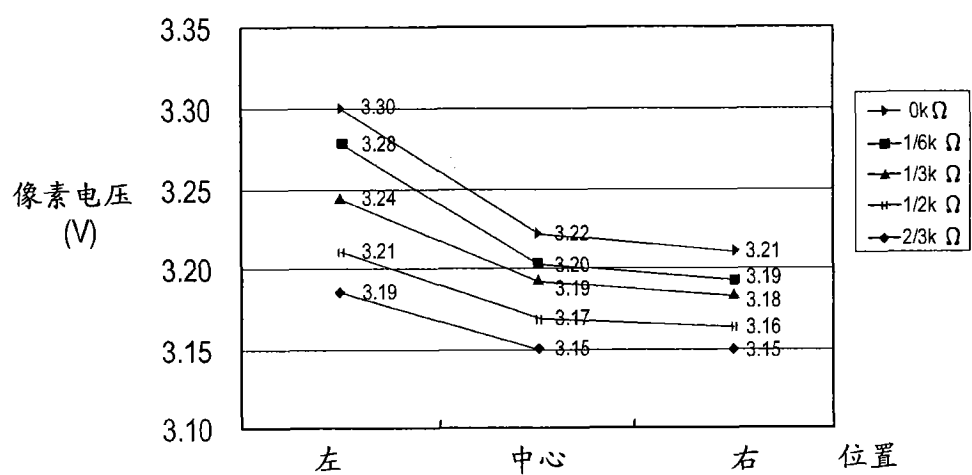


图 13

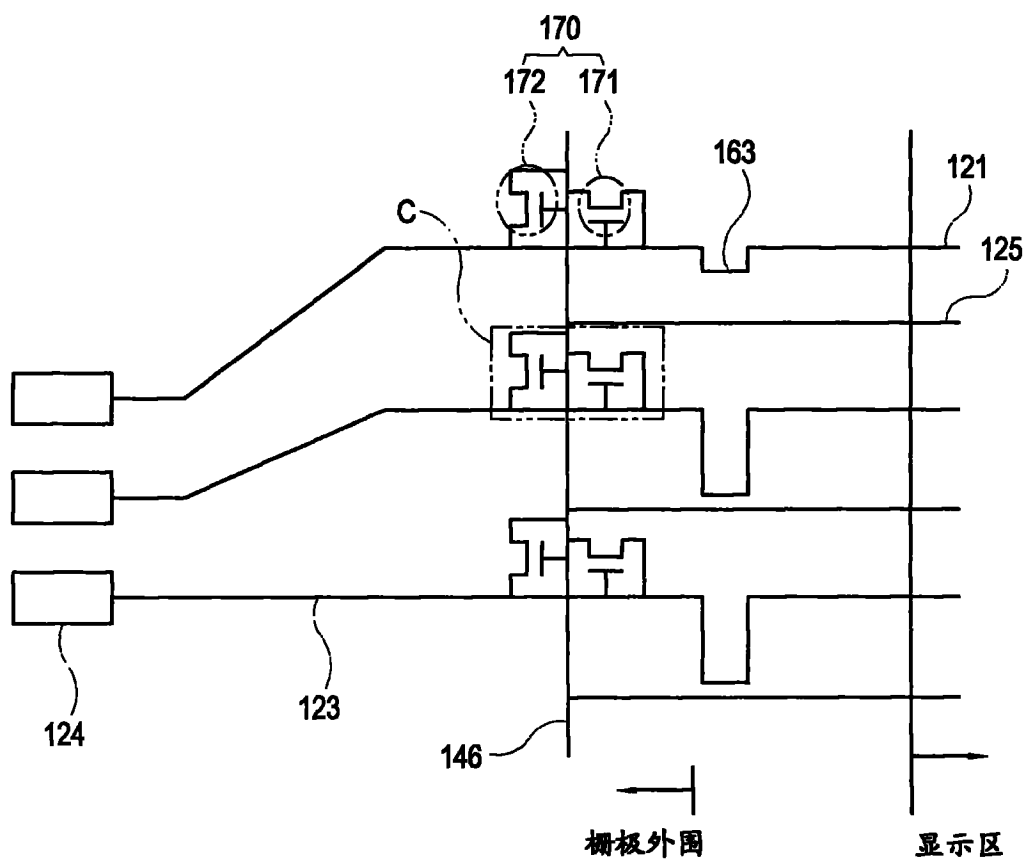


图 14

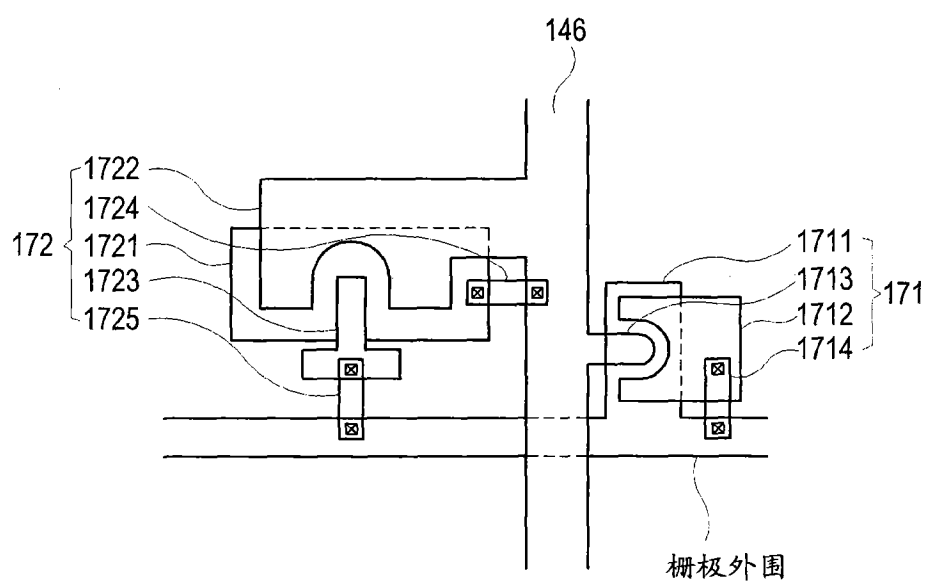


图 15

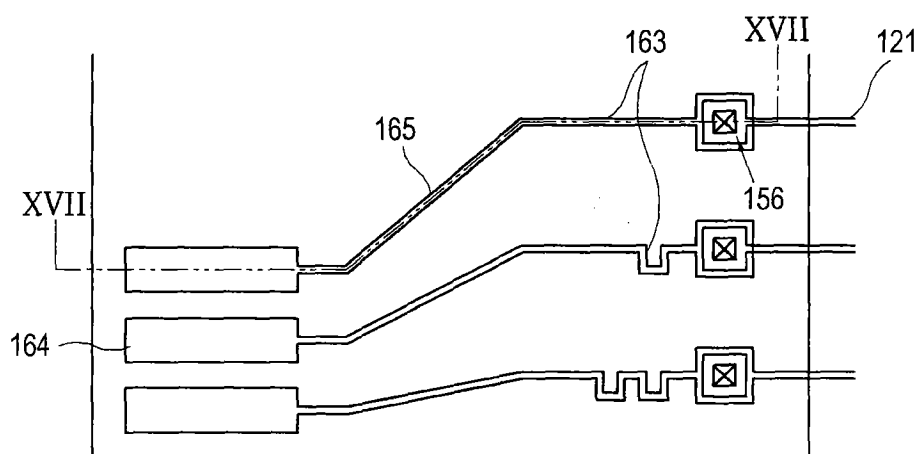


图 16

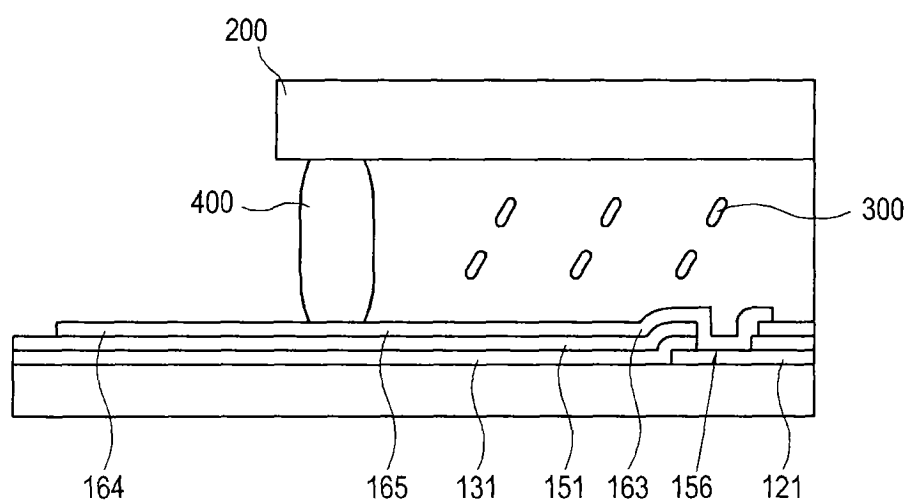


图 17

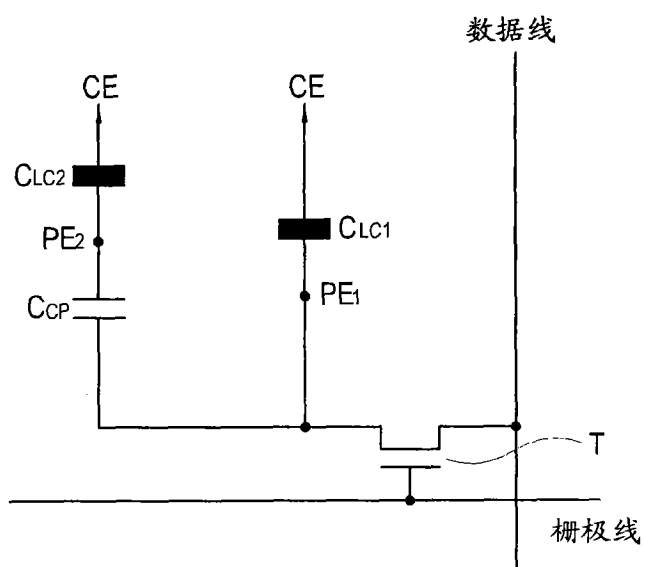


图 18

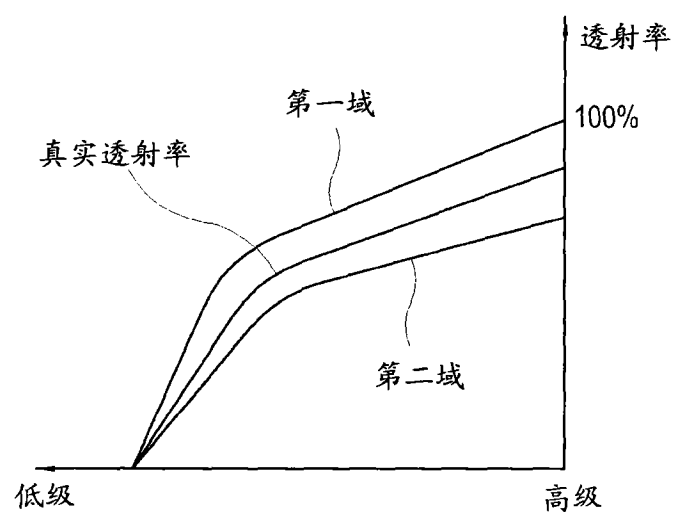


图 19

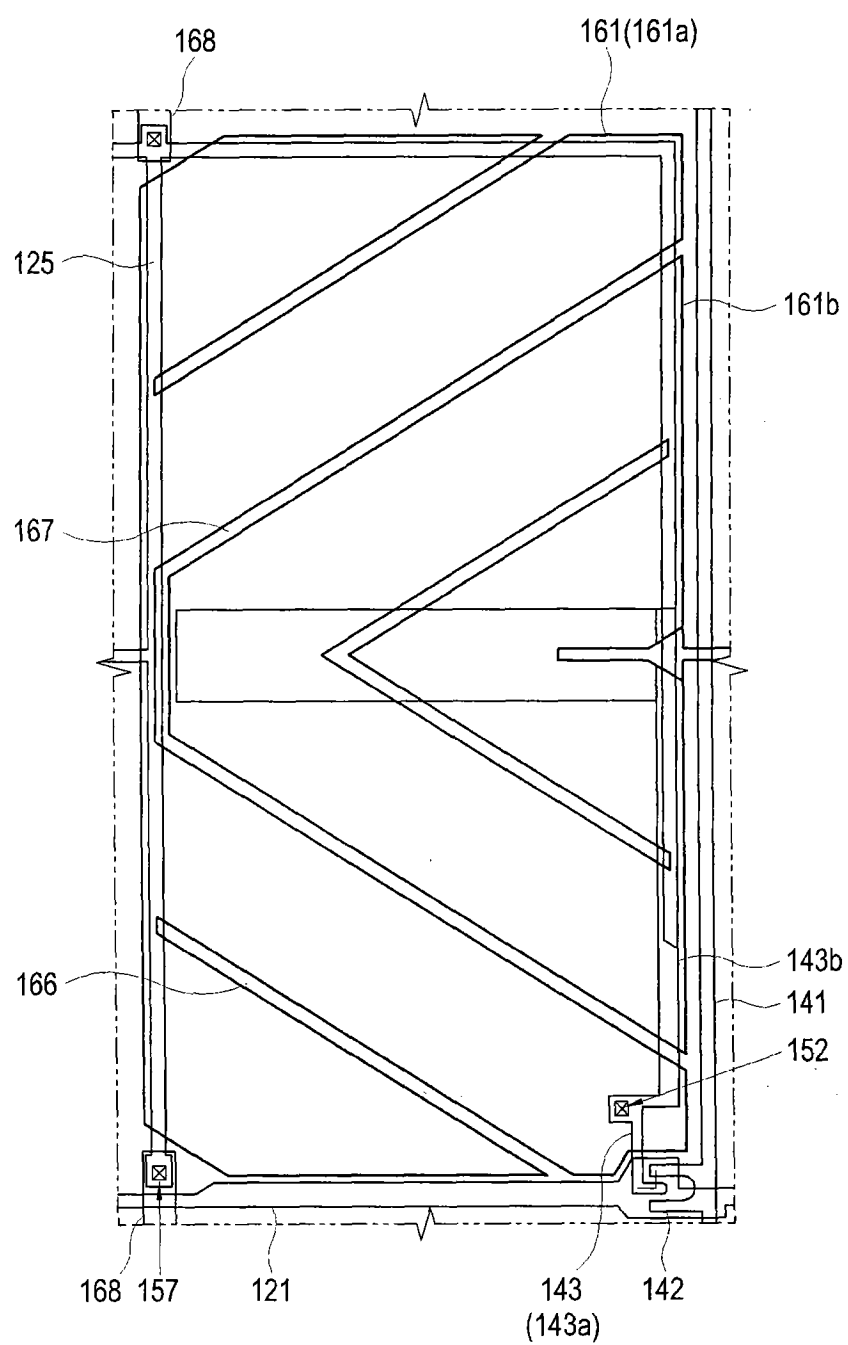


图 20

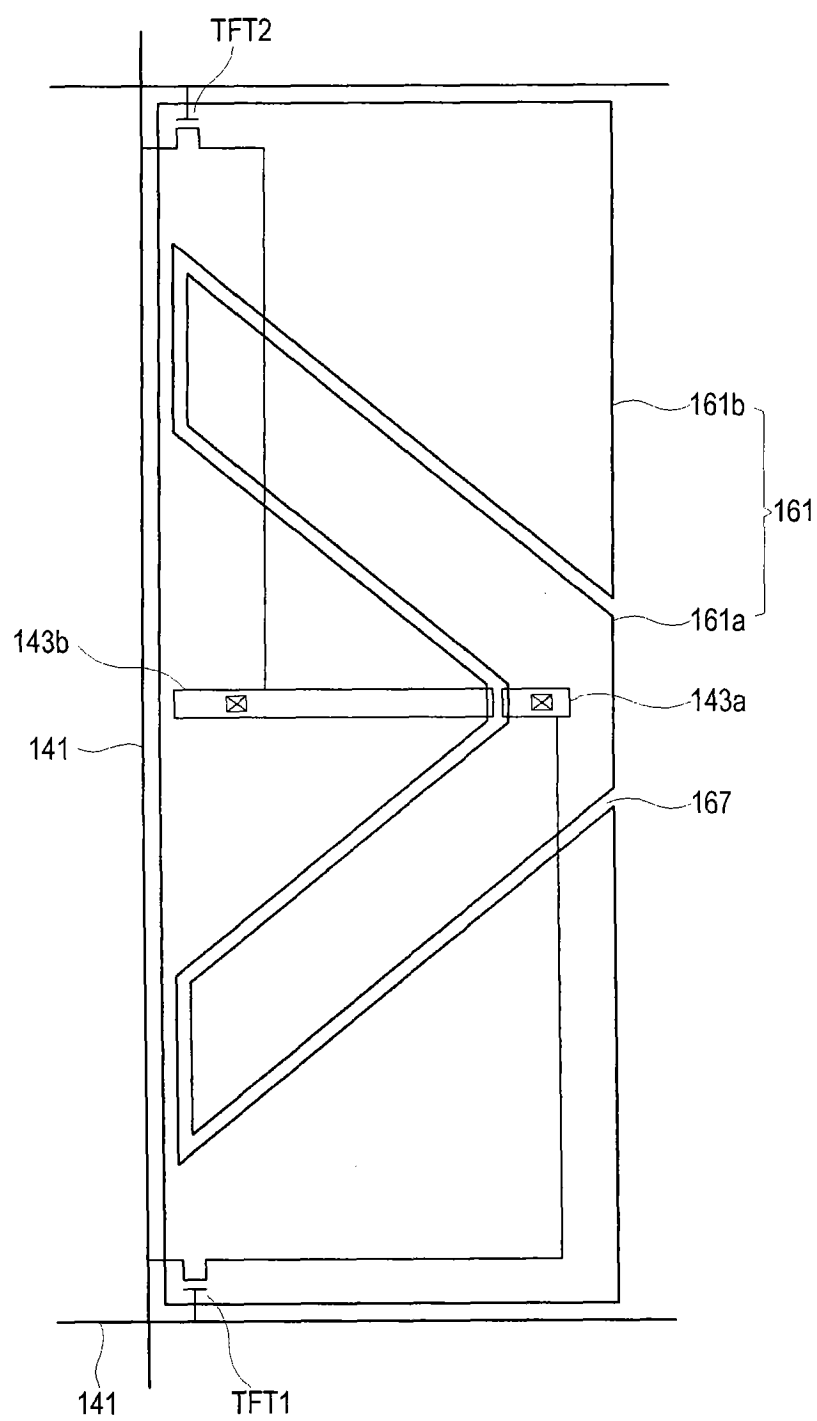


图 21

本发明涉及一种液晶显示装置，包括：第一基板，具有显示区；第二基板，面对所述第一基板；以及液晶层，设置在所述第一基板和所述第二基板之间，所述第一基板包括：栅极主线，设置在所述显示区中；栅极焊盘，设置在所述显示区外；以及镇流电阻器，电连接所述栅极主线和所述栅极焊盘，且包括比定义所述栅极主线的主要导电材料具有更大电阻率的材料。

