

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/136 (2006.01)

G02F 1/1333 (2006.01)

G03F 7/20 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610103866.0

[45] 授权公告日 2009 年 1 月 7 日

[11] 授权公告号 CN 100449392C

[22] 申请日 2006.8.4

[21] 申请号 200610103866.0

[73] 专利权人 北京京东方光电科技有限公司

地址 100176 北京经济技术开发区西环中路 8 号

共同专利权人 京东方科技集团股份有限公司

[72] 发明人 邱海军 王章涛 陈旭 闵泰烨

[56] 参考文献

US6376288B1 2002.4.23

US5474941A 1995.12.12

US2004/0263742A1 2004.12.30

CN1585088A 2005.2.23

审查员 顾雯雯

[74] 专利代理机构 北京同立钧成知识产权代理有限公司

代理人 刘芳

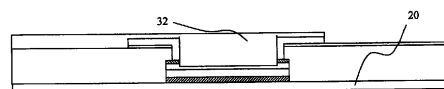
权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称

一种薄膜晶体管液晶显示器像素结构及其制造方法

[57] 摘要

本发明公开了一种薄膜晶体管液晶显示器像素结构，包括玻璃基板、栅线、栅电极等部分，其中栅电极和栅线上依次为第一绝缘层、有源层和掺杂层；栅电极与其上方的第一绝缘层、有源层和掺杂层共同形成栅小岛；第二绝缘层覆盖在玻璃基板、栅线及栅小岛周边部位；源电极及数据线呈一体位于第二绝缘层上方且下方同时有像素电极材料层，源电极在栅小岛周边位置与栅电极上的掺杂层相连；像素电极位于第二绝缘层上方；漏电极一端同栅电极上的掺杂层相连，另一端搭接在像素电极上。本发明同时公开一种薄膜晶体管液晶显示器像素结构制造方法。本发明利用三次光刻掩模版形成薄膜晶体管的方法，节约了阵列工艺的成本和占机时间，提高了产能。



1、一种薄膜晶体管液晶显示器像素结构，包括：玻璃基板、栅线、栅电极、第一绝缘层、有源层、掺杂层、第二绝缘层、源电极、漏电极、及像素电极，其特征在于：栅电极和栅线上依次为第一绝缘层、有源层和掺杂层；栅电极与其上方的第一绝缘层、有源层和掺杂层共同形成栅小岛；第二绝缘层覆盖在玻璃基板、栅线及栅小岛周边部位；源电极及数据线呈一体位于第二绝缘层上方且下方同时有像素电极材料层，源电极在栅小岛周边位置与栅电极上的掺杂层相连；像素电极位于第二绝缘层上方；漏电极一端同栅电极上的掺杂层相连，另一端搭接在像素电极上。

2、根据权利要求1所述的像素结构，其特征在于：所述栅线和栅电极为AlNd、Al、Cu、Mo、MoW或Cr的单层膜，或者为AlNd、Al、Cu、Mo、MoW和Cr任意组合所构成的复合膜。

3、根据权利要求1所述的像素结构，其特征在于：所述第一绝缘层或第二绝缘层为SiNx、SiOx或SiOxNy的单层膜，或者为SiNx、SiOx和SiOxNy任意组合所构成的复合膜。

4、根据权利要求1所述的像素结构，其特征在于：所述源电极、数据线或漏电极为Mo、MoW或Cr的单层膜，或者为Mo、MoW和Cr任意组合所构成的复合膜。

5、一种薄膜晶体管液晶显示器像素结构的制造方法，其特征在于，包括：

步骤一，在洁净的基板上依次沉积栅金属层，第一绝缘层，有源层，掺杂层，采用第一块掩模板进行掩模、曝光并进行蚀刻，得到栅小岛图形和栅线；

步骤二，在完成步骤一基板上沉积第二绝缘层和像素电极层，采用第二块掩模板进行掩模、曝光并进行蚀刻，得到像素电极和数据线下方的像素电极层；

步骤三，在完成步骤二的基板上沉积源漏金属层，采用第三块掩模板，

该掩模板为灰色调掩模板，进行定义和曝光显影后得到无光刻胶区域，保留部分光刻胶区域和保留全部光刻胶区域，保留全部光刻胶的区域包括像素电极区域；保留部分光刻胶区域包括数据线区域、源电极区域和漏电极区域；其他部分为无光刻胶区域；刻蚀无光刻胶区域得到薄膜晶体管沟道部分；完成刻蚀后，对光刻胶进行灰化工艺，全部去除保留部分光刻胶区域的光刻胶，去除一部分厚度的保留全部光刻胶区域的光刻胶；接着沉积一层钝化层，并结合离地剥离工艺，剥离尚存的光刻胶，其上沉积的钝化层也随之去除，并暴露像素电极上方的源漏金属层；最后，对暴露的源漏金属层进行刻蚀，得到像素电极。

6、根据权利要求 5 所述的制造方法，其特征在于：所述刻蚀无光刻胶区域得到薄膜晶体管沟道部分包括源漏金属层刻蚀和沟道掺杂层的刻蚀。

一种薄膜晶体管液晶显示器像素结构及其制造方法

技术领域

本发明涉及薄膜晶体管液晶显示器及其制造方法，特别涉及一种三次光刻工艺制作的薄膜晶体管液晶显示器像素结构及其制造方法。

背景技术

目前在常规薄膜晶体管液晶显示器件制造的方法中，阵列工艺使用五次光刻掩模版的方法，一部分采用四次光刻掩模版的方法，其中四次光刻掩模版主要采用灰色调（Gray Tone）掩模版的技术对薄膜晶体管沟道部分的源漏金属电极和有源层部分进行刻蚀。

此结构在常规四次光刻掩模版包括如下工艺顺序：

首先，利用常规的栅工艺形成栅层，然后沉积栅绝缘层。

接着，沉积半导体有源层，掺杂层，源漏金属层。利用 Gray Tone 掩模版形成薄膜晶体管的小岛，进行灰化工艺，暴露沟道部分，刻蚀沟道部分的金属层，刻蚀沟道部分的掺杂层、有源层。在此步工艺中由于需要对有源层，金属层，还有掺杂层的刻蚀，所以在光刻工艺中需要对 Gray Tone 沟道部分的光刻胶控制相当严格，另外对刻蚀的选择比和均匀性均有很高的要求。所以对于工艺的容差要求非常高。

发明内容

本发明的目的是针对现有技术的缺陷，提出一种薄膜晶体管液晶显示器阵列结构及其三次光刻工艺制作该结构的办法，降低对工艺容差的要求以及简化薄膜晶体管的设计。

为了实现上述目的，本发明提供一种薄膜晶体管液晶显示器像素结构，

包括：玻璃基板、栅线、栅电极、第一绝缘层、有源层、掺杂层、第二绝缘层、源电极、漏电极、及像素电极，其中栅电极和栅线上依次为第一绝缘层、有源层和掺杂层；栅电极与其上方的第一绝缘层、有源层和掺杂层共同形成栅小岛；第二绝缘层覆盖在玻璃基板、栅线及栅小岛周边部位；源电极及数据线呈一体位于第二绝缘层上方且下方同时有像素电极材料层，源电极在栅小岛周边位置与栅电极上的掺杂层相连；像素电极位于第二绝缘层上方；漏电极一端同栅电极上的掺杂层相连，另一端搭接在像素电极上。

其中，所述栅线和栅电极为 AlNd、Al、Cu、Mo、MoW 或 Cr 的单层膜，或者为 AlNd、Al、Cu、Mo、MoW 和 Cr 任意组合所构成的复合膜。所述第一绝缘层或第二绝缘层为 SiNx、SiOx 或 SiOxNy 的单层膜，或者为 SiNx、SiOx 和 SiOxNy 任意组合所构成的复合膜。所述源电极、数据线或漏电极为 Mo、MoW 或 Cr 的单层膜，或者为 Mo、MoW 和 Cr 任意组合所构成的复合膜。

为了实现上述目的，本发明同时提供一种薄膜晶体管液晶显示器像素结构的制造方法，包括：

步骤一，在洁净的基板上依次沉积栅金属层，第一绝缘层，有源层，掺杂层，采用第一块掩模板进行掩模、曝光并进行蚀刻，得到栅小岛图形和栅线；

步骤二，在完成步骤一基板上沉积第二绝缘层和像素电极层，采用第二块掩模板进行掩模、曝光并进行蚀刻，得到像素电极和数据线下方的像素电极层；

步骤三，在完成步骤二的基板上沉积源漏金属层，采用第三块掩模板，该掩模板为灰色调掩模板，进行定义和曝光显影后得到无光刻胶区域，保留部分光刻胶区域和保留全部光刻胶区域，保留全部光刻胶的区域包括像素电极区域；保留部分光刻胶区域包括数据线区域、源电极区域和漏电极区域；其他部分为无光刻胶区域；刻蚀无光刻胶区域得到薄膜晶体管沟道部分；完成刻蚀后，对光刻胶进行灰化工艺，全部去除保留部分光刻胶区域的光刻胶，

去除一部分厚度的保留全部光刻胶区域的光刻胶；接着沉积一层钝化层，并结合离地剥离工艺，剥离尚存的光刻胶，其上沉积的钝化层也随之去除，并暴露像素电极上方的源漏金属层；最后，对暴露的源漏金属层进行刻蚀，得到像素电极。

其中，所述刻蚀无光刻胶区域得到薄膜晶体管沟道部分包括源漏金属层刻蚀和沟道掺杂层的刻蚀。

本发明相对于现有技术，由于利用 Gray Tone 掩模版形成了源漏金属层和沟道；同时巧妙的运用离地剥离（Lift-off）工艺技术形成了钝化层图形，实现了三次光刻掩模版形成薄膜晶体管结构及方法，提高了工艺的可行性，同时节约阵列工艺的成本和占机时间，提高产能。

下面结合附图和具体实施例对本发明进行进一步更为详细地说明。

附图说明

图 1a 为本发明第一块掩模版光刻后图形；

图 1b 为本发明第一块掩模版曝光后图 1a 沟道部分 A-A' 截面图形；

图 1c 为本发明第一块掩模版刻蚀及光刻胶剥离后图 1a 沟道部分 A-A' 截面图形；

图 2a 为本发明第二块掩模版光刻后平面图形；

图 2b 为本发明第二块掩模版曝光后图 2a 沟道 B-B' 截面图形；

图 2c 为本发明第二块掩模版刻蚀后光刻胶未剥离图 2a 沟道 B-B' 截面图形；

图 2d 为本发明第二块掩模版刻蚀及光刻胶剥离后图 2a 沟道 B-B' 截面图形；

图 3a 为本发明第三块灰色调掩模版光刻后图形；

图 3b 为本发明第三块灰色调掩模版曝光后无光刻胶区域刻蚀后图 3a 沟

道 C-C' 截面图形;

图 3c 为本发明第三块灰色调掩模版曝光、对无光刻胶区域刻蚀后,进行光刻胶灰化后图 3a 沟道 C-C' 截面图形;

图 3d 为本发明第三块灰色调掩模版曝光、刻蚀和光刻胶灰化后,进行钝化层沉积后图 3a 沟道 C-C' 截面图形;

图 3e 为本发明第三块灰色调掩模版曝光、刻蚀、光刻胶灰化和钝化层沉积后,光刻胶剥离后图 3a 沟道 C-C' 截面图形;

图 3f 为本发明第三块灰色调掩模版曝光、刻蚀、光刻胶灰化、钝化层沉积和光刻胶剥离后,进行源漏金属成刻蚀后图 3a 沟道 C-C' 截面图形。

图中标记: 20、基板; 21、栅金属层; 22、第一绝缘层; 23、有源层; 24、掺杂层; 25、第一次光刻光刻胶图形; 26、第二绝缘层; 27、像素电极层; 28、第二次光刻光刻胶图形; 29、源漏金属层; 30、光刻胶完全保留区域; 31、光刻胶部分保留区域; 32、钝化层。

具体实施方式

本发明提供一种薄膜晶体管液晶显示器像素结构,包括基板、栅线、栅电极、第一绝缘层、有源层、掺杂层、第二绝缘层、源电极、漏电极、像素电极及钝化层等部分,这些组成部分与现有技术没有差异,其与现有技术中的像素结构相区别的特征在于:栅电极和栅线上依次为第一绝缘层、有源层和掺杂层;栅电极与其上方的第一绝缘层、有源层和掺杂层共同形成栅小岛;第二绝缘层覆盖在玻璃基板、栅线及栅小岛周边部位;源电极及数据线呈一体位于第二绝缘层上方且下方同时有像素电极材料层,源电极在栅小岛周边位置与栅电极上的掺杂层相连;像素电极位于第二绝缘层上方;漏电极一端同栅电极上的掺杂层相连,另一端搭接在像素电极上。

本发明栅线和栅电极可以为 AlNd、Al、Cu、Mo、MoW 或 Cr 的单层膜,或者为 AlNd、Al、Cu、Mo、MoW 或 Cr 之一或任意组合所构成的复合膜。

本发明第一绝缘层或第二绝缘层可以为 SiN_x 、 SiO_x 或 SiO_xNy 的单层膜，或者为 SiN_x 、 SiO_x 或 SiO_xNy 之一或任意组合所构成的复合膜。

本发明的源电极、数据线或漏电极为 Mo、MoW 或 Cr 的单层膜，或者为 Mo、MoW 或 Cr 之一或任意组合所构成的复合膜。

本发明同时提供了该像素结构的制造方法，包括：

步骤一，在洁净的基板上依次沉积栅金属层，第一绝缘层，有源层，掺杂层，采用第一块掩模版进行掩模、曝光并进行蚀刻，得到栅小岛图形和栅线；

步骤二，在完成步骤一基板上沉积第二绝缘层和像素电极层，采用第二块掩模版进行掩模、曝光并进行蚀刻，得到像素电极和数据线下方的像素电极层。

步骤三，在完成步骤二的基板上沉积源漏金属层，采用第三块掩模板，即灰色调掩模板进行定义，经过曝光显影后得到无光刻胶区域，保留部分光刻胶区域和保留全部光刻胶区域；其中，保留全部光刻胶的区域包括形成像素电极区域；保留部分光刻胶区域包括形成数据线区域、源电极区域和漏电极区域；其他部分为无光刻胶区域。刻蚀无光刻胶区域得到薄膜晶体管沟道部分，该部分刻蚀包括源漏金属层刻蚀和沟道半导体掺杂层的刻蚀；完成刻蚀后，对光刻胶进行灰化工艺，全部去除保留部分光刻胶区域的光刻胶，去除一部分厚度的保留全部光刻胶区域的光刻胶；接着沉积一层钝化层，并结合剥离工艺，剥离尚存的光刻胶，其上沉积的钝化层也随之去除，并暴露像素电极上方的源漏金属层；最后，对暴露的源漏金属层进行刻蚀，得到像素电极。

下面结合附图对本发明的像素结构的制造方法进行详细描述，如图 1a 至图 3f 所示，

首先，在洁净的玻璃基板 20 上沉积栅金属 21 (Mo, Al/Nd, Cu 等)，在栅金属上沉积第一层绝缘层 22 (SiN_x)，在第一层绝缘层上沉积有源层 23，

然后再沉积掺杂层 24 (n-Si 或者 p-Si)；采用第一块掩模板进行掩模和曝光形成第一次光刻光刻胶图形 25，然后进行刻蚀得到栅小岛图形(栅电极)和栅线，如图 1a、图 1b、图 1c 所示。

然后，沉积第二绝缘层 26，并在第二层绝缘层 26 上面沉积像素电极层 27 (氧化铟锡 等)，采用第二块掩模板进行掩模和曝光形成第二次光刻光刻胶图形 28，进行刻蚀形成像素电极和数据线的图形下方的像素电极层，如图 2a、图 2b、图 2c 和图 2d 所示。

接着，沉积源漏金属层 29 (Mo、MoW 或 Cr 等)，利用第三块掩模板，即灰色调 (Gray Tone) 掩模版进行掩模和曝光，如图 3a 所示，在此工艺中形成了不同的光刻胶的厚度图形，其中光刻胶完全保留区域 30 光刻胶较厚，其对应于形成像素电极部位；光刻胶部分保留区域 31 光刻胶较薄，其对应于形成数据线、源电极和漏电极部分；其他部分为无光刻胶区域。然后进行无光刻区域的刻蚀，得到薄膜晶体管沟道部分，该部分刻蚀包括源漏金属层刻蚀和沟道半导体掺杂层的刻蚀，如图 3b 所示；随后进行光刻胶灰化工艺，将光刻胶部分保留区域 31 部分的光刻胶去掉，如图 3c 所示，同时光刻胶完全保留区域的光刻胶变薄；接着进行钝化层 32 的沉积，如图 3d 所示；并结合离地剥离工艺，剥离尚存的光刻胶，其上沉积的钝化层也随之去除，并暴露像素电极上方的源漏金属层，如图 3e 所示；最后，对暴露的源漏金属层进行刻蚀，得到像素电极，如图 3f 所示。

最后应说明的是，以上实施例仅用以说明本发明的技术方案而非限制，尽管参照较佳实施例对本发明进行了详细说明，本领域的普通技术人员应当按照需要可使用不同材料和设备实现之，即可以对本发明的技术方案进行修改或者等同替换，而不脱离本发明技术方案的精神和范围。



图 1a

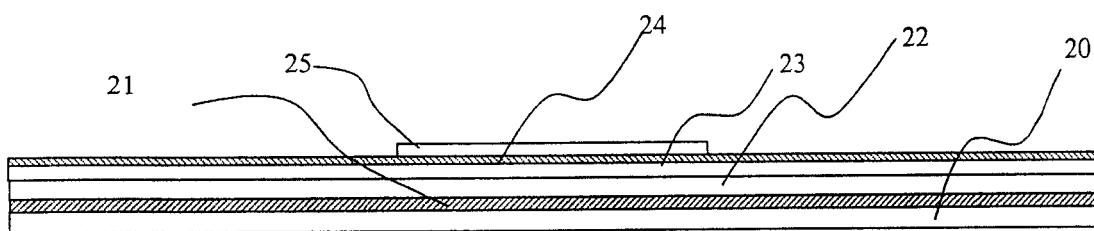


图 1b

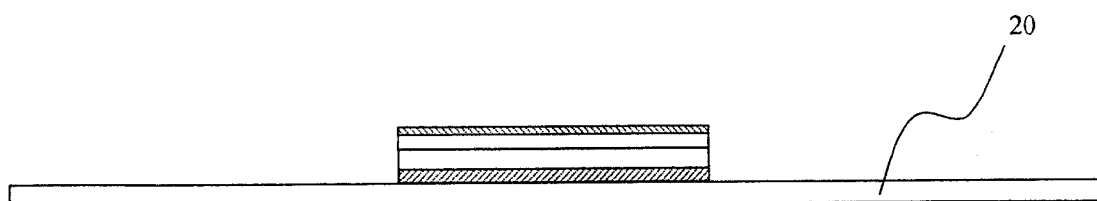


图 1c

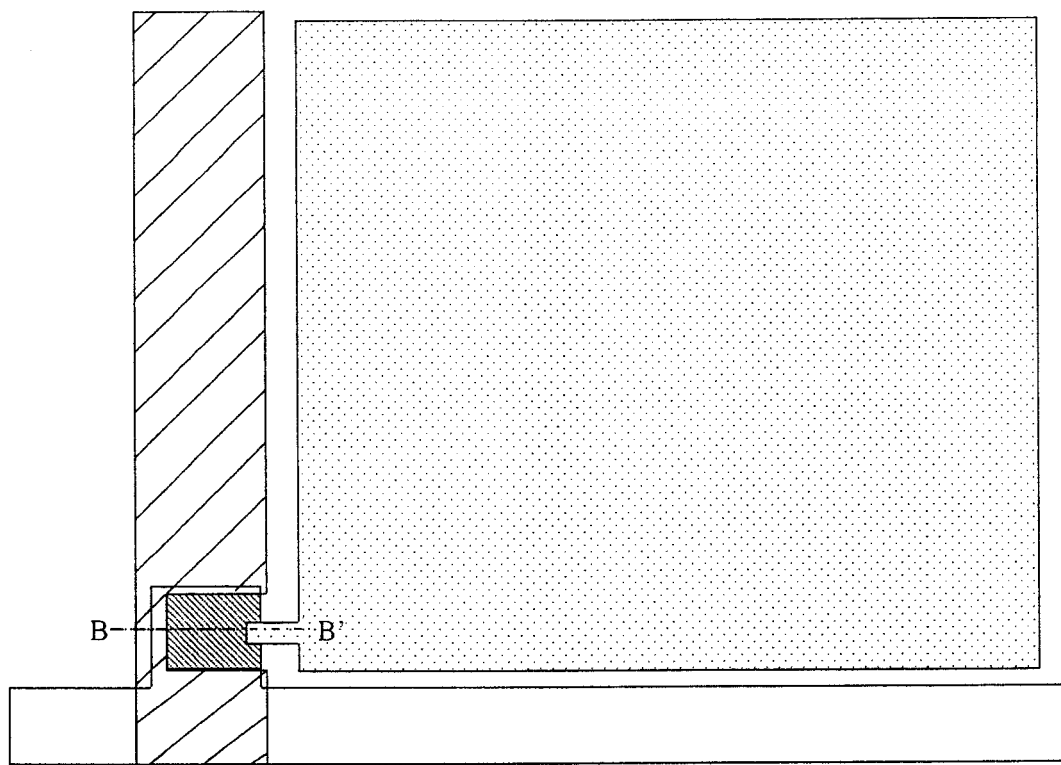


图 2a

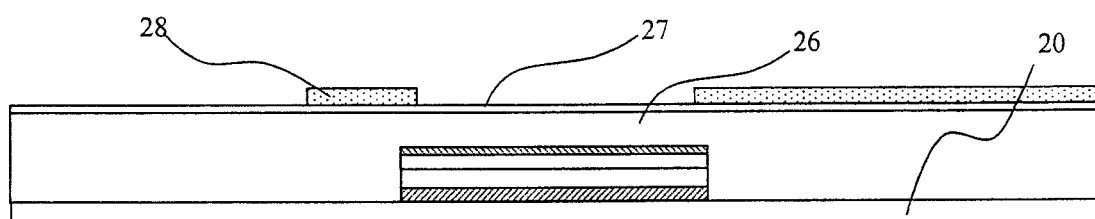


图 2b

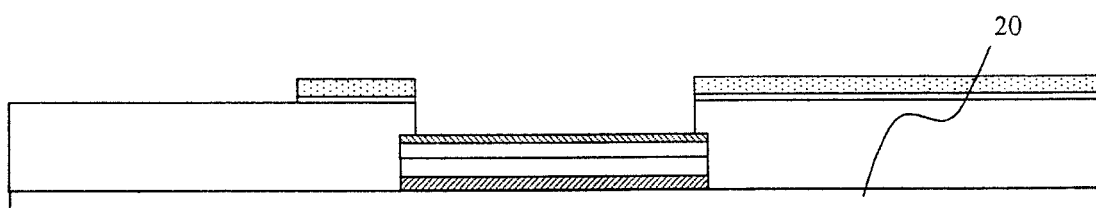


图 2c

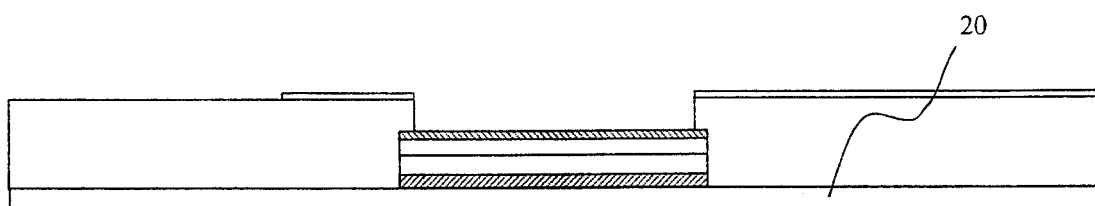


图 2d

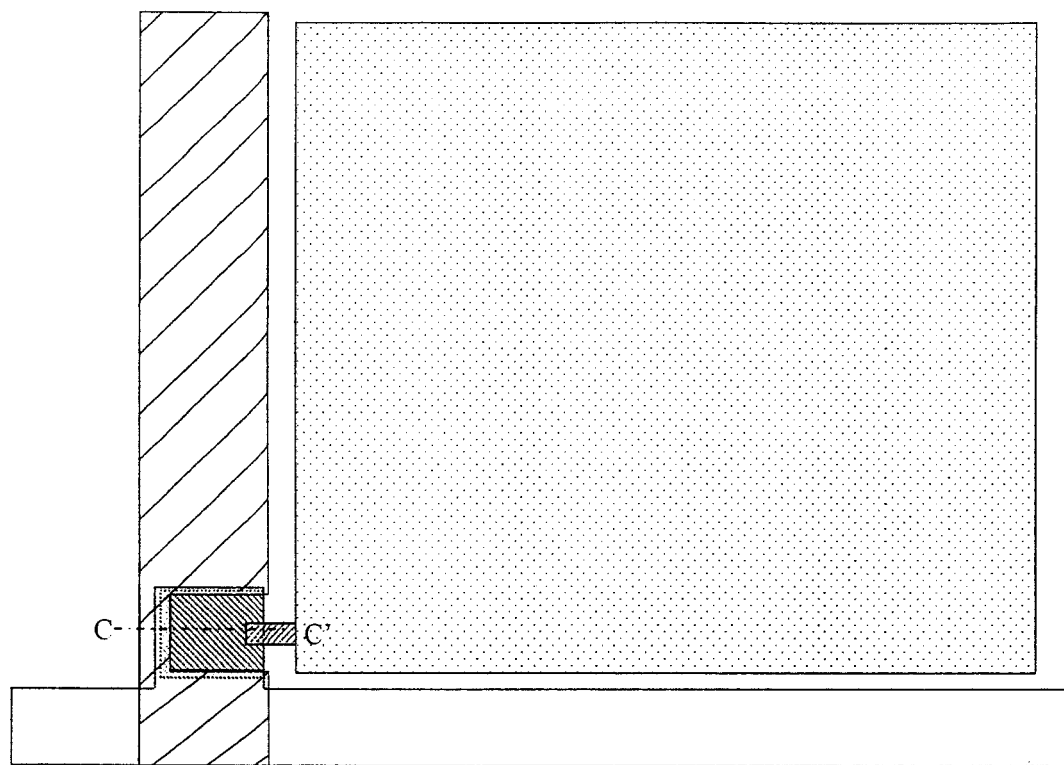


图 3a

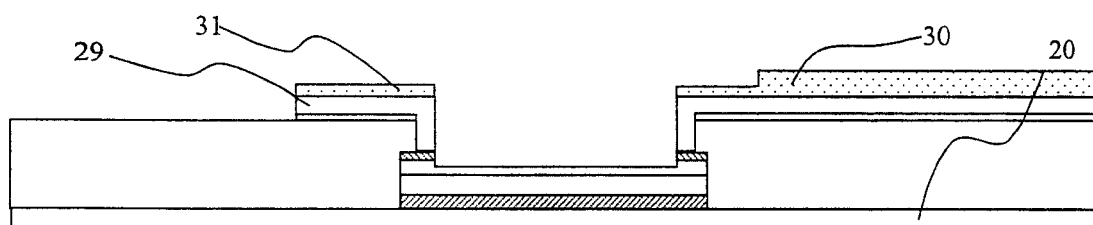


图 3b

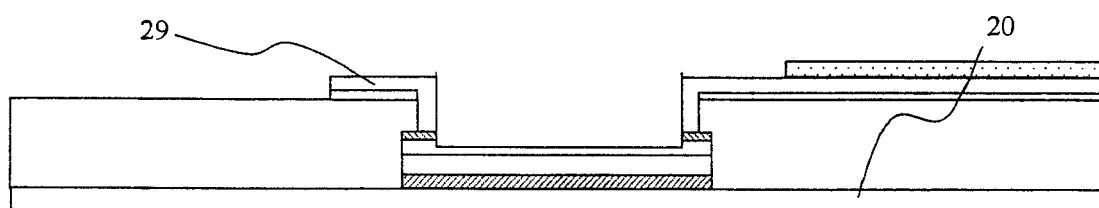


图 3c

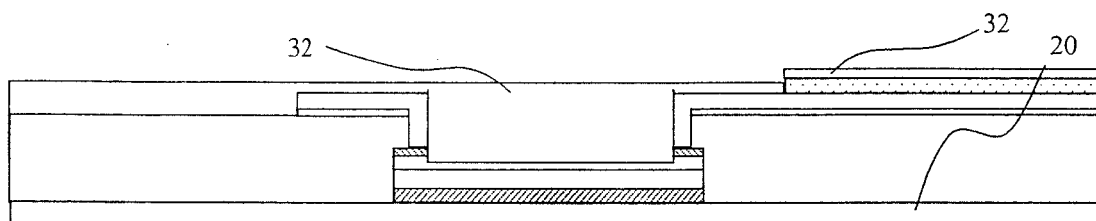


图 3d

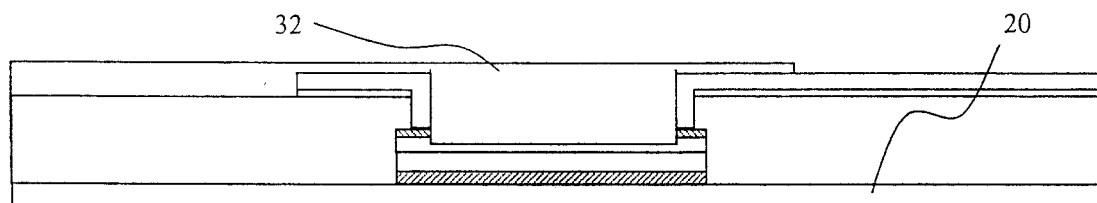


图 3e

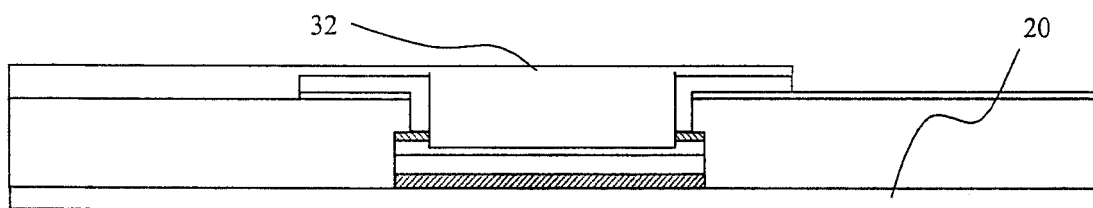


图 3f

专利名称(译)	一种薄膜晶体管液晶显示器像素结构及其制造方法		
公开(公告)号	CN100449392C	公开(公告)日	2009-01-07
申请号	CN200610103866.0	申请日	2006-08-04
[标]申请(专利权)人(译)	北京京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	邱海军 王章涛 陈旭 闵泰烨		
发明人	邱海军 王章涛 陈旭 闵泰烨		
IPC分类号	G02F1/136 G02F1/1333 G03F7/20		
代理人(译)	刘芳		
审查员(译)	顾雯雯		
其他公开文献	CN101118356A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种薄膜晶体管液晶显示器像素结构，包括玻璃基板、栅线、栅电极等部分，其中栅电极和栅线上依次为第一绝缘层、有源层和掺杂层；栅电极与其上方的第一绝缘层、有源层和掺杂层共同形成栅小岛；第二绝缘层覆盖在玻璃基板、栅线及栅小岛周边部位；源电极及数据线呈一体位于第二绝缘层上方且下方同时有像素电极材料层，源电极在栅小岛周边位置与栅电极上的掺杂层相连；像素电极位于第二绝缘层上方；漏电极一端同栅电极上的掺杂层相连，另一端搭接在像素电极上。本发明同时公开一种薄膜晶体管液晶显示器像素结构制造方法。本发明利用三次光刻掩模版形成薄膜晶体管的方法，节约了阵列工艺的成本和占机时间，提高了产能。

