

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200610168051.0

G02F 1/136 (2006.01)
G02F 1/1362 (2006.01)
G02F 1/133 (2006.01)
G03F 7/20 (2006.01)
G03F 7/26 (2006.01)
H01L 21/027 (2006.01)

[43] 公开日 2007年7月4日

[11] 公开号 CN 1991548A

[22] 申请日 2006.12.15
[21] 申请号 200610168051.0
[30] 优先权
 [32] 2005.12.29 [33] KR [31] 10-2005-0133552
[71] 申请人 LG. 飞利浦 LCD 株式会社
 地址 韩国首尔
[72] 发明人 金度成 安炳喆

[74] 专利代理机构 北京律诚同业知识产权代理有限公司
 代理人 徐金国 祁建国

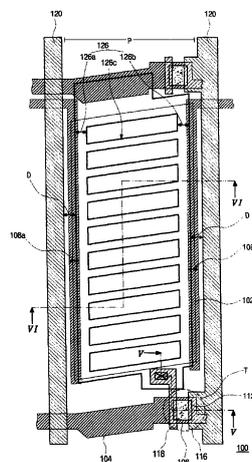
权利要求书 4 页 说明书 14 页 附图 20 页

[54] 发明名称

共平面开关模式液晶显示器件的阵列基板及其制造方法

[57] 摘要

本发明涉及一种用于共平面开关模式液晶显示器件的阵列基板，包括：基板；沿第一方向的栅线；沿第二方向的数据线；连接到栅线和数据线的 TFT；公共电极，其在基板上具有平板形并且由第一透明导电材料形成；以及像素电极，其在公共电极上由第二透明导电材料形成并且包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，并且其中多个第三部分倾斜于第一部分和第二部分并且彼此分离。



- 1、一种用于共平面开关模式液晶显示器件的阵列基板，包括：
基板；
沿第一方向的栅线；
沿第二方向的数据线；
连接到所述栅线和数据线的薄膜晶体管；
公共电极，其在基板上具有平板形并且由第一透明导电材料形成；以及
像素电极，其在公共电极上由第二透明导电材料形成并且包括第一部分和
第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和
第二部分平行于第二方向并彼此分离，并且其中多个第三部分倾斜于第一部分
和第二部分并且彼此分离。
- 2、根据权利要求1所述的基板，其特征在于，还包括：公共电极和像素
电极之间的绝缘层，其中绝缘层具有在大约3和4之间的介电常数。
- 3、根据权利要求2所述的基板，其特征在于，所述绝缘层包括二氧化硅、
苯并环丁烯和丙烯酸树脂其中之一。
- 4、根据权利要求1所述的基板，其特征在于，还包括设置在公共电极和
数据线之间的第一金属图案和第二金属图案。
- 5、根据权利要求4所述的基板，其特征在于，所述第一金属图案和第二
金属图案与公共电极相接触。
- 6、根据权利要求4所述的基板，其特征在于，所述第一金属图案和第二
金属图案与数据线重叠。
- 7、根据权利要求4所述的基板，其特征在于，在一个像素区域中的所述
第一金属图案与在另一个像素区域中的所述第二金属图案相结合。
- 8、根据权利要求4所述的基板，其特征在于，所述第一金属图案和第二
金属图案与栅线在相同的层并且由相同的材料形成。
- 9、根据权利要求1所述的基板，其特征在于，所述多个第三部分相对第
一方向具有0度和45度之间的角度。
- 10、根据权利要求1所述的基板，其特征在于，所述第一透明导电材料和
第二透明导电材料包括氧化铟锡或氧化铟锌其中之一。

11、根据权利要求1所述的基板，其特征在于，所述栅线包括第一、第二和第三层。

12、根据权利要求11所述的基板，其特征在于，所述第一层与公共电极在相同的层并且由相同的材料形成，并且第二和第三层分别包括钼和钨化铝。

13、根据权利要求12所述的基板，其特征在于，还包括第一金属图案和第二金属图案，其分别具有设置在公共电极和数据线之间的第四和第五层，其中第四层与第二层在相同的层并且由相同的材料形成，且第五层与第三层在相同的层并且由相同的材料形成。

14、一种用于共平面开关模式液晶显示器件的阵列基板的制造方法，包括：
使用第一掩模在基板上形成具有透明导电材料和平板形的公共电极；
使用第二掩模沿第一方向形成栅线以及在具有公共电极的基板上形成栅极；

在公共电极、栅线和栅极上形成栅绝缘层；

使用第三掩模在栅绝缘层上并对应栅极形成半导体层；

使用第四掩模在半导体层和栅绝缘层上形成源极和漏极以及数据线，其中源极和漏极彼此分离，并且数据线沿着第二方向排列；

使用第五掩模在源极和漏极以及数据线上形成包括漏接触孔的钝化层，漏接触孔暴露出漏极；以及

使用第六掩模在钝化层上形成通过漏接触孔连接漏极的像素电极，其中像素电极包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，其中多个第三部分倾斜于第一部分和第二部分并彼此分离。

15、根据权利要求14所述的方法，其特征在于，所述栅绝缘层包括二氧化硅、苯并环丁烯和丙烯酸树脂其中之一，并且具有在大约3和4之间的介电常数。

16、根据权利要求14所述的方法，其特征在于，还包括在公共电极和数据线之间的第一金属图案和第二金属图案。

17、根据权利要求16所述的方法，其特征在于，所述第一金属图案和第二金属图案与公共电极相接触并重叠于数据线。

18、根据权利要求16所述的方法，其特征在于，在一个像素区域中的所

述第一金属图案与在另一个像素区域中的第二金属图案相结合。

19、根据权利要求 16 所述的方法，其特征在于，所述第一金属图案和第二金属图案与栅线同时形成。

20、根据权利要求 14 所述的方法，其特征在于，所述多个第三部分相对第一方向具有 0 度和 45 度之间的角度。

21、一种用于共平面开关模式液晶显示器件的阵列基板的制造方法，包括：
使用第一掩模在基板上沿第一方向形成栅线、栅极和公共电极；

在栅线、栅极和公共电极上形成栅绝缘层；

使用第二掩模在栅绝缘层上并对应栅极形成半导体层；

使用第三掩模在半导体层和栅绝缘层上形成源极和漏极以及数据线，其中源极和漏极彼此分离，并且数据线沿第二方向排列；

使用第四掩模在源极和漏极以及数据线上形成包括漏接触孔的钝化层，漏接触孔暴露出漏极；以及

使用第五掩模在钝化层上形成通过漏接触孔连接漏极的像素电极，其中像素电极包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，其中多个第三部分倾斜于第一部分和第二部分并彼此分离。

22、根据权利要求 21 所述的方法，其特征在于，所述形成栅线、栅极和公共电极的步骤中包括：

在基板上顺序形成第一金属材料层、第二金属材料层和第三金属材料层；

在第三金属材料层上形成光刻胶层；

在光刻胶层上设置具有第一区域、第二区域和第三区域的掩模，所述第三区域具有第一区域和第二区域之间的透光率；

通过使用掩模曝光并显影光刻胶层形成位于第三金属材料层上的第一光刻胶图案、第二光刻胶图案和第三光刻胶图案，其中第二光刻胶图案的高度小于第一光刻胶图案并且与第三光刻胶图案高度相同并设置在第一光刻胶图案的两侧，并且其中在第二和第三光刻胶图案之间暴露出对应于第一区域的第三金属材料层；

通过顺序去除在光刻胶图案之间暴露出的第三金属材料层、第二金属材料层和第一金属材料层以在基板上形成第一金属材料图案、第二金属材料图案和

第三金属材料图案；

通过去除第二光刻胶图案和第三光刻胶图案以由第一光刻胶图案暴露出第三金属材料图案；

顺序去除由第一光刻胶图案暴露出的第三金属材料图案和第二金属材料图案从而暴露出第一金属材料图案；以及

去除第一光刻胶图案；

其中将第一光刻胶图案下的第一金属材料图案、第二金属材料图案和第三金属材料图案被分别定义为栅线和栅电极，并且暴露出的第一金属材料图案被定义为公共电极。

23、根据权利要求 22 所述的方法，其特征在于，所述第三区域包括不透明层和切口层之一。

24、根据权利要求 22 所述的方法，其特征在于，所述第二光刻胶图案和第三光刻胶图案对应于第三区域。

25、根据权利要求 22 所述的方法，其特征在于，所述第一金属材料层包括氧化铟锡或氧化铟锌其中之一，并且第二金属材料层和第三金属材料层分别包括 Mo 和 AlNd。

26、根据权利要求 25 所述的方法，其特征在于，通过顺序去除具有锥形侧面形状的第一金属材料层、第二金属材料层和第三金属材料层来形成所述第一金属材料图案、第二金属材料图案和第三金属材料图案。

27、根据权利要求 26 所述的方法，其特征在于，所述栅线和栅极的第二金属材料图案和第三金属材料图案具有基本相同的形状。

28、根据权利要求 21 所述的方法，其特征在于，还包括与栅线、栅极和公共电极同时形成第一金属材料图案和第二金属图案，其中第一金属材料图案和第二金属图案设置在公共电极的两端。

29、根据权利要求 28 所述的方法，其特征在于，所述第一金属材料图案和第二金属图案沿着第二方向排列。

30、根据权利要求 21 所述的方法，其特征在于，所述多个第三部分相对第一方向具有 0 度和 45 度之间的角度。

共平面开关模式液晶显示器件的阵列基板及其制造方法

本申请要求享有 2005 年 12 月 29 日提出的申请号为 No.2005-0133552 的韩国专利申请的权益，在此结合其全部内容作为参考。

技术领域

本发明涉及一种液晶显示(LCD)器件，尤其是涉及一种用于共平面开关(IPS)模式 LCD 器件的阵列基板以及制造其的方法，其具有高亮度和宽视角。

背景技术

LCD 器件的液晶分子因其薄和长的形状而具有排列的方向特性。液晶分子的排列方向可以通过向其施加电场来控制。这样，LCD 器件通过控制电场的幅度利用液晶分子的透光率的变化显示图像。包括薄膜晶体管(TFT)作为开关元件的 LCD 器件被称为有源矩阵 LCD(AM-LCD)器件，具有高分辨率和显示移动图像的极好的特性。

传统的 LCD 器件包括第一基板、第二基板和液晶层。第一基板包括像素电极，并且第二基板包括滤色片层和公共电极。第一基板和第二基板彼此相对，并且液晶层夹在其中。传统的 LCD 器件使用像素和公共电极之间的垂直电场来显示图像。采用垂直电场的 LCD 器件具有高透光率和高孔径比。然而，该 LCD 器件具有视角窄、对比度低等问题。

为了解决上述问题，提出了具有宽视角的 IPS 模式 LCD 器件。

图 1 为现有技术 IPS 模式 LCD 器件的示意性截面图。如图 1 所示，IPS 模式 LCD 器件包括第一基板 10 和第二基板 40 以及液晶层 LC。第一基板 10 和第二基板 40 彼此相对，并且液晶层 LC 夹在其中。第一基板 10 和第二基板 40 可以分别被称为阵列基板和滤色片基板。

像素区域 P 被限定在第一基板 10 上。薄膜晶体管(TFT)T，公共电极 30 和像素电极 32 在第一基板 10 上的像素区域 P 中形成。TFT T 包括位于第一基板 10 上的栅极 14、位于栅极 14 上的栅绝缘层 16、位于栅绝缘层 16 上的半导

体层 18、以及位于半导体层 18 上的源极 20 和漏极 22。栅极 14 和源极 20 分别从栅线 12 和数据线 24 延伸出来，并且源极 20 和漏极 22 彼此分开。在 TFT T 上形成钝化层 28。公共电极 30 和像素电极 32 可以由在钝化层 28 上的透明导电材料形成。公共电极 30 和像素电极 32 交替排列并彼此平行。像素电极 32 连接到 TFT T。液晶层 LC 由公共电极 30 和像素电极 32 之间产生的电场 45 来驱动。

虽然图 1 未示出，在第一基板 10 上形成栅线和数据线以限定像素区域 P，并且在第一基板 10 上形成公共线以向公共电极 30 施加电压。

第二基板 40 包括黑矩阵 42 和滤色片 44。黑矩阵 42 与栅线(未示出)、数据线(未示出)和 TFT T 相对应。包括子滤色片 44a 和 44b 的滤色片 44 与像素区域 P 相对应。滤色片 44 包括红色 R、绿色 G 和蓝色(未示出)之一。

图 2 为现有技术中用于 IPS 模式 LCD 器件的阵列基板的示意性平面图。

在第一基板 10 上形成栅线 12 和数据线 24 以限定像素区域，并且公共线 15 平行于栅线 12 并与其分离。在像素区域 P 中形成 TFT T 以连接栅线 12 和数据线 24。TFT T 包括栅极 14、栅绝缘层 16(图 1 中)、半导体层 18 以及源极 20 和漏极 22。栅极 14 和源极 20 分别从栅线 12 和数据线 24 延伸出来，并且源极 20 和漏极 22 彼此分开。此外，在像素区域 P 中形成公共电极 30 和像素电极 32。像素电极 32 连接到 TFT T 并且与公共电极 30 交替排列。公共电极 30 从公共线 15 延伸出来从而垂直于公共线 15。公共电极 30 和像素电极 32 彼此平行。

为了改善图像的亮度和孔径比，由透明导电材料形成像素电极 32 和公共电极 30 透明导电材料。然而，由于驱动液晶层 LC(图 1 中)的有效电场不是在像素电极 32 和公共电极 30 上而是在像素电极 32 和公共电极 30 之间产生，因此存在亮度和孔径比不足的问题。

为了解决 IPS 模式 LCD 器件中的这些问题，提出了一种高级水平共平面开关(AH-IPS)模式 LCD 器件。AH-IPS 模式 LCD 器件的像素电极之间的距离比 IPS 模式 LCD 器件更窄，并且公共电极是平板形状。像素电极在公共电极上形成。AH-IPS 模式 LCD 器件在左侧和右侧具有宽视角以及高对比度。此外，没有色偏。

图 3 为现有技术中用于 AH-IPS 模式 LCD 器件的阵列基板的平面图。

如图 3 所示,用于 AH-IPS 模式 LCD 器件的阵列基板包括栅线 54 和数据线 72、TFT T、公共电极 52 以及位于基板 50 上的多个像素电极 78。栅线 54 和数据线 72 彼此交叉以在基板 50 上限定像素区域 P。TFT T 连接栅线 54 和数据线 72。TFT T 包括栅极 56、栅绝缘层(未示出)、半导体层 62 以及源极 68 和漏极 70。半导体层 62 包括有源层(未示出)和欧姆接触层(未示出)。栅极 56 和源极 68 分别从栅线 54 和数据线 72 延伸出来,并且漏极 70 与源极 68 分离。

公共电极 52 具有平板形状并形成在像素区域的整个表面。在公共电极 52 上形成多个像素电极 78。该多个像素电极 78 具有条形。多个像素电极 78 从第一连接线 78a 和第二连接线 78b 延伸出来。多个像素电极 78 通过第一连接线 78a 和第二连接线 78b 互相连接。多个像素电极 78 在像素区域 P 的中心区域相互分离。第一连接线 78a 与漏极 70 相连,且第二连接线 78b 与栅线 54 重叠。

液晶层(未示出)由公共电极 52 和像素电极 78 间的电场驱动。由于公共电极 52 和像素电极 78 之间的距离比传统 IPS 模式 LCD 器件更近,因而电场可有效的驱动像素电极 78 上的液晶层(未示出)的液晶分子,从而使得 AH-IPS 模式 LCD 器件比传统 IPS 模式 LCD 器件具有更高的亮度。

图 4A 和 4B 是沿着图 3 中的线 III-III 和 IV-IV 的截面图。

如图 4A 所示,在基板 50 上的像素区域 P 中形成 TFT T。TFT T 包括位于基板 50 上的栅极 56、位于栅极 56 上的栅绝缘层 58、位于栅绝缘层 58 上的包括有源层 62a 和欧姆接触层 62b 的半导体层 62、位于半导体层 62 上的源极 68 和漏极 70。

在基板 50 上由透明导电材料形成公共电极 52。绝缘层 53 夹在公共电极 52 和栅极 56 之间。在 TFT T 上方形成第一连接线 78a,且其间具有钝化层 74。第一连接线 78a 通过钝化层 74 的漏接触孔 76 与漏极 68 相连。

如图 4B 所示,多个条形的像素电极 78 与公共电极 52 相对应。多个像素电极 78 从第一连接线 78a(图 4A 中)延伸出来以互相连接。在栅绝缘层 58 上以及像素区域 P 的两侧形成数据线 72。

AH-IPS 模式 LCD 器件具有宽视角和高对比度。然而,由于像素电极 78 重叠于公共电极 52,在像素电极 78 和公共电极 52 之间产生存储电容。AH-IPS

模式 LCD 器件的像素电极 78 和公共电极 52 之间的存储电容可能是图 1 和图 2 所示的传统 IPS 模式 LCD 器件中的存储电容的 5 倍。这需要 AH-IPS 模式 LCD 器件中的 TFT 具有比图 1 和图 2 所示的传统 IPS 模式 LCD 器件的更大的尺寸，从而减少 AH-IPS 模式 LCD 器件的孔径比。此外，由于像素电极设置为平行于数据线 72(图 3 中)，因此上下两侧和对角方向的视角恶化。

发明内容

因此，本发明提供了一种 IPS 模式 LCD 器件，其基本上消除由于现有技术的局限性和缺陷引起的一个或多个问题。

本发明的目的在于提供一种 IPS 模式 LCD 器件，其能够改善视角和孔径比。

本发明的其它特征和优点将在说明书中阐明，对于熟悉本领域的技术人员，从说明书可以明白，或可以通过本发明的实施方式理解。本发明的目的和其它优点将通过说明书和权利要求书以及附图所指出的结构来实现和获得。

为了获得这些和其他优点以及根据本发明的发明目的，正如在此所具体和广泛描述的，一种用于 IPS 模式 LCD 器件的阵列基板，包括：基板；沿第一方向的栅线；沿第二方向的数据线；连接到栅线和数据线的 TFT；公共电极，其在基板上具有平板形并且由第一透明导电材料形成；以及像素电极，其在公共电极上由第二透明导电材料形成并且包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，并且其中多个第三部分倾斜于第一部分和第二部分并且彼此分离。

在本发明的另一方面，一种用于 IPS 模式 LCD 器件的阵列基板的制造方法，包括：使用第一掩模在基板上形成具有透明导电材料和平板形的公共电极；使用第二掩模沿第一方向形成栅线以及在具有公共电极的基板上形成栅极；在公共电极、栅线和栅极上形成栅绝缘层；使用第三掩模在栅绝缘层上并对应栅极形成半导体层；使用第四掩模在半导体层和栅绝缘层上形成源极和漏极以及数据线，其中源极和漏极彼此分离，并且数据线沿着第二方向排列；使用第五掩模在源极和漏极以及数据线上形成包括漏接触孔的钝化层，漏接触孔暴露出漏极；以及使用第六掩模在钝化层上形成通过漏接触孔连接漏极的像素电极，

其中像素电极包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，其中多个第三部分倾斜于第一部分和第二部分并彼此分离。

在本发明的再一方面，一种用于 IPS 模式 LCD 器件的阵列基板的制造方法，包括：使用第一掩模在基板上沿第一方向形成栅线、栅极和公共电极；在栅线、栅极和公共电极上形成栅绝缘层；使用第二掩模在栅绝缘层上并对应栅极形成半导体层；使用第三掩模在半导体层和栅绝缘层上形成源极和漏极以及数据线，其中源极和漏极彼此分离，并且数据线沿第二方向排列；使用第四掩模在源极和漏极以及数据线上形成包括漏接触孔的钝化层，漏接触孔暴露出漏极；以及使用第五掩模在钝化层上形成通过漏接触孔连接漏极的像素电极，其中像素电极包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，其中多个第三部分倾斜于第一部分和第二部分并彼此分离。

很显然，本发明上面的一般性描述和下面的详细说明都是示例性和解释性的，其目的在于对本发明的权利要求作进一步解释。

附图说明

本申请所包含的附图用于进一步理解本发明，其与说明书相结合并构成说明书的一部分，所述附图表示本发明的实施例并与说明书一起解释本发明的原理。

图 1 是根据现有技术 IPS 模式 LCD 器件的示意性截面图；

图 2 是根据现有技术用于 IPS 模式 LCD 器件的阵列基板的示意性平面图；

图 3 是根据现有技术用于 AH-IPS 模式 LCD 器件的阵列基板的平面图；

图 4A 和 4B 是沿图 3 中线 III-III 和 IV-IV 的截面图；

图 5 是根据本发明第一示例性实施方式用于 IPS 模式 LCD 器件的阵列基板的平面图；

图 6A 至 6G 是沿图 5 中线 V-V 所示部分的制造工序截面图；

图 7A 至 7G 是沿图 5 中线 VI-VI 所示部分的制造工序截面图；

图 8 是根据本发明第二示例性实施方式用于 IPS 模式 LCD 器件的阵列基板的平面图；

图 9A 和 9B 是分别沿图 8 中线 VII-VII 和 VIII-VIII 的截面图；

图 10 根据本发明第三示例性实施方式用于 IPS 模式 LCD 器件的阵列基板的平面图；

图 11A 至 11J 是沿图 10 中线 IX-IX 所示部分的制造工序截面图；

图 12A 至 12J 是沿图 10 中线 X-X 所示部分的制造工序截面图。

具体实施方式

现在将详细参考本发明的优选实施方式，在附图中示出其实施例。

图 5 是根据本发明第一示例性实施方式用于 IPS 模式 LCD 器件的阵列基板的平面图。根据本发明第一示例性实施方式的 IPS 模式 LCD 器件包括在像素电极和公共电极之间的低介电常数的绝缘层，来解决现有技术中存储电容的问题。

如图 5 所示，在基板 100 上形成栅线 104 和数据线 120。栅线 104 和数据线 120 彼此交叉以限定像素区域 P。TFT T 连接栅线 104 和数据线 120。TFT T 包括栅极 106、半导体层 112、源极 116 和漏极 118。公共电极 102 和像素电极 126 在基板 100 上的像素区域 P 中形成。公共电极 102 和像素电极 126 分别具有平板形和条形。像素电极 126 包括第一部分 126a 和第二部分 126b 和多个第三部分 126c。第一部分 126a 和第二部分 126b 基本上平行于数据线 120。第一部分 126a 和第二部分 126b 彼此平行并分离。多个第三部分 126c 连接到第一部分 126a 和第二部分 126b。多个第三部分 126c 互相平行并且相对于栅线 104 具有 0 度至 45 度的角度。换句话说，多个第三部分 126c 相对于第一部分 126a 和第二部分 126b 是倾斜的。多个第三部分 126c 排列为尽可能地互相接近从而以公共电极 102 和像素电极 126 之间的电场来驱动像素电极 126 上的液晶分子。在一个像素区域 P 中的第三像素电极 126c 对称于像素区域 P 的旁边的另一个像素区域 P 中的第三像素电极 126c。通过上述结构可改善上下两侧和对角方向的视角。

在公共电极 102 的两端上形成第一金属图案 108a 和第二金属图案 108b。第一金属图案 108a 和第二金属图案 108b 平行于数据线 120。换句话说，第一金属图案 108a 和第二金属图案 108b 平行于第一部分 126a 和第二部分 126b。一个像素区域 P 中的第一金属图案 108a 和像素区域 P 旁边的另一个像素区域中的第二金属图案 108b 相结合。公共电极 102 的电阻通过第一金属图案 108a

和第二金属图案 108b 而减少。此外，第一金属图案 108a 和第二金属图案 108b 阻挡漏光。公共电极 102 旁边的漏光区域 D 中的液晶分子不规则排列从而在漏光区域 D 显示了不需要的图像。第一金属图案 108a 和第二金属图案 108b 能够防止上述问题。

此外，在上基板(未示出)上形成黑矩阵(未示出)的余量因第一金属图案 108a 和第二金属图案 108b 而减少。具体来说，当形成对应漏光区域 D 的黑矩阵(未示出)时，由于误对准而需要余量。余量越大，器件的孔径比越小。第一金属图案 108a 和第二金属图案 108b 减小余量从而增大孔径比。

公共电极 102 和像素电极 126 之间的栅绝缘层(未示出)具有低介电常数。在本发明中栅绝缘层(未示出)的介电常数约为 3 至 4。公共电极 102 和像素电极 126 之间的存储电容是通过具有该介电常数的栅绝缘层而减小。此外，由于公共电极 102 和像素电极 126 之间的存储电容，TFT T 的尺寸减小。

图 6A 至 6G 是沿着图 5 中线 V-V 所示部分的制造工序的截面图，并且图 7 A 至 7G 是沿着图 5 中线 VI-VI 所示部分的制造工序的截面图。

图 6A 和 7A 说明了第一掩模工序。在基板 100 的像素区域 P 中使用第一掩模(未示出)通过沉积和构图透明导电材料来形成公共电极 102。透明导电材料包括铟锡氧化物(氧化铟锡)或铟锌氧化物(IZO)之一。

图 6B 和 7B 说明了第二掩模工序。(在包括公共电极 102 的基板 100 上使用第二掩模(未示出)通过沉积和构图第一金属材料来形成栅线 104(图 5 中)。第一金属材料包括铝(AL)、铝合金(AlNd)、钨(W)、铜(Cu)、钼(Mo)、铬(Cr)、钨化钼(MoW)至少之一。栅线 104(图 5 中)可以起栅极 106 的作用。栅极 106 可以从栅线 104 延伸。同时，第一金属图案 108a 和第二金属图案 108b 在公共电极 102 的两侧上形成。第一金属图案 108a 和第二金属图案 108b 可以垂直于栅线 104(图 5 中)。

接着，如图 6C 和 7C 所示，通过沉积绝缘材料在栅线 104(图 5 中)、栅极 106、公共电极 102 以及第一金属图案 108a 和第二金属图案 108b 上形成栅绝缘层 110。绝缘材料具有约为 3 和 4 之间的低介电常数。例如，二氧化硅(SiO₂)、苯并环丁烯(BCB)和丙烯酸树脂可以用于栅绝缘层 110。二氧化硅(SiO₂)的介电常数大约是 3.4。栅绝缘层的介电常数可以小于 3。当栅绝缘层的介电常数在 3 和 4 之间时，公共电极 102 和像素电极和 126 之间的存储电容是现有技术中器

件的存储电容的四分之一。现有技术的 LCD 器件包括硅的氮化物(SiN_x)的栅绝缘层。由于根据本发明的 IPS 模式 LCD 器件的存储电容减小, 由此 TFT 能够具有小尺寸并且孔径比得到改善。

图 6D 和 7D 说明了第三掩模工序。如图 6D 和 7D 所示, 在栅绝缘层 110 上通过采用第三掩模(未示出)顺序沉积并构图本征非晶硅(a-Si:H)和掺杂非晶硅(n+a-Si:H)来形成包括有源层 112a 和欧姆接触层 112b 的半导体层 112。半导体层 112 对应于栅极 106。

图 6E 和 7E 说明了第四掩模工序。如图 6E 和 7E 所示, 在半导体层 112 上通过采用第四掩模(未示出)顺序沉积和构图第二金属材料形成彼此分离的源极 116 和漏极 118。第二金属材料可以包括铝(AL)、铝合金(AlNd)、钨(W)、铜(Cu)、钼(Mo)、铬(Cr)、钨化钼(MoW)至少之一。同时, 数据线 120 在栅绝缘层 110 上形成。数据线 120 从源极 116 延伸并与栅线 104(图 5 中)交叉来限定像素区域 P。

图 6F 和 7F 说明了第五掩模工序。如图 6F 和 7F 所示, 在源极 116 和漏极 118 以及数据线 120 上通过采用第五掩模工序沉积并构图无机绝缘材料和有机绝缘材料之一来形成包括漏接触孔 124 的钝化层 122。无机绝缘材料和有机绝缘材料包括低介电常数。漏接触孔 124 暴露漏极 118。

图 6G 和 7G 说明了第六掩模工序。如图 6G 和 7G 所示, 在钝化层 122 上通过采用第六掩模(未示出)沉积和构图透明导电材料来形成像素电极 126。透明导电材料可以包括氧化铟锡和 IZO 之一。像素电极 126 通过漏接触孔 124 连接到漏极 118。

像素电极 126 包括第一部分 126a 和第二部分 126b 和多个第三部分 126c。第一部分 126a 和第二部分 126b 平行于数据线并且彼此分离。换句话说, 第一部分 126a 和第二部分 126b 垂直于栅线 104(图 5 中)。多个第三部分 126c 连接到第一部分 126a 和第二部分 126b。多个第三部分 126c 互相平行并且相对于栅线 104 具有 0 度至 45 度的角度。换句话说, 多个第三部分 126c 对第一部分 126a 和第二部分 126b 是倾斜的。在一个像素区域 P 中的第三像素电极 126c 对称于该像素区域 P 的旁边的另一个像素区域 P 中的第三像素电极 126c。

通过上述工序制造根据本发明第一示例性实施方式的用于 IPS 模式 LCD 器件的阵列基板工序。由于阵列基板包括具有低介电常数的栅绝缘层 110, 所

以公共电极 102 和像素电极 126 之间的存储电容减小。由于 TFT 具有小尺寸，因而孔径比得以改善。此外，由于第一部分 126a 和第二部分 126b 平行于数据线 120 并且多个第三部分 126c 倾斜于数据线 120，由此 IPS 模式 LCD 器件具有宽的视角。

图 8 是根据本发明第二示例性实施方式用于 IPS 模式 LCD 器件的阵列基板的平面图。根据第二示例性实施方式的阵列基板包括金属图案来阻挡公共电极和数据线之间的漏光区域。

如图 8 所示，在基板 200 上形成栅线 204 和数据线 220、TFT T、公共电极 202、第一金属图案 208a 和第二金属图案 208b。栅线 204 和数据线 220 彼此交叉从而在基板 200 上限定像素区域 P。TFT T 连接到栅线 204 和数据线 220。TFT T 包括栅极 206、半导体层 212、源极 216 和漏极 218。公共电极 202 和像素电极 226 在基板 200 上的像素区域 P 中形成。公共电极 202 和像素电极 226 分别具有平板形和条形。像素电极 226 包括第一部分 226a 和第二部分 226b 和多个第三部分 226c。第一部分 226a 和第二部分 226b 基本上平行于数据线 220。第一部分 226a 和第二部分 226b 彼此平行并分离。多个第三部分 226c 连接到第一部分 226a 和第二部分 226b。多个第三部分 226c 互相平行并且相对于栅线 204 具有 0 度至 45 度的角度。换句话说，多个第三部分 226c 对第一部分 226a 和第二部分 226b 是倾斜的。多个第三部分 226c 排列为尽可能的相互接近从而以公共电极 202 和像素电极 226 之间的电场来驱动像素电极 226 上的液晶分子。在一个像素区域 P 中的第三像素电极 226c 和该像素区域 P 的旁边的另一个像素区域 P 中的第三像素电极 226c 可以是对称的。通过上述结构改善了上下两侧和对角方向的视角。

在漏光区域 D 中形成第一金属图案 208a 和第二金属图案 208b。漏光区域 D 对应于公共电极 202 和数据线 220 之间的区域。各第一金属图案 208a 和第二金属图案 208b 重叠于公共电极 202 和数据线 220 从而漏光区域 D 被第一金属图案 208a 和第二金属图案 208b 完全覆盖。第一金属图案 208a 和第二金属图案 208b 平行于数据线 220。换句话说，第一金属图案 208a 和第二金属图案 208b 平行于第一部分 226a 和第二部分 226b。一个像素区域 P 中的第一金属图案 208a 和像素区域 P 旁边的另一个像素区域中的第二金属图案 208b 被结合到一起。公共电极 202 的电阻由第一金属图案 208a 和第二金属图案 208b 而减少。

此外，第一金属图案 208a 和第二金属图案 208b 阻挡漏光区域 D 中泄漏的光从而 IPS-LCD 器件不需要黑矩阵(未示出)。由于没有该黑矩阵，从而改善了孔径比。

换句话说，由于数据线 220 重叠于第一金属图案 208a 和第二金属图案 208b，在数据线 220 和第一金属图案 220a 之间以及数据线 220 和第二金属图案 220b 之间形成有机绝缘层(未示出)来防止第一金属图案 208a 和第二金属图案 208b 中的影响数据线的电压。有机绝缘层(未示出)具有低介电常数。

图 9A 和 9B 分别是沿图 8 线 VII-VII 和 VIII-VIII 的截面图。

如图 9A 和 9B 所示，栅线 204(图 8 中)和数据线 220 彼此交叉从而在基板 200 上限定像素区域 P。TFT T 连接到栅线 204(图 8 中)和数据线 220。TFT T 包括栅极 206、在栅极 206 上的栅绝缘层 210、栅绝缘层 210 上的半导体层 212、半导体层 212 上的源极 216 和漏极 218。栅极 206 和源极 216 分别从栅线 204(图 8 中)和数据线 220 延伸出来。源极 216 和漏极 218 彼此分离。半导体层 212 包括有源层 212a 和欧姆接触层 212b。

在基板 200 上形成透明导电材料的公共电极 202。公共电极 202 具有平板形。在公共电极 202 上形成包括第一部分 226a 和第二部分 226b 和多个第三部分 226c 的像素电极 226。栅绝缘层 210 和钝化层 222 顺序设置在公共电极 202 和像素电极 226 之间。

此外，第一金属图案 208a 和第二金属图案 208b 在漏光区域 D 中形成。如上所述，漏光区域 D 对应公共电极 202 和数据线 220 之间的区域。第一金属图案 208a 和第二金属图案 208b 接触公共电极 202 并重叠于数据线 220。漏光区域 D 中泄漏的光完全被第一金属图案 208a 和第二金属图案 208b 阻挡。为了防止第一金属图案 208a 和第二金属图案 208b 影响数据线 220，在第一金属图案 208a 和数据线 220 之间以及第二金属图案 208b 和数据线 220 之间夹在的栅绝缘层 210 由一种具有小于 3 的低介电常数的绝缘材料形成。绝缘材料可以包括 BCB 和丙烯酸树脂之一。

根据本发明第二示例性实施方式的阵列基板通过与第一实施方式相同的工序制造。

图 10 根据本发明第三示例性实施方式用于 IPS 模式 LCD 器件的阵列基板的平面图。根据第三示例性实施方式的阵列基板通过少于第一和第二示例性实

施方式的掩模工序制造。此外，在第三示例性实施方式中防止了当层压金属层同时构图时发生的倒锥形现象。

如图 10 所示，栅线 314 和数据线 332 排列在基板 300 上。栅线 314 和数据线 332 彼此交叉从而在基板 300 上限定像素区域 P。TFT T 连接栅线 314 和数据线 332。TFT T 包括栅极 316、半导体层 324、源极 328 和漏极 330。在基板 300 上的像素区域 P 中形成公共电极 318 和像素电极 338。公共电极 102 和像素电极 126 分别具有平板形和条形。像素电极 338 包括第一部分 338a 和第二部分 338b 和多个第三部分 338c。第一部分 338a 和第二部分 338b 基本上平行于数据线 332。第一部分 338a 和第二部分 338b 彼此平行并分离。多个第三部分 338c 连接到第一部分 338a 和第二部分 338b。多个第三部分 338c 互相平行并且相对于栅线 314 具有 0 度至 45 度的角度。换句话说，多个第三部分 338c 对第一部分 338a 和第二部分 338b 是倾斜的。多个第三部分 338c 排列为尽可能的相互接近从而以公共电极 318 和像素电极 338 之间的电场驱动像素电极 338 上的液晶分子。在一个像素区域 P 中的第三像素电极 338c 和像素区域 P 的旁边的另一个像素区域 P 中的第三像素电极 338c 可以是对称的。通过上述结构改善了上下两侧和对角方向的视角。

根据第三示例性实施方式的阵列基板通过第五掩模工序形成公共电极 318，数据线 314 和栅极 316 采用同一掩模(未示出)。同时，第一金属图案 320a 和第二金属图案 320b 在公共电极 318 的两端形成来减少公共电极 318 的电阻。一个像素区域 P 中的第一金属图案 320a 集成像素区域 P 旁边的另一个像素区域 P 中的第二金属图案 320b，从而公共电压在不同像素区域 P 中施加给公共电极 318。

图 11A 至 11J 和图 12A 至 12J 说明了第三示例性实施方式的阵列基板的制造工序。

图 11A 至 11J 是沿图 10 中线 IX-IX 所示部分的制造工序的截面图，图 12A 至 12J 是沿图 10 中线 X-X 所示部分的制造工序的截面图。

图 11A 至 11F 和图 12A 至 12F 说明了第一掩模制造工序。

如图 11A 和 12A 所示，通过在基板 300 上顺序沉积透明导电材料、第一金属材料 and 第二金属材料形成透明导电材料层 302、第一金属材料层 304 和第二金属材料层 306。透明导电材料可以包括氧化铟锡和 IZO 之一。第一金属材料

料可以是 Mo。第二金属材料可以是 AlNd。

下面,如图 11B 和 12B 所示,通过涂覆 PR 在第二金属材料层 306 上形成光刻胶(PR)层 308。然后,将包括透光区域 B1、阻挡区域 B2 和半透光区域 B3 的第一掩模 M 设置在 PR 层 308 上。半透光区域 B3 的透光率小于透光区域 B1 并大于阻挡区域 B2。半透光区域 B3 可包括不透明层和切口形状之一。当 PR 层 308 采用第一掩模 M 曝光时,对应半透光区域 B3 的 PR 层 308 比对应透光区域 B1 的 PR 层 308 曝光少并且比对应阻挡区域 B2 的 PR 层 308 曝光多。阻挡区域 B2 设置在其中有栅极 316(图 10 中)、栅线 314(图 10 中)以及第一金属图案 320a(图 10 中)和第二金属图案 320b(图 10 中)的区域。由于半透光区域 B3 在栅线 314(图 10 中)和第一金属图案 320a(图 10 中)和第二金属图案 320b(图 10 中)中用作防止倒锥形的现象,所以将半透光区域 B3 设置在阻挡区域 B2 的两端。此外,半透光区域 B3 设置在其中形成公共电极 318(图 10 中)的区域中。

下面,使用第一掩模 M 曝光并显影 PR 层 308。

如图 11C 和 12C 所示,在第二金属材料层 306 上形成具有不同高度的第一 PR 图案 310 和第二 PR 图案 312。第一 PR 图案 310 和第二 PR 图案 312 分别对应阻挡区域 B2 和半透光区域 B3。第一 PR 图案 310 高于第二 PR 图案 312。对应透光区域 B1 的 PR 层 308 被完全移除从而对应透光区域 B1 的第二金属材料层 306 暴露在第一 PR 图案 310 和第二 PR 图案 312 之间。

下面,使用第一蚀刻剂来去除暴露出的第二金属材料层 306。顺序的,使用第一蚀刻剂来去除第一金属材料层 304 和透明导电材料层 302。

这样,如图 11D 和 12D 所示,在基板 300 和第一 PR 图案 310 之间以及基板 300 和第二 PR 图案 312 之间形成透明导电材料图案 M1、第一金属材料图案 M2 和第二金属材料图案 M3。对应第二 PR 图案 312 的端点部分 B 的透明导电材料图案 M1、第一金属材料图案 M2 和第二金属材料图案 M3 具有锥形侧面。换句话说,第一金属材料图案 M2 从第二金属材料图案 M3 突起,并且透明导电材料图案 M1 从第一金属材料图案 M2 突起。

下面,如图 11E 和 12E 所示,第一 PR 图案 310 和第二 PR 图案 312 被灰化从而第一 PR 图案 310 被部分去除而第二 PR 图案 312 被完全去除。因此,对应第二 PR 图案 312 的第二金属材料图案 M3 暴露出来。

下面,如图 11F 和 12F 所示,使用第二蚀刻剂来去除暴露出的第二金属材料图案 M3 和暴露出的第二金属材料图案 M3 下面的第一金属材料图案 M2。第二蚀刻剂不同于第一蚀刻剂从而透明导电材料图案 M1 没有被去除。此外,由 Mo 形成的第一金属材料图案 M2 和由 AlNd 形成的第二金属材料图案 M3 对第二蚀刻剂具有不同的蚀刻率。第一金属材料图案 M2 比第二金属材料图案 M3 蚀刻的多。然而,由于第一金属材料图案 M2 从第二金属材料图案 M3 突起,第一金属材料图案 M2 和第二金属材料图案 M3 可以具有同一端线。

另一方面,当与上述工序不同,即在第二金属材料层只形成一个 PR 图案时,透明导电材料图案 M1 和第一金属材料图案 M2 和第二金属材料图案 M3 具有相同形状,且不是锥形侧面。在这种情况下,第一金属材料图案 M2 和第二金属材料图案 M3 具有倒锥形,且不具有同一端线。当绝缘层在具有倒锥形的第一金属材料图案和第二金属材料图案上形成,绝缘层有缺陷。当绝缘层构图时,用于构图的蚀刻剂可能通过该缺陷接触绝缘层下的栅线从而栅线可能被破坏。

由于第一金属材料图案 M2 和第二金属材料图案 M3 具有相同的端线,且不是倒锥形,所以根据第三示例性实施方式的阵列基板不具有上述问题。

将未覆盖第一金属材料图案 M2 的透明导电材料图案 M1 用作公共电极 318。栅极 316 具有包括透明导电材料图案 M1、第一金属材料图案 M2 和第二金属材料图案 M3 的三层结构。此外,第一金属图案 320a 和第二金属图案 320b 形成公共电极 318 的两端。第一金属图案 320a 和第二金属图案 320b 具有双层结构。同时,在基板 300 上形成栅线 314(图 10 中)。栅线 314(图 10 中)具有与栅极 316 相同的结构。然后,第一 PR 图案 310 被去除。

另一方面,通过在第一掩模工序中部分移除栅线来在栅线端点工序形成接触孔。这种情况下,当栅线具有倒锥形时,由倒锥形而引起栅线和另一金属层接触的问题。然而,由于在本发明中栅线具有锥形,所以根据本发明的阵列基板没有上述问题。

图 11G 和 12G 说明了第二掩模工序。如图 11G 和 12G 所示,在栅极 316 和公共电极 318 上通过沉积低介电常数的第一绝缘材料来形成栅绝缘层 322。第一绝缘材料可以包括二氧化硅(SiO_2)。

下面,在栅绝缘层 322 上通过顺序沉积并构图本征非晶硅(a-Si:H)和掺杂

质非晶硅(n+a-Si:H)来形成包括有源层 324a 和欧姆接触层 324b 的半导体层 324。有源层 324a 和欧姆接触层 324b 分别由本征非晶硅(a-Si:H)和掺杂质非晶硅(n+a-Si:H)形成。

图 11H 和 12H 说明了第三掩模工序。如图 11H 和 12H 所示,在栅绝缘层 322 和半导体层 324 上通过沉积并构图第三金属材料来形成源极 328 和漏极 330 以及数据线 332。第三金属材料包括 AL、AlNd、Cr、Mo、MoW、W、Cu 至少之一。源极 328 和漏极 330 彼此分离,并且源极 328 从数据线 332 延伸。数据线 332 与栅线 314(图 10 中)相交叉从而限定像素区域 P。

图 11I 和 12I 说明了第四掩模工序。如图 11I 和 12I 所示,在源极 328 和漏极 330 以及数据线 332 上通过沉积并构图低介电常数的第二绝缘材料来形成包括漏接触孔 336 的钝化层 334。第二绝缘材料可以包括二氧化硅(SiO₂)。钝化层 334 可以由有机绝缘材料形成。漏接触孔 336 暴露出漏极 330。

图 11J 和 12J 说明了第五掩模工序。如图 11J 和 12J 所示,在钝化层 334 上通过沉积和构图透明导电材料来形成像素电极 338。透明导电材料包括氧化铟锡和 IZO 之一。像素电极 338 通过漏接触孔 336 连接到漏极 330。像素电极 338 包括第一部分 338a 和第二部分 338b 和多个第三部分 338c。第一部分 338a 和第二部分 338b 平行于数据线并且彼此分离。多个第三部分 338c 结合第一部分 338a 和第二部分 338b。多个第三部分 338c 相对于栅线 314(图 10 中)具有 0 度和 45 度之间的角度。

根据第三示例性实施方式的阵列基板通过上述五个掩模工序制造。

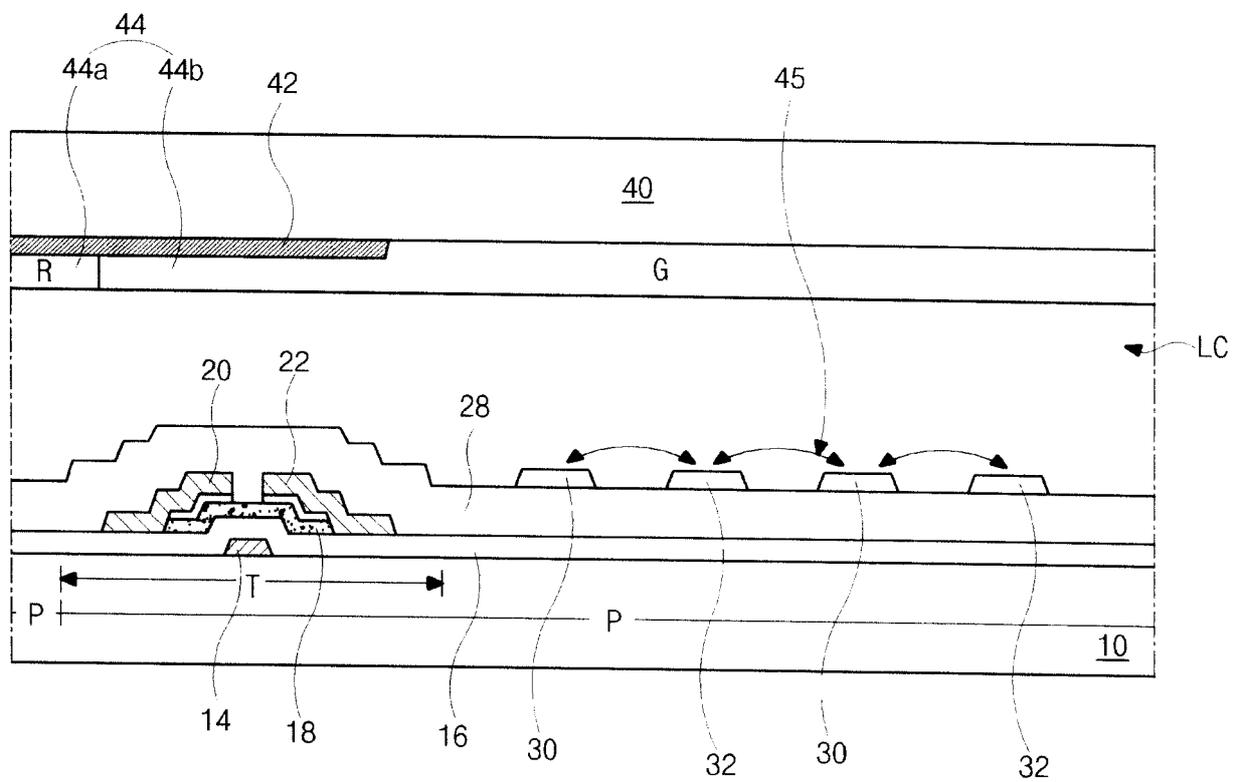


图 1

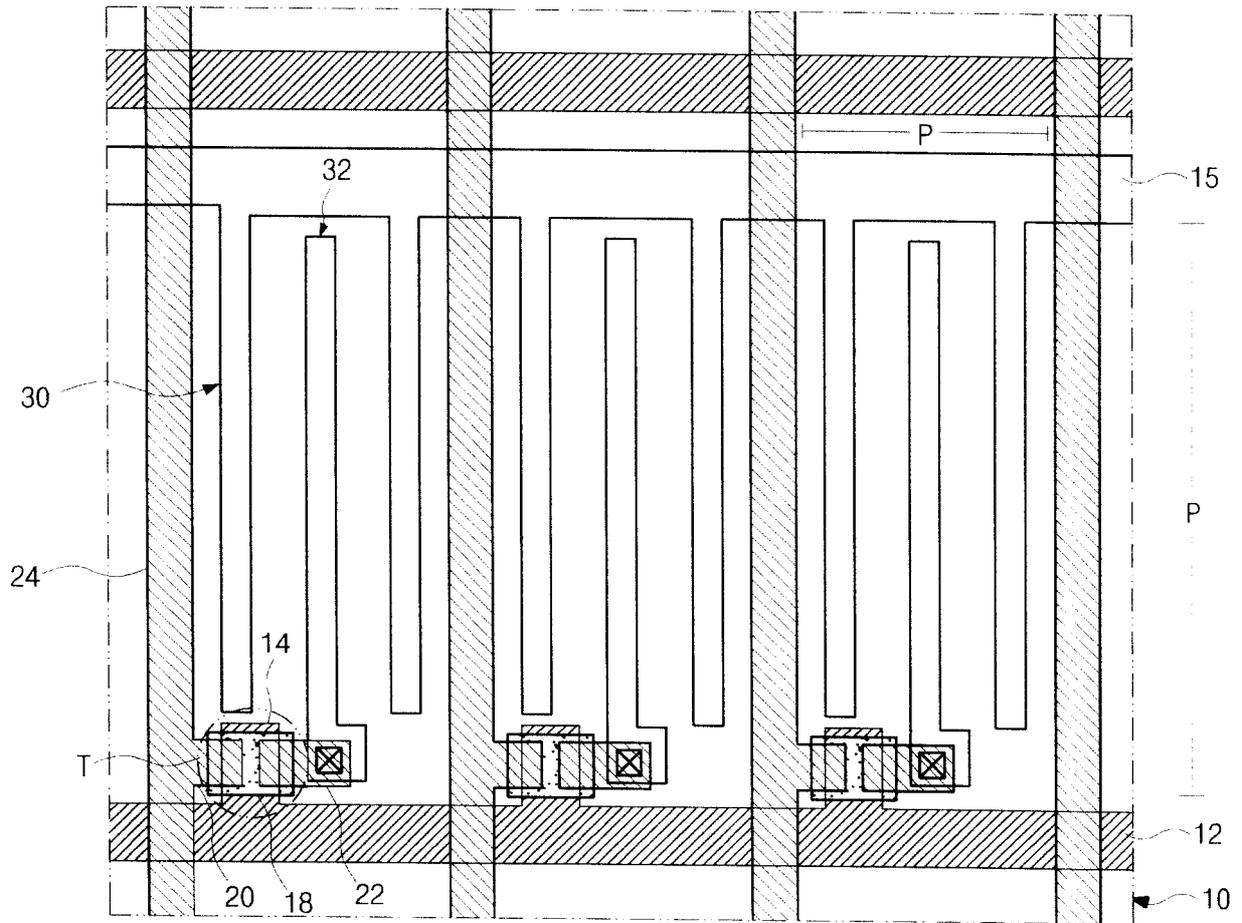


图 2

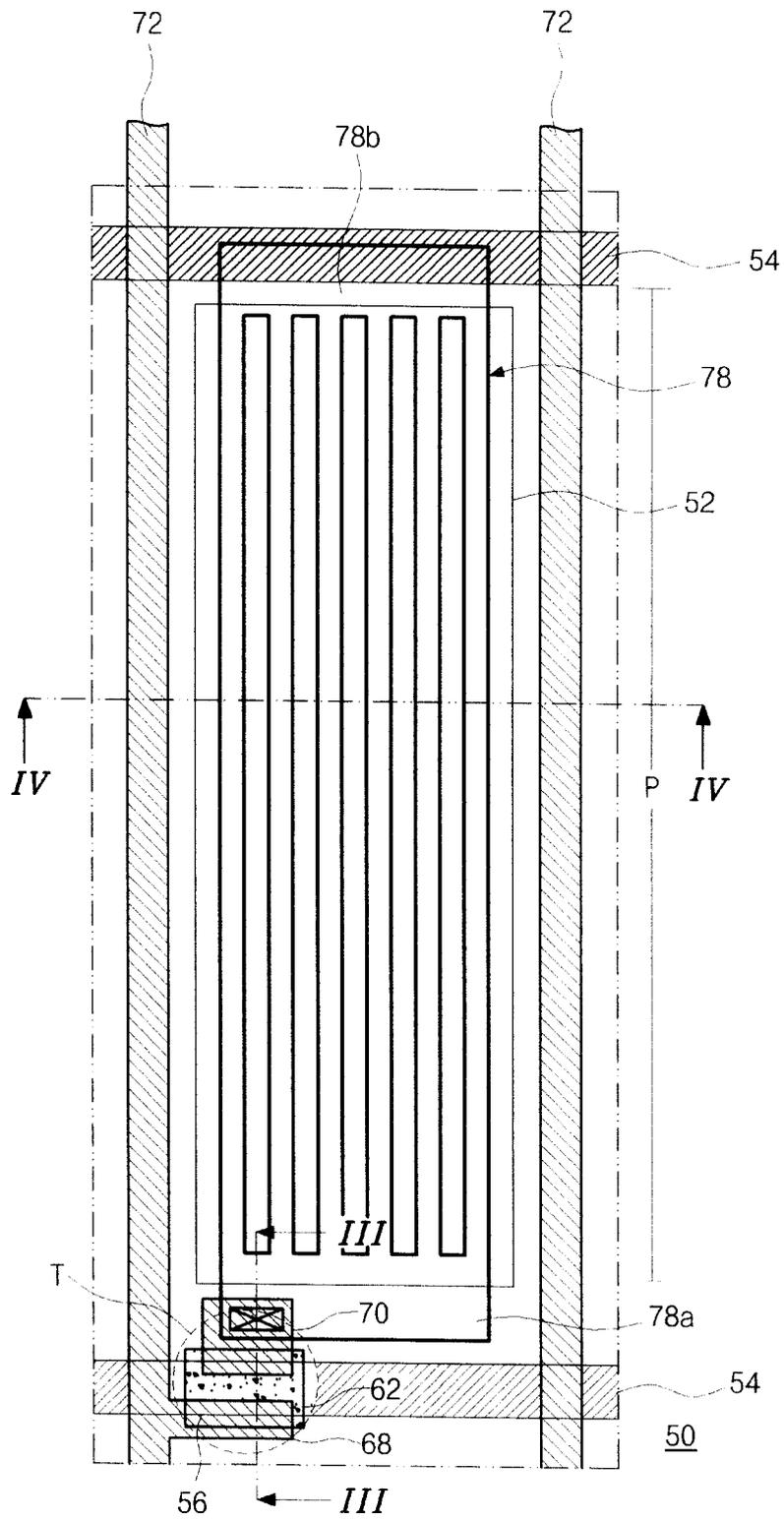


图 3

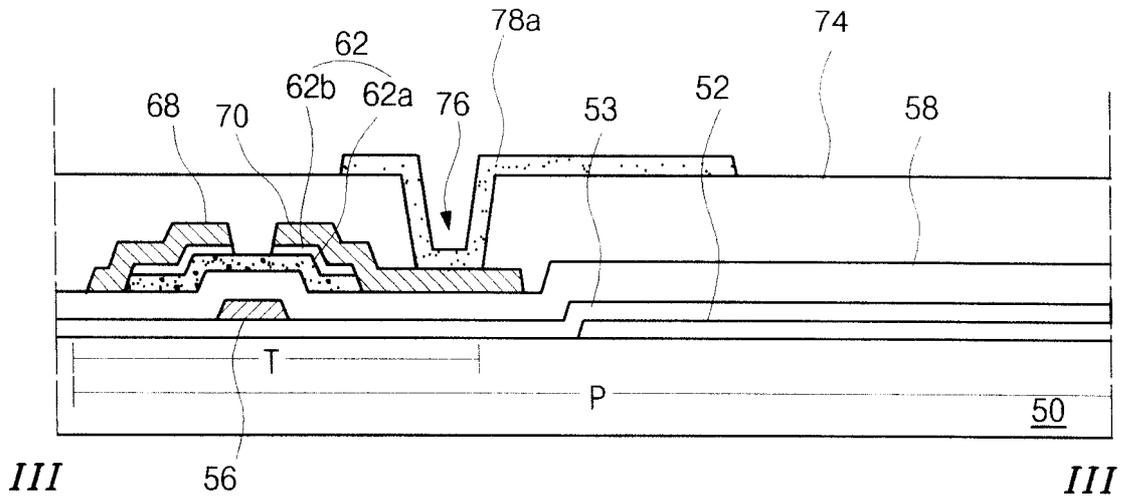


图 4A

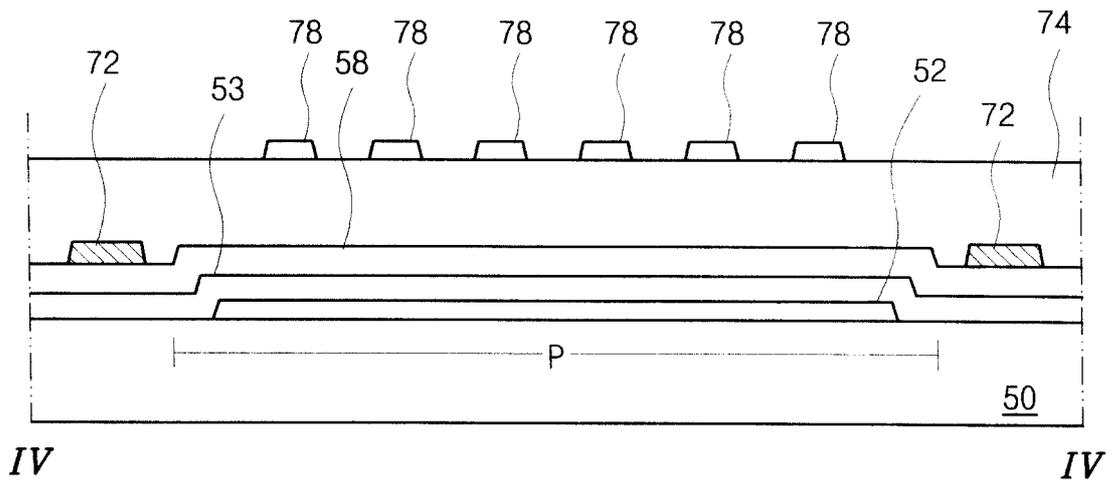


图 4B

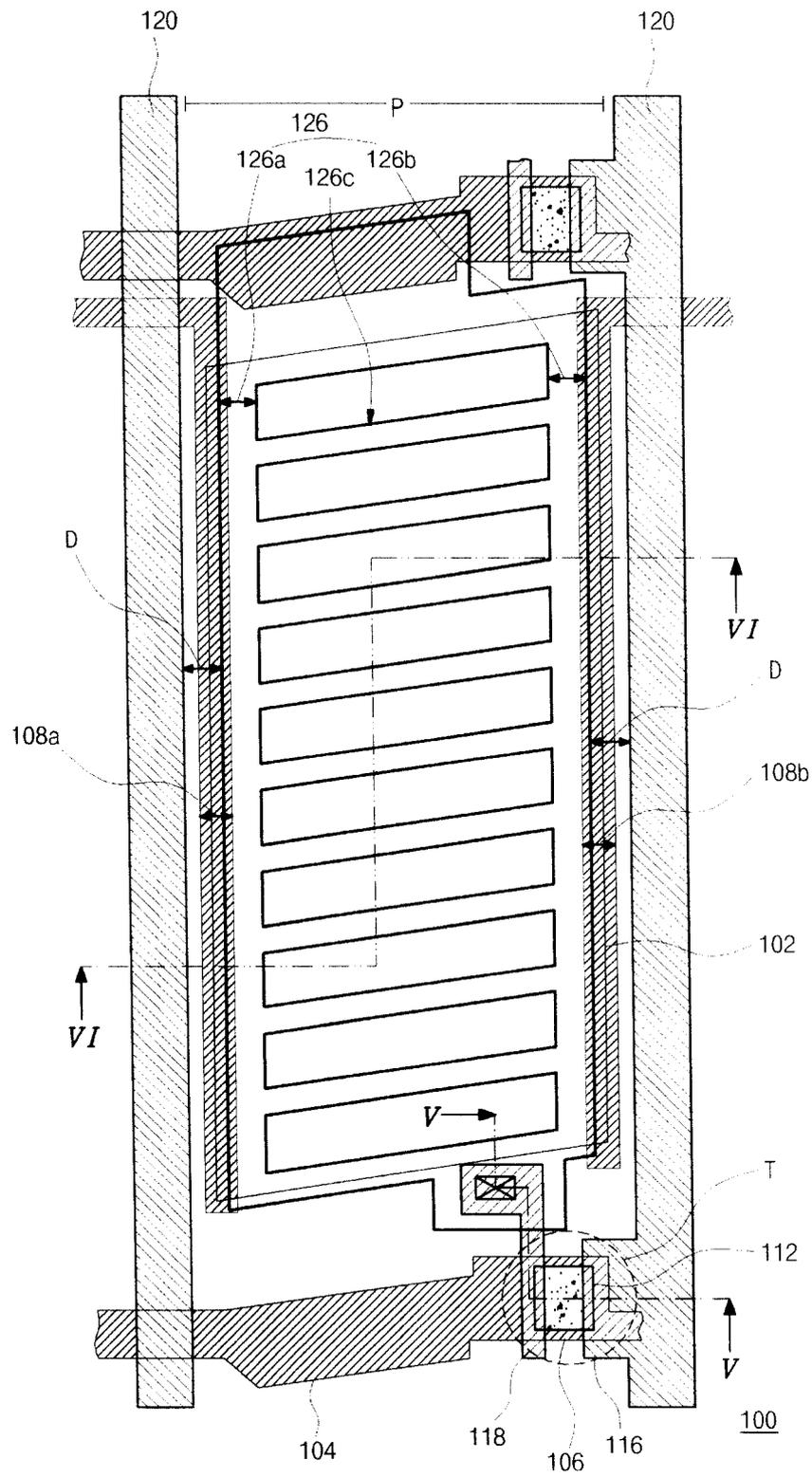


图 5

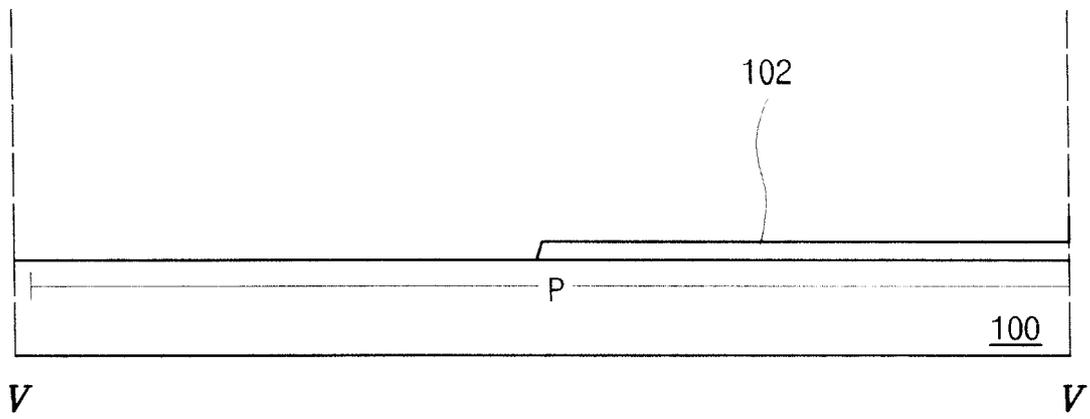


图 6A

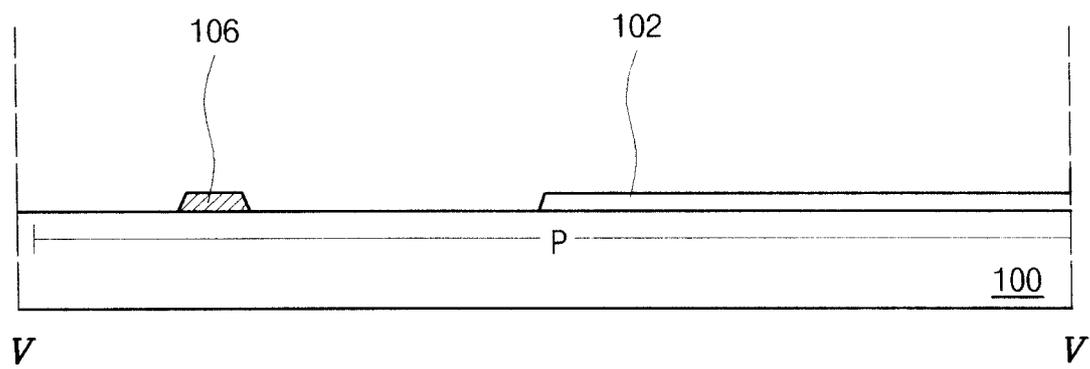


图 6B

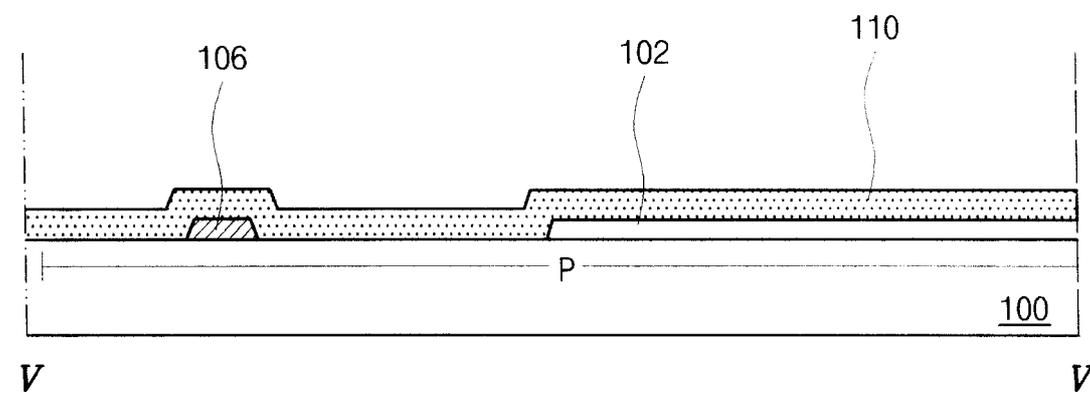


图 6C

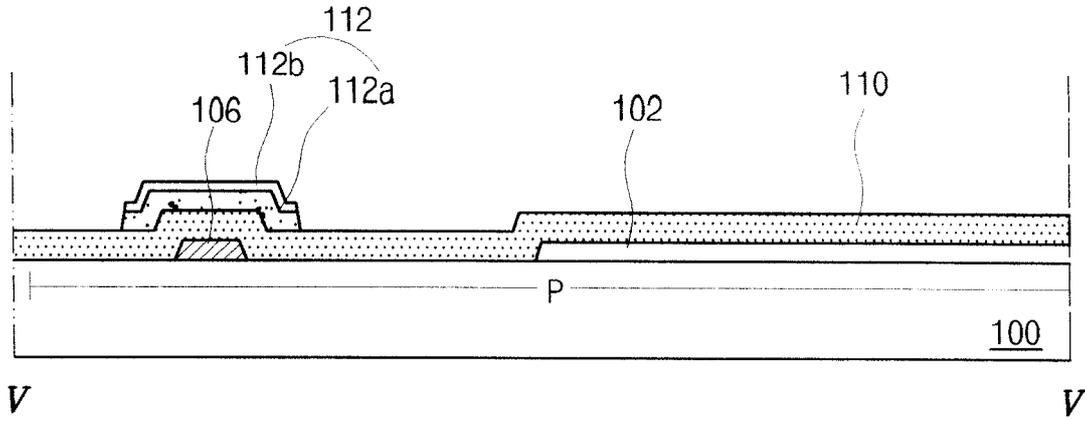


图 6D

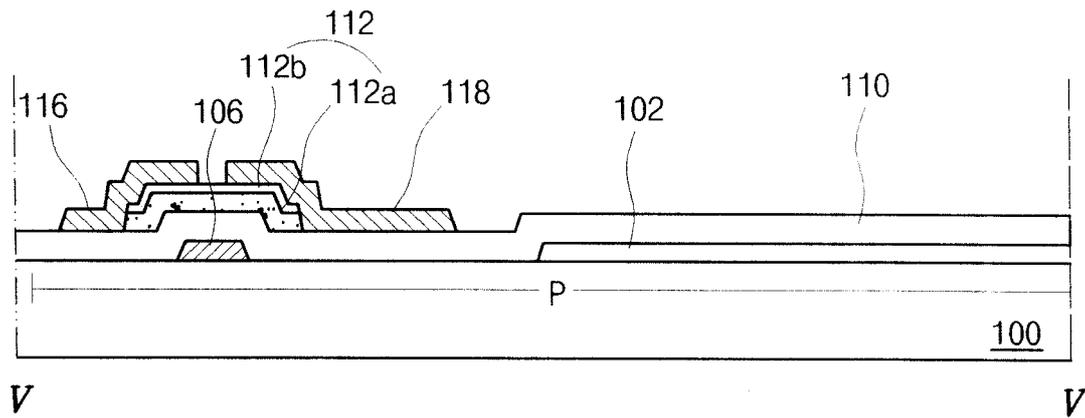


图 6E

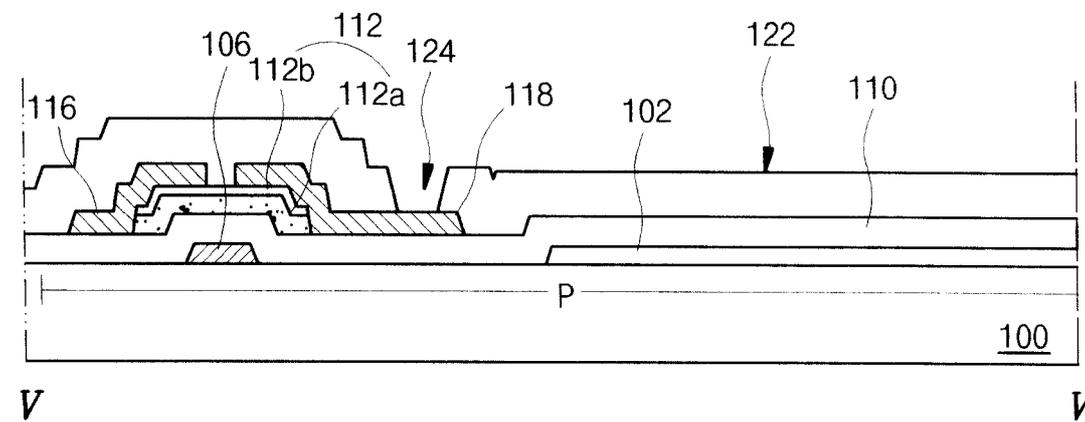


图 6F

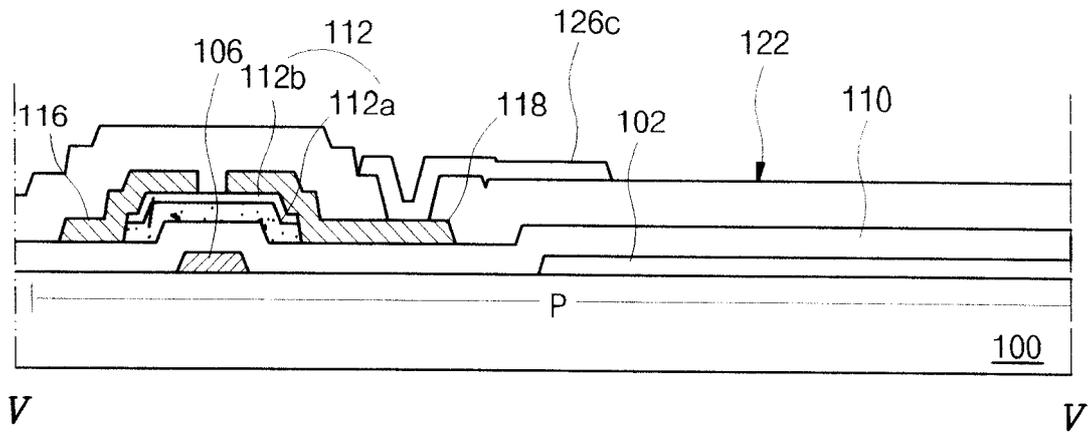


图 6G

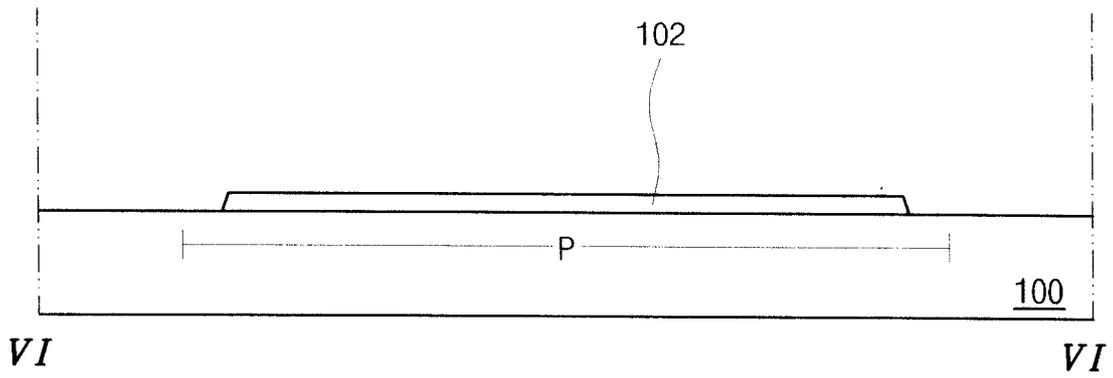


图 7A

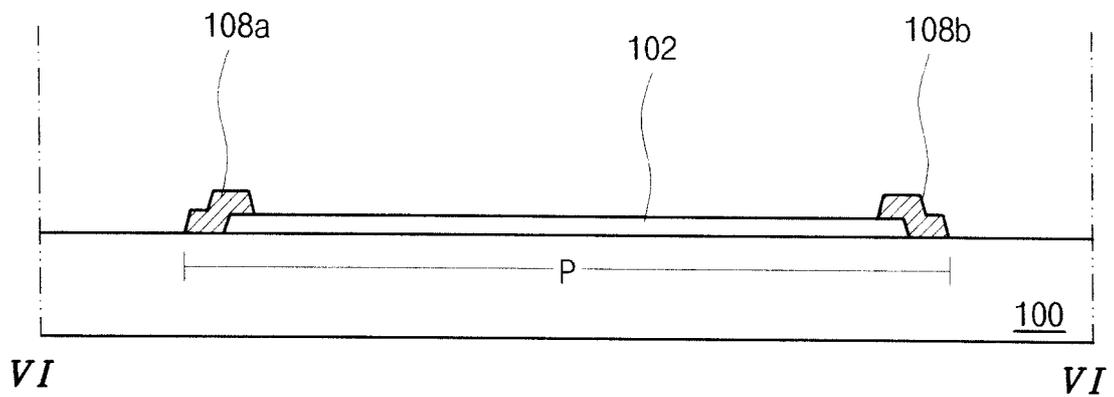


图 7B

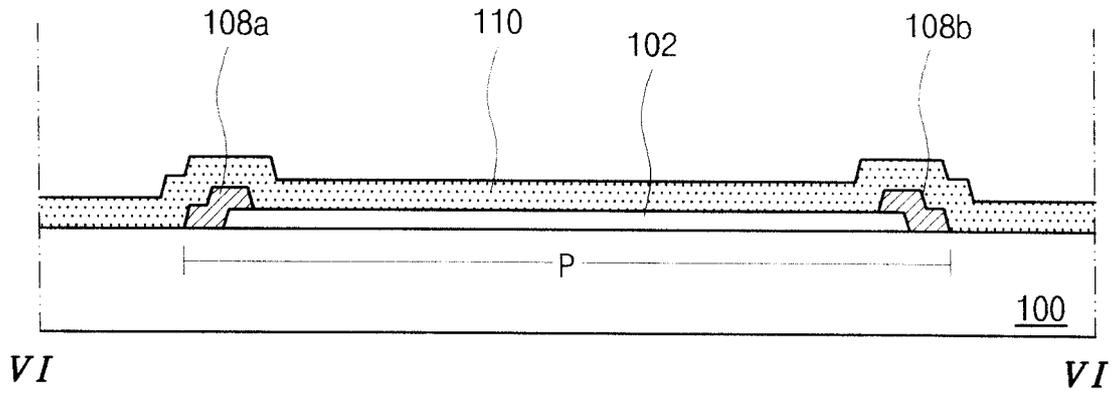


图 7C

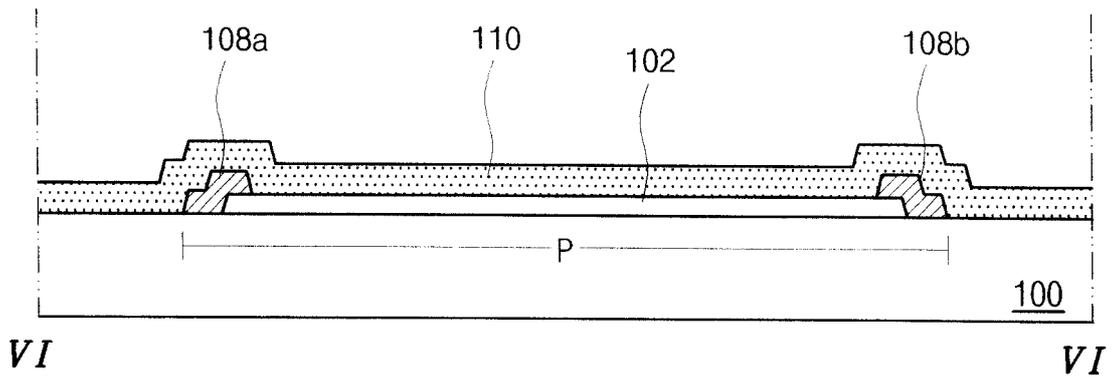


图 7D

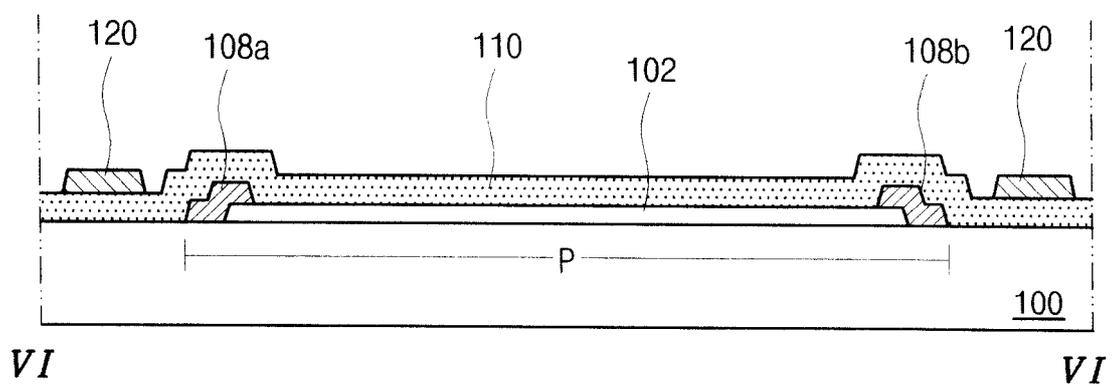


图 7E

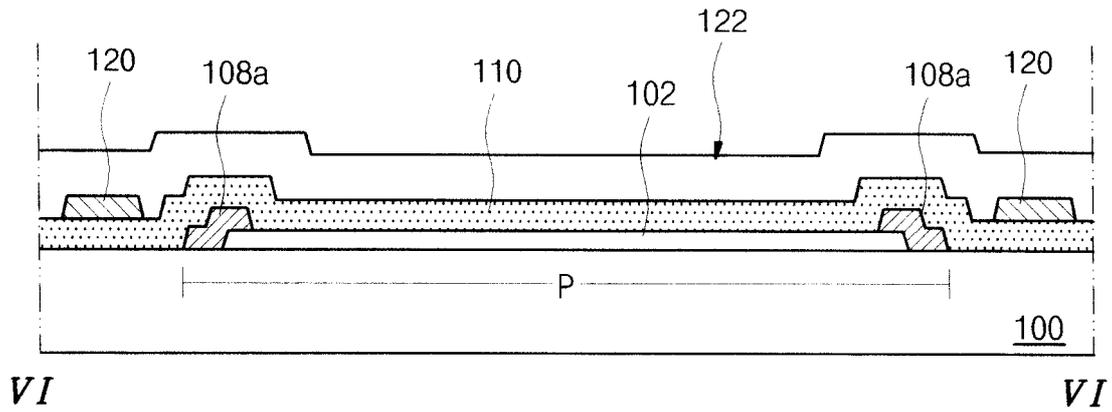


图 7F

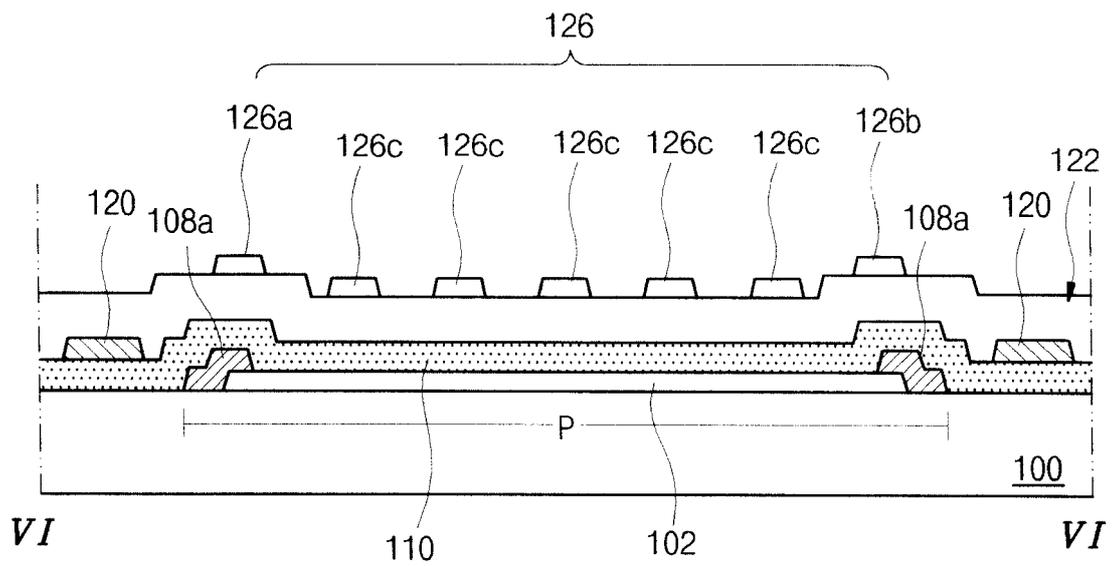


图 7G

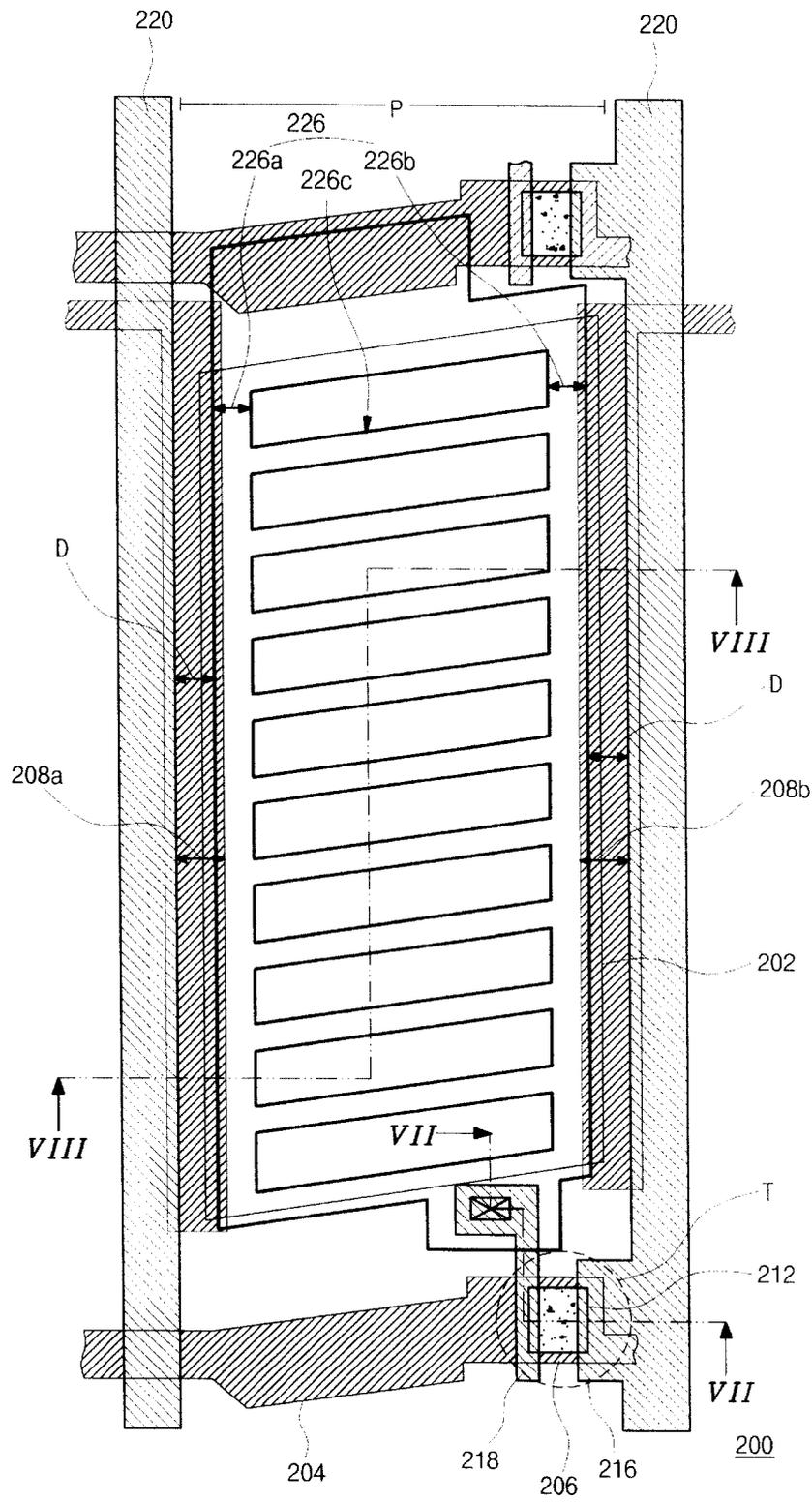


图 8

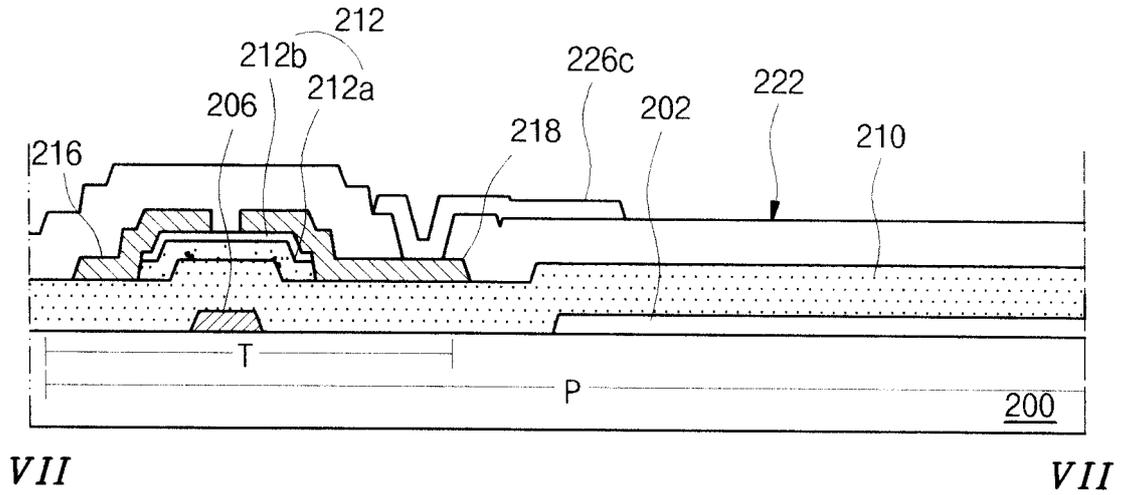


图 9A

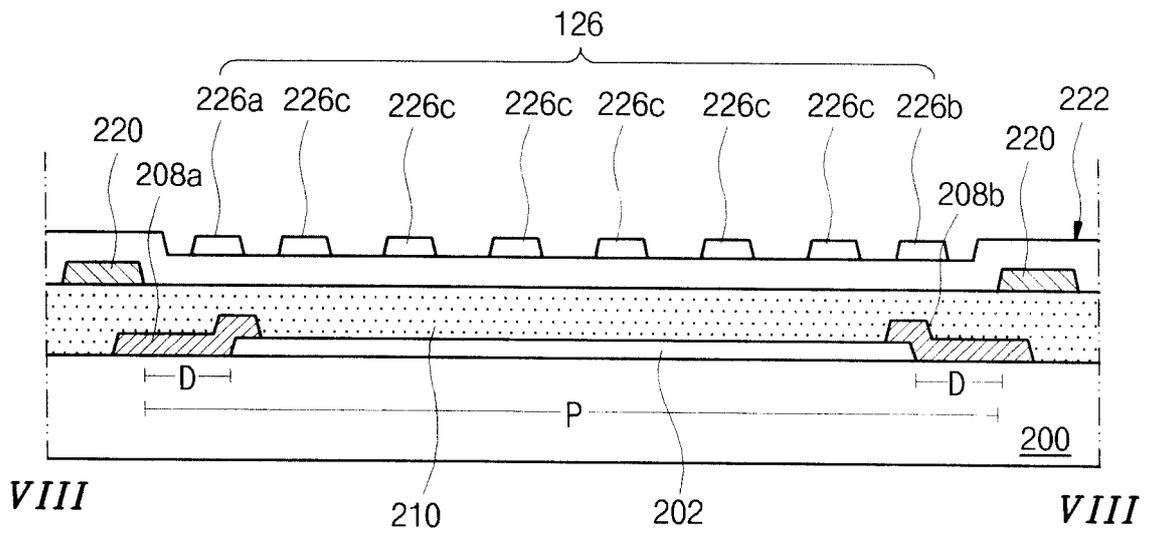


图 9B

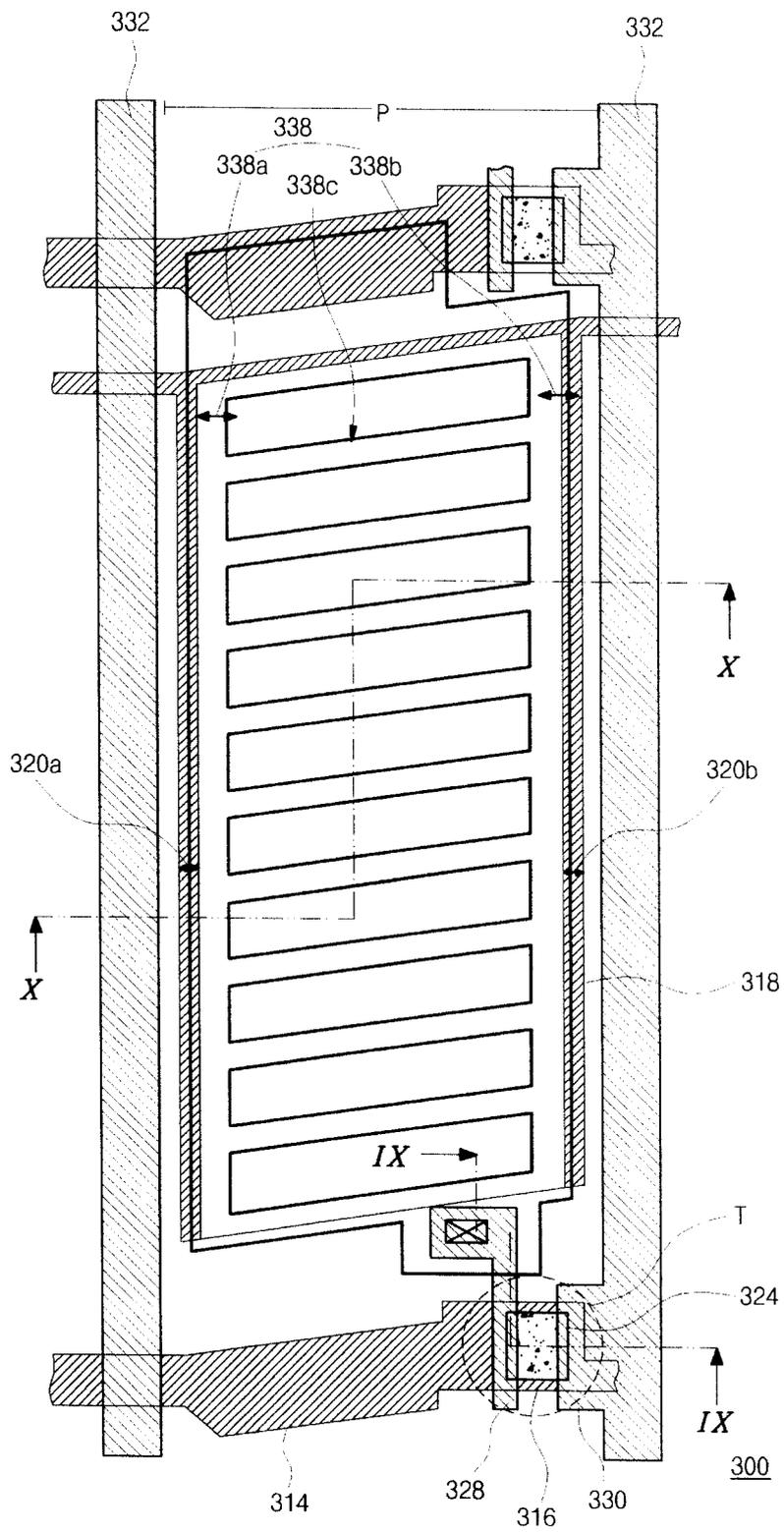


图 10

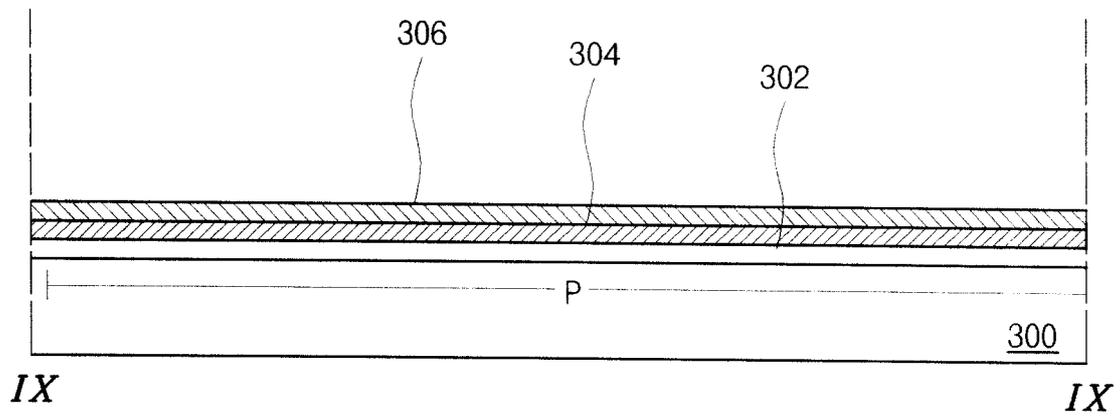


图 11A

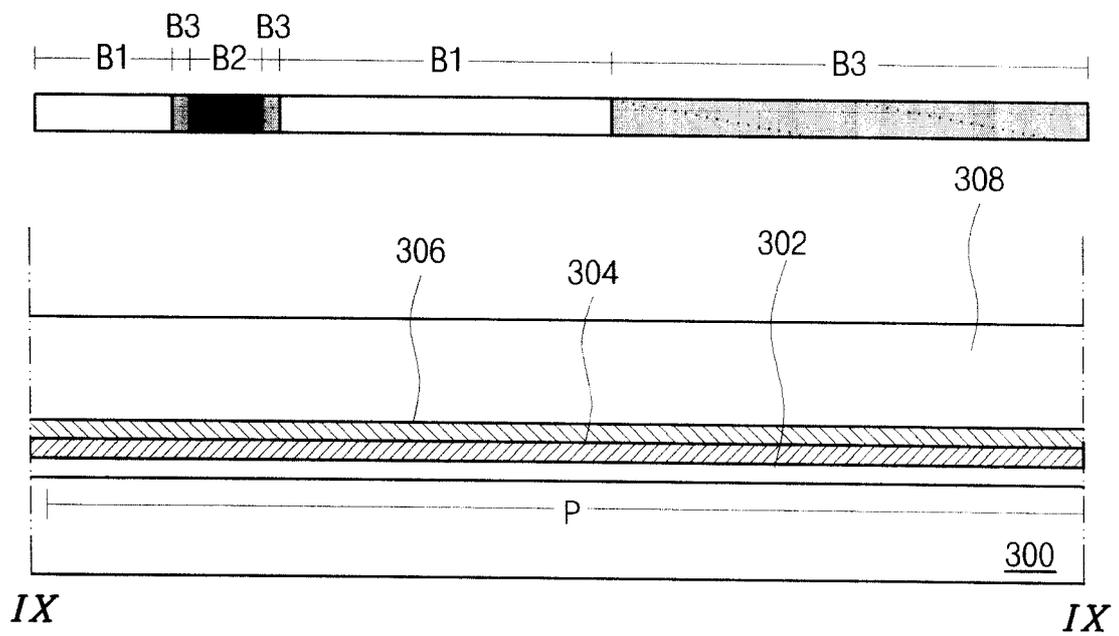


图 11B

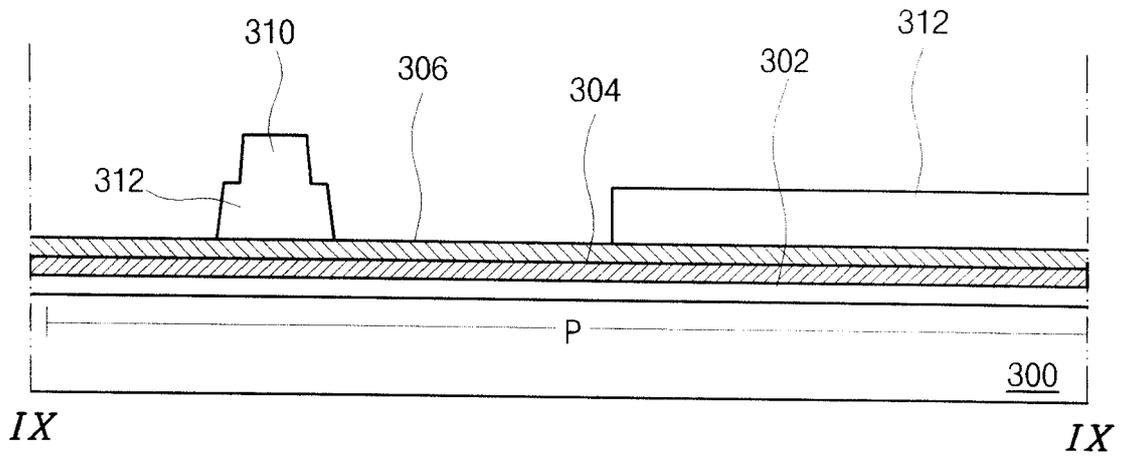


图 11C

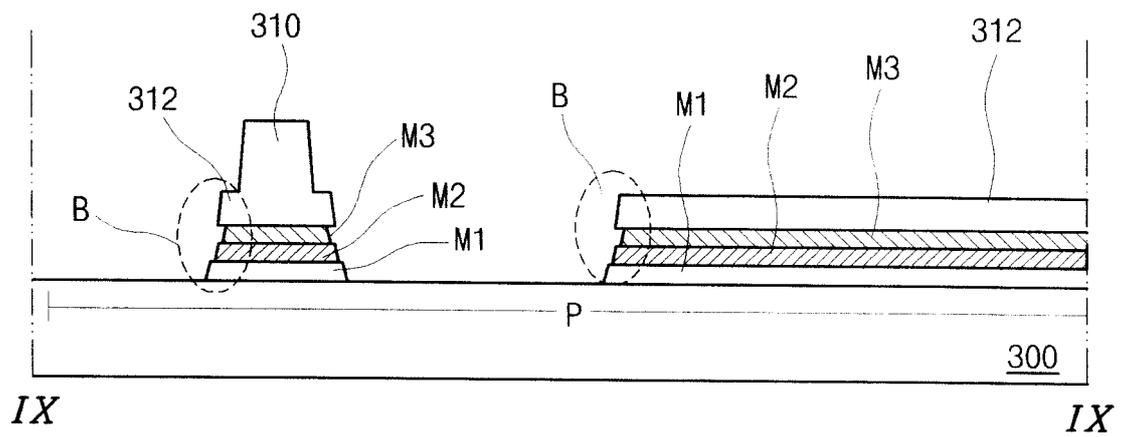


图 11D

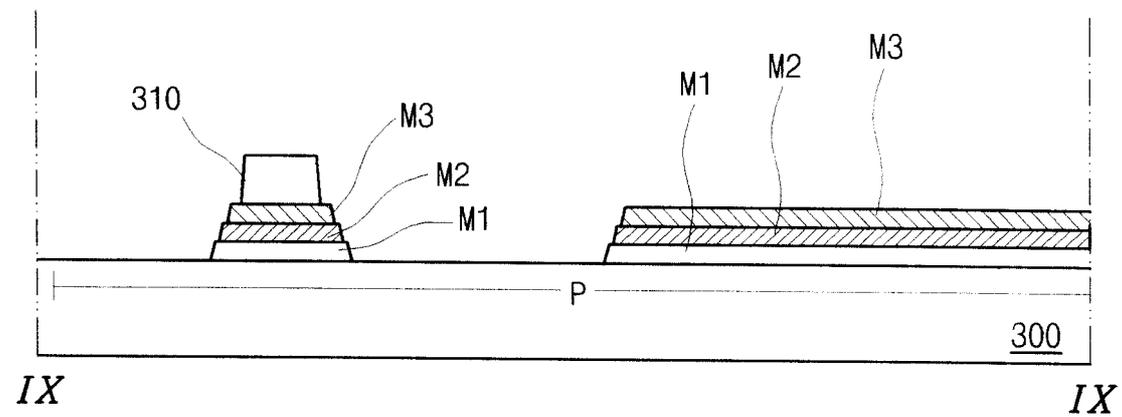


图 11E

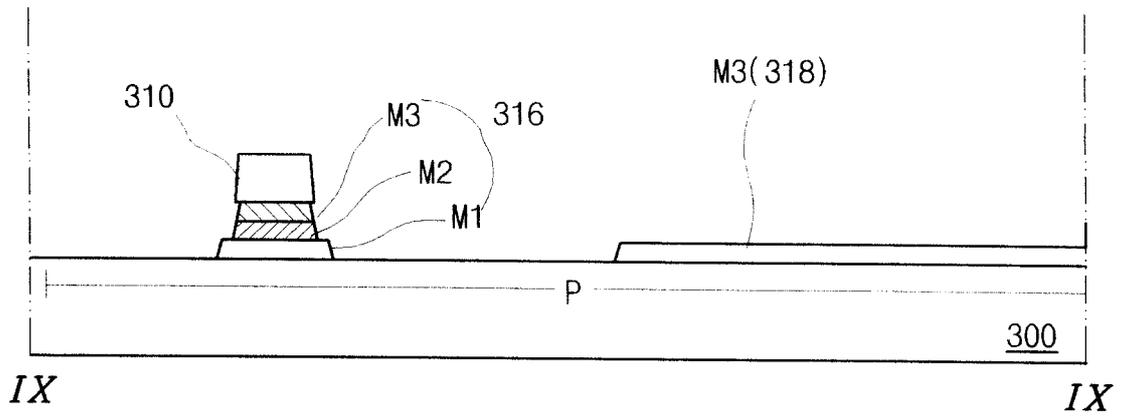


图 11F

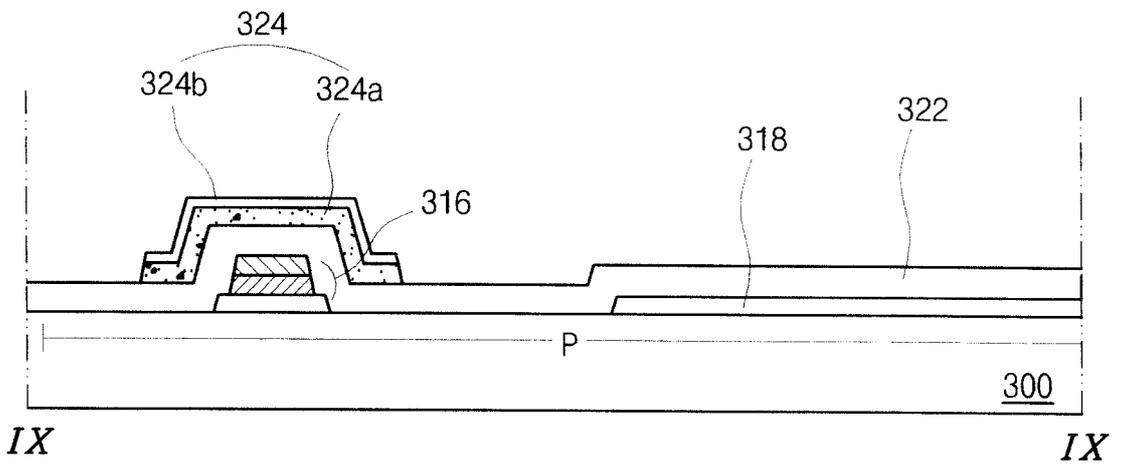


图 11G

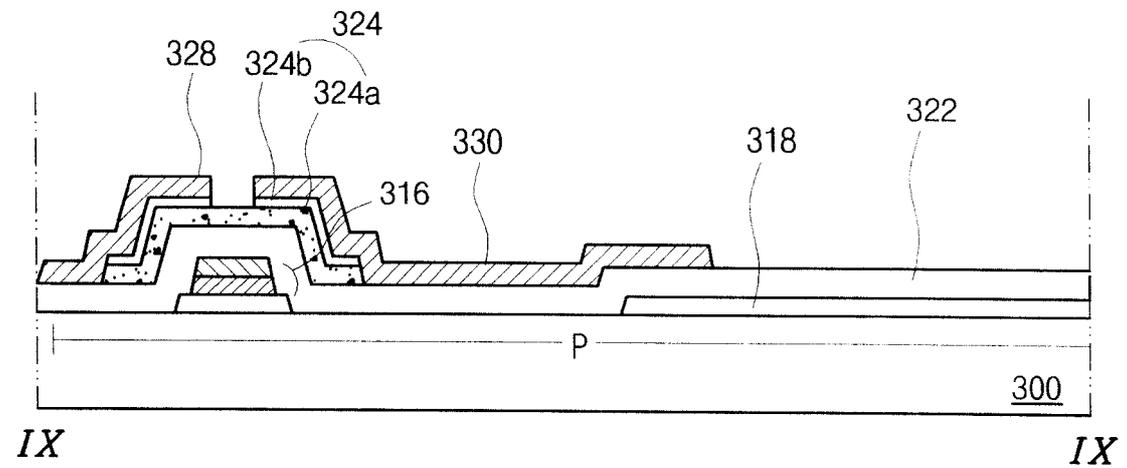


图 11H

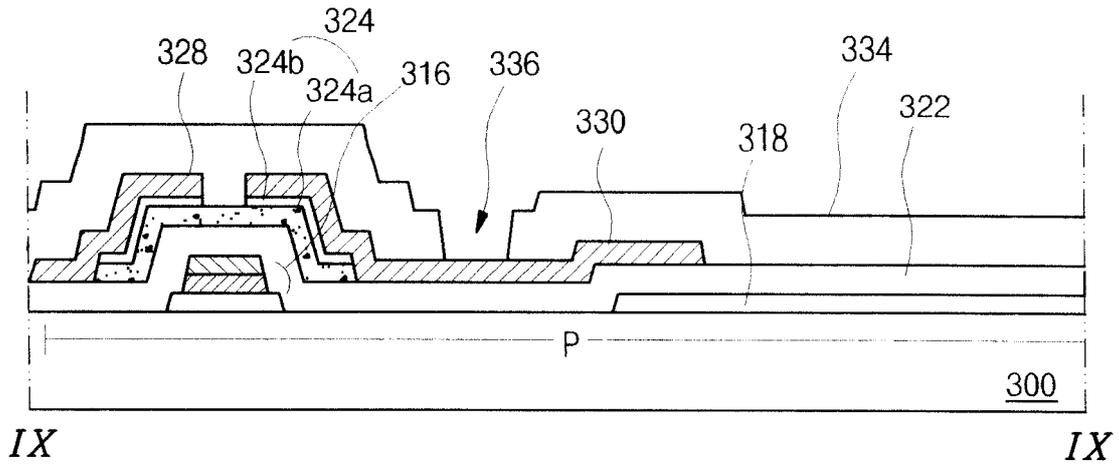


图 11I

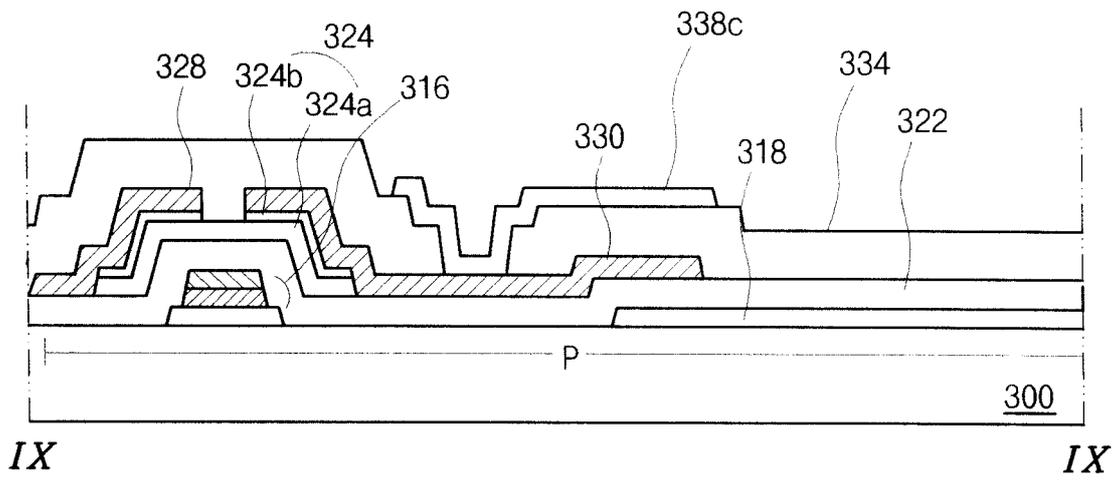


图 11J

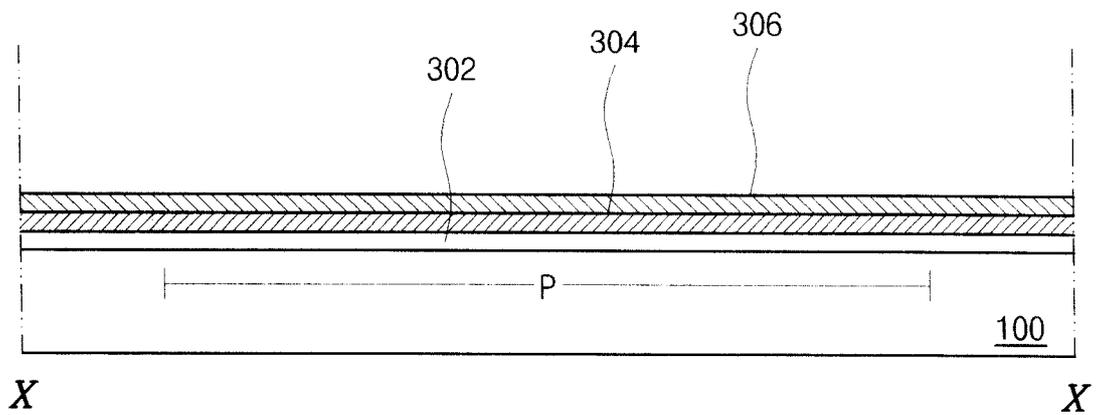


图 12A

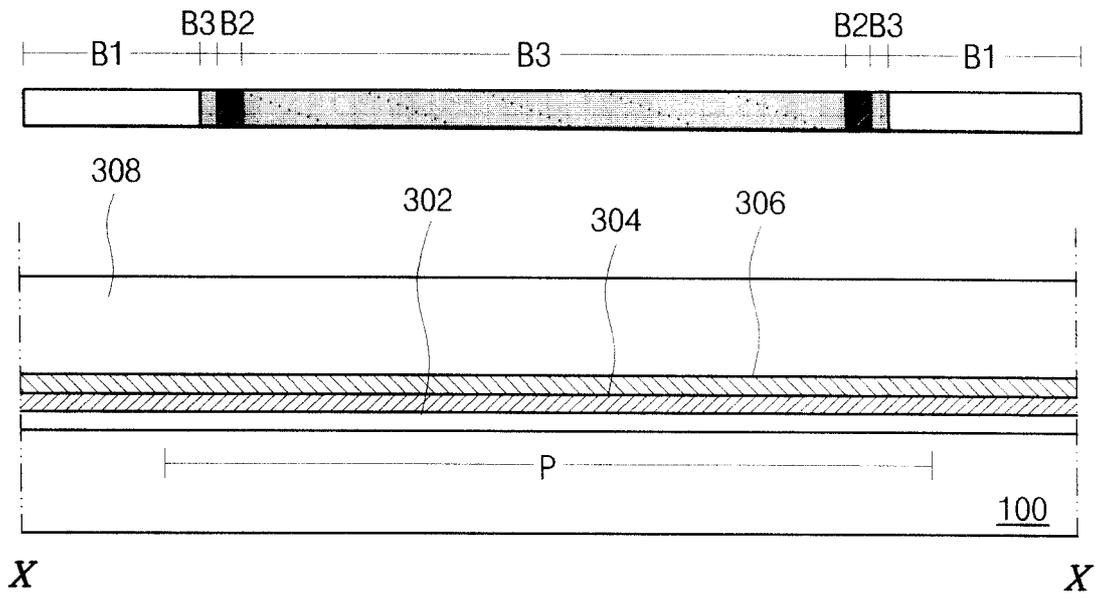


图 12B

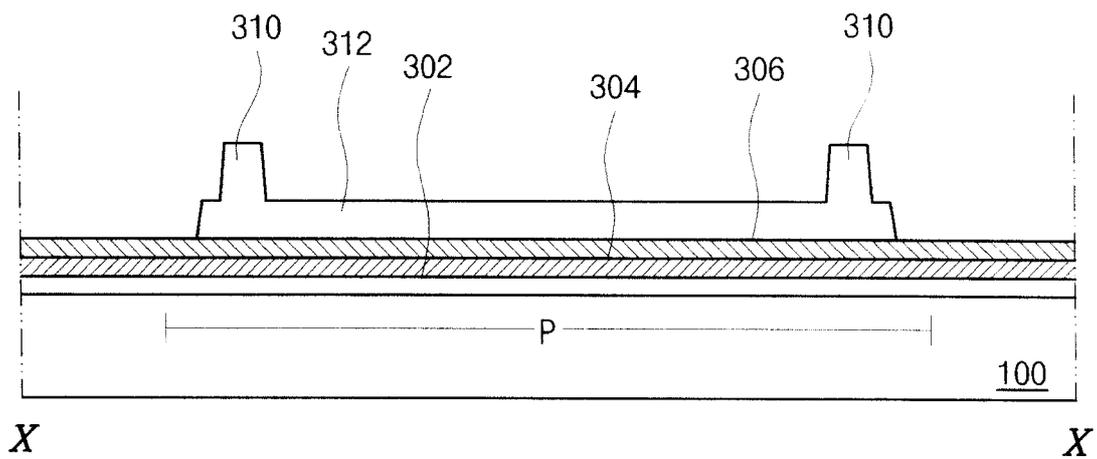


图 12C

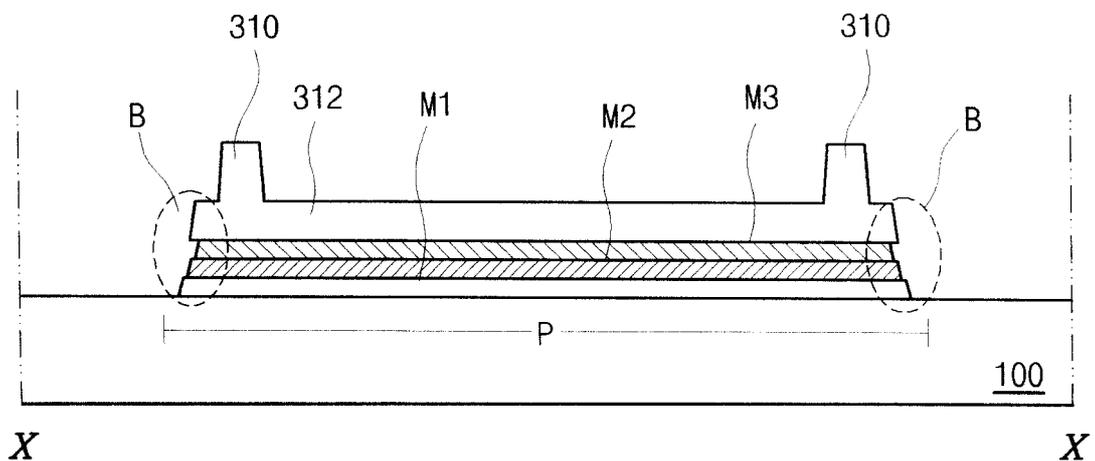


图 12D

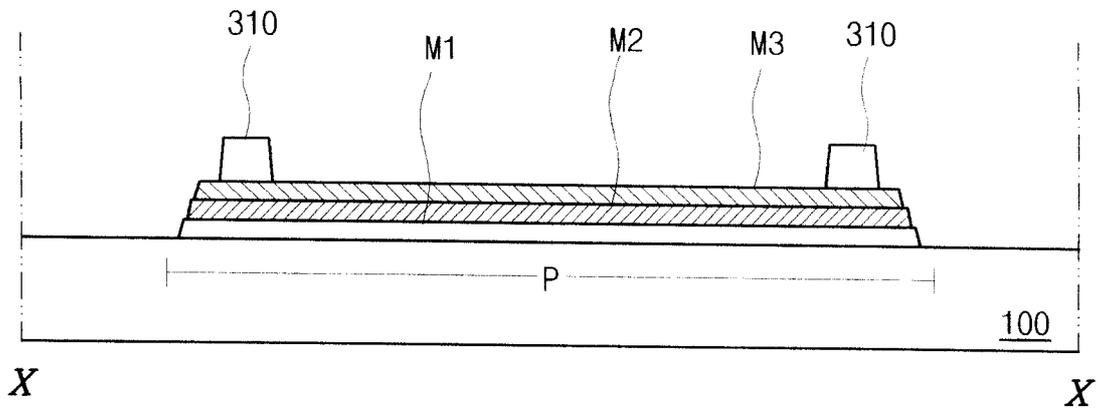


图 12E

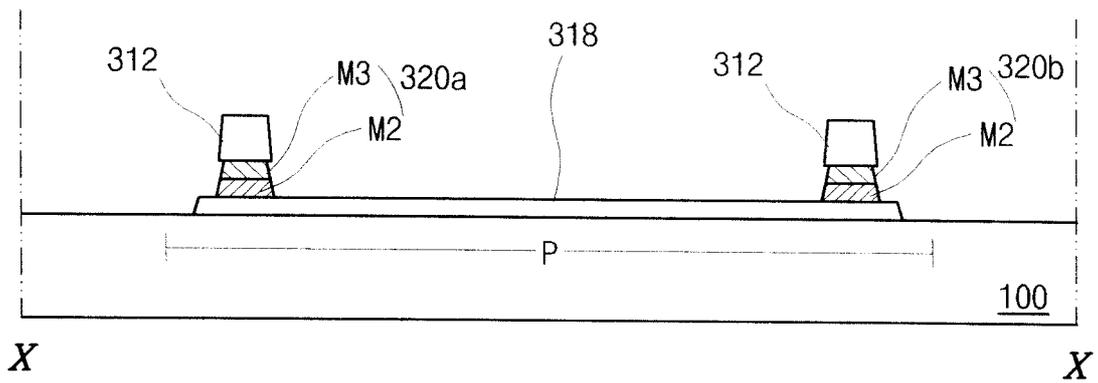


图 12F

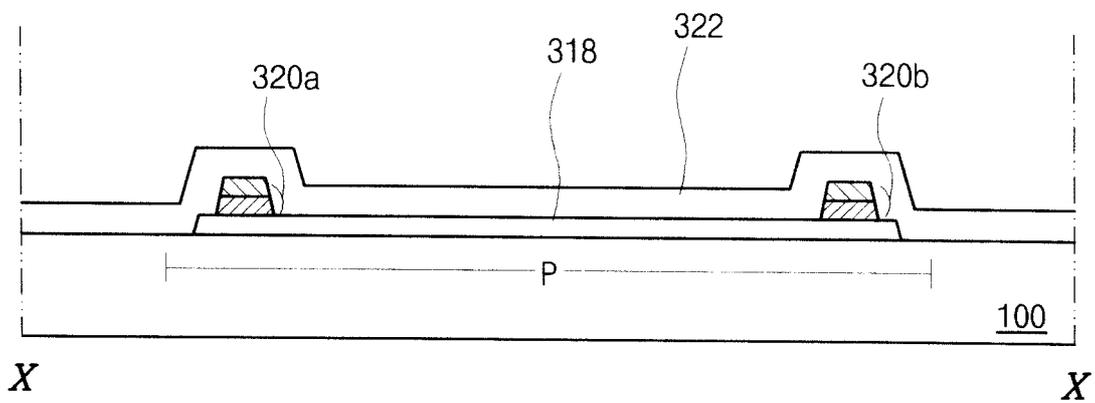


图 12G

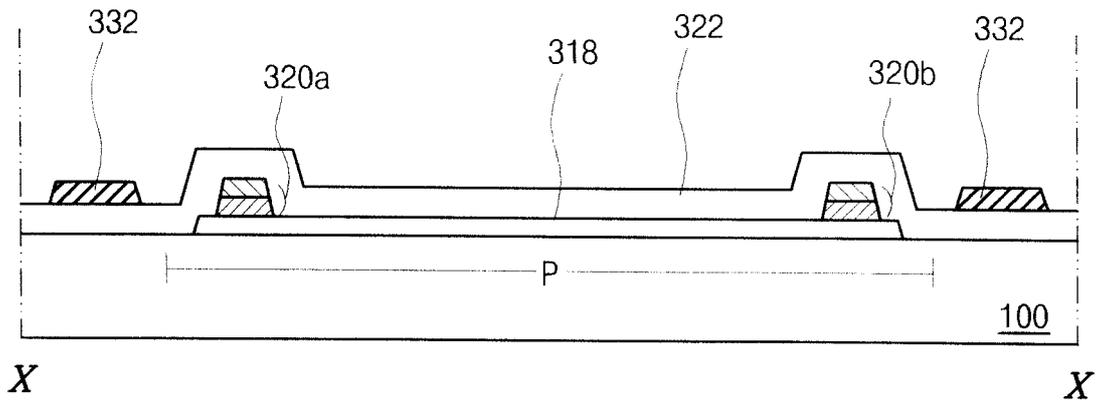


图 12H

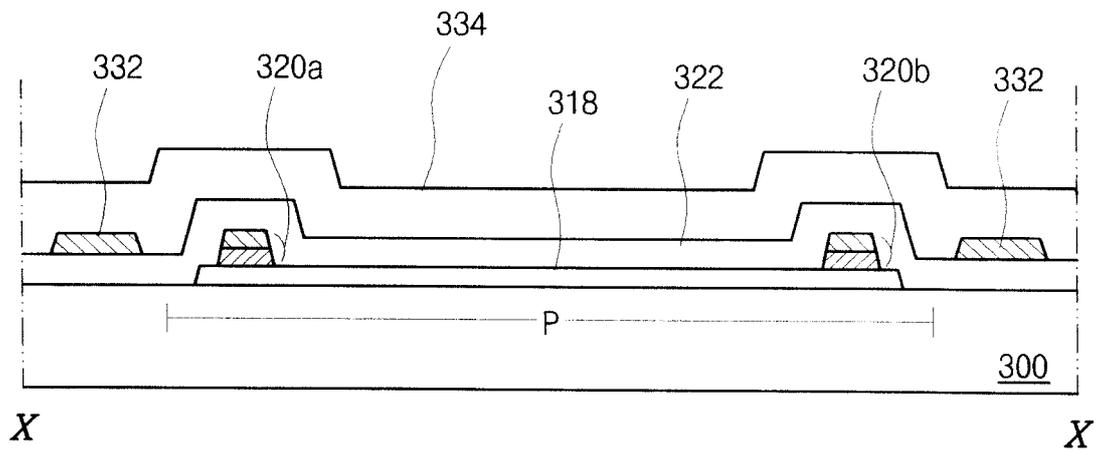


图 12I

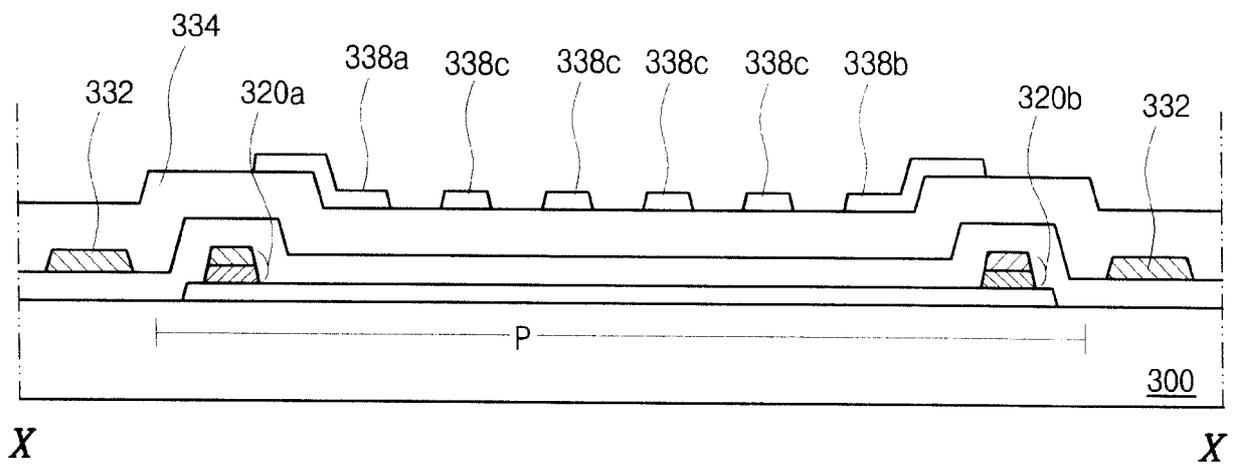


图 12J

专利名称(译)	共平面开关模式液晶显示器件的阵列基板及其制造方法		
公开(公告)号	CN1991548A	公开(公告)日	2007-07-04
申请号	CN200610168051.0	申请日	2006-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	金度成 安炳喆		
发明人	金度成 安炳喆		
IPC分类号	G02F1/136 G02F1/1362 G02F1/133 G03F7/20 G03F7/26 H01L21/027		
CPC分类号	G02F1/13439 G02F2001/134372 G02F1/133345 G02F2001/13629		
代理人(译)	徐金国		
优先权	1020050133552 2005-12-29 KR		
其他公开文献	CN100480822C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种用于共平面开关模式液晶显示器件的阵列基板，包括：基板；沿第一方向的栅线；沿第二方向的数据线；连接到栅线和数据线的TFT；公共电极，其在基板上具有平板形并且由第一透明导电材料形成；以及像素电极，其在公共电极上由第二透明导电材料形成并且包括第一部分和第二部分以及多个将第一部分和第二部分相结合的第三部分，其中第一部分和第二部分平行于第二方向并彼此分离，并且其中多个第三部分倾斜于第一部分和第二部分并且彼此分离。

