



[12] 发明专利申请公开说明书

[21] 申请号 02102052.3

[43] 公开日 2003 年 4 月 2 日

[11] 公开号 CN 1407527A

[22] 申请日 2002.1.18 [21] 申请号 02102052.3

[30] 优先权

[32] 2001. 9. 3 [33] KR [31] 53920/2001

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李东浩 全 珍

[74] 专利代理机构 北京市柳沈律师事务所

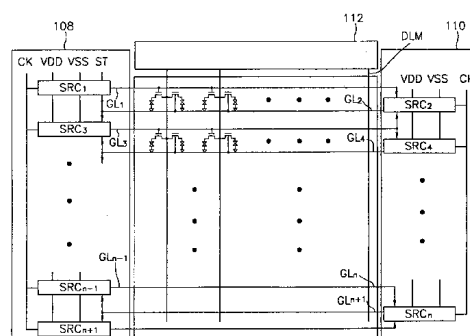
代理人 李晓舒 魏晓刚

权利要求书 5 页 说明书 13 页 附图 15 页

[54] 发明名称 液晶显示装置

[57] 摘要

一种液晶显示装置，其包括多个在基板显示区上以矩阵形式排列的像素电极和多个分别对应多个像素电极的薄膜晶体管。分别布置在像素电极中的奇数列线和偶数列线间的多个数据线共同连接至相应的奇数列和偶数列的薄膜晶体管上。通过与像素电极的各行对应而排列的多个第一栅极线共同连接到对应行以外的奇数薄膜晶体管上，通过与像素电极的各行对应而排列的多个第二栅极线共同连接至对应行以外的偶数薄膜晶体管上。数据驱动电路驱动数据线，第一栅极驱动电路排列在显示区一周边区中以驱动第一栅极线，且第二栅极驱动电路排列在显示区其它周边区中，以第一栅极驱动电路和显示区为中心而左右对称。



1. 一种液晶显示装置，包括：

多个像素电极，该像素电极在基板的显示区上以矩阵形式排列，所述

5 像素电极具有像素电极的多个列线和像素电极的多个行线；

多个薄膜晶体管，该薄膜晶体管分别对应所述多个像素电极，每个所述薄膜晶体管具有被连接至所述像素电极的对应像素电极的第一电流电极；

10 分别布置在所述多个像素电极的奇数列线和偶数列线间的多个数据线，并且该数据线共同连接至相应于所述奇数列线和偶数列线的所述薄膜晶体管的第二电流电极上；

多个第一栅极线，其通过与所述多个像素电极的所述各行线对应而排列，并且共同连接到对应行线的奇数薄膜晶体管的栅电极上；

15 多个第二栅极线，其通过与所述多个像素电极的所述各行线对应而排列，并且共同连接至对应行线的偶数薄膜晶体管的栅电极上；

驱动所述数据线的驱动电路；

排列在所述显示区的第一周边区中用以驱动所述多个第一栅极线的第一栅极驱动电路；以及

20 排列在相对于所述显示区而与第一周边区相对的所述显示区的第二周边区中用以驱动所述第二栅极线的第二栅极驱动电路。

2. 如权利要求 1 所述的液晶显示装置，其特征在于，所述第一和第二栅极驱动电路驱动像素电极的所述行线，以响应通过所述第一和第二栅极线接收的变换信号而按之字形扫描。

25 3. 如权利要求 2 所述的液晶显示装置，其特征在于，每个所述第一和第二栅极驱动电路包括多个级，并根据各级的输出信号顺序选择所述多个栅极线，同时，所述第一栅极驱动电路被提供第一时钟信号，而所述第二栅极驱动电路被提供第二时钟信号，该第二时钟信号具有与所述第一时钟信号相反的相位，且每个所述级包括：

30 与前一栅极线连接的输入接线端；
与相应栅极线连接的输出接线端；
与下一栅极线连接的控制接线端；

接收相应时钟信号的时钟接线端;

正偏装置,连接在所述时钟接线端和输出接线端之间,用以在导通状态下在所述时钟信号的工作周期中正偏所述对应的栅极线;

反偏装置,连接在所述输出接线端和第一电源电压之间,以允许在导通状态下使所述对应的栅极线反偏至所述第一电源电压;

正偏驱动装置,连接到所述正偏装置的输入节点上,用以响应提供给所述输入接线端的输入信号的前边而导通所述正偏装置,并响应提供给所述控制接线端的控制信号的前边而截止所述正偏装置;

反偏驱动装置,连接到所述反偏装置的输入节点上,用以响应所述输入信号的前边而截止所述反偏装置,并响应所述控制信号的前边而导通所述反偏装置;以及

浮置旁路装置,连接在所述反偏装置的所述输入节点和第二电源电压之间,用以恒定地将所述第二电源电压连接至所述反偏装置的所述输入节点上,防止所述反偏装置的所述输入节点被浮置。

4. 如权利要求3所述的液晶显示装置,其特征在于,每个所述级还包括导通旁路装置,此导通旁路装置连接在所述反偏装置的所述输入节点和所述第一电源电压之间,用以将所述第一电源电压连接至所述反偏装置的所述输入节点上,从而防止所述反偏装置的导通。

5. 如权利要求4所述的液晶显示装置,其特征在于,所述导通旁路装置包括 NMOS 晶体管,此晶体管具有连接至所述反偏装置的所述输入节点上的漏极、连接到所述输出接线端的栅极和连接到所述第一电源电压上的源极。

6. 如权利要求5所述的液晶显示装置,其特征在于,所述正偏驱动装置包括:

电容,连接到所述正偏装置的所述输入节点和所述输出接线端上;

第一晶体管,具有共同连接到所述输入接线端上的漏极和栅极,以及连接到所述正偏装置的所述输入节点上的源极;

第二晶体管,具有连接到所述正偏装置的所述输入节点上的漏极、连接到所述反偏装置的所述输入节点上的栅极和连接到所述第一电源电压上的源极;以及

第三晶体管,具有连接到所述正偏装置的所述输入节点上的漏极、连

接到所述控制接线端上的栅极和连接到所述第一电源电压上的源极。

7. 如权利要求6所述的液晶显示装置，其特征在于，所述反偏驱动装置包括：

5 第四晶体管，具有连接到所述第二电源电压上的漏极、连接到所述控制接线端上的栅极和连接到所述反偏装置的所述输入节点上的源极；以及

第五晶体管，具有连接到所述反偏装置的所述输入节点上的漏极、连接到所述输入接线端上的栅极和连接到所述第一电源电压上的源极。

8. 如权利要求7所述的液晶显示装置，其特征在于，所述浮置旁路装置包括第六晶体管，此晶体管具有连接到所述第二电源电压上的漏极和栅极，以及连接到所述反偏装置的所述输入节点上的源极，以此方式所述第六晶体管被形成得尺寸较小于所述第五晶体管的尺寸。

9. 如权利要求8所述的液晶显示装置，其特征在于，所述第五晶体管和第六晶体管之间的尺寸比约为20:1。

10. 如权利要求1所述的液晶显示装置，其特征在于，所述显示区的所述薄膜晶体管和所述栅极驱动电路的薄膜晶体管包括非晶硅NMOS薄膜晶体管。

11. 如权利要求1所述的液晶显示装置，其特征在于，所述第一和第二栅极驱动电路的每一个非独立地与多个级连接，并包括根据各级的输出信号顺序选择所述多个栅极线的转换寄存器，同时，所述第一栅极驱动电路被提供第一时钟信号，而所述第二栅极驱动电路被提供第二时钟信号，该第二时钟信号具有与所述第一时钟信号相反的相位，且每个所述级包括：

与前一栅极线连接的输入接线端；

与相应栅极线连接的输出接线端；

与下一栅极线连接的控制接线端；

25 接收相应时钟信号的时钟接线端；

正偏装置，用以将所述第一和第二时钟信号间的每个对应时钟信号提供给所述输出接线端；

反偏装置，用以将所述第一电源电压提供给所述输出接线端；

正偏驱动装置，连接到所述正偏装置的输入节点上，用于使电容充电以响应输入信号的前边而导通所述正偏装置，并且用于使所述电容放电以响应下一栅极线的驱动信号的前边而截止所述正偏装置；以及

反偏驱动装置，连接到所述反偏装置的所述输入节点上，用以响应下一栅极线的所述驱动信号的前边而截止所述反偏装置和导通所述反偏装置。

5 12. 如权利要求 11 所述的液晶显示装置，其特征在于，所述正偏驱动装置包括：

电容，连接到所述正偏装置的所述输入节点和所述输出接线端上；

第一晶体管，具有与第二电源电压相连的漏极、与所述输入信号相连的栅极和与所述正偏装置的所述输入节点相连的源极；

10 第二晶体管，具有与所述正偏装置的所述输入节点相连的漏极、与下一栅极线的所述驱动信号相连的栅极和与所述第一电源电压相连的源极；以及

第三晶体管，具有与所述正偏装置的所述输入节点相连的漏极、与所述反偏装置的所述输入节点相连的栅极和与所述第一电源电压相连的源极。

15 13. 如权利要求 12 所述的液晶显示装置，其特征在于，所述第一晶体管和第三晶体管的尺寸比约为 2:1。

14. 如权利要求 13 所述的液晶显示装置，其特征在于，所述反偏驱动装置包括：

20 第四晶体管，具有共同连接至所述第二电源电压的漏极和栅极，以及连接至所述反偏装置的所述输入节点的源极；以及

第五晶体管，具有连接至所述反偏装置的所述输入节点的漏极、连接至所述正偏装置的所述输入节点的栅极和连接至所述第一电源电压的源极。

25 15. 如权利要求 14 所述的液晶显示装置，其特征在于，所述第四晶体管和第五晶体管的尺寸比约为 16:1。

16. 一种液晶显示装置，包括：

多个像素电极，该像素电极在基板的显示区上以矩阵形式排列，所述像素电极具有像素电极的多个列线和像素电极的多个行线；

30 多个薄膜晶体管，该薄膜晶体管分别对应所述多个像素电极，且分别具有对应像素电极的第一电流电极；

分别布置在所述多个像素电极的奇数列线和偶数列线间的多个数据

线, 并且该数据线共同连接至相应于奇数列线和偶数列线的所述薄膜晶体管的第二电流电极上;

多个第一栅极线, 其通过与所述多个像素电极的所述各行线对应而排列, 并且共同连接到对应行线的奇数薄膜晶体管的栅电极上;

- 5 多个第二栅极线, 其通过与所述多个像素电极的所述各行线对应而排列, 并且共同连接至对应行线以外的偶数薄膜晶体管的栅电极上;

数据驱动电路, 其布置在所述显示区的第一周边区中, 用以驱动所述多个数据线;

- 10 第一栅极驱动电路, 其设置在关于所述显示区而与第一周边区相对的所述显示区的第二周边区的第一侧, 用以驱动所述第一栅极线; 以及

第二栅极驱动电路, 其设置在与所述第二周边区的所述第一侧相对的所述显示区的所述第二周边区的第二侧, 用以驱动所述多个第二栅极线。

17. 一种液晶显示装置, 包括:

- 15 多个像素电极, 该像素电极在基板的显示区上以矩阵形式排列, 所述像素电极具有像素电极的多个列线和像素电极的多个行线;

多个薄膜晶体管, 该薄膜晶体管分别对应所述多个像素电极, 且具有分别连接至对应像素电极的第一电流电极;

- 20 分别布置在所述多个像素电极的奇数列线和偶数列线间的多个数据线, 并且该数据线被共同连接至相应于奇数列线和偶数列线的所述薄膜晶体管的第二电流电极上;

多个第一栅极线, 其通过与所述多个像素电极的所述各行线对应而排列, 并且共同连接到对应行线的奇数薄膜晶体管的栅电极上;

多个第二栅极线, 其通过与所述多个像素电极的所述各行线对应而排列, 并且共同连接至对应行线的偶数薄膜晶体管的栅电极上;

- 25 数据驱动电路, 其布置在所述显示区的周边区中, 用以驱动所述多个数据线;

第一栅极驱动电路, 其设置在所述数据驱动电路的第一周边区中, 用以驱动所述多个第一栅极线; 以及

- 30 第二栅极驱动电路, 其设置在所述数据驱动电路的第二周边区中, 该第二周边区关于所述数据驱动电路而与所述数据驱动电路的所述第一周边区相对, 用以驱动所述多个第二栅极线。

液晶显示装置

5 技术领域

本发明涉及一种液晶显示装置，尤其涉及一种能通过将第一和第二栅极驱动电路设置成相对于有源矩阵液晶显示(AM-LCD)装置的非晶硅(a-Si)的玻璃基板上的显示区对称而进一步方便安装的液晶显示装置。

10

背景技术

近年来，信息处理设备已经得以快速发展而具有多种形式和功能以及更快的信息处理速度。这种信息处理设备需要用于用户界面的显示装置。

15 当前，LCD 装置作为下一代显示装置吸引了更多的注意力，因为在使之能实现优于典型 CRT 型显示装置的全色化的同时具有重量轻、尺寸小、高分辨、低功耗和适合环境的优点。

如图 1 所示，AM-CD 装置以一种方式构造，即数据驱动电路 12 和栅极驱动电路 14 靠近形成有像素阵列的玻璃基板 10 上的显示区 11 而形成，
20 且接线端部分 16 和印刷电路板 20 借助薄膜电缆 18 彼此连接。由于此种结构，制造成本可以降低，且通过整合驱动电路可以将功耗减至最小。

然而，栅极驱动电路 14 被设置到显示区 11 的仅一侧上，使得 LCD 模块相对于显示区 11 的中心可以是非对称的。

因而，LCD 模块的非对称结构不可避免地导致显示装置宽度增大的问题，
25 因为显示装置被制造得相对于其中心对称。于是，当前述 LCD 模块被提供为诸如笔记本电脑、移动电话和 PDA 等便携式设备的显示装置时，该 LCD 模块成为抑制便携式设备轻薄短小的主要因素。

发明内容

30

为了解决相关领域的上述问题，本发明的第一目的是提供一种 LCD 装

置, 该装置用于当在玻璃基板的显示区周围布置周边电路时, 将玻璃基板显示区左和右部分上的周边电路布置成相对于显示区对称, 从而实现安装中的便利。

5 本发明的第二目的是提供一种 LCD 装置, 该装置通过考虑到左右对称而具有双栅极驱动电路。

本发明的第三目的是提供一种 LCD 装置, 用以随着栅极线增加为数据驱动电路芯片数量的两倍以安装双栅极驱动电路, 而借助减少一半数据驱动电路通道来减少该芯片的数量。

10 为了实现本发明的以上目的, 提供一种液晶显示装置, 该装置包括多个像素电极, 该像素电极在基板的显示区上以矩阵形式进行排列。像素电极具有像素电极的多个列线和像素电极的多个行线。多个薄膜晶体管分别对应该多个像素电极, 并具有分别连接对应像素电极的第一电流电极。在多个像素电极的奇数列线和偶数列线间分别布置多个数据线, 并将其共同连接至相应奇数列线和偶数列线的薄膜晶体管的第二电流电极上。通过
15 与多个像素电极的各行线对应而排列多个第一栅极线, 多个像素电极的各列线共同连接到对应行线的奇数薄膜晶体管的栅电极上。多个第二栅极线通过对应多个像素电极的各行线而排列, 并且共同连接至对应行线的偶数薄膜晶体管的栅电极上。此外, 还提供驱动多个数据线的驱动电路、排列在显示区的第一周边区中用以驱动多个第一栅极线的第一栅极驱动电
20 路、以及排列在相对于显示区而与显示区的第一周边区对称的显示区第二周边区中用以驱动多个第二栅极线的第二栅极驱动电路。

此时, 第一和第二栅极驱动电路驱动像素电极的多个行线, 以响应通过第一和第二栅极线接收的变换信号而按之字形扫描。

25 根据本发明的另一方面, 提供一种液晶显示装置, 此装置包括在显示区第一周边区中排列的用以驱动多个数据线的驱动电路、在相对于显示区而与第一周边区对称的显示区第二周边区的第一侧中排列而用以驱动多个第一栅极线的第一栅极驱动电路、以及在相反于第二周边区第一侧的显示区第二周边区的第二侧中排列而用以驱动多个第二栅极线的第二栅极驱动电路。

30 根据本发明的再一个方面, 提供一种液晶显示装置, 该装置包括在显示区周边区中排列而用以驱动多个数据线的驱动电路、排列在数据驱

动电路的第一周边区中而用以驱动第一栅极线的第一栅极驱动电路，以及在相对于数据驱动电路而与数据驱动电路的第一周边区对称的数据驱动电路的第二周边区中排列以驱动多个第二栅极线的第二栅极驱动电路。

5

附图说明

通过参照附图而详细描述其优选实施例，本发明的以上目的和其它优点将变得更清楚，其中：

10 图 1 是示出以栅极驱动电路包围的传统非对称型液晶显示模块的示意图；

图 2 是示出根据本发明一优选实施例的用双栅极驱动电路包围的对称型液晶显示模块的示意图；

图 3 是示出用于连接到图 2 的薄膜电缆上的外部接线端部分的布线图；

15 图 4 是示出图 2 的液晶显示模块的结构图；

图 5 示出形成图 4 的液晶显示装置的各电路的波形；

图 6 是示出根据本发明一优选实施例的图 4 所示的栅极驱动电路各级的电路图；

20 图 7 是示出根据本发明另一优选实施例的图 4 所示的栅极驱动电路各级的电路图；

图 8 示出了根据本发明一实施例的对称型液晶显示装置的显示区和栅极驱动电路的布局图；

图 9 至 13 示出图 8 各层的布局图；

25 图 14 是示出根据本发明另一优选实施例的用双栅极驱动电路包围的对称型液晶显示模块的示意图；以及

图 15 是示出根据本发明再一实施例的用双栅极驱动电路包围的对称型液晶显示模块的示意图。

具体实施方式

30

以下，将参照附图详细描述本发明的优选实施例。

图 2 是示出根据本发明一优选实施例的用双栅极驱动电路包围的对称型液晶显示模块的示意图。

参照图 2, LCD 模块包括下基板 100 和上基板 102。下基板 100 被分成与上基板 102 重叠的第一区 100a 和不与之重叠的第二区 100b。

5 第一区 100a 包括显示区 104 和周边区 106。液晶注入下基板 100 和上基板 102 之间后, 显示区 104 和周边区 106 的外围边缘部分用密封材料密封。第一和第二栅极驱动电路 108 和 110 排列在相对于显示区 104 对称的周边区 106 的左和右部分上。

10 第二区 100b 用数据驱动电路 112 和依次与薄膜电缆 116 的一端连接的外部连接接线端 114 形成。薄膜电缆 116 的另一端联接到集成电路板(未示出)上。数据驱动电路 112 按芯片的形式制造, 并固定到下基板 100 上。

图 3 是示出用于连接到图 2 的薄膜电缆上的外部接线端部分的布局图。

15 如图 3 所示, 外部连接接线端 114 具有第一接线端组 114a、第二接线端组 114b 和信道接线端组 114c。第一接线端组 114a 包括起始信号输入端 ST、第一时钟信号输入端 CK、第一电源电压端 VOFF 或 VSS 以及第二电源电压端 VON 或 VDD, 并且被连接到第一栅极驱动电路 106 上。此外, 第二接线端组 114b 包括第二时钟信号输入端 CKB、第一电源电压端 VOFF 或 VSS 和第二电源电压端 VON 或 VDD, 并被连接到第二栅极驱动电路 110 上。信道接线端组 114c 被连接到数据驱动电路 112 上。

图 4 是示出图 2 的液晶显示模块的结构图。

25 参照图 4, 位于显示区 104 的左部周边区中具有向其延伸的奇数栅极线 GL_1 至 GL_{n+1} 的第一栅极驱动电路 108 由多个分别与输出接线端连接的变换寄存器 SRC_1 至 SRC_{n+1} 形成。位于显示区 104 的右部周边区中具有向其延伸的偶数栅极线 GL_2 至 GL_n 的第二栅极驱动电路 110 由多个分别连接输出接线端的变换寄存器 SRC_2 至 SRC_n 形成。

30 奇数变换寄存器 SRC_i 的输出信号被提供作为下一个偶数变换寄存器 SRC_j 的输入接线端的起始信号, 相对于显示区 104 而与奇数变换寄存器 SRC_i 对称地设置该偶数变换寄存器 SRC_j 。同时, 奇数变换寄存器 SRC_i 的输出信号被提供为先前偶数变换寄存器 SRC_{j-1} 的控制接线端的控制信号。相似地, 偶数变换寄存器 SRC_j 的输出信号被提供为下一个奇数变换寄存器

SRC_{j+1} 的输入接线端的起始信号,同时被提供至先前的奇数变换寄存器 SRC_i 的控制接线端作为控制信号。

上一个奇数变换寄存器 SRC_{n+1} 被添加为向上一个偶数变换寄存器 SRC_n 的控制接线端提供控制信号的伪寄存器。

5 图 5 示出形成图 4 的液晶显示装置的各电路的波形。

参照图 5,公开了图 4 所示的各电路的同步关系。此处,可注意到的是,奇数栅极线和偶数栅极线被交替激活,以通过在被起始信号 ST 顺序改变的同时与时钟信号 CK 和 CKB 同步而扫描。

形成被定义为行线的单一水平线的多个像素的奇数像素被对应的奇数栅极线 GL_1 驱动,而偶数像素被对应的偶数栅极线 GL_2 驱动。

于是,驱动两栅极线 GL_1 和 GL_2 以显示单一水平线的所有像素。因而,当垂直分辨率为 160 条水平线时,栅极线的数量增加了两倍而需要 320 条栅极线。

根据以上栅极驱动系统,在水平方向上邻近的两个薄膜晶体管共同分享一单根数据线,且两个薄膜晶体管被连接至彼此分离的栅极线上。结果,虽然像素被设置成相同的水平线,但是奇数像素首先被第一栅极驱动电路充电,然后在被延迟一个时钟脉冲那么久后,偶数像素又通过第二栅极驱动电路充电。

因而,当一条水平线的彩色像素数目为 240 时,数据驱动电路总共需要 720 条数据线,因为各像素需要三个像素构成一个 RGB 单元。于是,不可避免地应当采用两个具有 360 个数据输出接线端的数据驱动芯片以驱动 720 条数据线。

然而,根据本发明一实施例,因为奇数 360 个单元像素可以首先根据上述的双栅极驱动系统充电,而偶数 360 个单元像素可以在延迟一时钟脉冲后充电,所以本来为 720 的数据驱动线的数目可以减少到 360。因为这个原因,可以单独采用一个具有 360 个数据输出接线端的数据驱动芯片。因而,可以容易地设计周边区的用以连接数据驱动芯片和数据线的线形布置。

图 6 是示出根据本发明一优选实施例的图 4 所示的栅极驱动电路各级的电路图。

图 4 的各级包括正偏单元(pull-up unit)、反偏单元(pull-down

unit)122、正偏驱动单元 124、反偏驱动单元 126、浮置旁路单元(floating blocking unit)128 和导通旁路单元(turn-on blocking unit)130。

5 正偏单元 120 由正偏 NMOS 晶体管 NT_1 构成，此晶体管具有连接到时钟信号输入接线端 CK 的漏极、连接到第一节点 N_1 的栅极和连接到输出接线端 OUT 的源极。

反偏单元 122 由反偏 NMOS 晶体管 NT_2 构成，此晶体管具有连接到输出接线端 OUT 的漏极、连接到第二节点 N_2 的栅极和连接到第一电源电压 VSS 的源极。

10 正偏驱动单元 124 用电容 C 和 NMOS 晶体管 NT_3 、 NT_4 和 NT_5 形成。电容 C 连接到第一节点 N_1 和输出接线端 OUT 上。晶体管 NT_3 具有共同连接到输入接线端 IN 上的漏极和栅极，以及连接到第一节点 N_1 上的源极。晶体管 NT_4 具有连接到第一节点 N_1 上的漏极、连接到第二节点 N_2 上的栅极和连接到第一电源电压 VSS 上的源极。晶体管 NT_5 具有连接到第一节点 N_1 上的漏极、连接到控制接线端 CT 上的栅极，以及连接到第一电源电压 VSS 上的源极。

15 反偏驱动单元 126 用两个 NMOS 晶体管 NT_6 和 NT_7 形成。晶体管 NT_6 具有连接到第二电源电压 VDD 上的漏极、连接到控制接线端 CT 上的栅极，以及连接到第二节点 N_2 上的源极。晶体管 NT_7 具有连接到第二节点 N_2 上的漏极、连接到输入接线端 IN 上的栅极，以及连接到第一电源电压 VSS 上的源极。

20 浮置旁路单元 120 用一个 NMOS 晶体管 NT_8 形成，此晶体管具有共同连接到第二电源电压 VDD 上的漏极和栅极，以及连接到第二节点 N_2 上的源极。晶体管 NT_8 形成的大小要以按照例如 1:20 的比率而小于晶体管 NT_7 。

25 导通旁路单元 130 用 NMOS 晶体管 NT_9 形成，此晶体管具有连接到第二节点 N_2 的漏极、连接到输出接线端 OUT 的栅极和连接到第一电源电压 VSS 上的源极。在尺寸上，晶体管 NT_9 和晶体管 NT_7 具有约 1:2 的比率关系。

30 一旦第一时钟信号 CK 和扫描起始信号 ST 提供给图 5 所示的栅极驱动电路 108 的变换寄存器 170 上，第一级 SRC_1 响应扫描起始信号 ST 的前边而延迟第一时钟信号 CK 的高电平间隔，以使之成为到连接至输出接线端的栅极线 GL_1 的输出信号。

扫描起始信号 ST 的工作间隔具有超前第一时钟信号 CK 的高电平间隔

大约 $1/4$ 周期那么长的相位。起始信号 ST 的工作间隔被分成从脉冲前边，即从上升边开始的准备时间和到脉冲后边，即下降边的维持时间。

因而，输出信号 OUT1 的前边具有延迟 2-4 微秒预定时间那么久的前边，该时间从维持时间的起点，即上升边开始。也就是说，第一时钟信号 CK 的工作间隔，即高电平间隔被延迟预定时间那么久，以传输给输出接线端。

这是因为，正偏驱动单元 124 的电容 C 在起始信号 ST 的前边在晶体管 NT_4 截止的状态下通过晶体管 NT_3 开始充电，正偏晶体管 NT_1 在电容 C 的充电电压变得高于正偏晶体管 NT_1 的栅极和源极之间的阈值电压后导通，以及第一时钟信号 CK 的高电平间隔开始在输出接线端出现。

一旦时钟信号的高电平间隔在输出接线端 OUT 上显现，则将输出电压自举到电容 C 上以将正偏晶体管 NT_1 的栅极电压升高至高于导通电压 VDD。于是，作为 NMOS 晶体管的正偏晶体管 NT_1 维持全导通状态。

同时，关于反偏驱动单元 126，因为晶体管 NT_7 在起始信号 ST 的前边在晶体管 NT_6 截止的状态下导通，所以第二节点 N_2 的电位降低至第一电源电压 VSS。此时，在浮置旁路单元 128 的晶体管 NT_8 维持导通状态的同时，导通晶体管 NT_7 的尺寸大于晶体管 NT_8 约 20 倍，第二节点 N_2 从第二电源电压 VDD 状态降低到第一电源电压 VSS。因而，反偏晶体管 NT_2 由导通态转变为截止态。

当导通电压 VON(即 VDD)在输出接线端 OUT 上形成时，导通旁路单元 130 的晶体管 NT_9 导通以借助第一电源电压 VSS 将驱动第二节点 N_2 的电容量提高约 50%。结果，第二节点 N_2 的电压在输出信号的上升转变过程中因反偏晶体管的漏极和源极间的寄生电容而已经得以提高。因此，可以可靠地防止使在输出信号的上升转变过程中使反偏晶体管导通的故障。

输出接线端 OUT 的输出信号 OUT1 在被供给前被延迟第一时钟信号 CK 的工作周期那么久。

一旦输出接线端 OUT 输出信号的电压下降至截止电压 VOFF(即 VSS)，晶体管 NT_9 则截止。这样，第二节点 N_2 处于通过晶体管 NT_8 仅被提供第二电源电压 VDD 的状态，使得第二节点 N_2 的电位从第一电源电压 VSS 升高至第二电源电压 VDD。当第二节点 N_2 的电位被提高时，晶体管 NT_4 由于经由晶体管 NT_4 将电容器的充电电压释放而导通。因而，正偏晶体管

NT₁截止。

接着,被供给至控制接线端 CT 的下一级输出信号被提高至导通电压,从而将晶体管 NT₅和 NT₆导通。这样,第二节点 N₂的电位通过由晶体管 NT₆和 NT₈提供的第二电源电压 VDD 而迅速升高,且第一节点 N₁的电位通过
5 晶体管 NT₄和 NT₅迅速降低至第一电源电压 VSS。

于是,正偏晶体管 NT₁截止,而反偏晶体管 NT₂导通,以使输出接线端 OUT 从导通电压 VON 降低至第二电源电压 VDD 的截止电压 VOFF。

即使提供至控制接线端 CT 的下一级输出信号降低至低电平以截止晶体管 NT₆,第二节点 N₂仍通过晶体管 NT₈维持被偏置至第二电源电压 VDD
10 的状态,而第一节点 N₁通过保持导通状态的晶体管 NT₄维持被偏置至第一电源电压 VSS 的状态。于是,因为即使晶体管 NT₂和 NT₄的阈值电压通过数小时的使用而升高,而第二节点 N₂的电位仍保持第二电源电压 VDD,所以稳定的运行无需考虑截止反偏晶体管 NT₂的故障。

按之字形运行各级 SRC₁至 SRC₄,以如以上详细描述的那样顺序地操作栅线。
15

图 7 是示出根据本发明另一优选实施例的图 4 所示的栅极驱动电路各级的电路图。

参照图 7,该级包括正偏单元 132、反偏单元 134、正偏驱动单元 136 和反偏驱动单元 138。

20 正偏单元 132 通过正偏 NMOS 晶体管 NT₁₁形成,此晶体管具有与时钟信号输入接线端 CK 相连的漏极、与第三节点 N3 相连的栅极和与输出接线端 OUT 相连的源极。

反偏单元 134 由反偏 NMOS 晶体管 NT₁₂形成,此晶体管具有与输出接线端 OUT 相连的漏极、与第四节点 N4 相连的栅极和与第一电源电压 VSS
25 相连的源极。

正偏驱动单元 136 包括电容 C 和 NMOS 晶体管 NT₁₃、NT₁₄和 NT₁₅。电容 C 在第三节点 N₃和输出接线端 OUT 之间连接。晶体管 NT₁₃具有与第二电源电压 VDD 相连的漏极、与输入接线端 IN 相连的栅极和与第三节点 N₃相连的源极。晶体管 NT₁₄具有与第三节点 N₃相连的漏极、与控制接线端
30 CT 相连的栅极和与第一电源电压 VSS 相连的源极。晶体管 NT₁₅具有与第三节点 N₃相连的漏极、与第四节点 N₄相连的栅极和与第一电源电压 VSS

相连的源极。此时，晶体管 NT_{13} 形成晶体管 NT_{15} 的尺寸的两倍。

反偏驱动单元 138 由两个 NMOS 晶体管 NT_{16} 和 NT_{17} 形成。晶体管 NT_{16} 具有共同连接至第二电源电压 VDD 的漏极和栅极，以及连接至第四节点 N_4 的源极。晶体管 NT_{17} 具有连接至第四节点 N_4 的漏极、连接至第三节点 N_3 的栅极和连接至第一电源电压 VSS 的源极。此时，晶体管 NT_{16} 的尺寸大于晶体管 NT_{17} 的尺寸约 16 倍。

当提供第一时钟信号 CK 和扫描起始信号 ST 时，第一时钟信号 CK 的高电平间隔响应扫描起始信号 ST 的前边而延迟一预定时间，以将其作为输出信号传输到输出接线端。

10 扫描起始信号 ST 的工作间隔具有超前第一时钟信号 CK 的高电平间隔约 $1/4$ 周期的相位。起始信号 ST 的工作间隔被分成脉冲的前边，即从上升边开始的准备时间 $Ts1$ ，和后边，即到下降边的维持时间 $Ts2$ 。

这种延迟特性因如下事实而发生，即正偏驱动单元 136 的电容 C 在起始信号 ST 的前边开始通过晶体管 NT_{13} 充电，正偏晶体管 NT_{11} 在电容 C 的充电电压被充至高于正偏晶体管 NT_{11} 的栅极和源极间的阈值电压后导通，以及第一时钟信号 CK 的高电平间隔在输出接线端出现。

一旦时钟信号的高电平间隔在输出接线端 OUT 出现，则将输出电压自举到电容 C 上以允许正偏晶体管 NT_{11} 的栅极电压高于导通电压 VDD 。于是，作为 NMOS 晶体管的正偏晶体管 NT_{11} 维持全导通状态。此时，因为晶体管 NT_{13} 的尺寸大于晶体管 NT_{15} 的尺寸约两倍，所以晶体管 NT_{11} 转变成导通状态，即使晶体管 NT_{15} 被起始信号 ST 导通。

同时，关于反偏驱动单元 138，晶体管 NT_{17} 被输入信号截止以允许第四节点 N_4 升至第二电源电压 VDD ，从而使晶体管 NT_{12} 导通。因而，来自输出接线端 OUT 的输出信号的电压维持第一电源电压 VSS 的状态。此时，因为晶体管 NT_{17} 被起始信号导通，所以第四节点 N_4 的电位被降低到第一电源电压 VSS 。即使晶体管 NT_{16} 导通，第四节点 N_4 连续维持第一电源电压 VSS 状态，因为晶体管 NT_{17} 的尺寸大于晶体管 NT_{16} 的尺寸约 16 倍。于是，反偏晶体管 NT_{12} 从导通态转变成截止态。

输出接线端 OUT 的输出信号 $OUT1$ 在被延迟第一时钟信号 CK 的工作周期那么久后被提供。

当来自输出接线端 OUT 的输出信号的电压降至截止电压 $VOFF (=VSS)$

时, 晶体管 NT_{17} 截止。于是, 因为仅通过晶体管 NT_{16} 而将第二电源电压 VDD 提供给第四节点 N_4 , 所以第四节点 N_4 的电位开始从第一电源电压 VSS 升高至第二电源电压 VDD。当第四节点 N_4 的电压开始上升时, 晶体管 NT_{15} 导通。这样, 电容 C 的充电电压通过晶体管 NT_{15} 释放。因此, 正偏晶体管 NT_{11} 截止。

接着, 供给至控制接线端 CT 的下一级输出信号被升高至导通电压, 使得晶体管 NT_{14} 导通。此时, 因为晶体管 NT_{14} 的尺寸大于晶体管 NT_{15} 的尺寸约两倍, 所以第三节点 N_3 的电位比单独导通晶体管 NT_{15} 的状态更快地降低至第一电源电压 VSS。

于是, 正偏晶体管 NT_{11} 截止, 而反偏晶体管 NT_{12} 导通, 以允许输出接线端 OUT 从导通电压 VON 下降至第二电源电压 VDD。

虽然供给至控制接线端 CT 的下一级输出信号下降至低电平以截止晶体管 NT_{14} , 但是, 第四节点 N_4 维持通过晶体管 NT_{16} 而被偏置至第二电源电压 VDD 的状态, 且第三节点 N_3 允许保持导通状态的晶体管 NT_{15} 维持被偏置至第一电源电压 VSS 的状态。由于这种结构, 第四节点 N_4 的电位维持第二电源电压 VDD, 使得在不引发反偏晶体管 NT_{12} 被截止的故障的情况下, 确保稳定的运行。

如上所述, 晶体管 NT_{15} 和晶体管 NT_{17} 被布置成根据另一实施例的锁存器(latch)形, 以能在第三节点 N_3 和第四节点 N_4 维持稳定状态。此外, 在与前述一实施例相比时, 不仅消除了两个晶体管, 还减小了晶体管的尺寸, 使得周边区中转换寄存器所占的面积可以减少约 10%。

另外, 当与一实施例比较时, 前述另一实施例使稳定运行成为可能, 而不管扫描起始信号 ST 的脉冲宽度。

更具体地, 根据一实施例, 当扫描起始信号 ST 的脉冲宽度比时钟信号的窄时, 电容在接收时钟信号之前开始放电。由于此原因, 反偏晶体管导通而未产生输出。于是, 输出信号未转换至下一级而倾向于导致非工作状态。

然而, 在另一实施例中, 扫描起始信号 ST 被闭锁, 以使之可以稳定地操作, 而不管扫描起始信号 ST 的脉冲宽度的宽度。

图 8 示出了根据本发明一实施例的对称型液晶显示装置的显示区和栅极驱动电路的布局图。图 9 至 13 示出图 8 各层的布局图。图 8 的布局图中

的相似部件用与图 6 所示栅极驱动电路中被表示的那些部件相同的附图标记表示。

5 栅线驱动晶体管 NT_1 和 NT_2 布置在邻近第一栅极驱动电路 108 的显示区的部分上，而外部信号线 CK、VDD、VSS 和 ST 布置在离该显示区最远的部分上。

控制晶体管 NT_3 、 NT_4 、 NT_5 、 NT_6 、 NT_7 、 NT_8 和 NT_9 布置在布置驱动晶体管和信号线的区域之间。

10 电容 C 包括设置在驱动晶体管 NT_1 和 NT_2 之间同时被设置在驱动晶体管 NT_1 的栅电极的栅电极下延伸部分上的下电极、设置在驱动晶体管 NT_2 的漏电极的上延伸部分上的上电极，以及设置在下和上电极之间的栅极绝缘层 SiN_x 。

图 9 所示的栅极金属构图放置在玻璃基板上。栅极金属构图形成显示区的栅线 GL、栅极驱动电路区的各晶体管的栅电极、电容的下电极、信号线和用于互连转换寄存器各级的部分信号线。

15 栅极金属构图涂覆有诸如 SiN_x 的作为栅极绝缘层的材料。在涂覆的 SiN_x 材料层上，将图 10 所示的非晶硅物质的有源构图与下构图对准。图 10 中，有源构图外的用附图标记 SP 表示的片是为保护与下部栅极构图交叉的源极构图而添加的伪构图。该伪构图协助使表面的下倾变缓，作为上部结构的源极构图在该表面上形成，从而防止上部源极金属线被切割。

20 图 11 所示的源极构图在对准图 10 的有源构图后得以设置。该源极构图形成显示区中数据线和像素电极的接触区、晶体管的源和漏电极、部分信号线和电容上电极。

驱动晶体管的分别成形为梳齿的源和漏电极被形成来交替位于该梳齿的行间，并彼此面对。

25 驱动晶体管 NT_1 和 NT_2 的这种源 - 漏电极结构在有限的面积中增加了驱动晶体管的信道宽度，以使能充分确保由非晶硅形成的晶体管的驱动能力。

30 图 12 的布局图显示了各构图的接触孔区，该接触孔用于将栅极金属构图和源极构图彼此电连接。在根据本发明的栅极驱动电路区内，形成相互对应的栅极接触区和源极接触区以彼此毗邻。

形成为彼此毗邻的接触对 CA 和 CB 借助接触构图 CP 而彼此电连接，

接触构图 CP 同时还提供有设置给显示区的像素电极构图 PE, 如图 13 所示。

也就是说, 根据本发明, 形成接触孔, 以电连接由栅极金属构图和源极构图形成的信号线, 并且, 接触构图由等同于像素电极构图的导电材料形成, 以通过接触孔连接它们。

一般地, 像素电极在透光型 LCD 装置中由 ITO 透明导电层制造, 而在反射型 LCD 装置中则由金属反射层制造。

于是, 在透光型的情形下, 透明导电层被设置为接触构图。因为这一事实, 优选的是, 为了将由接触电阻导致的栅极驱动电路电特性的影响减至最小的目的, 将互连接触孔设置成最为接近, 而不管是否应用透明导电层, 当与金属构图的电导率相比时, 此透明接触层具有相对下降的电导率。

另外, 优选的是, 在接触构图的尺寸上确保充足的边缘, 以充分覆盖接触孔, 从而防止失准导致的增加的接触电阻或不良接触。

图 14 是示出根据本发明另一实施例的用双栅极驱动电路包围的对称型液晶显示模块的示意图。

参照图 14, 根据本发明另一实施例的液晶显示模块包括下基板 100 和上基板 102。下基板 100 被分成与上基板 102 重叠的第一区 100a 和不与之重叠的第二区 100b。

第一区 100a 包括显示区 104 和周边区 106, 在用密封材料进行密封前其中注入液晶。分别在显示区 104 的周边区 106 的左和右侧上将用于连接显示区 104 的栅线以及第一和第二栅极驱动电路 108a 和 110a 的线形构图彼此对称设置。

第二区 100b 由数据驱动电路 112、第一和第二栅极驱动电路 108a 和 110a, 以及与薄膜电缆 116 的一端连接的外部连接接线端 114 构成。薄膜电缆 116 的另一端联接在集成印刷电路板(未示出)上。数据驱动电路 112 被制造成芯片型以安装到下基板上。

即, 上述另一实施例不同于第一实施例的布置, 因为第一和第二栅极驱动电路 108a 和 110a 被相对于数据驱动电路 112 对称地设置在数据驱动电路 112 的左和右侧上。

图 15 是示出根据本发明再一实施例的用双栅极驱动电路包围的对称型液晶显示模块的示意图。

图 15 中, LCD 模块包括下基板 100 和上基板 102。下基板 100 被分成与上基板 102 重叠的第一区 100a 和不与之重叠的第二区 100b。

第一区 100a 包括显示区 104 和周边区 106。于是, 显示区 104 和周边区 106 在用密封材料沿其边缘密封前注入液晶。第一和第二栅极驱动电路 108b 和 110b 整体形成为被设置在显示区 104 上的上部周边区 106 中。分别在显示区 104 的周边区 106 的左和右侧上将用于连接第一和第二栅极驱动电路 108b 和 110b 以及显示区 104 的栅线的线形构图放置成彼此对称。

第二区 100b 由数据驱动电路 112, 以及与薄膜电缆 116 的一端连接的外部连接接线端 114 构成。薄膜电缆 116 的另一端联接在集成印刷电路板(未示出)上。数据驱动电路 112 被制造成芯片型以安装到下基板上。

栅极驱动电路 108b 和 110b 通过从下部延伸到上部的外部连接接线端 114 而连接到薄膜电缆 116 上。

本发明的再一个实施例与第一和第二实施例不同, 因为栅极驱动电路被布置在与数据驱动电路相对的区域上, 即上部周边区上。

总之, 根据本发明的 LCD 模块分别设置有第一和第二栅极驱动电路, 该栅极电路在显示区的周边区的左和右侧上被布置成彼此对称。

在上述的本发明中, 栅极驱动电路对称布置在显示区的周边区的左和右侧上, 以在左和右侧上构成对称型 LCD 模块, 从而将安装有 LCD 模块的装置的左和右侧宽度减至最小。

虽然本发明已经参照其具体实施例而得以具体显示和描述, 但是, 本领域的技术人员将理解到, 在不超出所附权利要求规定的本发明的实质和范围的情况下, 可在其中实现各种形式和细节的变化。

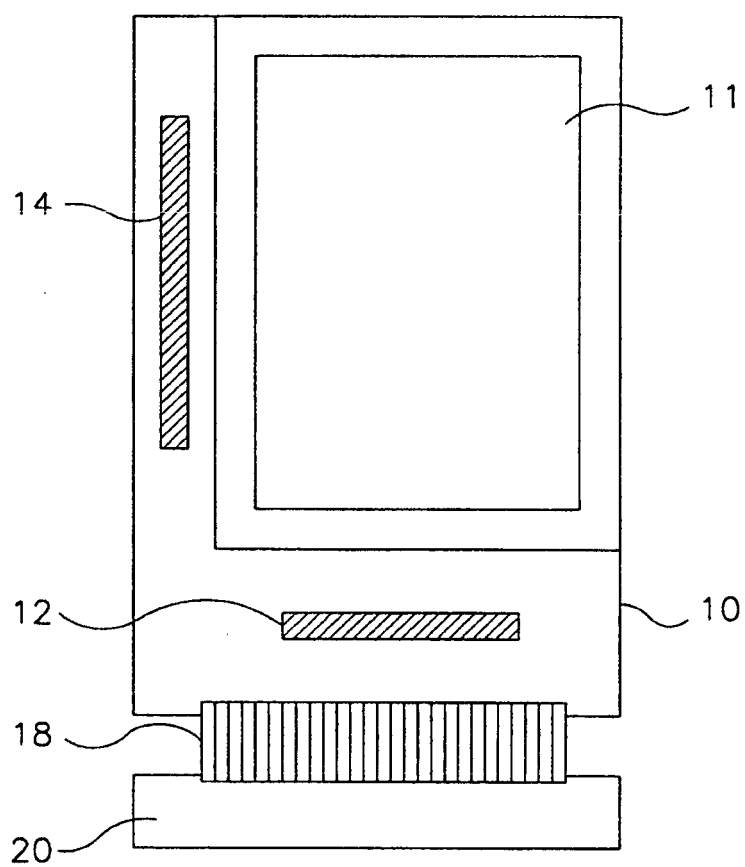


图 1

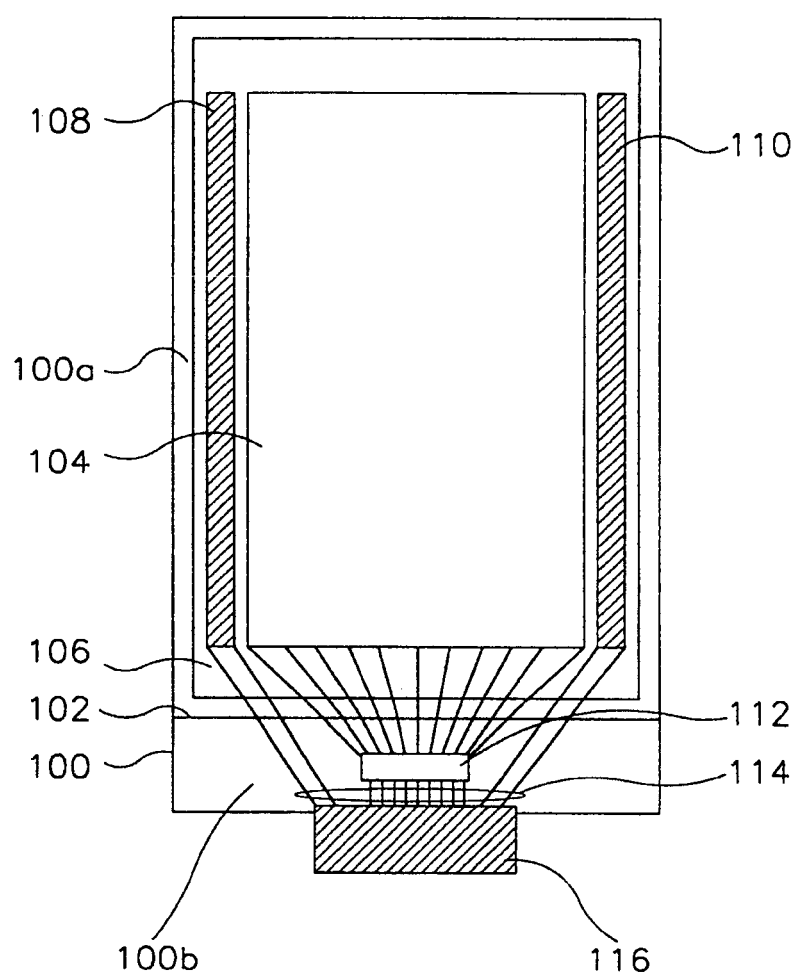


图 2

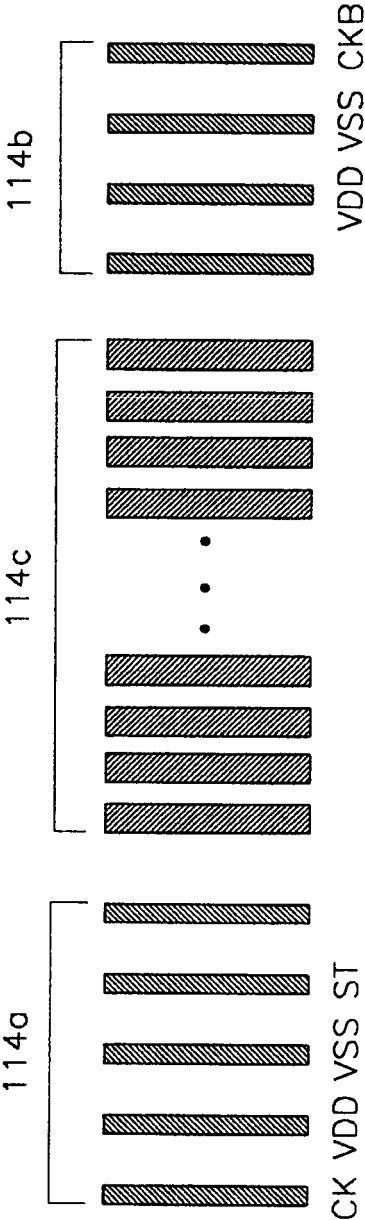
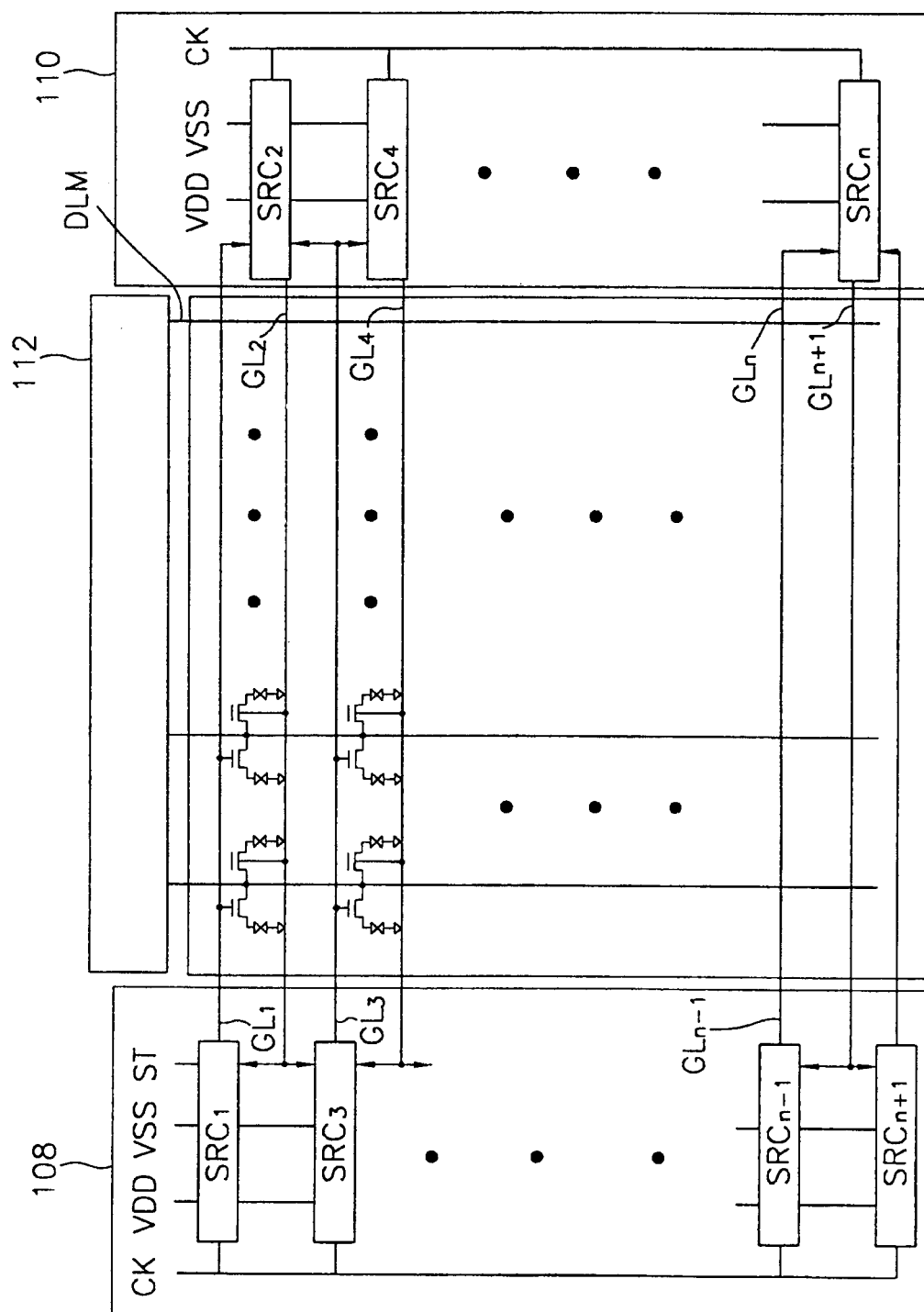


图 3

4
图

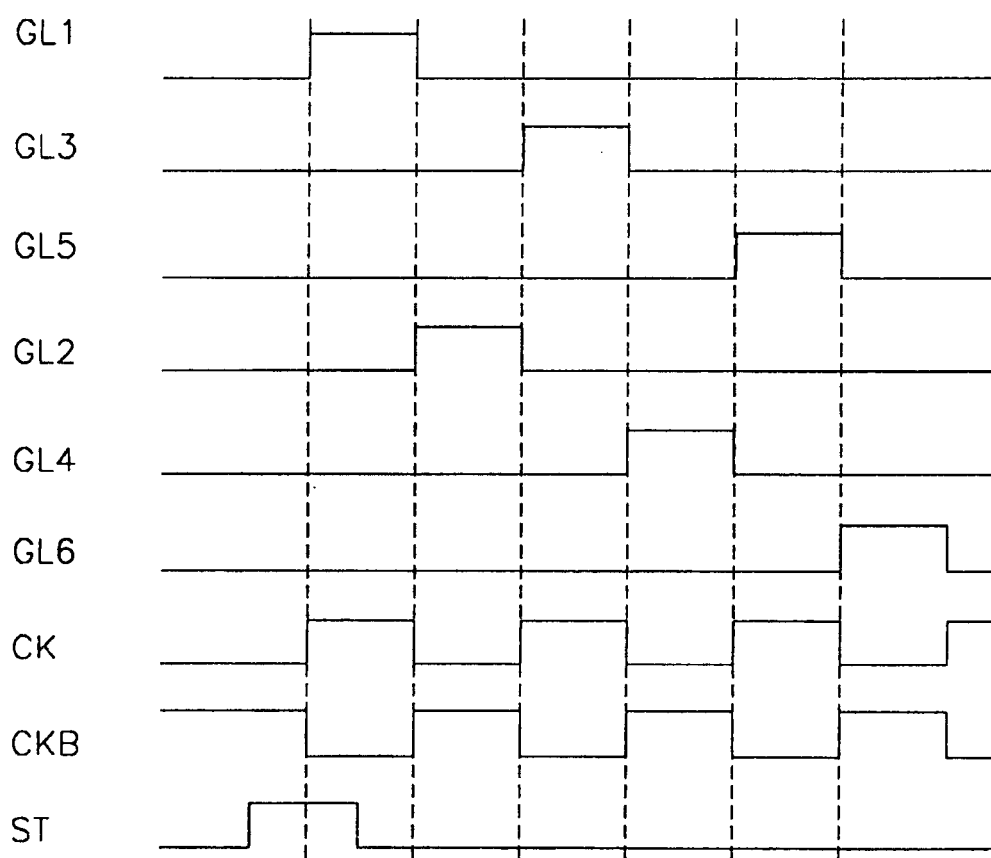


图 5

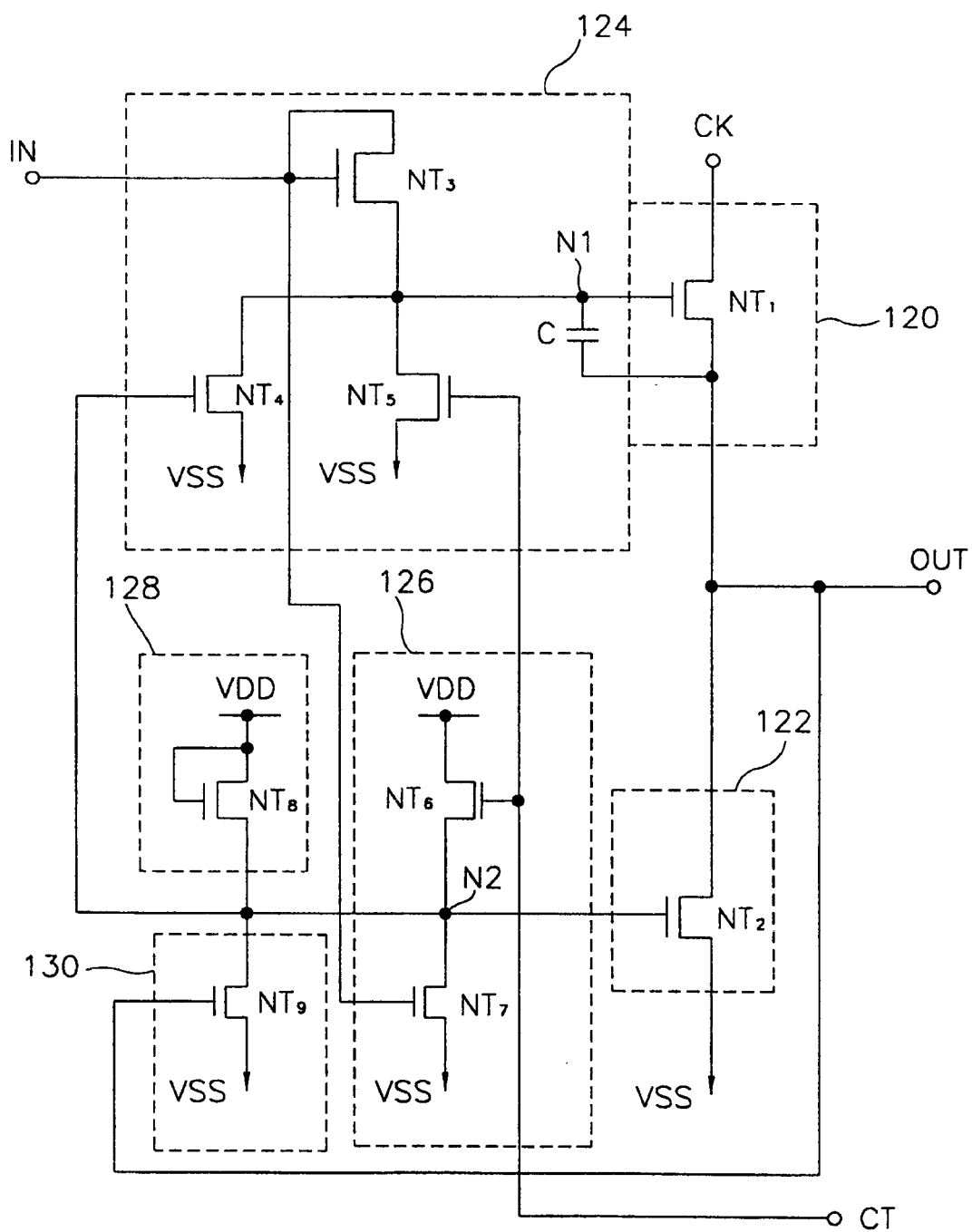


图 6

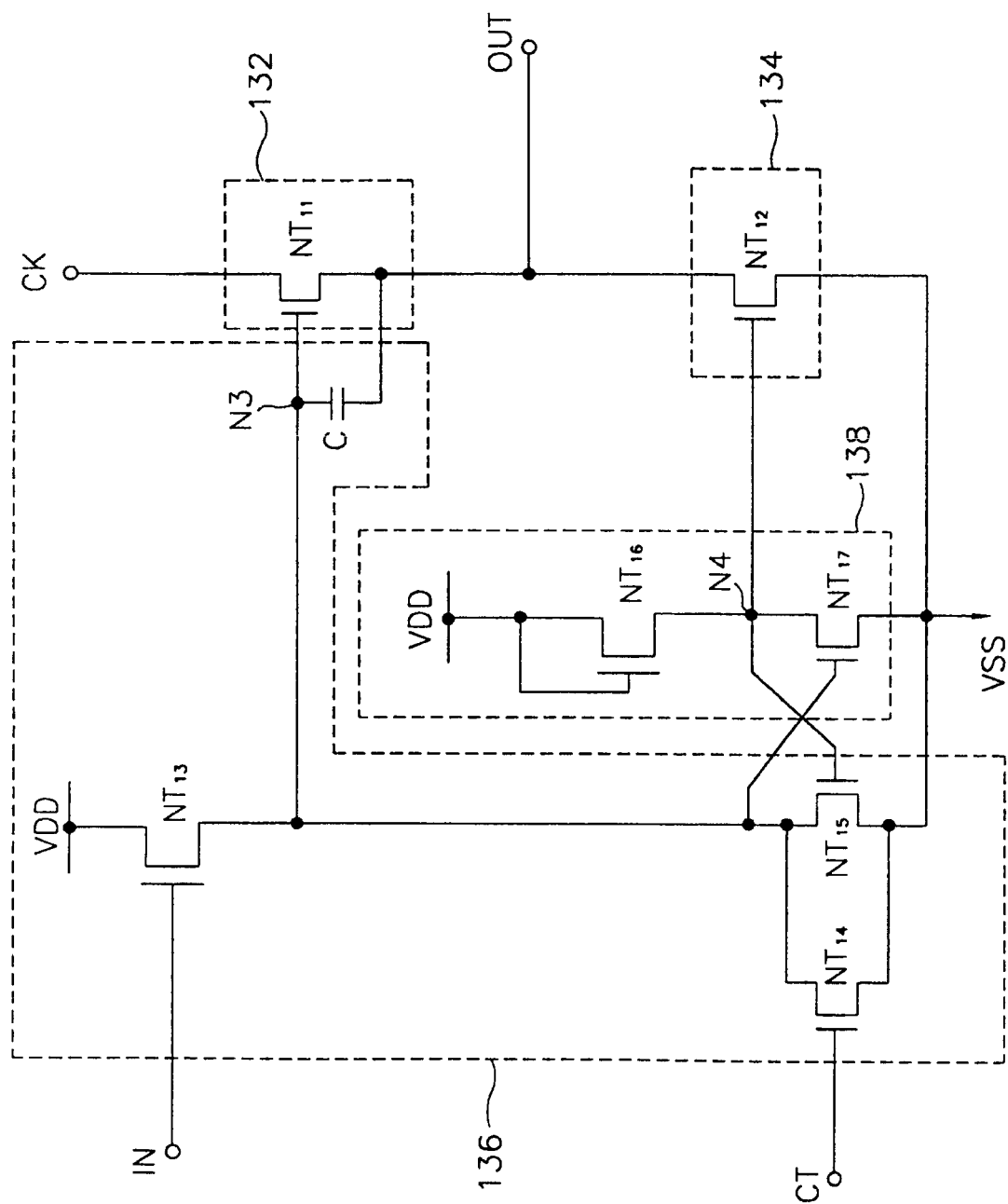


图 7

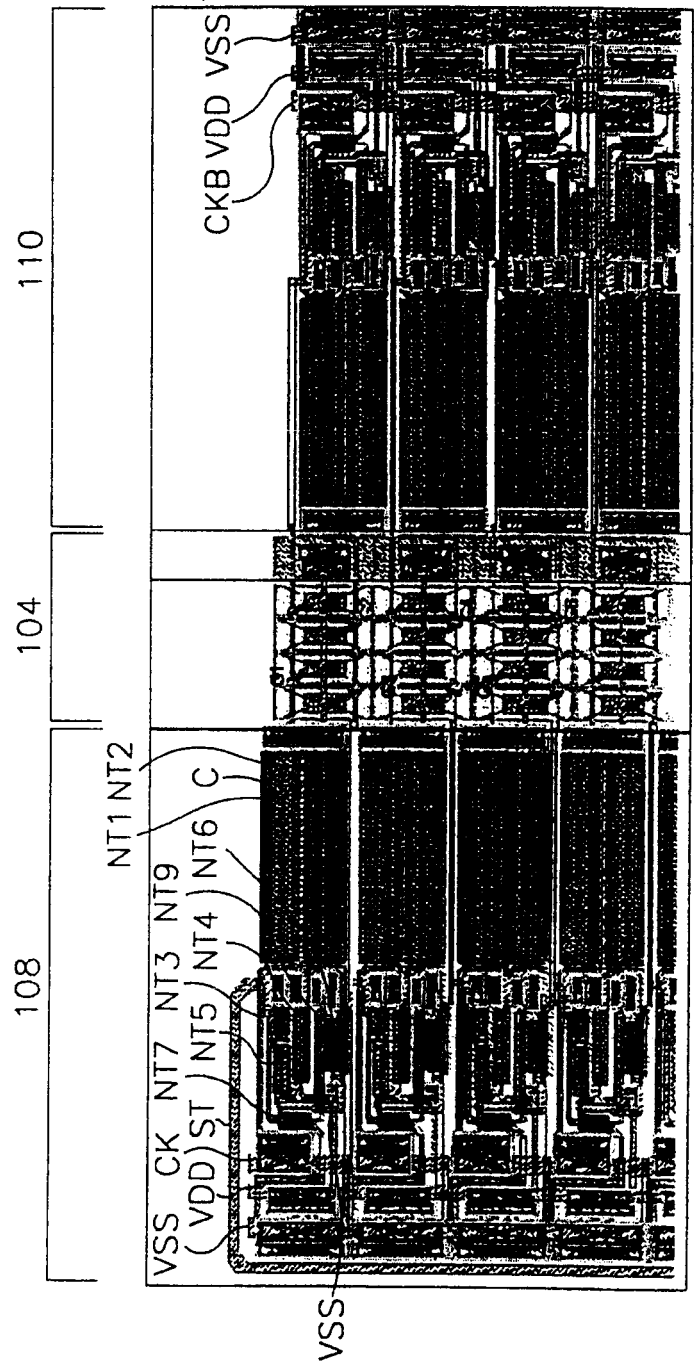


图 8

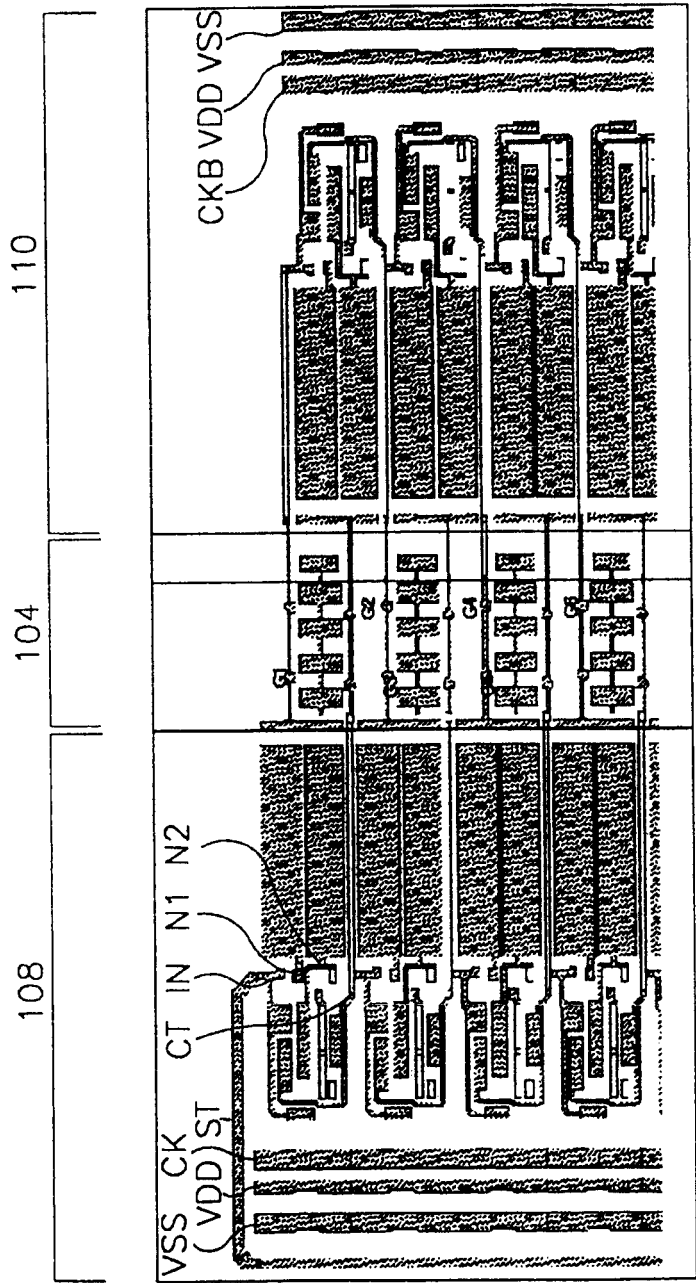


图 9

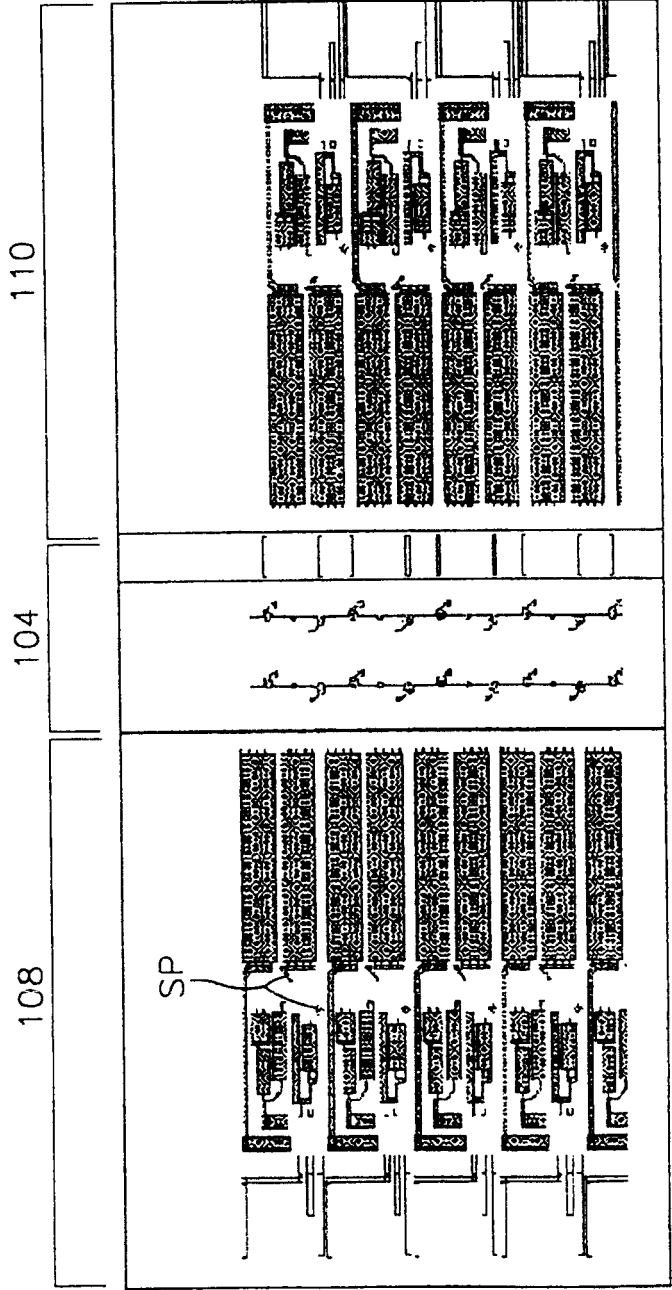


图 10

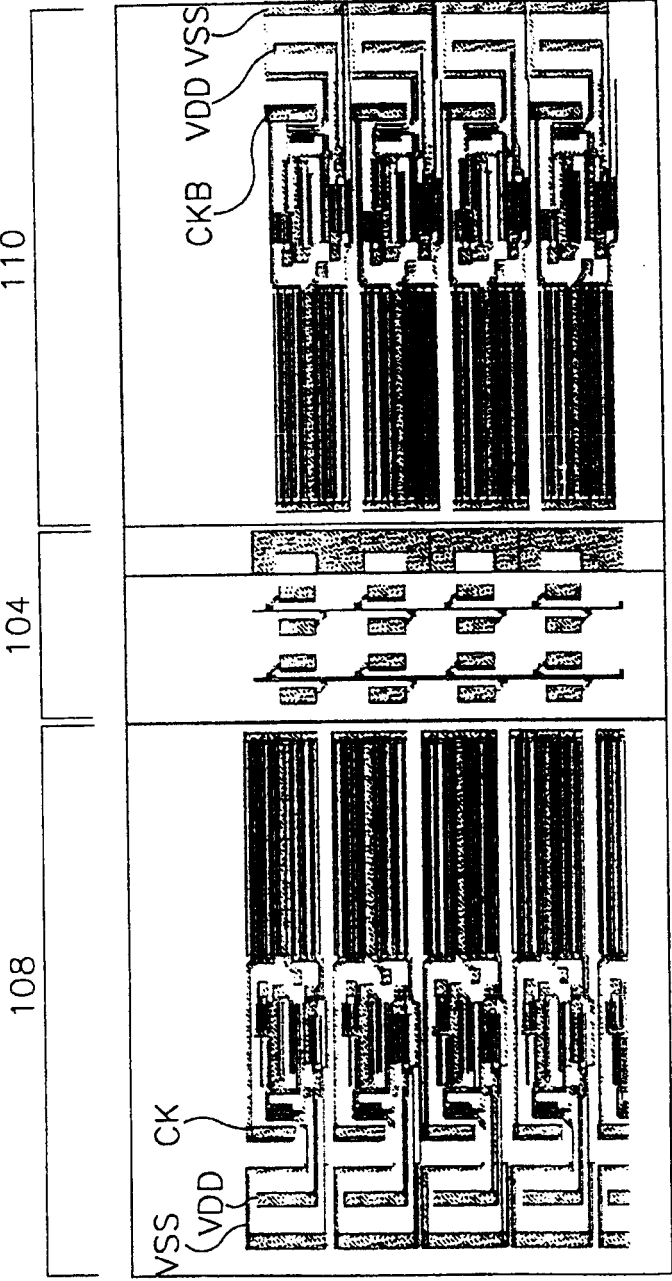


图 11

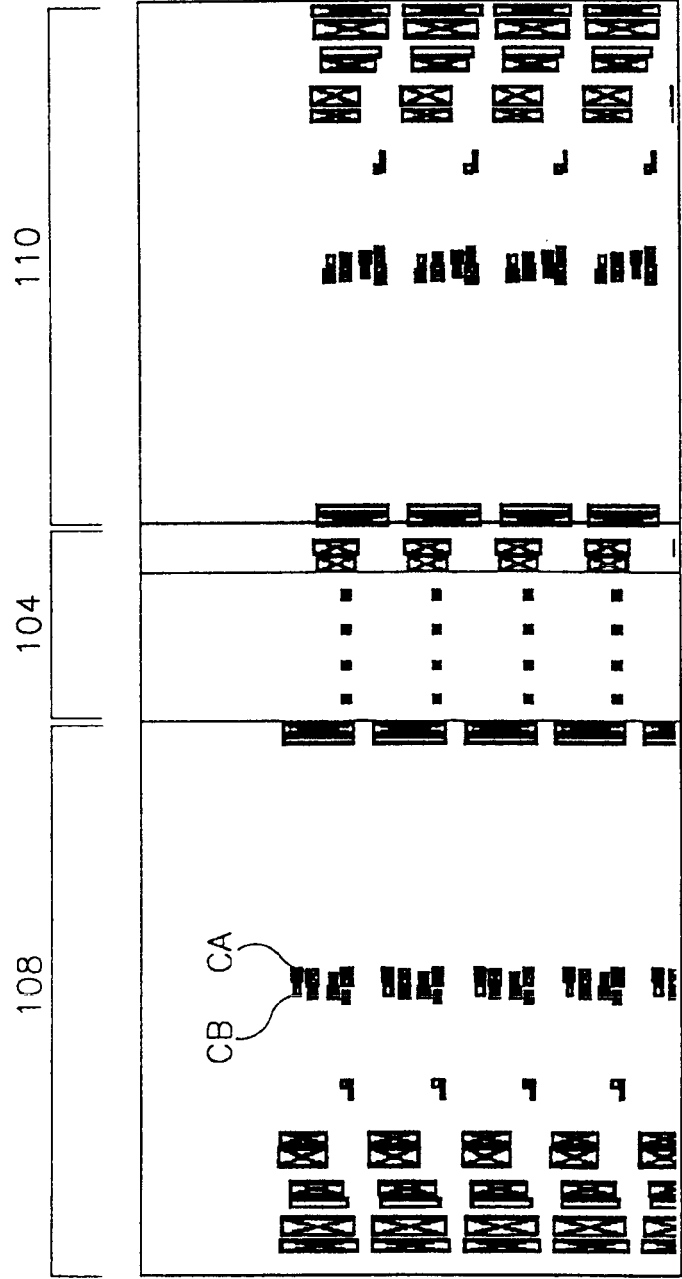


图 12

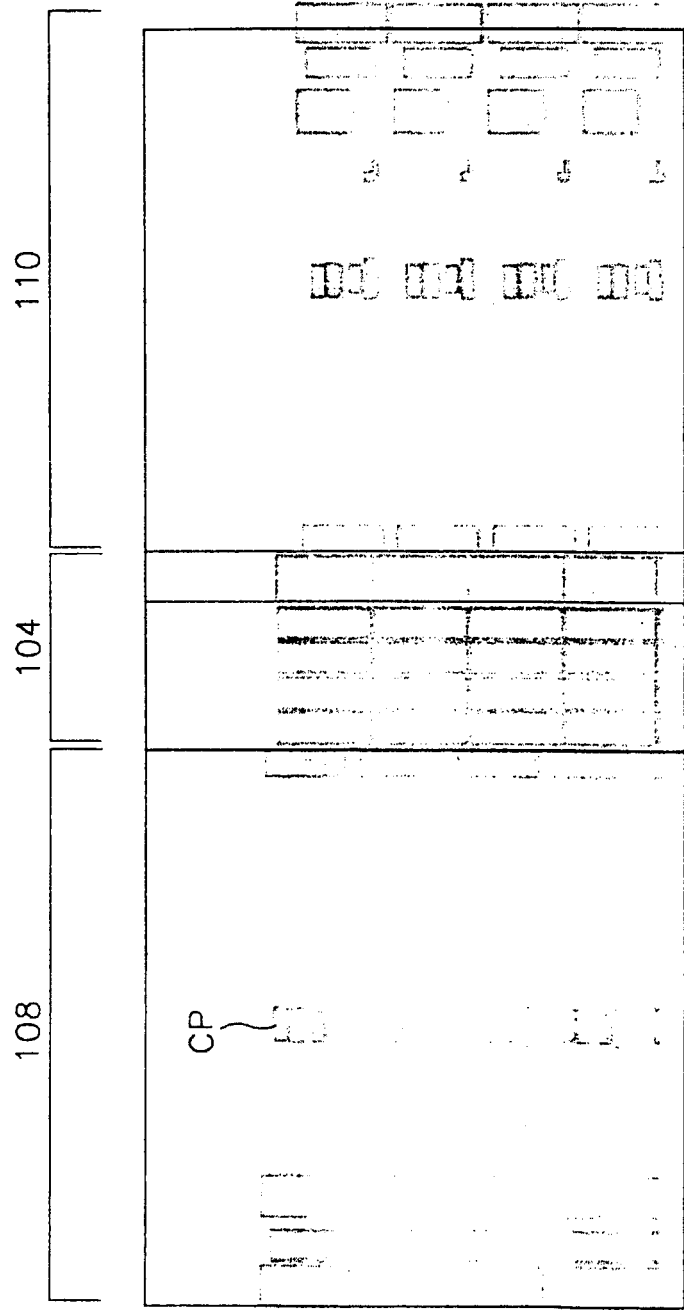


图 13

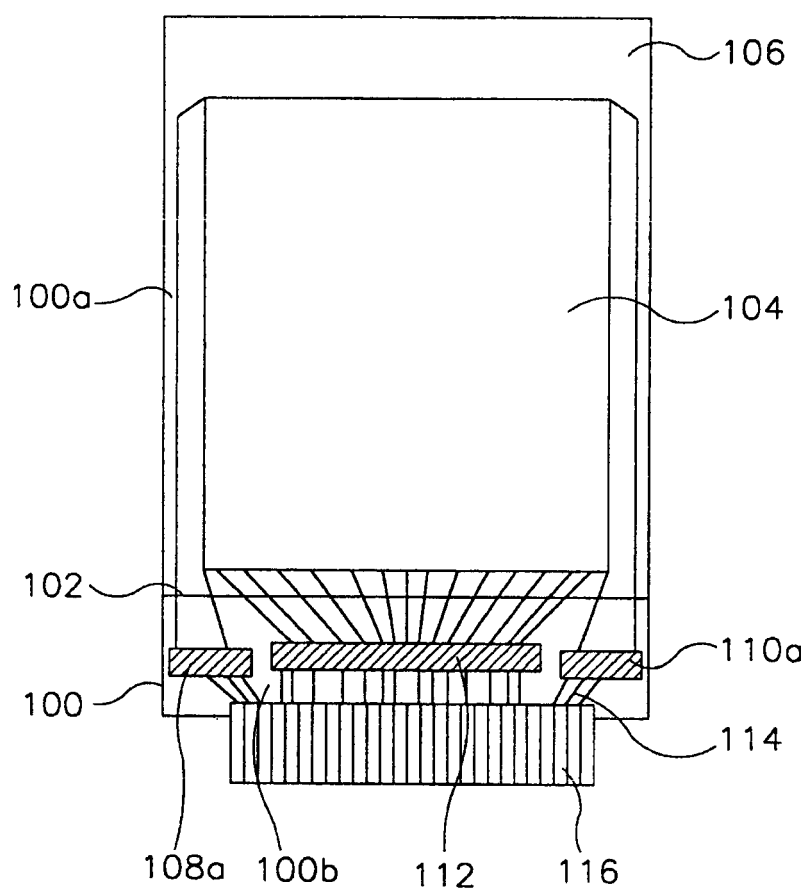


图 14

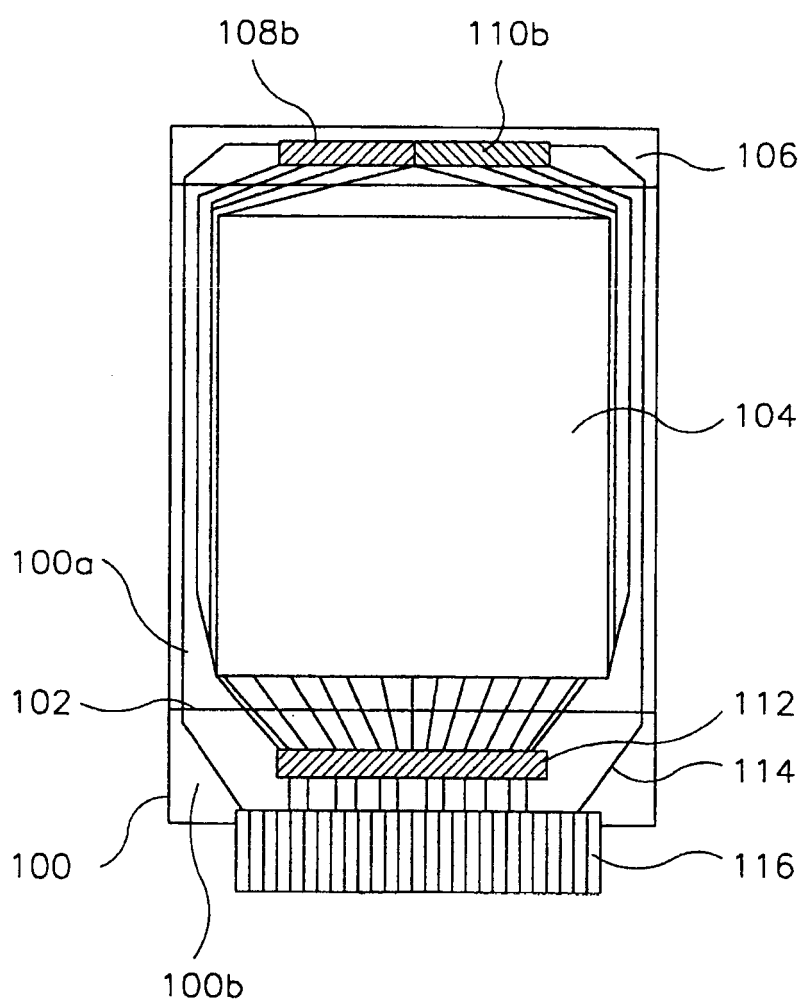


图 15

专利名称(译)	液晶显示装置		
公开(公告)号	CN1407527A	公开(公告)日	2003-04-02
申请号	CN02102052.3	申请日	2002-01-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李东浩 全珍		
发明人	李东浩 全珍		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1345 G02F1/1368 G09F9/00 G09F9/35 G09G3/20 G09G3/36 G11C8/04 G11C19/00 G11C19/18 G11C19/28 H01L29/786 G02F1/136 G02F11/36		
CPC分类号	G09G2310/0281 G09G3/3677 G02F2001/13456 G11C19/28 G11C8/04 G02F1/1345 G11C19/184 G11C19/00 G09G3/3648		
代理人(译)	李晓舒 魏晓刚		
优先权	1020010053920 2001-09-03 KR		
其他公开文献	CN1308906C		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示装置，其包括多个在基板显示区上以矩阵形式排列的像素电极和多个分别对应多个像素电极的薄膜晶体管。分别布置在像素电极中的奇数列线和偶数列线间的多个数据线共同连接至相应的奇数列和偶数列的薄膜晶体管上。通过与像素电极的各行对应而排列的多个第一栅极线共同连接到对应行以外的奇数薄膜晶体管上，通过与像素电极的各行对应而排列的多个第二栅极线共同连接至对应行以外的偶数薄膜晶体管上。数据驱动电路驱动数据线，第一栅极驱动电路排列在显示区一周边区中以驱动第一栅极线，且第二栅极驱动电路排列在显示区其它周边区中，以第一栅极驱动电路和显示区为中心而左右对称。

