

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01)



[12] 发明专利说明书

专利号 ZL 02804028.7

[45] 授权公告日 2007年7月11日

[11] 授权公告号 CN 1325984C

[22] 申请日 2002.2.27 [21] 申请号 02804028.7
[30] 优先权

[32] 2001.9.26 [33] KR [31] 2001/59637
[32] 2001.12.10 [33] KR [31] 2001/77838

[86] 国际申请 PCT/KR2002/000334 2002.2.27

[87] 国际公布 WO2003/036374 英 2003.5.1

[85] 进入国家阶段日期 2003.7.23

[73] 专利权人 三星电子株式会社
地址 韩国京畿道

[72] 发明人 李昶勋 金南兴 仓学璇 柳在镇

[56] 参考文献

KR1997007427A 1997.2.21
CN1255740A 2000.6.7
KR-1995029822A 1995.11.24
KR1996002917A 1996.1.26

KR1995029822A 1995.11.24
CN-1255740A 2000.6.7
KR-1997007427A 1997.2.21
CN-1183570A 1998.6.3
KR-1996002917A 1996.1.26
CN1183570A 1998.6.3

审查员 张梦欣

[74] 专利代理机构 北京市柳沈律师事务所
代理人 陶凤波 侯宇

权利要求书 2 页 说明书 16 页 附图 44 页

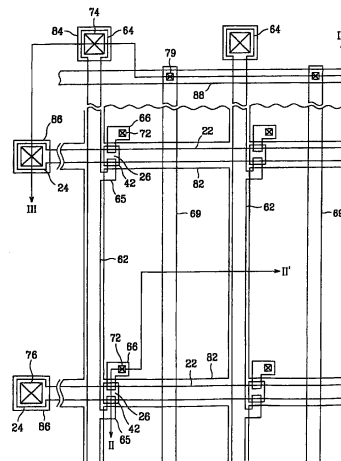
[54] 发明名称

液晶显示器的薄膜晶体管阵列板

[57] 摘要

在液晶显示器的制造方法中，减小用于存储电容的绝缘层的厚度以增大存储容值并以稳定的方式维持孔径比。用于液晶显示器的薄膜晶体管阵列板包括绝缘基板和栅极线组件以及形成在绝缘基板上的存储电容线组件。栅极线组件具有栅极线和栅极电极。栅极绝缘层覆盖栅极线组件和存储电容线组件。半导体图案形成在栅极绝缘层上。数据线组件和存储电容导体图案形成在覆盖有半导体图案的栅极绝缘层上。数据线组件具有数据线、源极电极和漏极电极。存储电容导体图案与存储电容线组件部分重叠，由此形成第一存储电容。钝化层覆盖数据线组件、存储电容导体图案和半导体图案。第一和第二接触孔形成在钝化层上并暴露漏极电极和存储电容导体图案。像素电极形成在钝化层上并经第一和第二接触孔连接到漏极电极和存储电容导体图

案。像素电极形成与部分存储电容线组件相连的第二存储电容。



1. 一种薄膜晶体管阵列板，包括：
 - 一绝缘基板；
 - 一栅极线组件，形成在该绝缘基板上并具有栅极线和栅极电极；
 - 一栅极绝缘层，覆盖该栅极线组件；
 - 一半导体图案，形成在该栅极绝缘层上；
 - 一数据线组件，形成在覆盖有该半导体图案的该栅极绝缘层上，该数据线组件具有与该栅极线交叉的数据线、连接到该数据线的源极电极、以及面对该源极电极的漏极电极；
 - 存储电容电极线，形成在相邻的数据线之间并与栅极线交叉；
 - 一钝化层，覆盖该数据线组件、该存储电容电极线和该半导体图案并具有暴露该漏极电极的接触孔；和
 - 像素电极，形成在该钝化层上并经该接触孔连接到该漏极电极，该像素电极与该存储电容电极线重叠，其中存储电容电极线平行于数据线并形成在与数据线相同的层上。
2. 如权利要求1所述的薄膜晶体管阵列板，还包括公共互连该存储电容电极线的公共互连线。
3. 如权利要求2所述的薄膜晶体管阵列板，其中该公共互连线由与该像素电极相同的材料形成，同时该公共互连线以绝缘的方式与该数据线交叉。
4. 如权利要求2所述的薄膜晶体管阵列板，其中该公共互连线由与该栅极线相同的材料形成，同时该公共互连线以绝缘的方式与数据线交叉。
5. 如权利要求3所述的薄膜晶体管阵列板，其中该钝化层具有暴露该存储电容电极线的多个接触孔，该公共互连线经这些接触孔连接到该存储电容电极线。
6. 如权利要求2所述的薄膜晶体管阵列板，还包括连接到该存储电容电极线的子互连线。
7. 如权利要求6所述的薄膜晶体管阵列板，其中该存储电容电极线和该子互连线由相同材料形成。
8. 如权利要求1所述的薄膜晶体管阵列板，还包括：
 - 栅极衬垫，形成在该栅极线的一侧端部；

数据衬垫，形成在该数据线的一侧端部；
第一接触孔，形成在该钝化层和该栅极绝缘层处并暴露该栅极衬垫；
第二接触孔，形成在该钝化层处并暴露该数据衬垫；和
子栅极衬垫和子数据衬垫，经第一和第二接触孔连接到该栅极衬垫和该数据衬垫。

9. 一种液晶显示器，包括：

如权利要求 1 所述的薄膜晶体管阵列板；
一对向基板，面对该薄膜晶体管阵列板；和
一液晶层，夹在该薄膜晶体管阵列板与该对向基板之间。

10. 如权利要求 9 所述的液晶显示器，其包括具有大于该液晶层的静电电容量 90% 或以上的静电电容量的存储电容。

11. 如权利要求 10 所述的液晶显示器，其中该存储电容的静电电容量大于该液晶层的静电电容量 95% 或以上。

12. 如权利要求 9 所述的液晶显示器，其中该薄膜晶体管阵列板还包括一公共互连该存储电容电极线的公共互连线。

13. 如权利要求 12 所述的液晶显示器，其中该公共互连线由与该像素电极相同的材料形成，同时该公共互连线以绝缘的方式与该数据线交叉。

14. 如权利要求 13 所述的液晶显示器，其中该钝化层具有暴露该存储电容电极线的多个接触孔，该公共互连线经这些接触孔连接到该存储电容电极线。

15. 如权利要求 12 所述的液晶显示器，其中该薄膜晶体管阵列板还包括一连接到该存储电容电极线的子互连线。

16. 如权利要求 15 所述的液晶显示器，其中该存储电容电极线和该子互连线由相同材料形成。

液晶显示器的薄膜晶体管阵列板

技术领域

本发明涉及一种液晶显示器的薄膜晶体管阵列板。

背景技术

通常，液晶显示器包括具有电极的两基板和夹在两基板之间的液晶层。对电极施加电压，使得液晶层中的液晶分子重新-取向，由此控制光的透射。电极可以都形成在其中一个基板上。一个基板称作“薄膜晶体管阵列板”，另一个称作“彩色滤光片基板”。

薄膜晶体管阵列板上具有多条栅极线、横越栅极线并定义像素区的数据线、形成在各个像素区并与栅极线和数据线电连接的薄膜晶体管、以及电连接到薄膜晶体管的像素电极。

在薄膜晶体管阵列板上形成存储电容，使施加到置于两基板之间的液晶上的电压保持在稳定的状态。为此目的，在与栅极线同一层上形成存储电容线组件(storage capacitor line assembly)，使得其与像素电极重叠，由此形成存储电容。同时，应该增大存储电容的静电电容量以提高显示器的亮度或使其具有快速的响应速度。在此方面需要扩大存储电容线组件的面积，但这样导致孔径或开口率降低。

发明内容

本发明的目的在于提供一种用于液晶显示器的薄膜晶体管阵列板，其包括静电电容量被增大的且具有合理孔径比的存储电容。

本发明的这个和其它目的可以通过一种用于液晶显示器的薄膜晶体管阵列板来实现，其中的存储电容线组件形成在与数据线相同的层上，或者用于存储电容的绝缘层的厚度减为最小。

根据本发明的一个方面，薄膜晶体管阵列板包括一绝缘基板，一形成在绝缘基板上并包括栅极线和栅极电极的栅极线组件。栅极绝缘层覆盖栅极线组件。在栅极绝缘层上形成一半导体图案。在覆盖有半导体图案的栅极绝缘

层上形成一数据线组件。该数据线组件具有横越栅极线的数据线、连接到数据线和半导体图案的源极电极、以及面对源极电极并连接到半导体图案的漏极电极。存储电容电极线形成在相邻的数据线之间并横越栅极线。一钝化层覆盖数据线组件、存储电容电极线和半导体图案并具有暴露漏极电极的接触孔。像素电极形成在钝化层上并经接触孔连接到漏极电极。像素电极与存储电容电极线重叠。其中存储电容电极线平行于数据线并形成在与数据线相同的层上。

薄膜晶体管阵列板还可以包括一公共互连存储电容电极线的公共互连线。公共互连线可以由与像素电极或栅极线相同的材料形成，同时该公共互连线以绝缘的方式横越数据线。

钝化层具有暴露存储电容电极线的多个接触孔，且公共互连线经这些接触孔连接到存储电容电极线。子互连线可以连接到存储电容电极线。存储电容电极线和子互连线由相同材料形成。

栅极衬垫(gate pads)形成在栅极线的一侧端部，且数据衬垫形成在数据线的一侧端部。第一接触孔形成在钝化层和栅极绝缘层处并暴露栅极衬垫，且第二接触孔形成在钝化层处并暴露数据衬垫。子栅极衬垫和子数据衬垫经第一和第二接触孔连接到栅极衬垫和数据衬垫。

除上述结构的薄膜晶体管阵列板外，液晶显示器包括一面对薄膜晶体管阵列板的对向基板(counter substrate)和一夹在薄膜晶体管阵列板与对向基板之间的液晶层。液晶显示器具有存储电容，该存储电容的静电电容量大于具有液晶层的液晶电容的静电电容量 90% 及以上。

附图说明

通过结合附图对本发明进行的详细描述，对本发明将有更全面的理解，本发明的优点也将变得更加清晰，附图中相同的标记表示相同或类似的部件，其中：

图 1 是根据本发明第一优选实施例的薄膜晶体管阵列板的平面图；

图 2 和图 3 是沿图 1 中 II-II' 线和 III-III' 线的薄膜晶体管阵列板的截面图；

图 4 是图 1 所示薄膜晶体管阵列板上栅极线、数据线和存储电容电极线的布线图；

图 5A 示意制造图 1 中薄膜晶体管阵列板的第一步骤；

图 5B 和图 5C 是沿图 5A 中 Vb-Vb'线和 Vc-Vc'线的薄膜晶体管阵列板的截面图;

图 6A 示意图 5A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 6B 和 6C 是沿图 6A 中 VIb-VIb'线和 VIc-VIc'线的薄膜晶体管阵列板的截面图;

图 7A 示意图 6A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 7B 和 7C 是沿图 7A 中 VIIb-VIIb'线和 VIIc-VIIc'线的薄膜晶体管阵列板的截面图;

图 8 是根据本发明第二优选实施例的薄膜晶体管阵列板的平面图;

图 9 是沿图 8 中 IX-IX'线的薄膜晶体管阵列板的截面图;

图 10A 示意制造图 8 中薄膜晶体管阵列板的第一步;

图 10B 是沿图 10A 中 Xb-Xb'线的薄膜晶体管阵列板的截面图;

图 11A 示意图 10A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 11B 是沿图 11A 中 XIb-XIb'线的薄膜晶体管阵列板的截面图;

图 12A 示意图 11A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 12B 是沿图 12A 中 XIIb-XIIb'线的薄膜晶体管阵列板的截面图;

图 13A 示意图 12A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 13B 是沿图 13A 中 XIIIb-XIIIb'线的薄膜晶体管阵列板的截面图;

图 14 是根据本发明第三优选实施例的薄膜晶体管阵列板的平面图;

图 15 是沿图 14 中 XV-XV'线的薄膜晶体管阵列板的截面图;

图 16 是根据本发明第四优选实施例的薄膜晶体管阵列板的平面图;

图 17 是沿图 16 中 XVII-XVII'线的薄膜晶体管阵列板的截面图;

图 18 是根据本发明第五优选实施例的薄膜晶体管阵列板的平面图;

图 19 是沿图 18 中 XIX-XIX'线的薄膜晶体管阵列板的截面图;

图 20A 示意制作图 18 所示薄膜晶体管阵列板的第一步;

图 20B 是沿图 20A 中 XXb-XX'b 线的薄膜晶体管阵列板的截面图;

图 21A 示意图 20A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 21B 是沿图 21A 中 XXIb-XXI'b 线的薄膜晶体管阵列板的截面图;

图 22A 示意图 21A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 22B 是沿图 22A 中 XXIIb-XXIIb'线的薄膜晶体管阵列板的截面图;

图 23A 示意图 22A 中所示步骤之后的制造薄膜晶体管阵列板的步骤;

图 23B 是沿图 23A 中 XXIIIb-XXIIIb' 线的薄膜晶体管阵列板的截面图；
图 24A 示意图 23A 中所示步骤之后的制造薄膜晶体管阵列板的步骤；
图 24B 是沿图 24A 中 XXIVb-XXIVb' 线的薄膜晶体管阵列板的截面图；
图 25 是根据本发明第六优选实施例的薄膜晶体管阵列板的平面图；
图 26 是沿图 25 中 XXVI-XXVI' 线的薄膜晶体管阵列板的截面图；
图 27 是根据本发明第七优选实施例的薄膜晶体管阵列板的平面图；
图 28 是沿图 27 中 XXVIII-XXVIII' 线的薄膜晶体管阵列板的截面图；
图 29 表示液晶显示器的响应速度的波形曲线。

具体实施方式

下面参考附图详细描述本发明的优选实施例。

图 1 是根据本发明第一优选实施例的薄膜晶体管阵列板的平面图，图 2 和图 3 是沿图 1 中 II-II' 线和 III-III' 线的薄膜晶体管阵列板的截面图。

在绝缘基板 10 上用一种导体材料如铝、铝合金、铬、铬合金、钼、钼合金、氮化铬和氮化钼形成厚度为 1000-3500Å 的栅极线组件。栅极线组件包括沿水平方向行进的栅极线 22，连接到栅极线 22 一侧端并同时电连接外驱动电路（未示出）的栅极衬垫 24，和成为栅极线 22 的一部分并与其它电极部件形成薄膜晶体管的栅极电极 26。

栅极线组件可以有多层结构，其中一层由低电阻金属材料形成，其它层由与其它材料具有良好接触特性的材料形成。

在绝缘基板 10 上用氮化硅或氧化硅形成厚度为 2500-4500Å 的栅极绝缘层 30，该栅极绝缘层 30 覆盖栅极线组件。

在栅极绝缘层 30 上用非晶硅形成厚度为 800-1500Å 的半导体图案 42，该半导体图案与栅极电极 26 重叠。在半导体图案 42 上用掺杂高浓度 n 型杂质的非晶硅形成厚度为 500-800Å 的欧姆接触图案 55 和 56。

用铝、铝合金、铬、铬合金、钼、钼合金、氮化铬和氮化钼在欧姆接触图案 55 和 56 以及栅极绝缘层 30 上形成厚度为 500-3500Å 的数据线组件和存储电容电极线 69。数据线组件包括在垂直方向行进、同时横越栅极线 22 以定义像素区的数据线 62，连接到数据线 62 的一侧端、同时电接触外驱动电路的数据衬垫 64，连接到数据线 62 并延伸到欧姆接触图案 55 之上的源极电极 65，和面对源极电极 65 并位于另一欧姆接触图案 56 之上的漏极电极

66。漏极电极 66 延伸到像素区内的栅极绝缘层 30 之上。

存储电容电极线 69 位于与数据线组件相同的平面并在垂直方向行进，使得其与数据线 62 交替分布。存储电容电极线 69 与像素电极 82 重叠，由此形成存储电容。

数据线组件可以有一种多层结构，其中至少一层由低电阻金属材料形成。

钝化层 70 覆盖数据线组件、存储电容电极线 69 和半导体图案 42，并具有大约 500-2000Å 的厚度。钝化层 70 由一种绝缘材料形成，如氮化硅和氧化硅。

第一和第二接触孔 72 和 74 形成在钝化层 70 上并暴露漏极电极 66 和数据衬垫 64。第三接触孔 76 形成在钝化层 70 上并暴露栅极衬垫 24 和栅极绝缘层 30。另外，第四接触孔 79 形成在钝化层 70 上并暴露位于数据衬垫 64 侧边的存储电容电极线 69 的端部。

像素电极 82 形成在钝化层 70 上以接收图象信号并与对向基板上的公共电极（未示出）一起产生电场。像素电极 82 经第一接触孔 72 电连接到漏极电极 66。

像素电极 82 与存储电容电极线 69 重叠并插入钝化层 70 以形成存储电容。因为设置在像素电极 82 和存储电容电极线 69 之间的钝化层 70 具有较薄的厚度，所以所得的存储电容具有很大的静电电容，甚至当存储电容电极线 69 具有很窄的宽度时也是如此。

子数据衬垫 84 和子栅极衬垫 86 形成在钝化层 70 上并经第二和第三接触孔 74 和 76 连接到数据衬垫 64 和栅极衬垫 24。另外，公共互连线 88 形成在显示区的外边并平行于栅极线 22 延伸。该显示区指像素区的总和。公共互连线 88 经第四接触孔 79 互连所有的存储电容电极线 69。

像素电极 82、子数据衬垫 84、子栅极衬垫 86 和公共互连线 88 由一种透明导体材料如 ITO 和 IZO 形成在同一平面上。

公共互连线 88 可以在栅极线组件形成过程中由与栅极线组件相同的材料形成。在此情况下，多个接触孔形成在栅极绝缘层 30 上并暴露公共互连线 88。多个存储电容电极线 69 经形成在栅极绝缘层 30 上的接触孔接触公共互连线 88。

图 4 是图 1 所示薄膜晶体管阵列板上栅极线、数据线和存储电容电极线

的配置图。

如图 4 所示，多条栅极线 22 在沿水平方向彼此平行地延伸，并且多条数据线 62 沿垂直方向彼此平行地延伸。数据线 62 横越栅极线 22 并定义像素区。显示区 110 是指像素区的总和。

作为数据衬垫的数据线 62 的一侧端部电连接到数据驱动电路 300 以从其接收数据信号。类似地，作为栅极衬垫的栅极线 22 的一侧端部电连接到栅极驱动电路（未示出）以从其接收栅极信号。

存储电容电极线 69 与数据线 62 交替分布。存储电容电极线 69 通过位于显示区 110 之外的子互连线 61 彼此连接。优选地存储电容电极线 69 和子互连线 61 由相同的材料形成，同时公共互连。

公共互连线 88 位于数据驱动电路一侧的存储电容电极线 69 的端部，同时与所有的存储电容电极线 69 互连。优选地公共互连线 88 由与像素电极 82 或栅极线组件相同的材料形成。这样防止公共互连线 88 与连接到显示区 110 之外的数据驱动电路 300 的数据线 62 的一部分短路。

存储电容电极线 69 电连接到数据驱动电路 300 以从其接收公共电极电压。

下面参考图 5A ~ 7C 以及图 1 ~ 4 解释薄膜晶体管阵列板的制造方法。

如图 5A ~ 5C 所示，在绝缘基板 10 上沉积一栅极线组件层，并通过光刻法构图，由此形成一栅极线组件。栅极线组件包括栅极线 22、栅极衬垫 24 和栅极电极 26。

之后，将一基于绝缘材料如氮化硅的栅极绝缘层 30 沉积到绝缘基板 10 上，使得其覆盖栅极线组件。

在栅极绝缘层 30 上依次沉积一非晶硅层和一导电型掺杂非晶硅层，并且通过光刻法构图，由此形成一半导体图案 42 和一欧姆接触图案 52。

如图 6A ~ 6C 所示，在基板的整个表面上沉积一金属层，并通过光刻法构图，由此形成一数据线组件和存储电容电极线 69。数据线组件包括数据线 62、数据衬垫 64、源极电极 65 和漏极电极 66。存储电容电极线 69 与数据线 62 交替分布。

利用源极电极 65 和漏极电极 66 作为掩模来蚀刻欧姆接触图案 52，由此将欧姆接触图案 52 分成与源极电极 65 接触的第一部分 55 和与漏极电极 66 接触的第二部分 56。

如图 7A~7C 所示,钝化层 70 覆盖数据线组件、存储电容电极线 69 和半导体图案 42。钝化层 70 由氮化硅形成并具有较薄的厚度。考虑到待形成的存储电容的静电电容量,优选以适当的方式控制钝化层 70 的厚度。

钝化层 70 和栅极绝缘层 30 通过光刻法构图,由此形成第一至第四接触孔 72、74、76 和 79。

如图 1~3 所示,在衬底 10 的整个表面上沉积一基于 ITO 或 IZO 的透明导电层。

该透明导电层通过光刻法构图,由此形成像素电极 82、子数据衬垫 84、子栅极衬垫 86 和公共互连线 88。像素电极 82 经第一接触孔 72 连接到漏极电极 66。子数据衬垫 84 和子栅极衬垫 86 经第二和第三接触孔 74 和 76 连接到数据衬垫 64 和栅极衬垫 24。公共互连线 88 经第四接触孔 79 互连所有的存储电容电极线 69。

公共互连线 88 可以由与栅极线组件相同的材料形成。为此目的,在形成栅极线组件的过程中形成公共互连线,随后形成栅极绝缘层 30。然后在栅极绝缘层 30 上形成暴露公共互连线的多个接触孔。在形成数据线组件的过程中形成存储电容电极线 69。在此过程中,存储电容电极线 69 经接触孔连接到公共互连线。

如上所述,存储电容电极线形成在与数据线相同的平面上,使得其与像素电极重叠同时插入厚度较薄的钝化层,由此形成存储电容。

或者,可以利用栅极绝缘层代替钝化层来形成存储电容。

图 8 是根据本发明第二优选实施例的薄膜晶体管阵列板的平面图;图 9 是沿图 8 中 IX-IX'线的薄膜晶体管阵列板的截面图。

在绝缘层 10 上由一种导体材料如铝、铝合金、铬、铬合金、钼、钼合金、氮化铬和氮化钼形成厚度为 1000-3500Å 的栅极线组件和存储电容线组件。

栅极线组件包括在水平方向延伸的栅极线 22、形成在栅极线 22 一侧端部并与外驱动电路(未示出)电接触的栅极衬垫 24 和成为栅极线 22 的一部分并与其它部件一起形成薄膜晶体管的栅极电极 26。

存储电容线组件包括设置在相邻栅极线 22 之间的矩形存储电容电极图案 28,和连接到相邻像素区中的存储电容电极图案、并沿水平方向平行于栅极线 22 延伸的存储电容电极线 29。

栅极线组件和存储电容线组件可以有一种多层结构，其中至少一层由低电阻的金属材料形成。

在绝缘衬底 10 上由氮化硅或氧化硅形成厚度为 2500-4500Å 的栅极绝缘层 30，该栅极绝缘层 30 覆盖栅极线组件和存储电容线组件。

在栅极绝缘层 30 上由非晶硅形成厚度为 800 - 1500Å 并与栅极电极 26 重叠的半导体图案 42。由掺有高浓度 n 型杂质的非晶硅在半导体图案 42 上形成厚度为 500 - 800Å 的欧姆接触图案 55 和 56。

在欧姆接触图案 55 和 56 以及栅极绝缘层 30 上由导体材料如铝、铝合金、铬、铬合金、钼、钼合金、氮化铬和氮化钼形成厚度为 500 - 3500Å 的数据线组件和存储电容导体图案 68。

数据线组件包括在垂直方向延伸并横越栅极线 22 以定义像素区的数据线 62，形成在数据线 62 的一侧端部并电连接到外驱动电路的数据衬垫 64，连接到数据线 62 并延伸到欧姆接触图案 55 上的源极电极 65，和面对源极电极 65 并位于另一欧姆接触图案 56 之上的漏极电极 66。漏极电极 66 延伸到像素区之内的栅极绝缘层 30 之上。

存储电容导体图案 68 位于与数据线组件相同的平面并具有岛状形状，使得其与存储电容电极图案 28 重叠并插入栅极绝缘层 30，由此形成存储电容。存储电容导体图案 68 电连接到后面有所描述的像素电极 82 以接收图象信号电压。

数据线组件和存储电容导体图案 68 可以有一种多层结构，其中至少一层由低电阻金属材料形成。

钝化层 70 覆盖数据线组件、存储电容导体图案 68 和半导体图案 42，并具有大约 500-2000Å 的厚度。钝化层 70 由一种绝缘材料形成，如氮化硅和氧化硅。

第一和第二接触孔 72 和 74 形成在钝化层 70 上并暴露漏极电极 66 和数据衬垫 64。第三接触孔 76 形成在钝化层 70 上并暴露栅极衬垫 24 和栅极绝缘层 30。另外，第四接触孔 78 形成在钝化层 70 上并暴露存储电容导体图案 68。

像素电极 82 形成在钝化层 70 上，使得其通过第一和第四接触孔 72 和 78 电连接到漏极电极 66 和存储电容导体图案 68。

子数据衬垫 84 和子栅极衬垫 86 形成在钝化层 70 上并经第二和第三接

触孔 74 和 76 连接到数据衬垫 64 和栅极衬垫 24。

像素电极 82、子数据衬垫 84、子栅极衬垫 86 由一种透明导电材料如 ITO 和 IZO 形成。

像素电极 82 与存储电容线组件重叠并插入钝化层 70 和栅极绝缘层 30，由此形成存储电容。

像素电极 82 连接到存储电容导体图案 68。通过这种方式，存储电容导体图案 68 形成与存储电容电极图案 28 相连并插入栅极绝缘层 30 的另一存储电容。在此情况下，因为设置在存储电容导体图案 68 和存储电容电极图案 28 之间的栅极绝缘层 30 的厚度较小，所以使得得到的存储电容的静电电容量变大，甚至当与存储电容电极图案 28 和像素电极 82 的重叠相比有相同的重叠面积时也是如此。

下面参考图 10A ~ 13B 以及图 8 和图 9 对薄膜晶体管阵列板的制造方法进行描述。

如图 10A 和 10B 所示，在绝缘基板 10 上沉积一金属层并通过光刻法构图，由此形成一栅极线组件和一存储电容线组件。栅极线组件包括栅极线 22、栅极衬垫 24 和栅极电极 26。存储电容线组件包括存储电容电极图案 28 和存储电容电极线 29。

之后，如图 11A 和 11B 所示，将一基于绝缘材料如氮化硅的栅极绝缘层 30 沉积到绝缘基板 10 上，使得其覆盖栅极线组件和存储电容线组件。

在栅极绝缘层 30 上依次沉积一非晶硅层和一导电型掺杂非晶硅层，并且通过光刻法构图，由此形成一半导体图案 42 和一欧姆接触图案 52。

如图 12A 和 12B 所示，在基板 10 的整个表面上沉积一金属层，并通过光刻法构图，由此形成一数据线组件和存储电容导体图案 68。数据线组件包括数据线 62、数据衬垫 65、源极电极 65 和漏极电极 66。存储电容导体图案 68 与存储电容电极图案 28 重叠。

利用源极电极 65 和漏极电极 66 作为掩模来蚀刻欧姆接触图案 52，由此将欧姆接触图案 52 分成与源极电极 65 接触的第一部分 55 和与漏极电极 66 接触的第二部分 56。

如图 13A 和 13B 所示，在具有数据线组件、存储电容导体图案 68 和半导体图案 42 的基板 10 的整个表面上由氮化硅或氧化硅形成一钝化层 70。通过光刻法对钝化层 70 和栅极绝缘层 30 构图，由此形成第一至第四接触孔 72、

74、76 和 78。在钝化层 70 上形成第一接触孔 72、第二接触孔 74 和第四接触孔 78 并分别暴露漏极电极 66、数据衬垫 64 和存储电容导体图案 68。另外,在钝化层 70 和栅极绝缘层 30 上形成第三接触孔 76 并暴露栅极衬垫 24。

如图 8 和 9 所示,在衬底 10 的整个表面上沉积一基于 ITO 或 IZO 的透明导电层。

该透明导电层通过光刻法构图,由此形成像素电极 82、子数据衬垫 84、子栅极衬垫 86。像素电极 82 经第一接触孔 72 和第四接触孔 78 连接到漏极电极 66 和存储电容导体图案 68。子数据衬垫 84 和子栅极衬垫 86 经第二和第三接触孔 74 和 76 连接到数据衬垫 64 和栅极衬垫 24。

在此优选实施例中,存储电容导体图案 68 位于相邻栅极线之间的像素区并具有岛状形状。或者,存储电容导体图案 68 可以形成在像素区的周围并具有条状的形状。在此情况下,用于形成与存储电容导体图案 68 相连的存储电容的存储电容电极图案 28 也可以形成为条形形状。

图 14 是根据本发明第三优选实施例的薄膜晶体管阵列板的平面图,图 15 是沿图 14 中 XV-XV'线的薄膜晶体管阵列板的截面图。

在此优选实施例中,存储电容电极图案 28 位于像素区的两外围边并具有条形形状。当然,各个存储电容电极图案 28 连接到存储电容电极线 29。

用于形成与存储电容电极图案 28 相连的存储电容的存储电容导体图案 68 与存储电容电极图案 28 重叠并插入栅极绝缘层 30。

形成一第四接触孔 78,存储电容导体图案 68 经第四接触孔 78 连接到像素电极 82,从而部分地暴露存储电容导体图案 68。

在此结构中,存储电容电极线 29 形成与像素电极 82 相连的存储电容并插入栅极绝缘层 30 和钝化层 70。另外,存储电容电极图案 28 形成与存储电容导体图案 68 相连的存储电容并插入栅极绝缘层 30。

通过此种结构,所得存储电容的静电电容量增大,甚至与存储电容电极图案 28 只和像素电极 82 重叠的情形相比有相同的重叠面积时也是如此。因此,相关于存储电容的孔径比增大。

另外,因为在像素电极 82 和数据线 62 之间设置条-形存储电容电极图案 28 或存储电容导体图案 68,所以可以避免像素电极 82 和数据线 62 之间的光泄漏。

在本发明的第二和第三优选实施例中,以一种分离的方式形成存储电容

线组件。或者，可以把栅极线的一部分用作存储电容电极。

图 16 是根据本发明第四优选实施例的薄膜晶体管阵列板的平面图，图 17 是沿图 16 中 XVII-XVII'线的薄膜晶体管阵列板的截面图。

在此优选实施例中，分布在任意一个栅极线处的像素电极与部分前述栅极线重叠，以形成存储电容。即，部分栅极线用于形成所需的存储电容，但不以分离的方式形成存储电容线组件。

如图 16 所示，在第 n 条栅极线 22 (G_n) 处的像素电极 82 与第 $(n-1)$ 条栅极线 22 (G_{n-1}) 重叠，其面积得到延伸。

存储电容导体图案 68 与栅极线 22 部分重叠并插入栅极绝缘层 30。存储电容导体图案 68 位于与数据线组件相同的平面。在钝化层 70 上形成暴露存储电容导体图案 68 的第四接触孔 78，并且在任一栅极线 22 处的像素电极 82 经第四接触孔 78 连接到位于前述栅极线 22 之上的存储电容导体图案 68。

存储电容导体图案 68 与栅极线 22 重叠并插入栅极绝缘层 30，由此形成存储电容。位于第 $(n-1)$ 条栅极线 22 (G_{n-1}) 之上的存储电容导体图案 68 从第 n 条栅极线 22 (G_n) 处的像素电极 82 接收有关的信号。

在上面的结构中，与只通过重叠像素电极 82 和栅极线 22 形成存储电容的情形相比，存储电容显著增大。另外，因为不需要分离的存储电容线组件，所以可以进一步提高孔径比。

图 18 是根据本发明第五优选实施例的薄膜晶体管阵列板的平面图；图 19 是沿图 18 中 XIX-XIX'线的薄膜晶体管阵列板的截面图。

在绝缘基板 10 上用一种导体材料如铝、铝合金、铬、铬合金、钼、钼合金、氮化铬和氮化钼形成厚度为 $1000-3500\text{\AA}$ 的栅极线组件和存储电容电极线 27。

栅极线组件包括在水平方向行进的栅极线 22，形成在栅极线 22 一侧端部并电连接外驱动电路（未示出）的栅极衬垫 24，和成为栅极线 22 的一部分并与其它电极部件形成薄膜晶体管的栅极电极 26。

存储电容电极线 27 位于相邻的栅极线 22 之间并沿水平方向平行于栅极线 22 延伸。

栅极线组件和存储电容电极线 27 可以有多层结构，其中至少一层由低电阻金属材料形成。

在绝缘基板 10 上用氮化硅或氧化硅形成厚度为 $2500-4500\text{\AA}$ 的栅极绝缘

层 30, 该栅极绝缘层 30 覆盖栅极线组件和存储电容电极线 27。

在栅极绝缘层 30 上形成第一接触孔 32, 该孔暴露存储电容电极线 27。

在栅极绝缘层 30 上用非晶硅形成厚度为 800-1500Å 的半导体图案 42, 该图案与栅极电极 26 重叠。在半导体图案 42 上用掺杂高浓度 n 型杂质的非晶硅形成厚度为 500-800Å 的欧姆接触图案 55 和 56。

用导体材料如铝、铝合金、铬、铬合金、钼、钼合金、氮化铬和氮化钼在欧姆接触图案 55 和 56 以及栅极绝缘层 30 上形成厚度为 500-3500Å 的数据线组件和存储电容导体图案 67。

数据线组件包括在垂直方向行进、同时横越栅极线 22 以定义像素区的数据线 62, 连接到数据线 62 的一侧端、同时电接触外驱动电路的数据衬垫 64, 从数据线 62 突出并延伸到欧姆接触图案 55 之上的源极电极 65, 和面对源极电极 65 并位于另一欧姆接触图案 56 之上的漏极电极 66。漏极电极 66 延伸到像素区之内的栅极绝缘层 30 之上。

存储电容导体图案 67 位于与数据线组件相同的平面并经第一接触孔 32 连接到存储电容电极线 27。存储电容导体图案 67 与后面将要描述的像素电极 82 重叠, 由此形成存储电容。存储电容导体图案 67 连接到存储电容电极线 27 以接收公共电压。

数据线组件和存储电容导体图案 67 可以有一种多层结构, 其中至少一层由低电阻金属材料形成。

钝化层 70 覆盖数据线组件、存储电容导体图案 67 和半导体图案 42, 并具有大约 500-2000Å 的厚度。钝化层 70 由一种绝缘材料形成, 如氮化硅和氧化硅。

第二和第三接触孔 72 和 74 形成在钝化层 70 上并暴露漏极电极 66 和数据衬垫 64。还在钝化层 70 上形成第四接触孔 76 并暴露栅极衬垫 24 和栅极绝缘层 30。

在钝化层 70 上形成像素电极 82, 使得其经第二接触孔 72 电连接到漏极电极 66。

子数据衬垫 84 和子栅极衬垫 86 形成在钝化层 70 上并经第三和第四接触孔 74 和 76 连接到数据衬垫 64 和栅极衬垫 24。

像素电极 82、子数据衬垫 84 和子栅极衬垫 86 由一种透明导电材料如 ITO 和 IZO 形成。

像素电极 82 与存储电容电极线 27 重叠并插入钝化层 70 和栅极绝缘层 30, 由此形成存储电容。

像素电极 82 还与连接到存储电容电极线 27 的存储电容导体图案 67 重叠并插入钝化层 70, 由此形成另一存储电容。在此情况下, 因为设置在像素电极 82 和存储电容导体图案 67 之间的钝化层 70 的厚度较小, 所以甚至在与存储电容电极线 27 和像素电极 82 的重叠相比有同样的重叠面积时, 所得存储电容的静电电容量也增大。因此, 相关于存储电容的孔径比变大。

下面参考图 20A ~ 24B 以及图 18 和图 19 对薄膜晶体管阵列板的制造方法进行描述。

如图 20A 和 20B 所示, 在绝缘基板 10 上沉积一金属层并通过光刻法构图, 由此形成一栅极线组件和存储电容电极线 27。栅极线组件包括栅极线 22、栅极衬垫 24 和栅极电极 26。

之后, 如图 21A 和 21B 所示, 将一基于绝缘材料如氮化硅的栅极绝缘层 30 沉积到绝缘基板 10 上, 使得其覆盖栅极线组件和存储电容电极线 27。随后在栅极绝缘层 30 上依次沉积一非晶硅层 40 和一导电型掺杂非晶硅层 50。

之后, 通过光刻法对非晶硅层 40 和掺杂非晶硅层 50 和栅极绝缘层 30 构图, 由此形成暴露存储电容电极线 27 的第一接触孔 32。

如图 22A 和 22B 所示, 通过光刻法对非晶硅层 40 和掺杂非晶硅层 50 构图, 由此形成一半导体图案 42 和一欧姆接触图案 52。

如图 23A 和 23B 所示, 在基板 10 的整个表面上沉积一金属层, 并通过光刻法构图, 由此形成一数据线组件和存储电容导体图案 67。数据线组件包括数据线 62、数据衬垫 64、源极电极 65 和漏极电极 66。存储电容导体图案 67 经第一接触孔 32 连接到存储电容电极线 27。

利用源极电极 65 和漏极电极 66 作为掩模来蚀刻欧姆接触图案 52, 由此将欧姆接触图案 52 分成与源极电极 65 接触的第一部分 55 和与漏极电极 66 接触的第二部分 56。

如图 24A 和 24B 所示, 在具有数据线组件、存储电容导体图案 67 和半导体图案 42 的基板 10 的整个表面上由氮化硅或氧化硅形成一钝化层 70。通过光刻法对钝化层 70 和栅极绝缘层 30 构图, 由此形成第二至第四接触孔 72、74 和 76。在钝化层 70 上形成第二接触孔 72 和第三接触孔 74 并暴露漏极电

极 66 和数据衬垫 64。在钝化层 70 和栅极绝缘层 30 上形成第四接触孔 76 并暴露栅极衬垫 24。

如图 18 和 19 所示，在衬底 10 的整个表面上沉积一基于 ITO 或 IZO 的透明导电层。

通过光刻法对该透明导电层构图，由此形成像素电极 82、子数据衬垫 84 和子栅极衬垫 86。像素电极 82 经第二接触孔 72 连接到漏极电极 66。子数据衬垫 84 和子栅极衬垫 86 经第三和第四接触孔 74 和 76 连接到数据衬垫 64 和栅极衬垫 24。

在此优选实施例中，存储电容导体图案 67 位于相邻栅极线之间的像素区。或者，存储电容导体图案 67 可以形成在像素区的周围并具有条形形状。

图 25 是根据本发明第六优选实施例的薄膜晶体管阵列板的平面图；图 26 是沿图 25 中 XXVI-XXVI' 线的薄膜晶体管阵列板的截面图。

在此优选实施例中，存储电容导体图案 67 位于像素区的两外围侧边并具有条形形状。存储电容导体图案 67 经形成在栅极绝缘层 30 上的第一接触孔 32 连接到存储电容电极线 27。

存储电容电极线 27 形成与像素电极 82 相连的存储电容并插入栅极绝缘层 30 和钝化层 70。另外，存储电容导体图案 67 形成与像素电极 82 相连的另一存储电容并插入钝化层 70。

通过此种结构，存储电容的静电电容量增大，甚至与只有存储电容电极线 27 和像素电极 82 重叠相比具有相同重叠面积的情形下也是如此。因此，相对于存储电容的孔径比增大。

另外，因为在像素电极 82 和数据线 62 之间设置条形存储电容导体图案 67，所以可以避免像素电极 82 和数据线 62 之间的光泄漏。

在本发明的第五和第六优选实施例中，以一种分离的方式形成存储电容线组件。或者，可以把部分栅极线用作存储电容电极。

图 27 是根据本发明第七优选实施例的薄膜晶体管阵列板的平面图，图 28 是沿图 27 中 XXVIII-XXVIII' 线的薄膜晶体管阵列板的截面图。

在此优选实施例中，分布在任意一个栅极线处的像素电极与部分前述的栅极线重叠，以形成存储电容。即，部分栅极线用于形成所需的存储电容，但不以分离的方式形成存储电容线组件。

如图 27 所示，在第 n 条栅极线 22 (G_n) 处的像素电极 82 与第 $(n-1)$

条栅极线 22 (Gn-1) 重叠, 其面积得到延伸。

存储电容导体图案 67 与栅极线 22 部分重叠并插入栅极绝缘层 30。存储电容导体图案 67 位于与数据线组件相同的平面。在钝化层 70 上形成暴露存储电容导体图案 67 的第四接触孔 78。位于第 (n-1) 条栅极线 22 (Gn-1) 之上的存储电容导体图案 67 连接到第 n 条栅极线 22 (Gn) 处的像素电极 82。

存储电容导体图案 67 与栅极线 22 重叠并插入栅极绝缘层 30, 由此形成存储电容。位于第 (n-1) 条栅极线 22 (Gn-1) 上的存储电容导体图案 68 从第 n 条栅极线 22 (Gn) 处的像素电极 82 接收有关的信号。

在上面的结构中, 与只通过重叠像素电极 82 和栅极线 22 重叠而形成存储电容的情形相比, 存储电容显著增大。另外, 因为不需要分离的存储电容线组件, 所以可以进一步提高孔径比。

本发明的结构非常适于与所有的液晶显示模式一起使用。尤其是在此种结构与光学补偿的双折射 (OCB) 模式一起使用时, 产生各种优点。

因为液晶的 $\Delta\epsilon$ 值在 OCB 模式的液晶显示器中较大, 所以, 作为灰度值 (gray value) 函数的初始态的介电常数和后续态的介电常数之差也较大, 因此液晶电压的变化也不可避免地变得较大。

同时, 如图 29 所示, 由各种液晶显示模式测得的响应速度的波形曲线 (时间-亮度) 具有表现出两个台阶差的两-台阶式波形。

因为在改变总亮度从 10% 到 90% 的同时测量响应速度, 所以在两-台阶 (two-stepped) 部分的亮度小于 90% 的情况下响应速度变得较慢。

OCB 模式的液晶显示器展示出的特性在于在第一帧出现两-台阶式波形, 并在第二帧或第三帧时维持正常的亮度。因此, 在两-台阶部分处的静电电容量增至 90% 或以上、优选在 95% 或以上的情况下, 可以在第一帧维持所需的正常亮度, 由此产生迅速的响应速度。

表 1 列出了在 OCB 模式液晶显示器中, 在存储电容的静电电容量 C_{st} 和液晶的静电电容量 C_{lc} 的比例与响应速度的函数关系的波形曲线 (时间-亮度) 中, 两-台阶部分的亮度值。

表 1

Clc: Cst	1.00: 0.70	1.00: 0.91
两-台阶部分 (亮度%)	81.8%	87.3%

从表 1 中可以知道, 随着存储电容 C_{st} 的增加, 两-台阶部分的亮度约为

90%。因此，通过增大存储电容使两-台阶部分的亮度超过 90% 可以获得快速响应速度。特别是在存储电容增大使得两-台阶部分的亮度超过 95% 的情况下，响应速度可以进一步提高。为了将存储电容增大到这一程度，可以根据第一至第七优选实施例的存储电容应用到 OCB 模式的液晶显示器中。即，存储电容电极线形成在与数据线组件相同的平面上，使得它们与像素电极重叠并只插入钝化层。在此结构中，与存储电容电极线形成在与栅极线组件相同的平面使得它们与像素电极重叠并插入钝化层和栅极绝缘层的情形相比，存储电容和孔径比显著增大而不扩大存储电容电极线的面积。因为钝化层和栅极绝缘层中只有一个设置在存储电容电极之间，所以不需要扩大存储电容电极部件的面积。因此，可以增大存储电容而不降低孔径比。

如上所述，通过本发明的结构，可以增大存储电容而不降低孔径比，同时还提高响应速度。

虽然以上参考优选实施例对本发明进行了详细描述，但本领域的技术人员将会理解，在不脱离由权利要求限定的实质和范围的前提下可以对本发明做各种改变和替换。

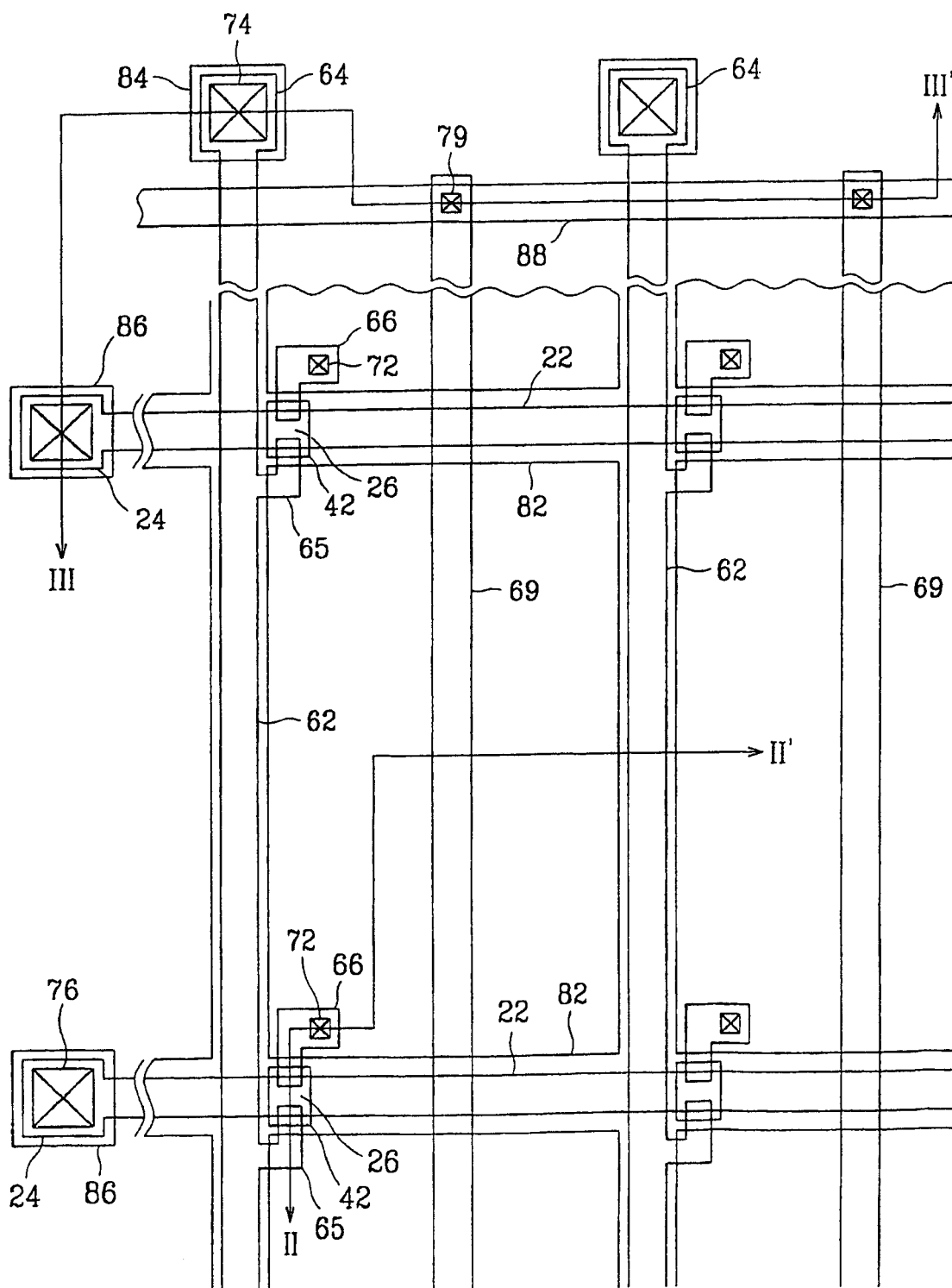


图 1

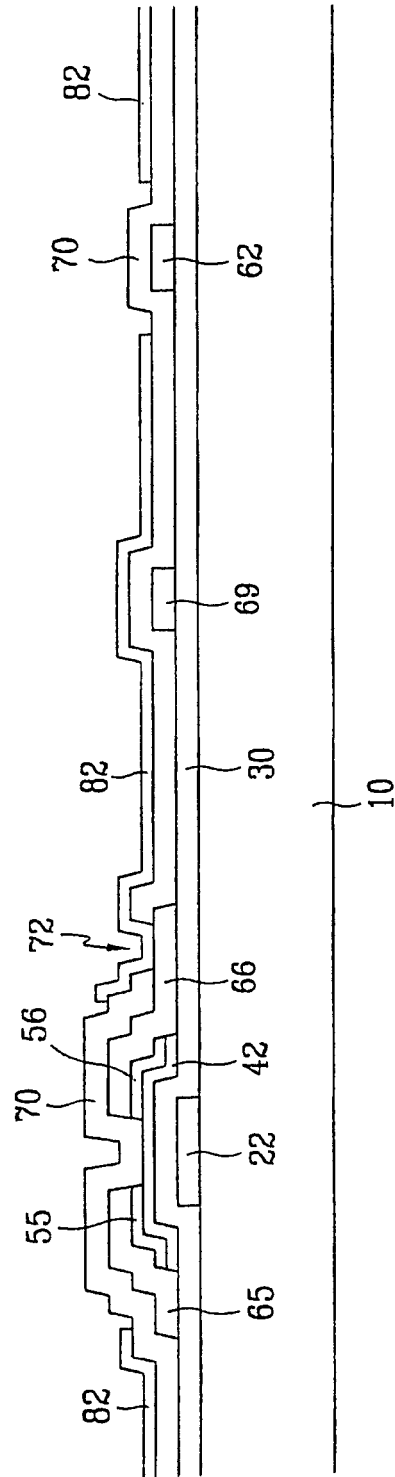


图 2

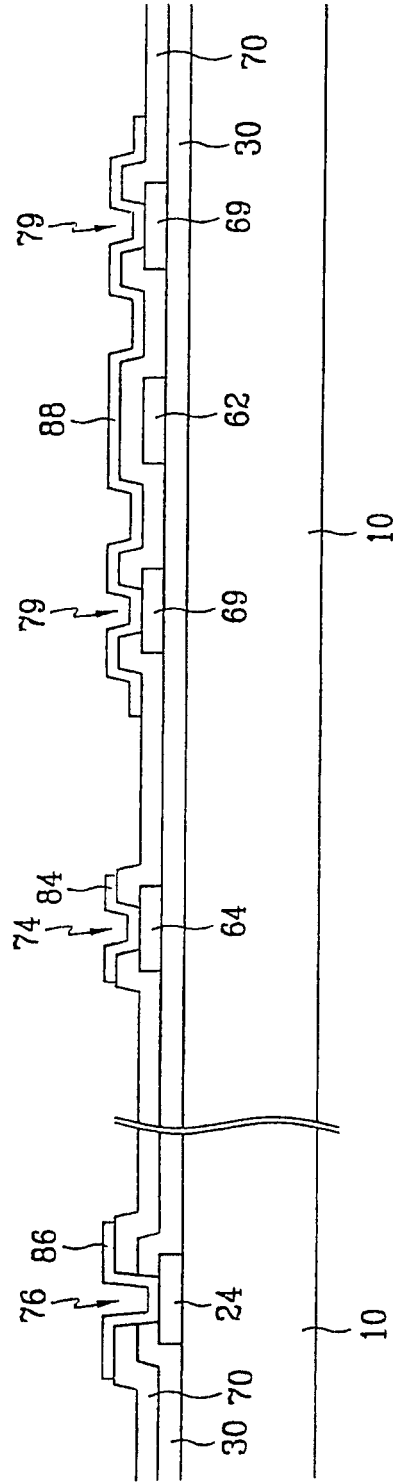


图 3

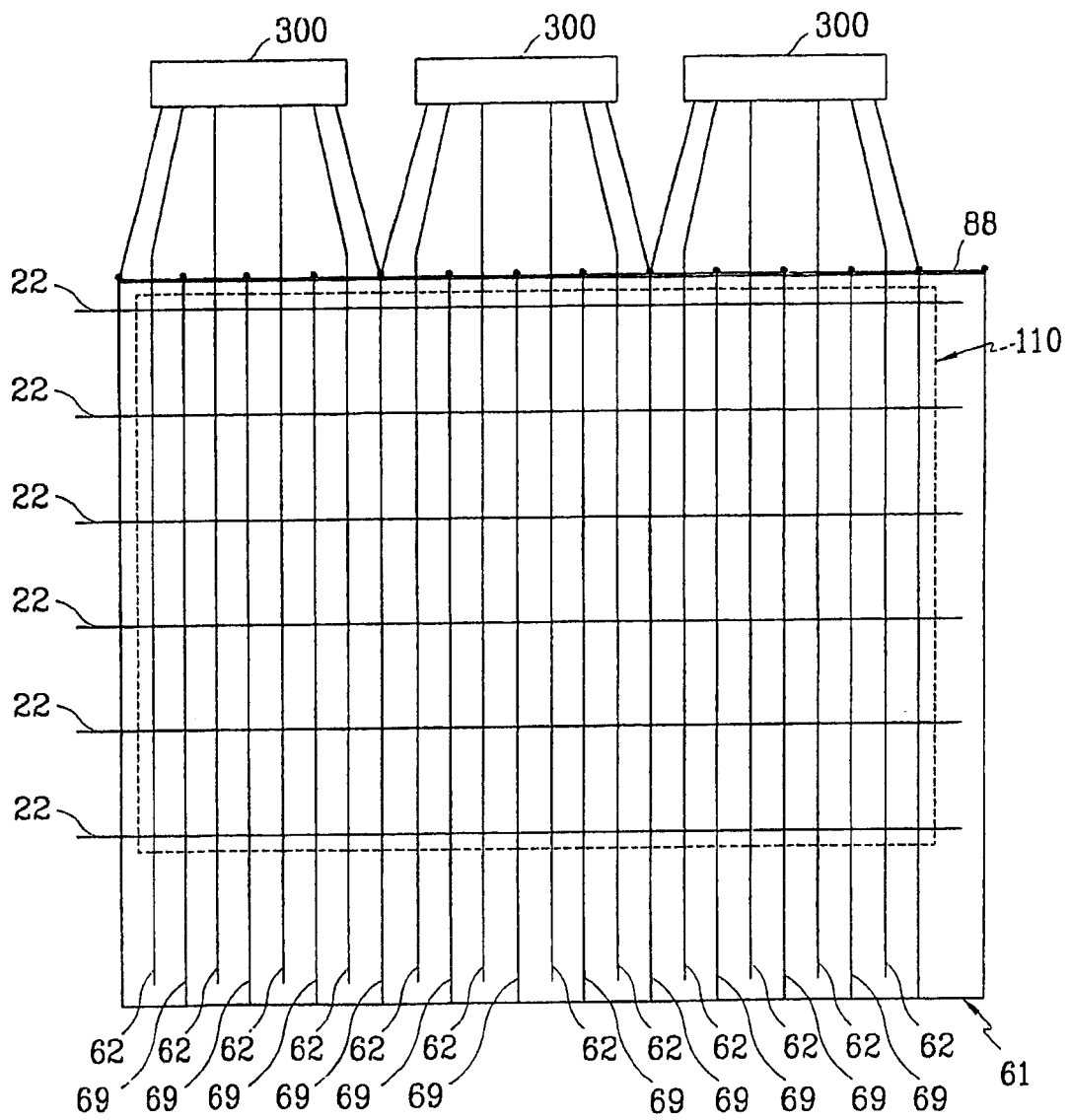


图 4

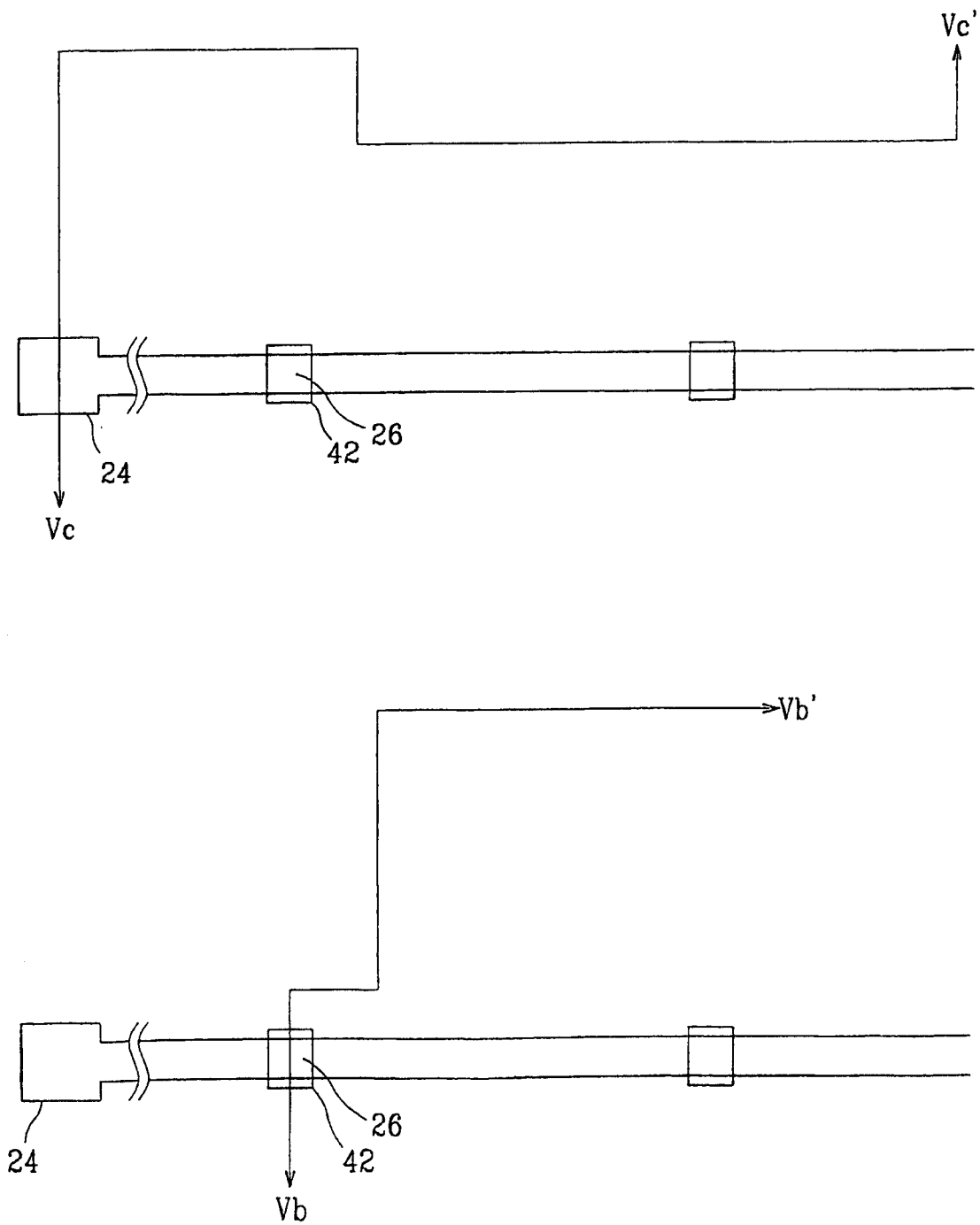


图 5A

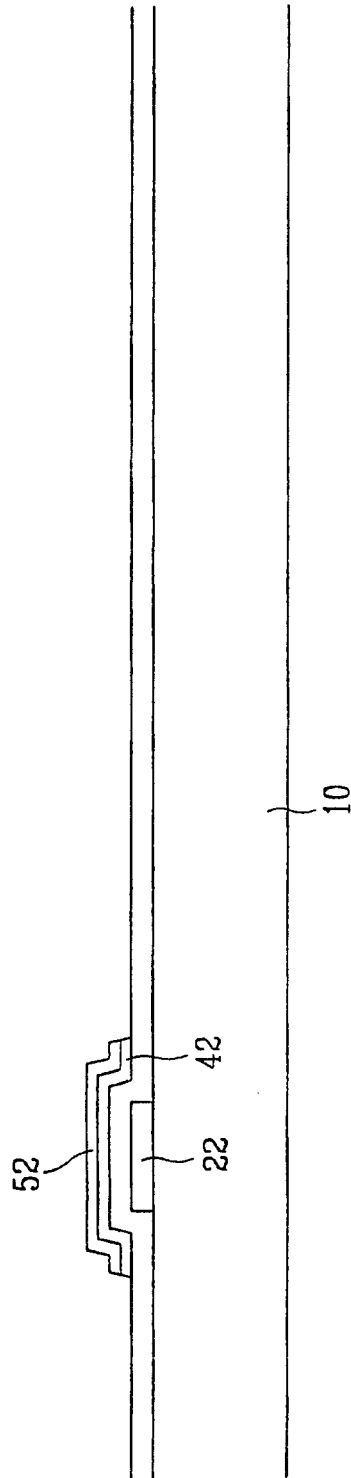


图 5B

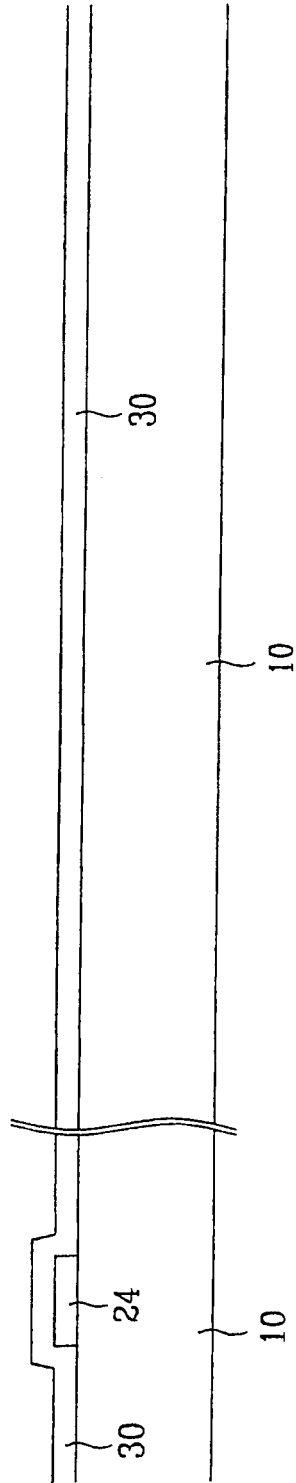


图 5C

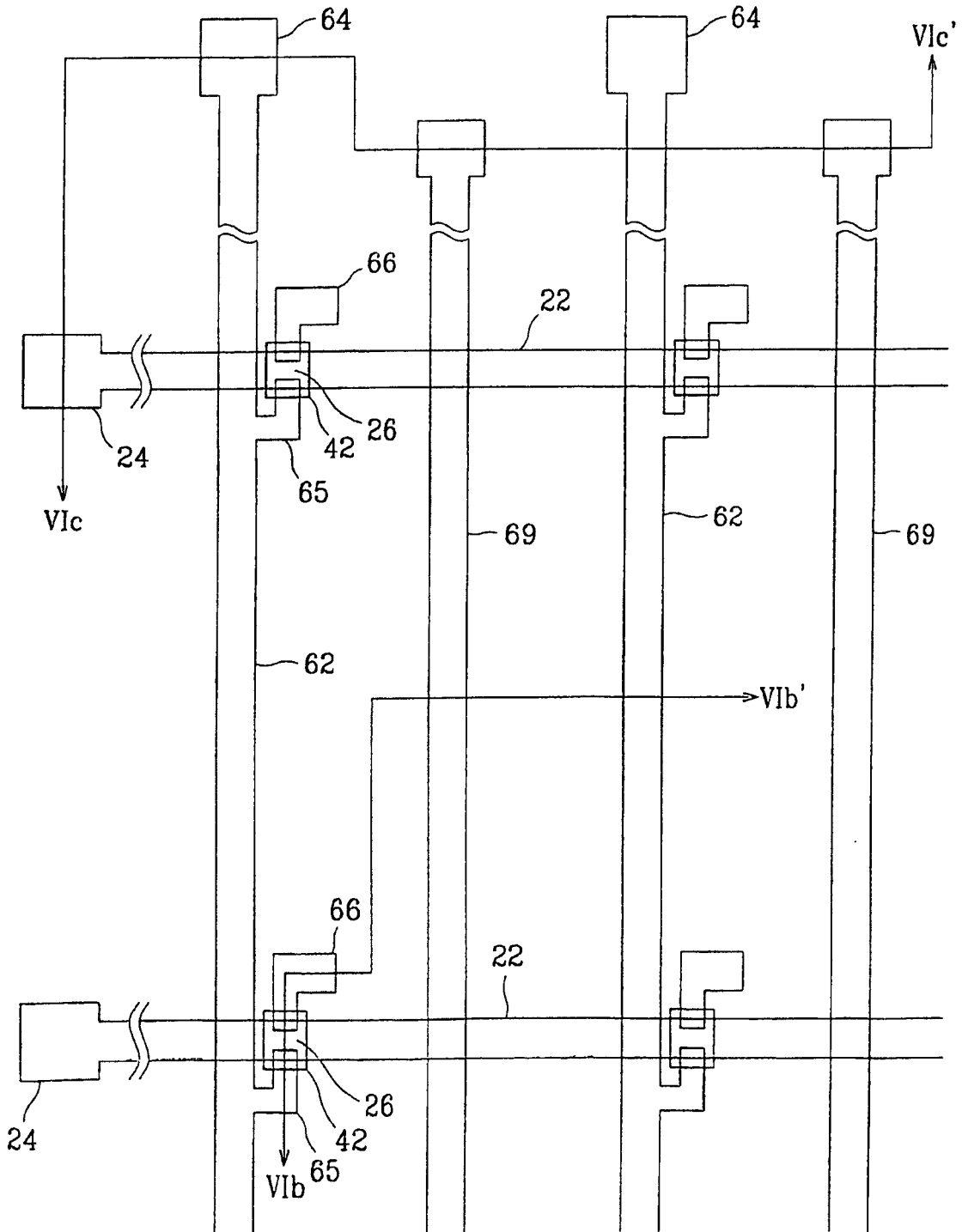


图 6A

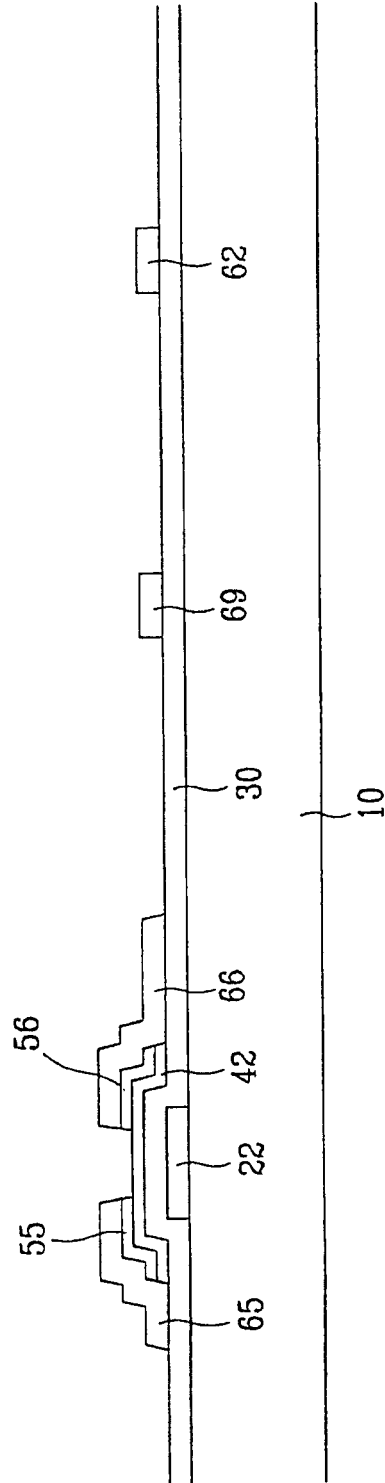


图 6B

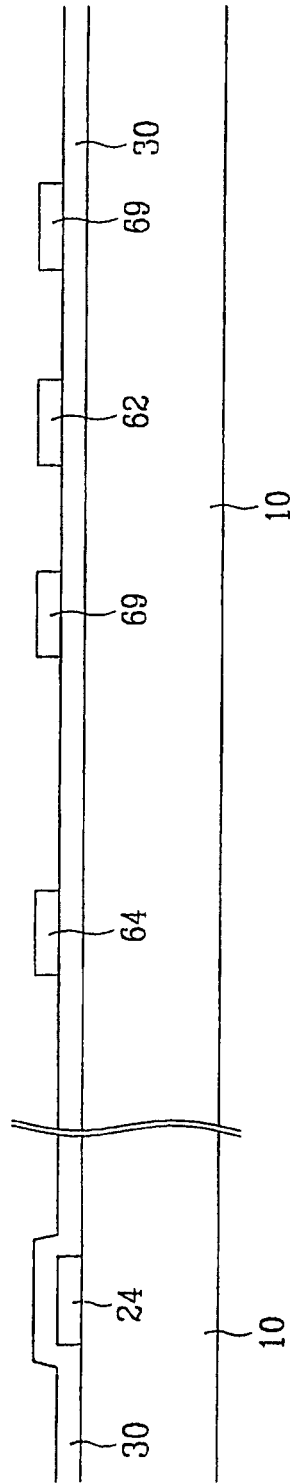


图 6C

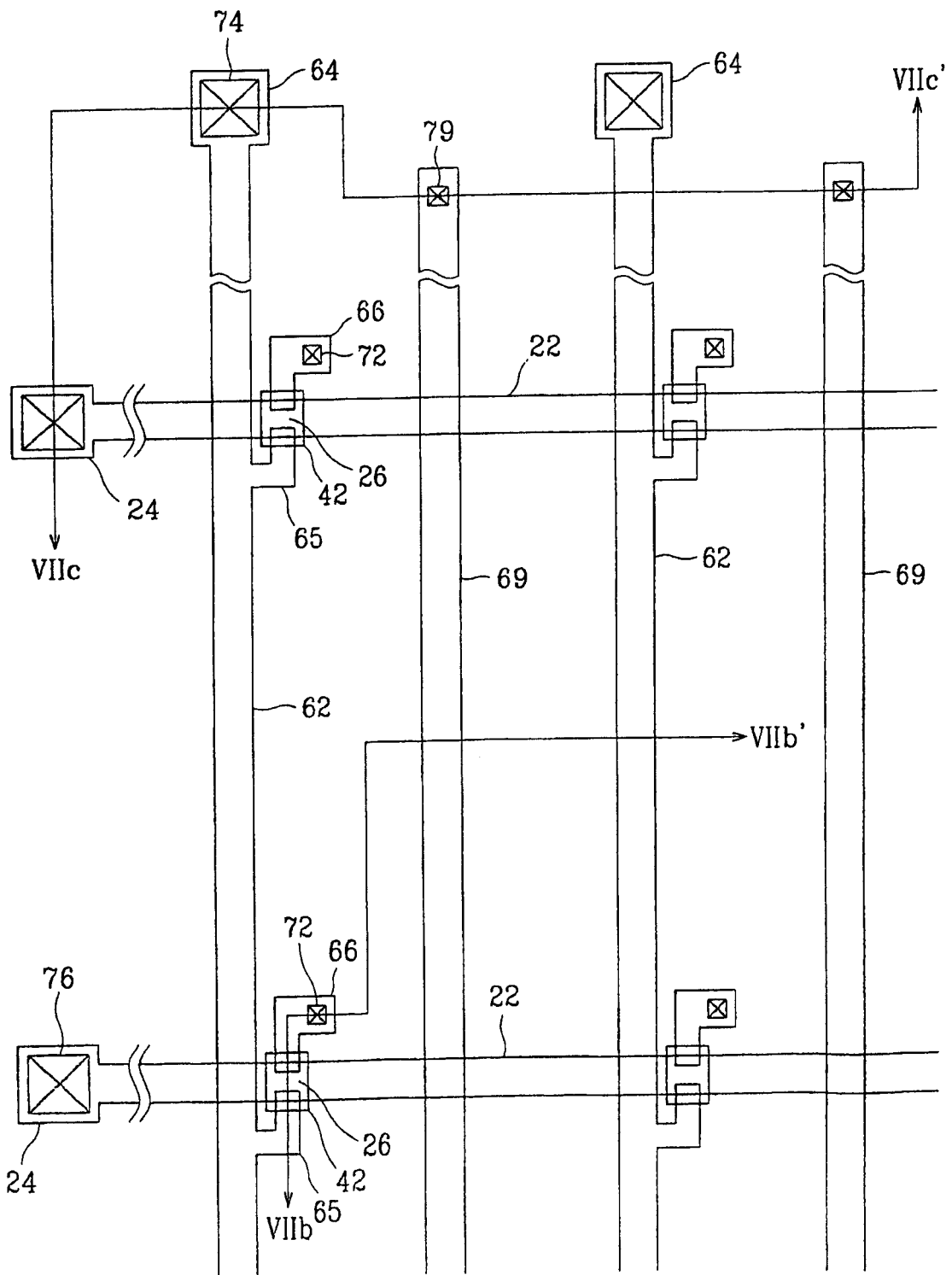


图 7A

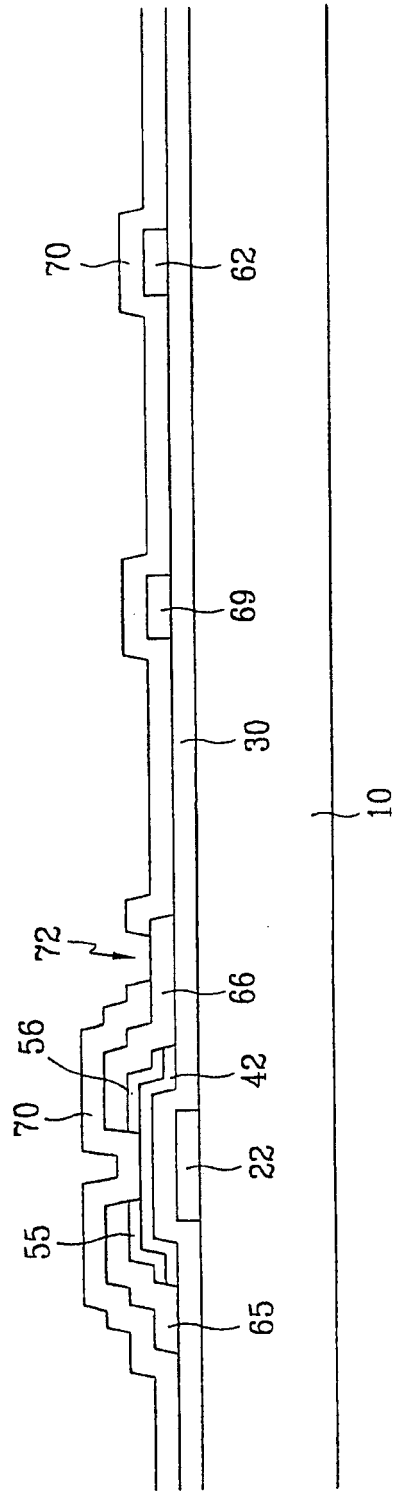


图 7B

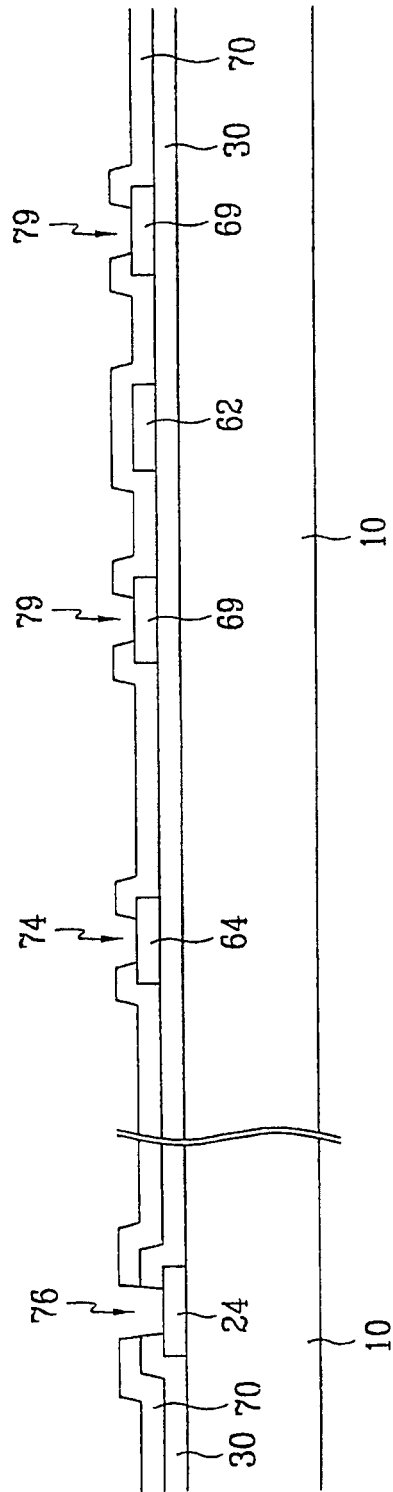


图 7C

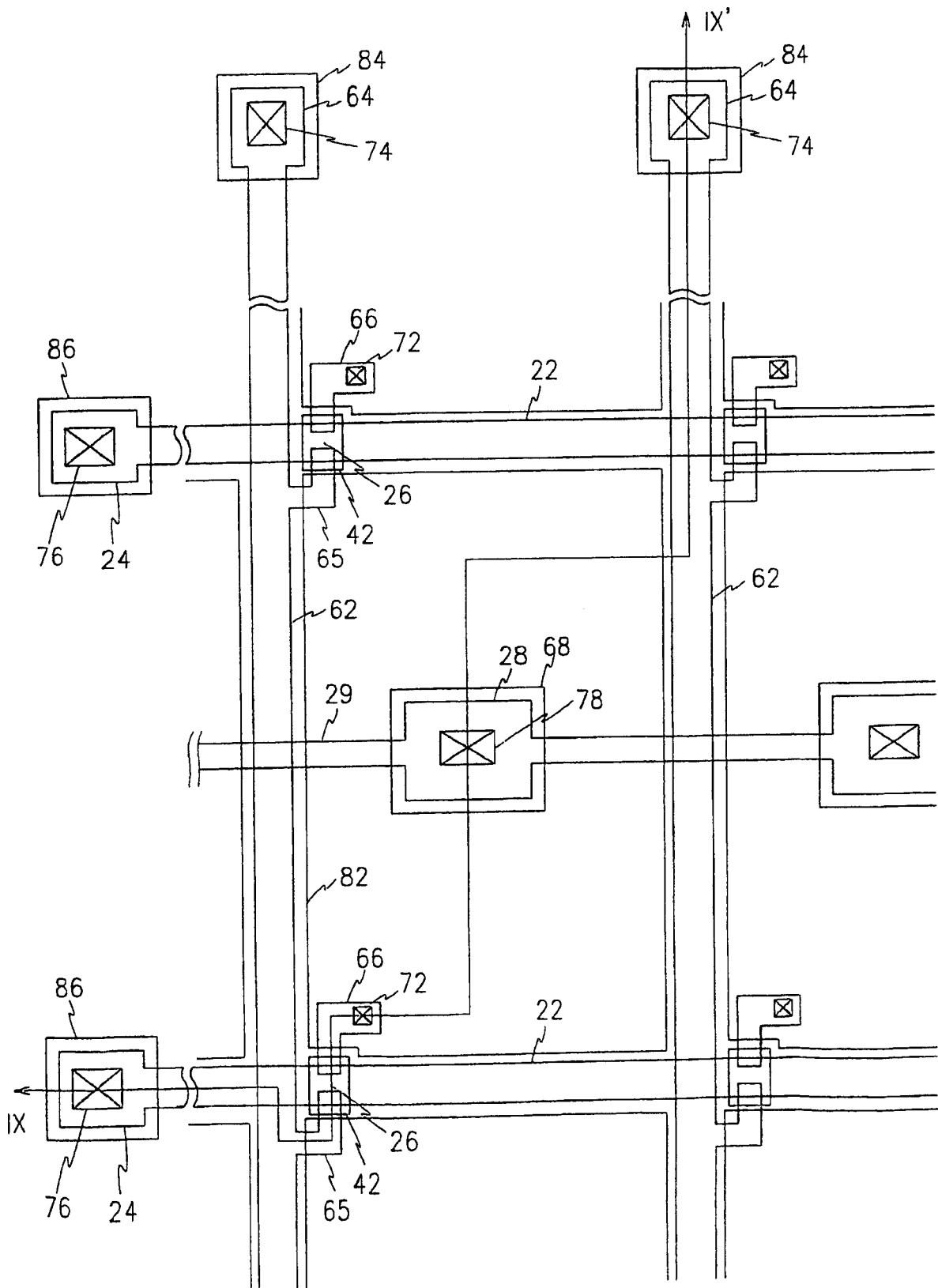


图 8

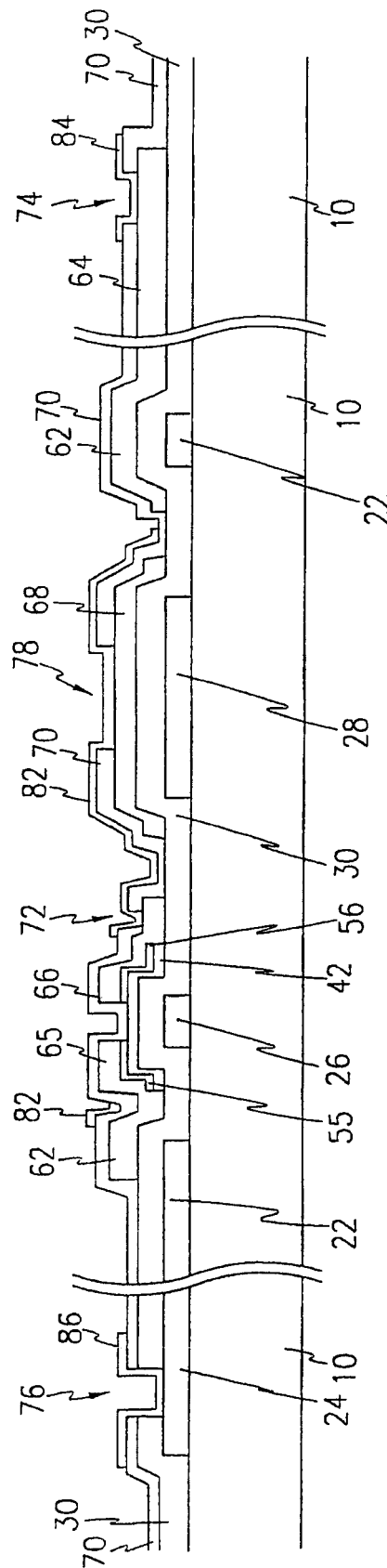


图 9

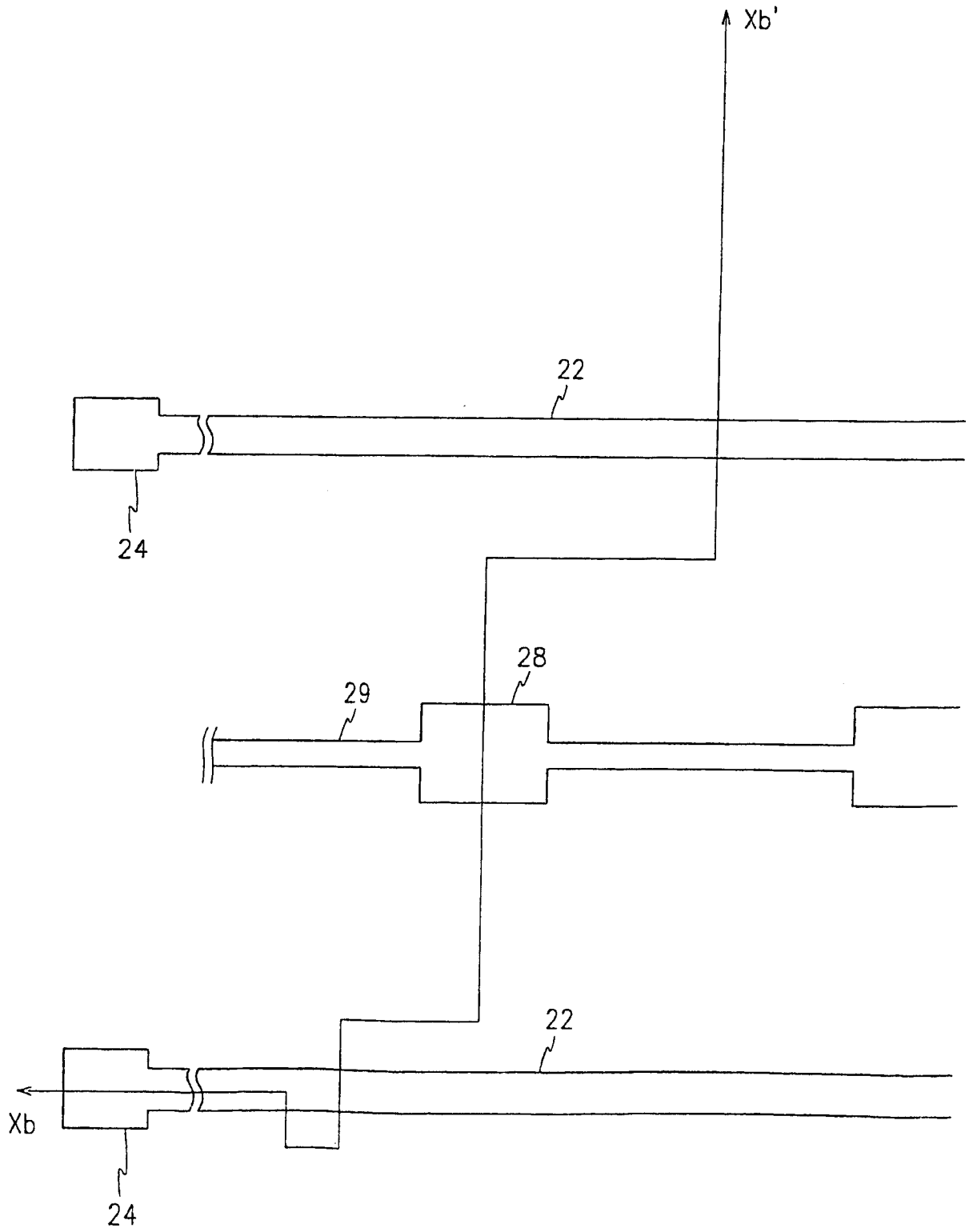


图 10A

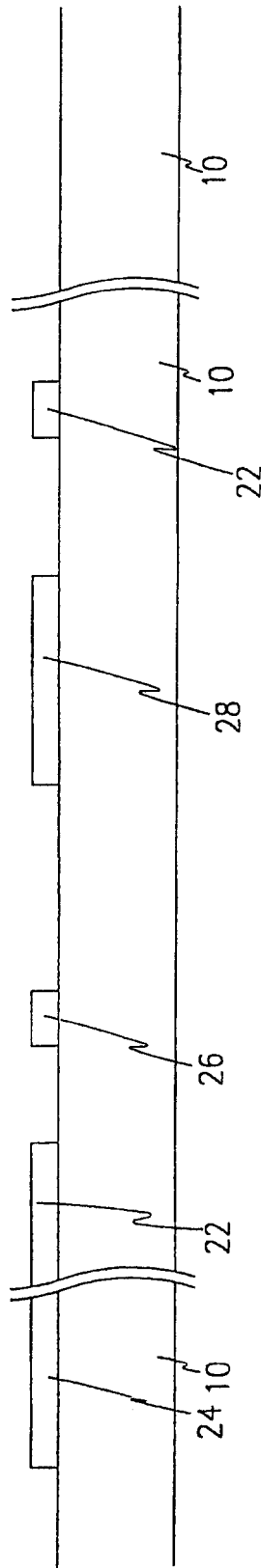


图 10B

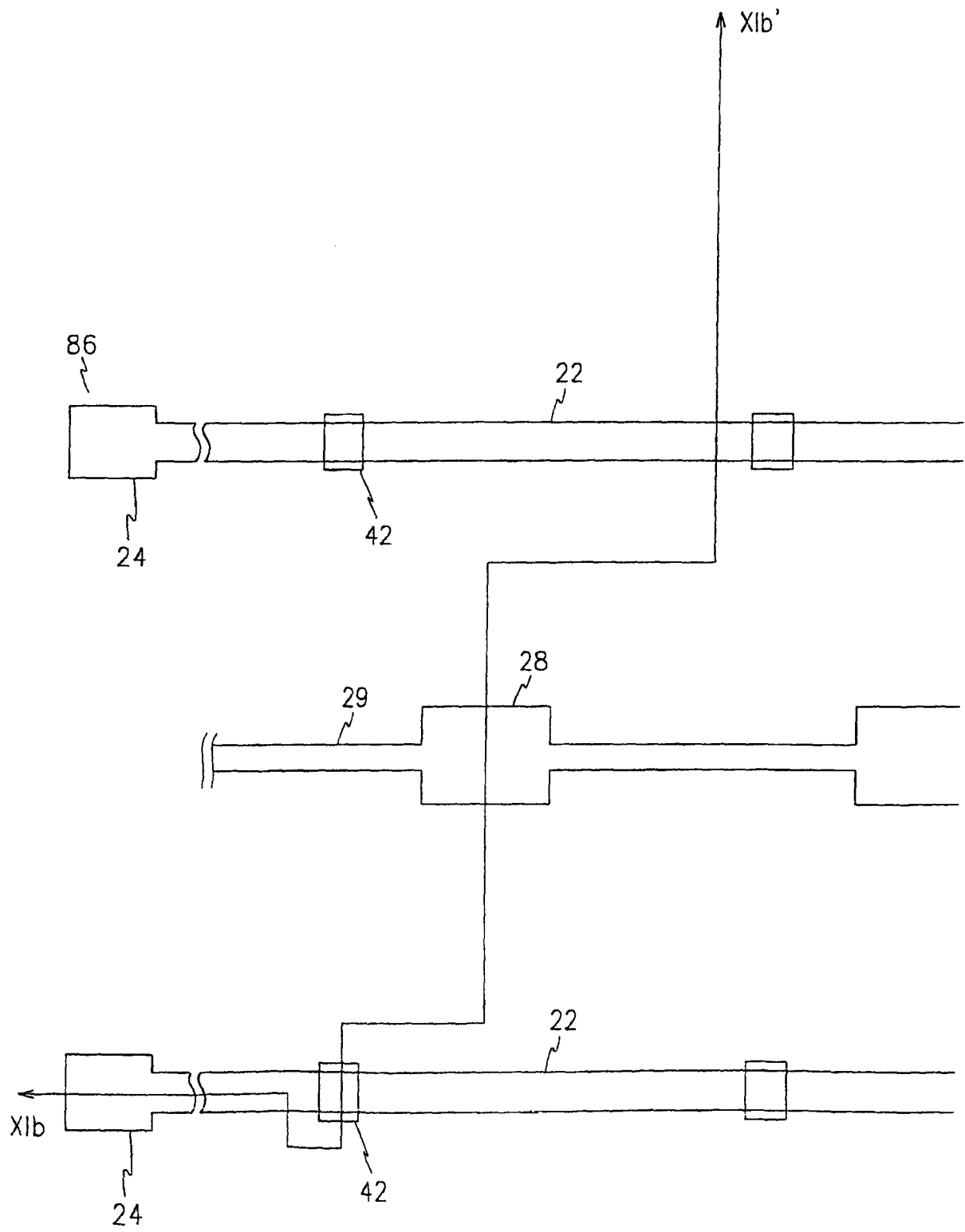


图 11A

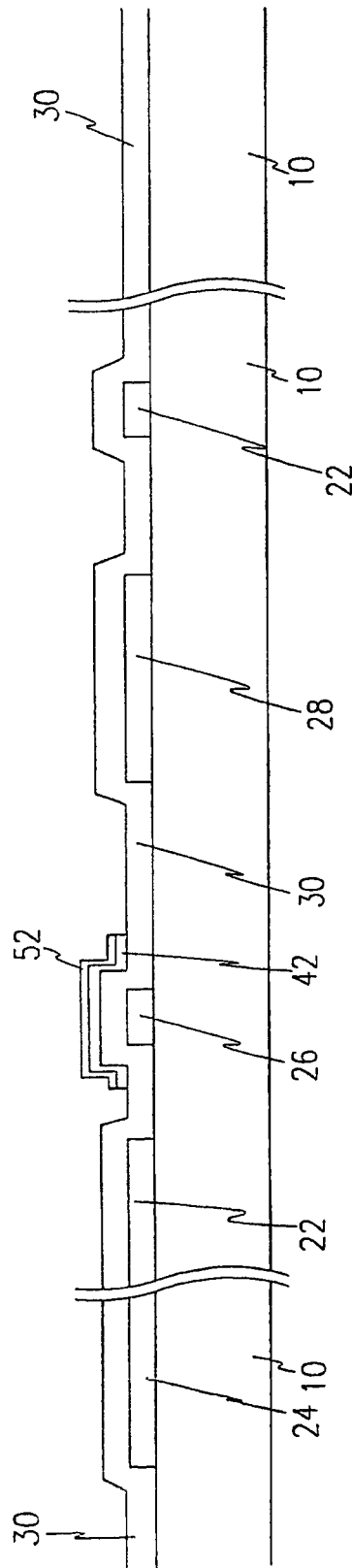


图 11B

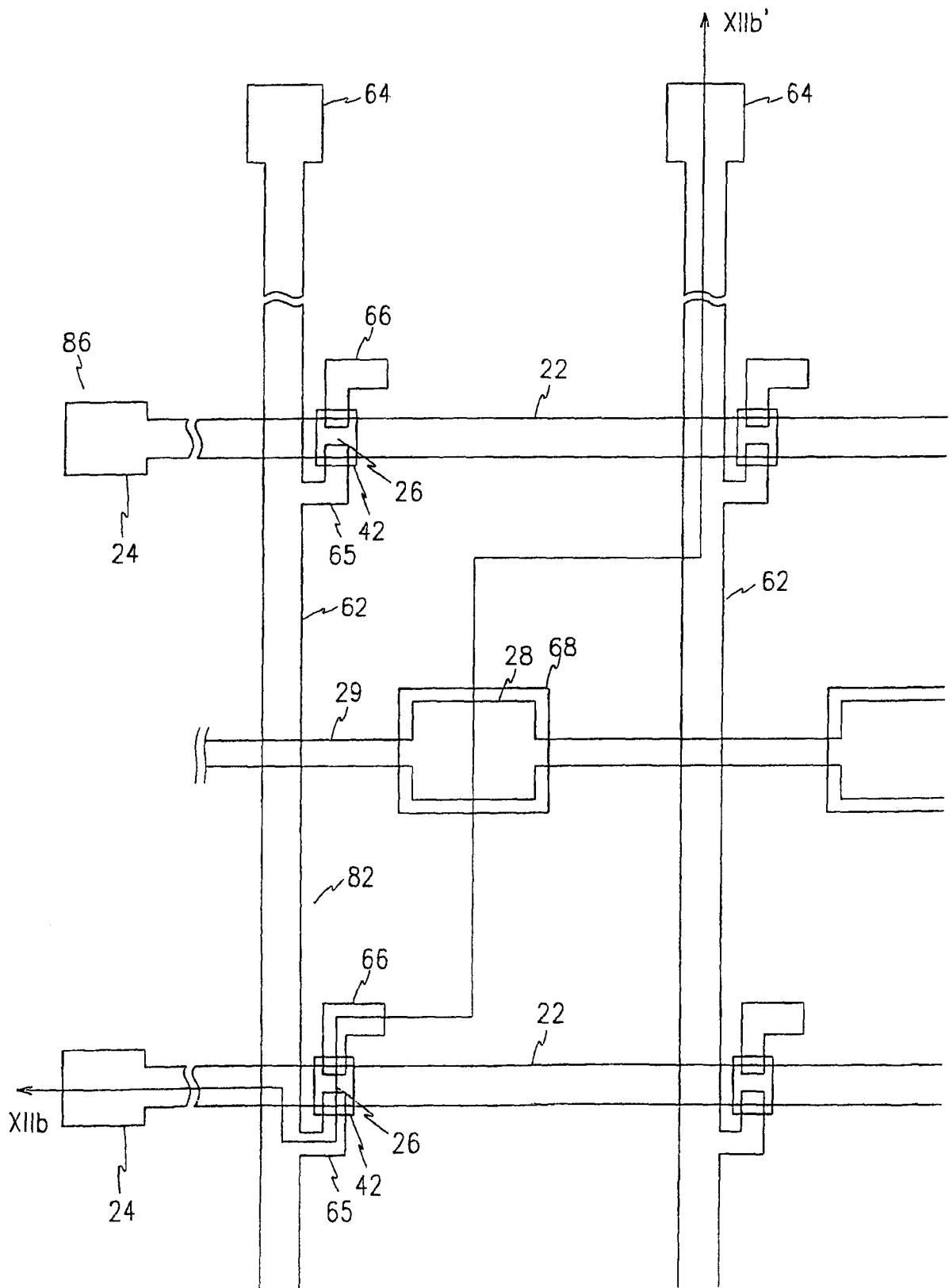


图 12A

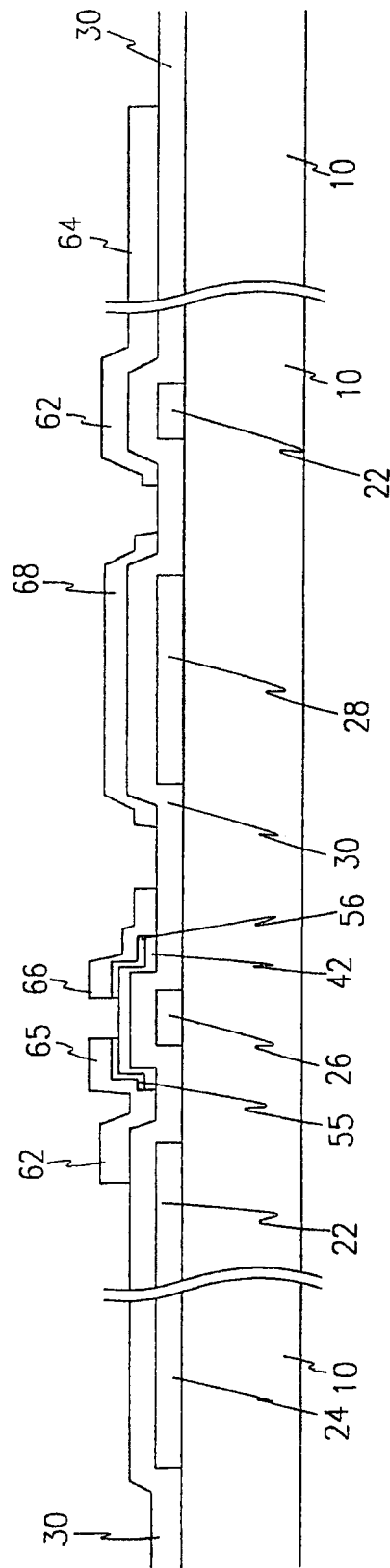


图 12B

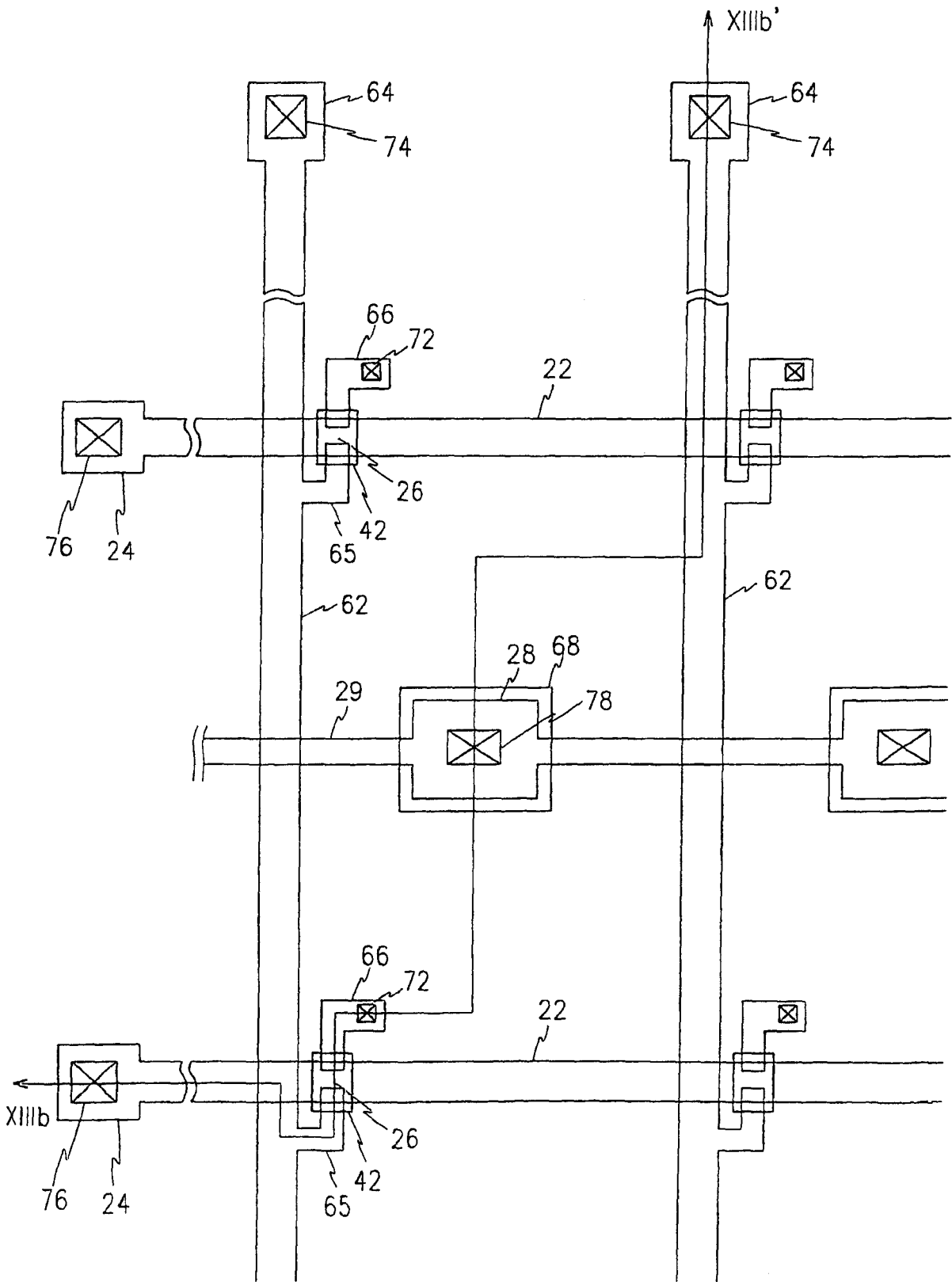


图 13A

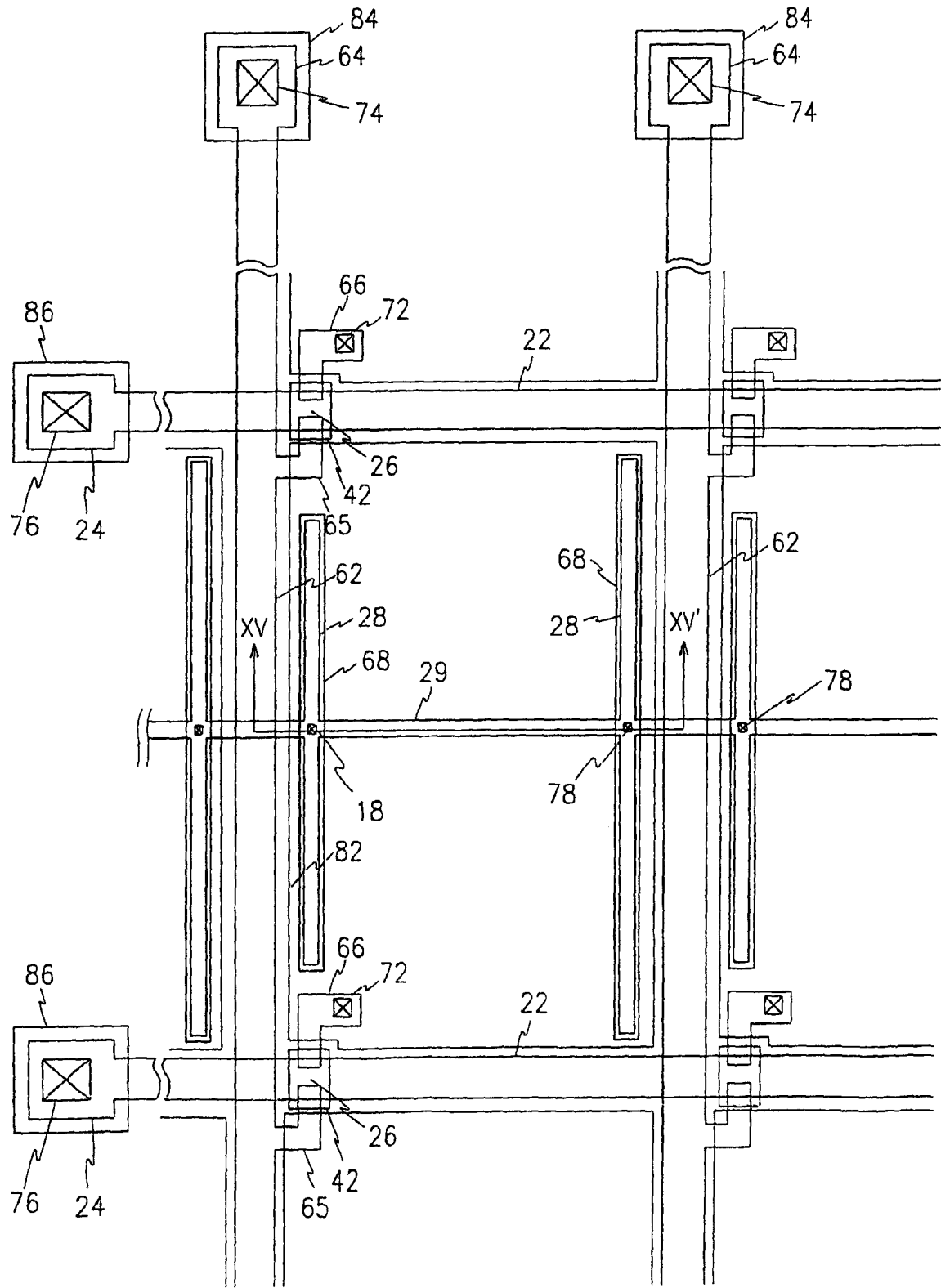


图 14

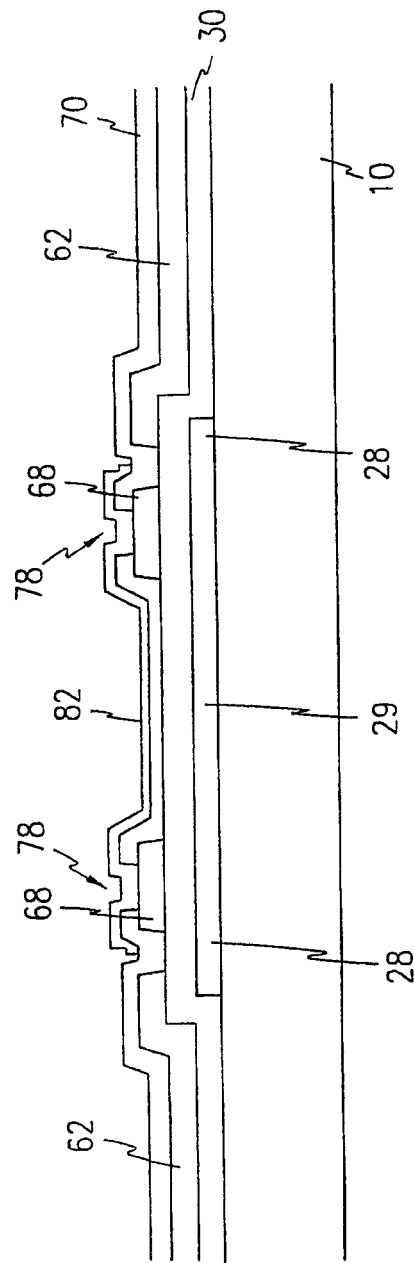


图 15

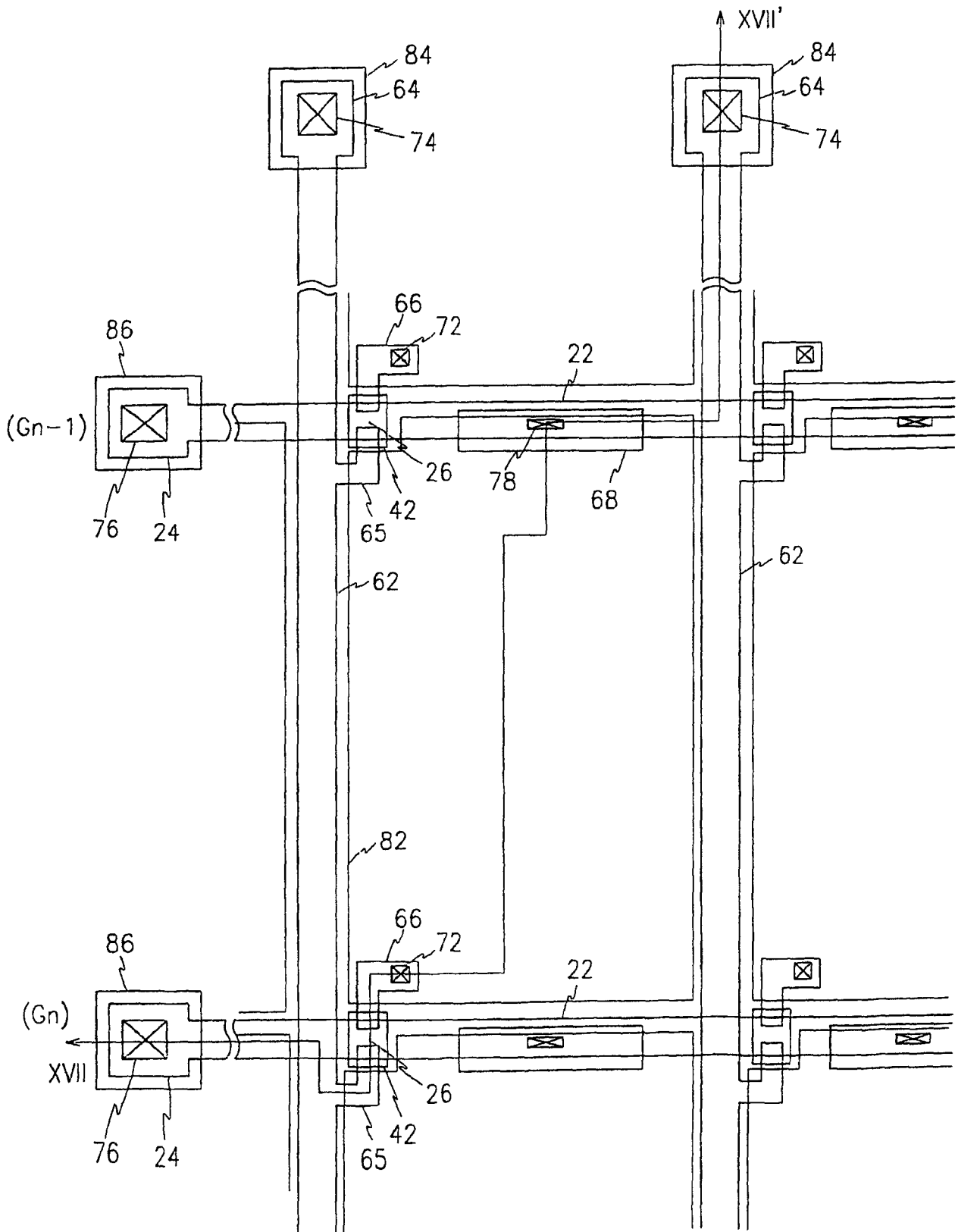


图 16

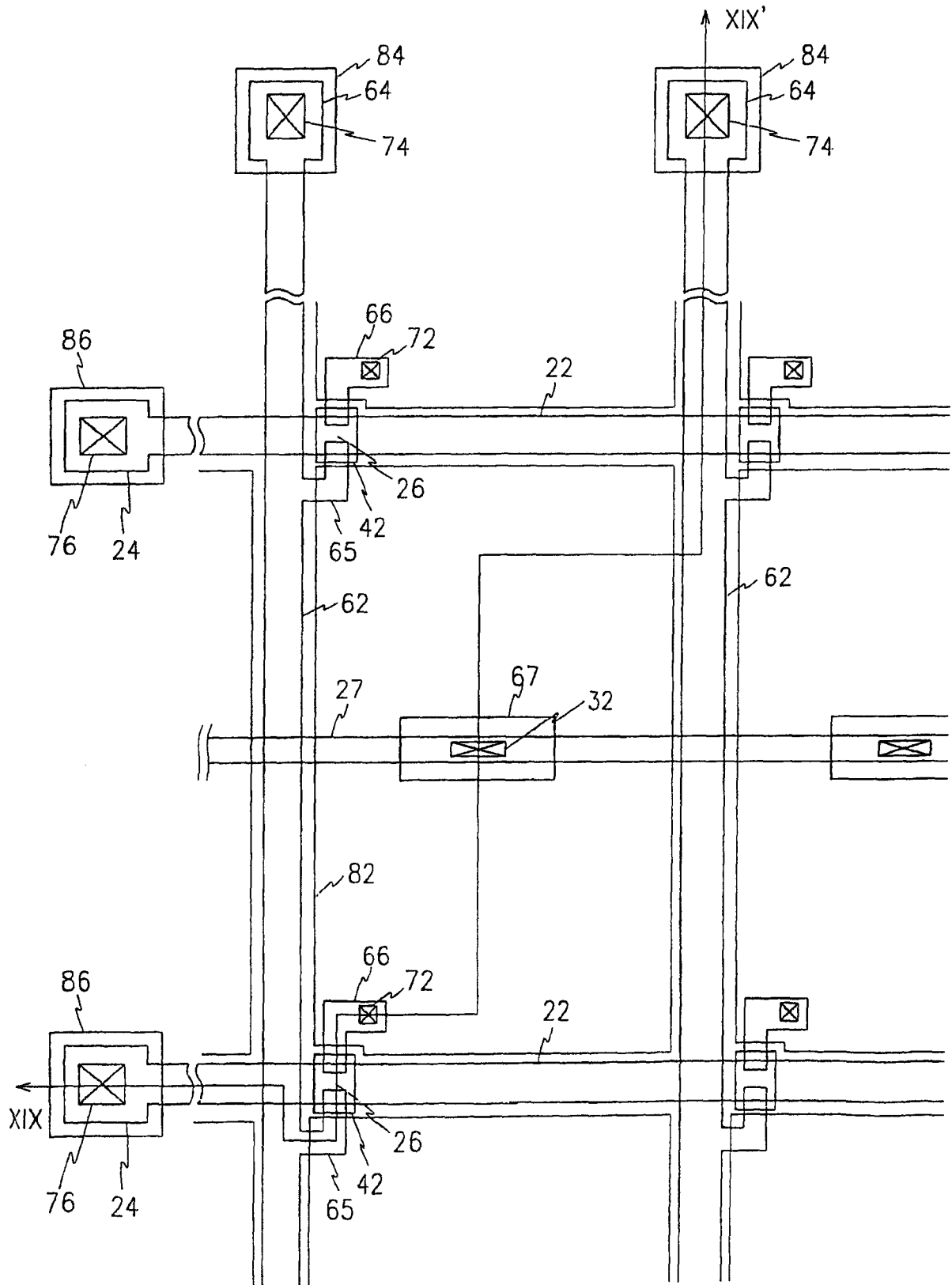


图 18

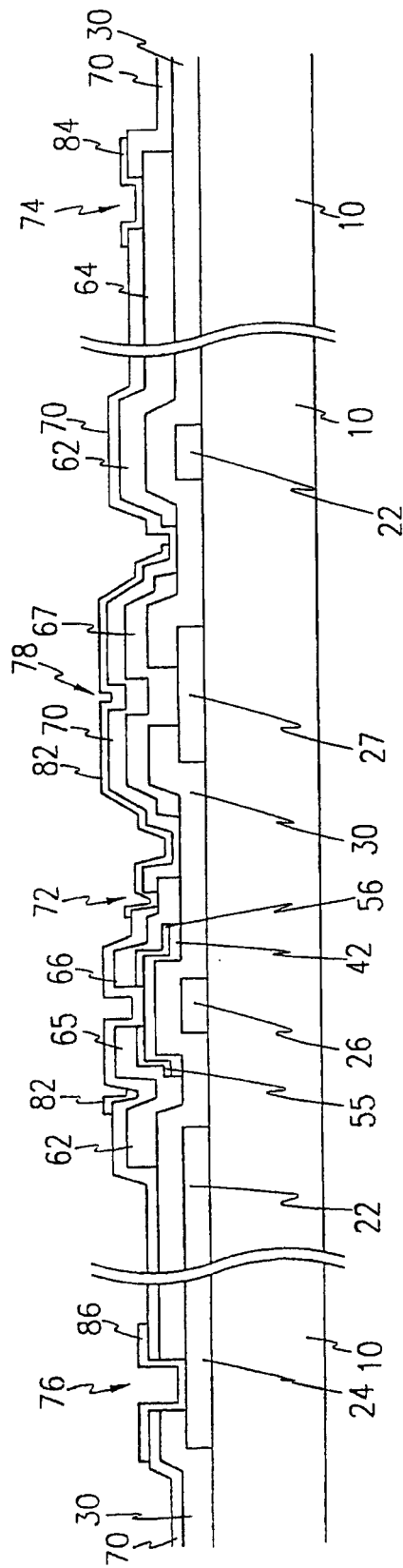


图 19

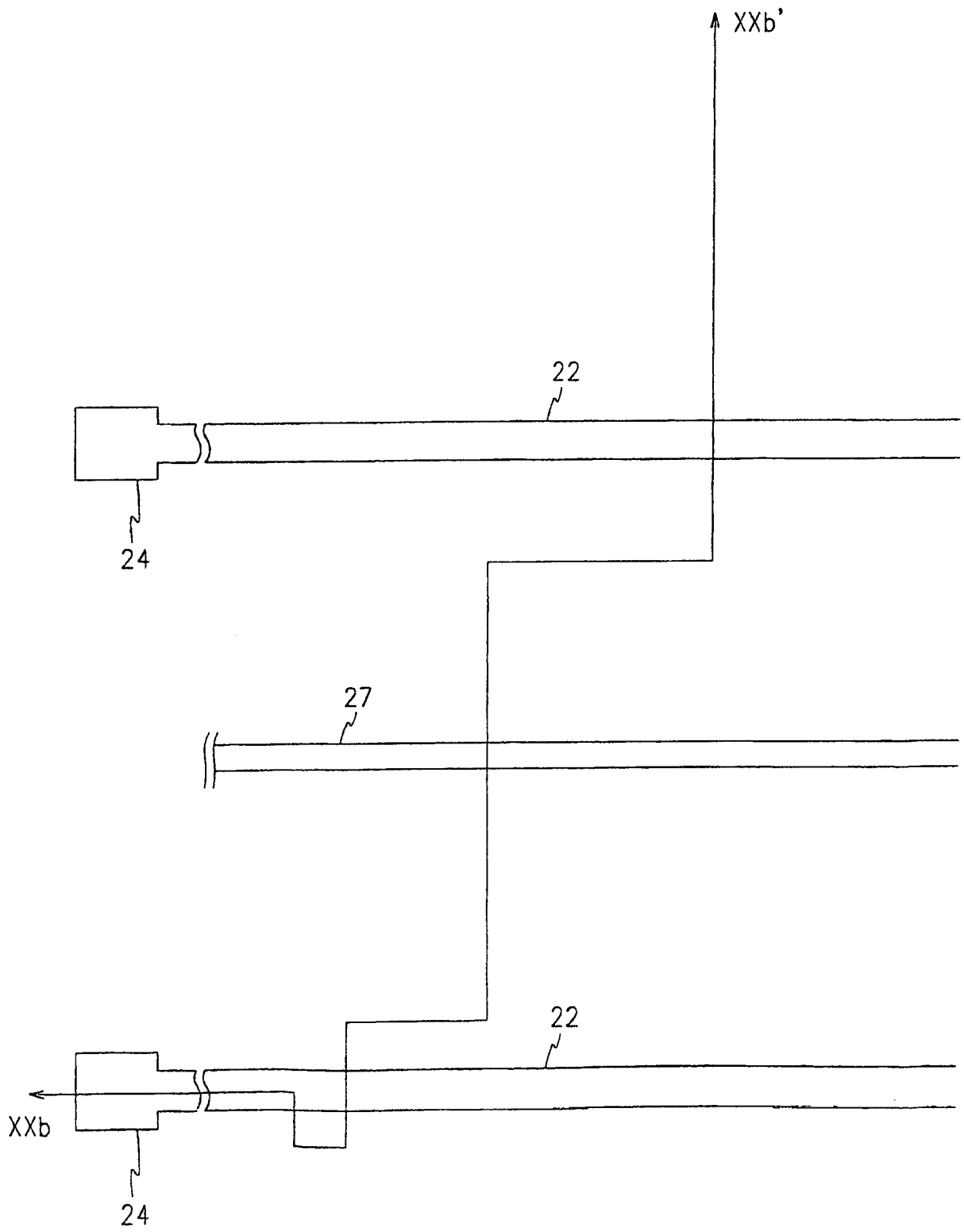


图 20A

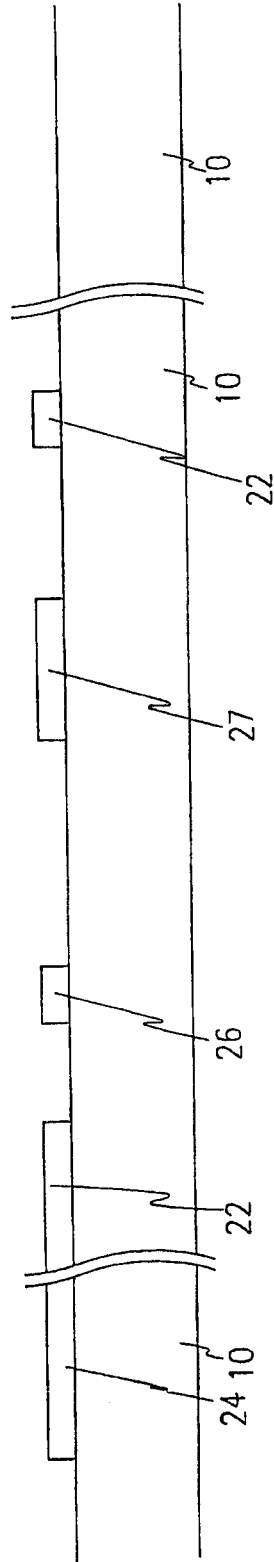


图 20B

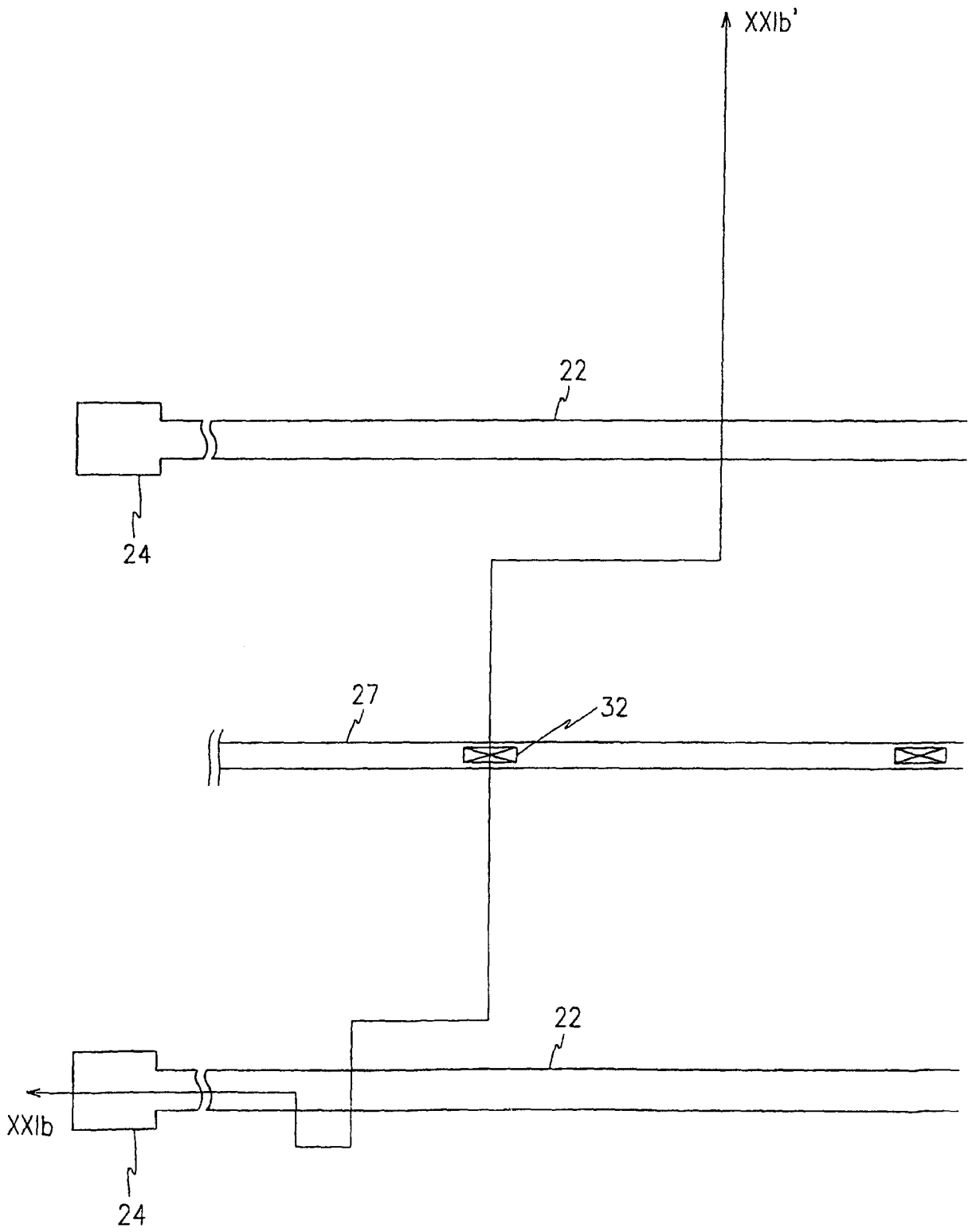


图 21A

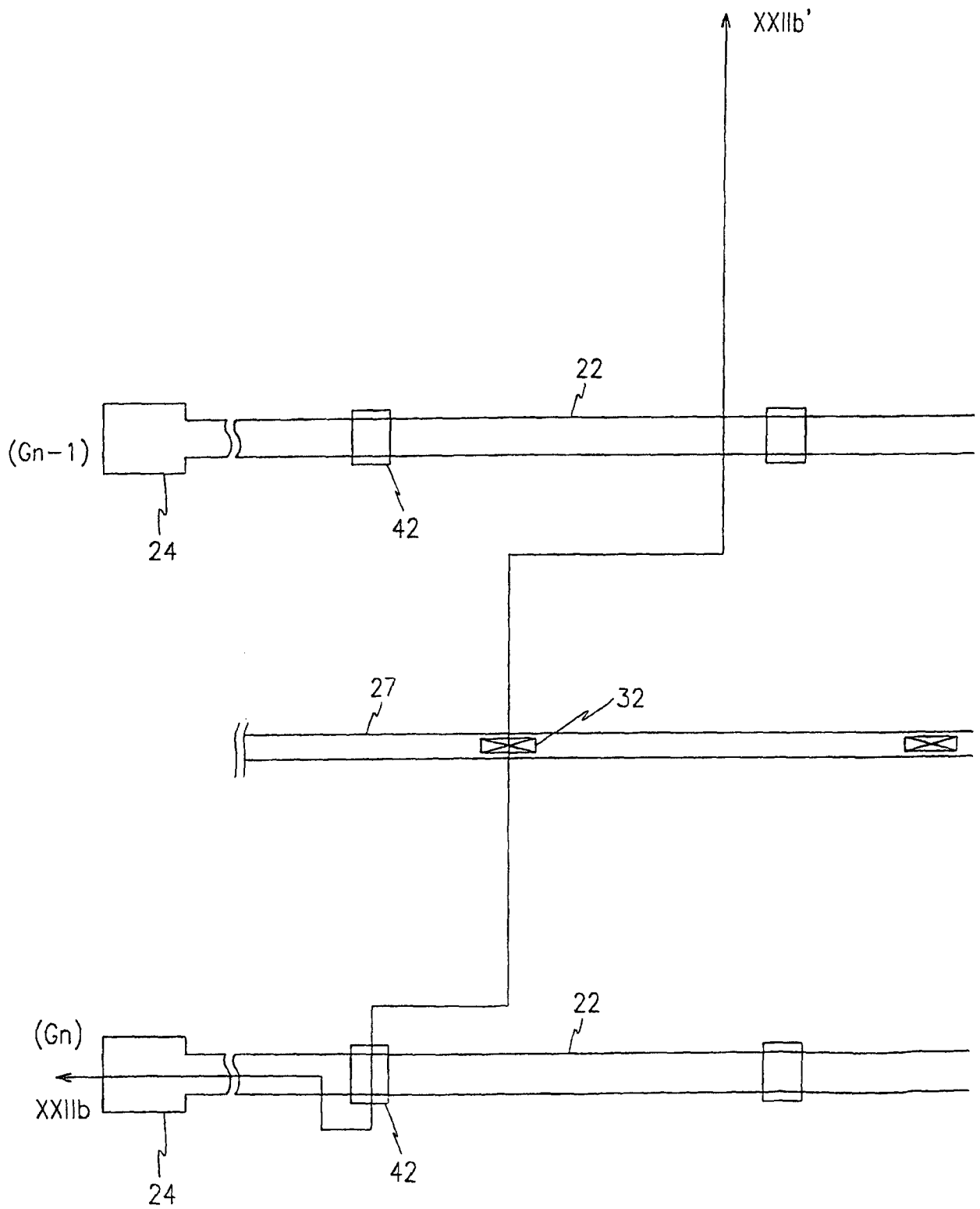


图 22A

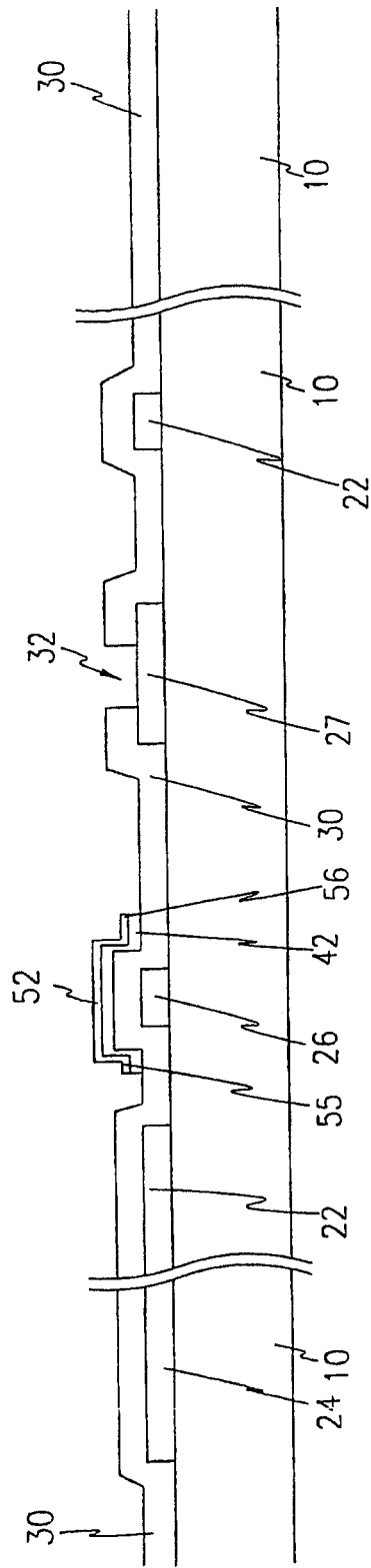


图 22B

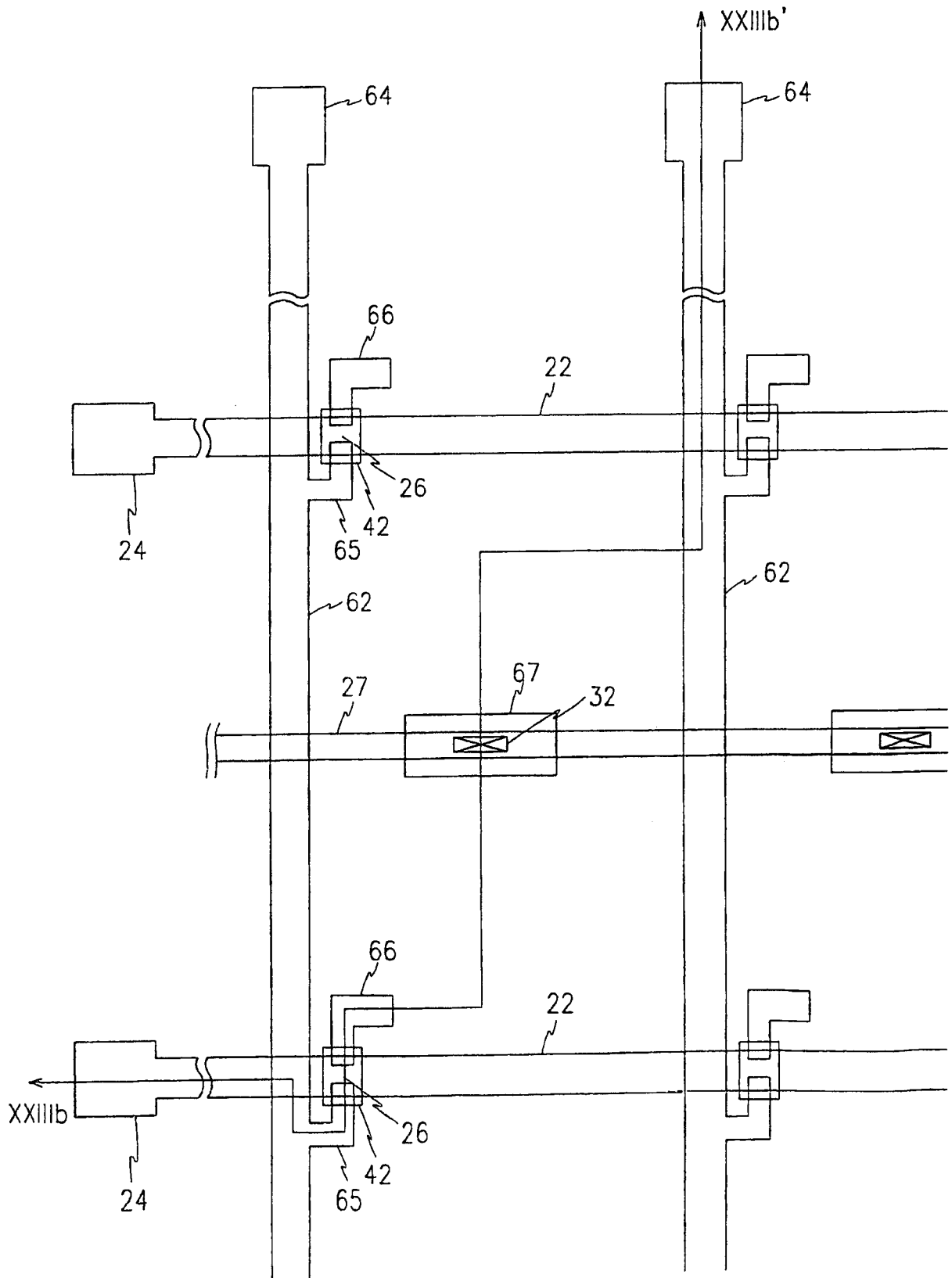


图 23A

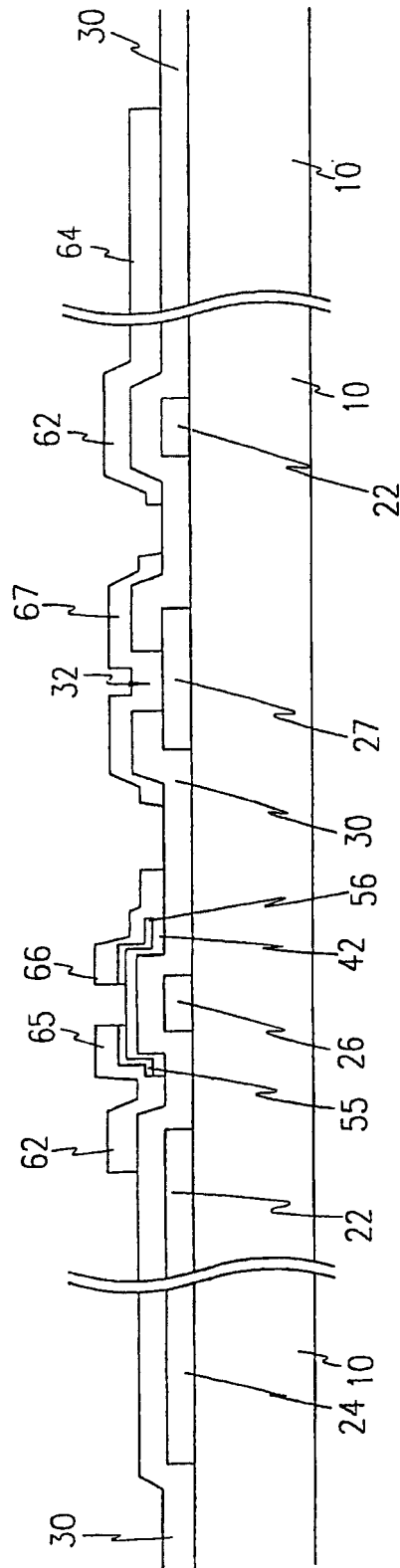


图 23B

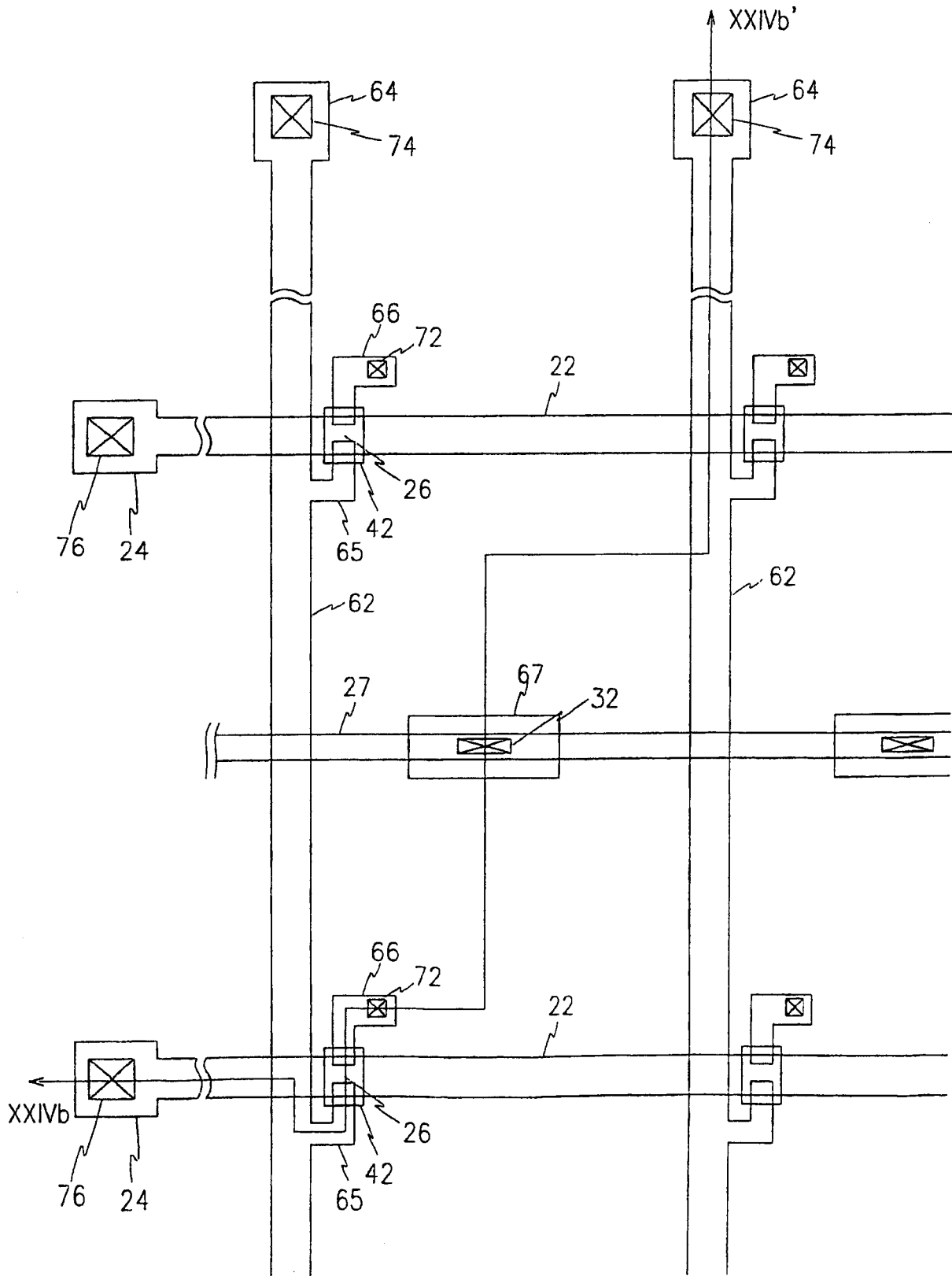


图 24A

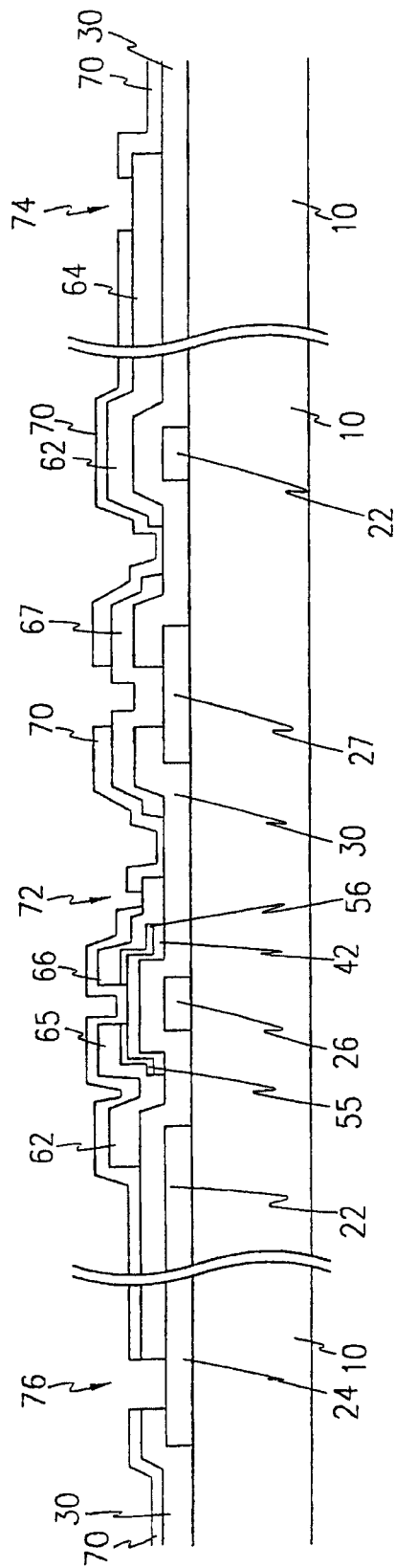


图 24B

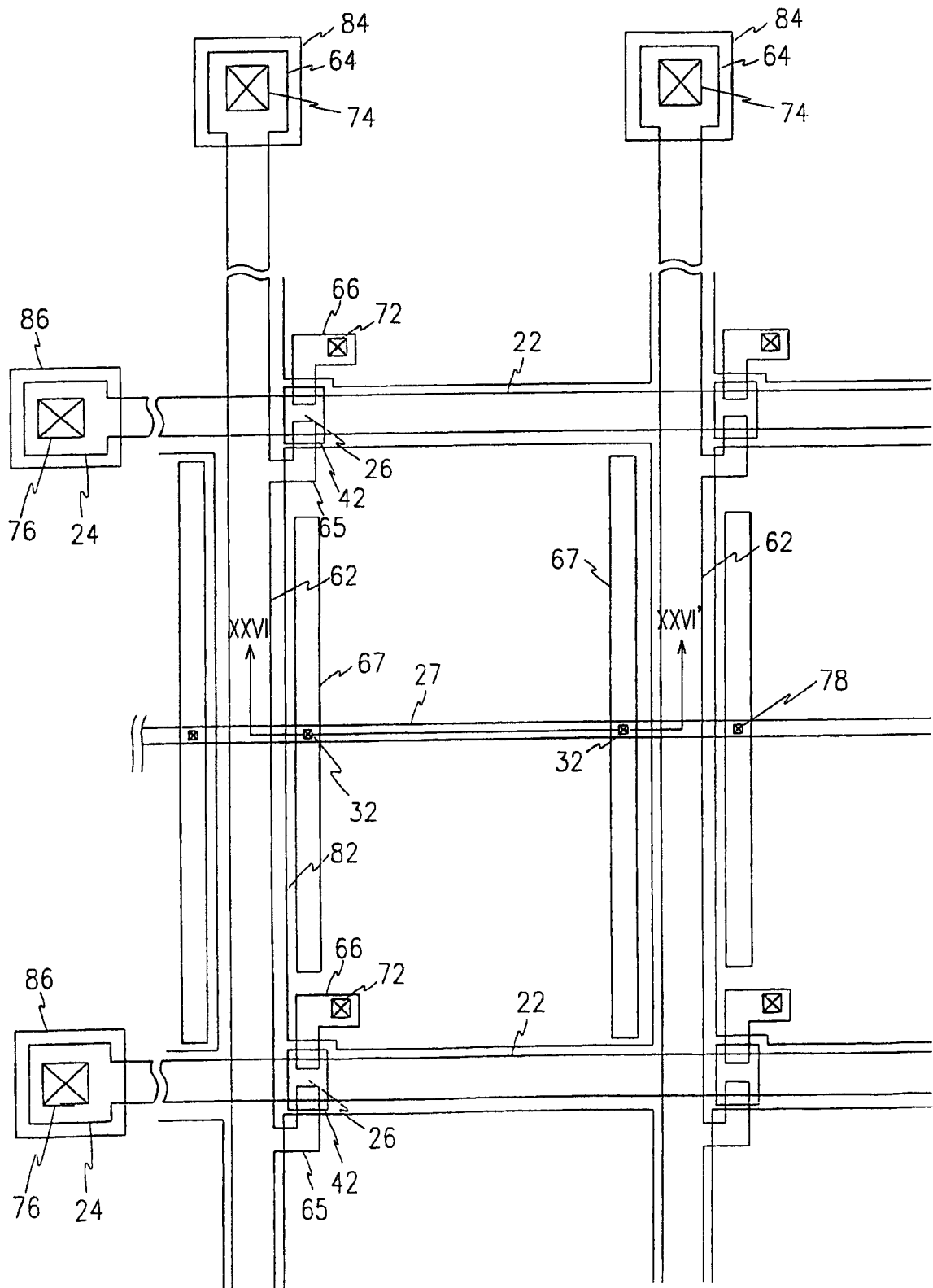


图 25

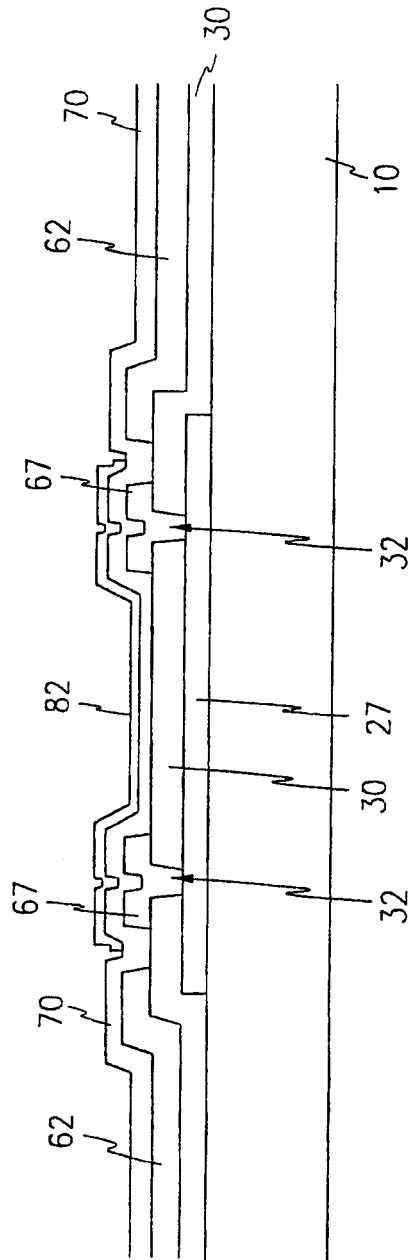


图 26

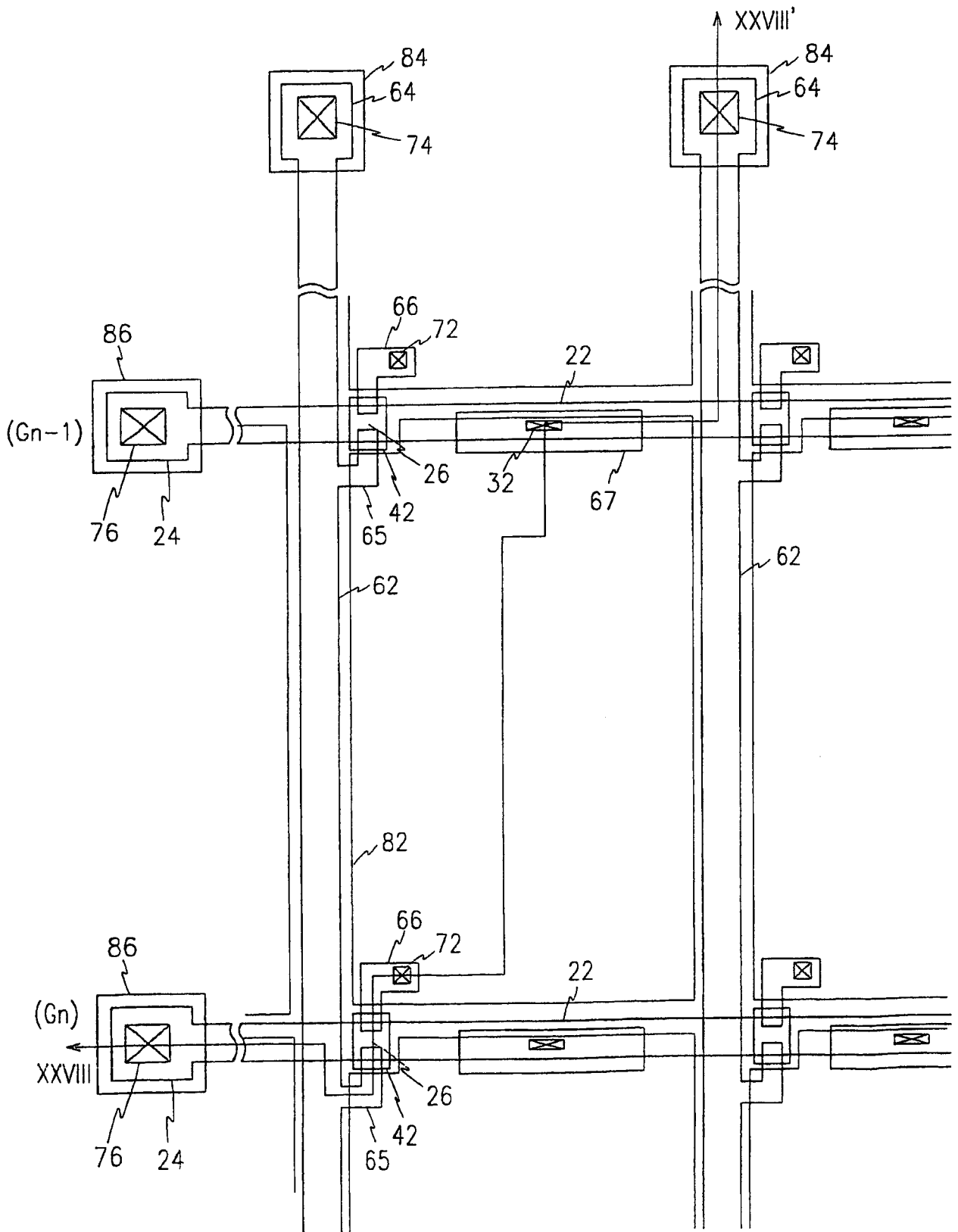


图 27

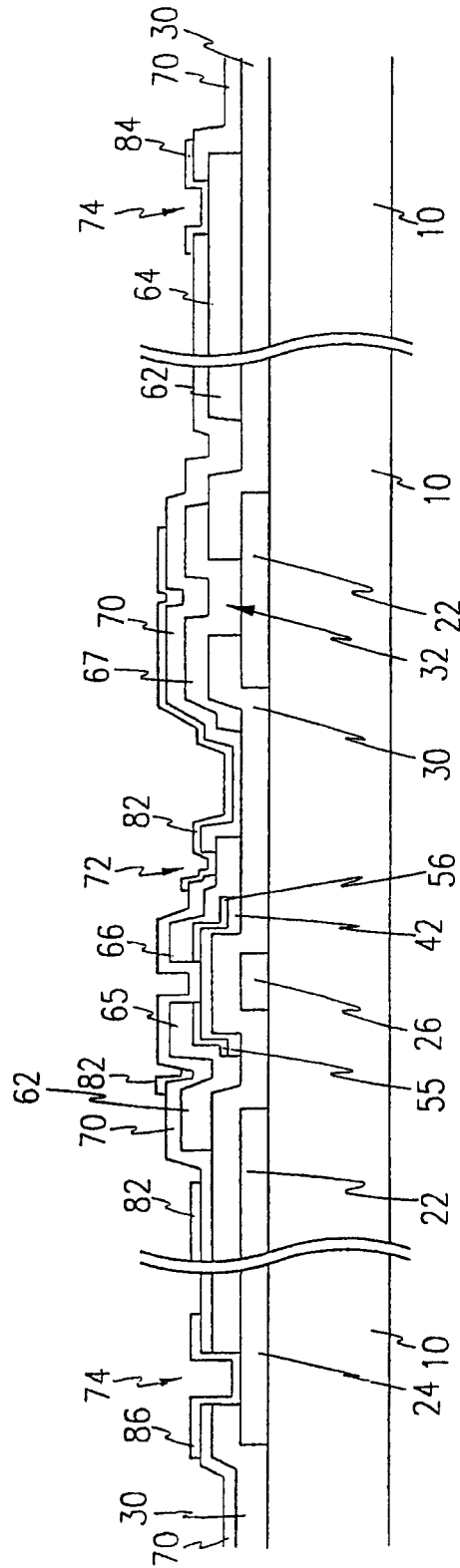


图 28

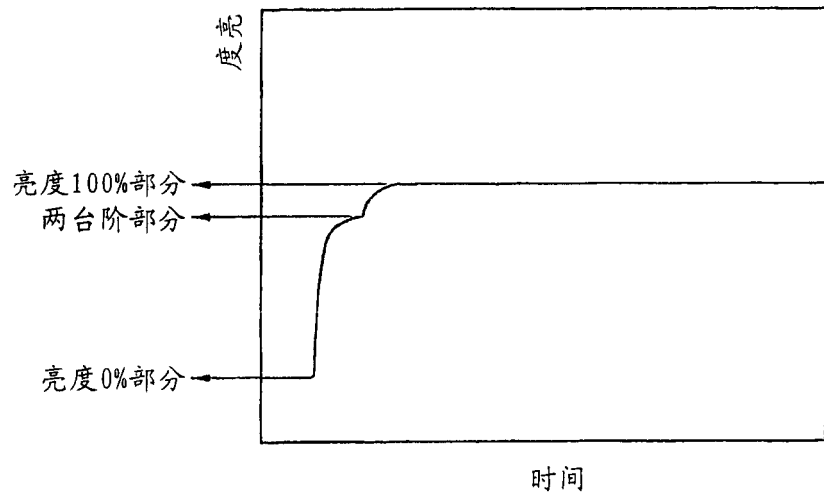


图 29

专利名称(译)	液晶显示器的薄膜晶体管阵列板		
公开(公告)号	CN1325984C	公开(公告)日	2007-07-11
申请号	CN02804028.7	申请日	2002-02-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李昶勋 金南兴 仓学璇 柳在镇		
发明人	李昶勋 金南兴 仓学璇 柳在镇		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368 G09F9/30 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L27/13 H01L29/786		
CPC分类号	G02F1/13458 H01L27/13 H01L27/1214 G02F1/13306 G02F1/136227 H01L27/1255 G02F2001/136295 G02F1/136213 H01L27/12 G02F1/136286 H01L27/124		
代理人(译)	侯宇		
优先权	1020010059637 2001-09-26 KR 1020010077838 2001-12-10 KR		
其他公开文献	CN1488083A		
外部链接	Espacenet SIPO		

摘要(译)

在液晶显示器的制造方法中，减小用于存储电容的绝缘层的厚度以增大存储容值并以稳定的方式维持孔径比。用于液晶显示器的薄膜晶体管阵列板包括绝缘基板和栅极线组件以及形成在绝缘基板上的存储电容线组件。栅极线组件具有栅极线和栅极电极。栅极绝缘层覆盖栅极线组件和存储电容线组件。半导体图案形成在栅极绝缘层上。数据线组件和存储电容导体图案形成在覆盖有半导体图案的栅极绝缘层上。数据线组件具有数据线、源极电极和漏极电极。存储电容导体图案与存储电容线组件部分重叠，由此形成第一存储电容。钝化层覆盖数据线组件、存储电容导体图案和半导体图案。第一和第二接触孔形成在钝化层上并暴露漏极电极和存储电容导体图案。像素电极形成在钝化层上并经第一和第二接触孔连接到漏极电极和存储电容导体图案。像素电极形成与部分存储电容线组件相连的第二存储电容。

