



(12) 发明专利

(10) 授权公告号 CN 102540605 B

(45) 授权公告日 2015. 09. 02

(21) 申请号 201210007092. 7

(51) Int. Cl.

(22) 申请日 2010. 01. 22

G02F 1/1362(2006. 01)

(30) 优先权数据

G02F 1/1368(2006. 01)

2009-012852 2009. 01. 23 JP

H01L 27/12(2006. 01)

2009-281645 2009. 12. 11 JP

H01L 21/77(2006. 01)

(62) 分案原申请数据

审查员 李伟超

201010109263. 8 2010. 01. 22

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 永野慎吾 升谷雄一

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

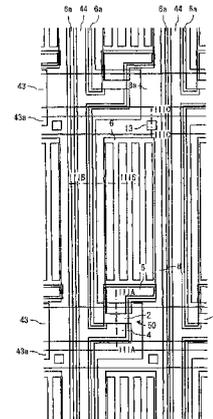
权利要求书2页 说明书12页 附图13页

(54) 发明名称

薄膜晶体管阵列基板、其制造方法、及液晶显示装置

(57) 摘要

本发明提供一种在 FFS 模式的液晶显示装置中,不使用半透过掩模而能够削减光刻工序数的薄膜晶体管阵列基板、其制造方法、及液晶显示装置。本发明的薄膜晶体管阵列基板具备:源极布线(44),在覆盖栅极布线(43)的栅极绝缘膜(11)上形成;半导体层(2),在栅极绝缘膜(11)上形成,配置在漏极电极(5)下的大致整个面、源极电极(4)下的大致整个面、源极布线(44)下的大致整个面、栅极电极的对面;像素电极(6),在漏极电极(5)上直接重叠形成;透明导电图案(6a),在源极电极(4)和源极布线(44)上,通过与像素电极(6)相同的层直接重叠形成;对置电极(8),在覆盖像素电极(6)和透明导电图案(6a)的层间绝缘膜(12)上形成,在与像素电极(6)之间使边缘电场产生。



1. 一种薄膜晶体管阵列基板,具有薄膜晶体管,其中,具有:
  - 栅极布线,在基板上形成,与所述薄膜晶体管的栅极电极连接;
  - 栅极绝缘膜,覆盖所述栅极电极和所述栅极布线;
  - 源极布线,在所述栅极绝缘膜上形成,与所述薄膜晶体管的源极电极连接;
  - 半导体层,在所述栅极绝缘膜上形成,在所述薄膜晶体管的漏极电极下的整个面、所述源极电极下的整个面、所述源极布线下整个面、以及所述栅极电极的对面配置,具有被所述源极电极和所述漏极电极夹持的沟道区域;
  - 像素电极,在所述漏极电极上直接重叠形成,与所述漏极电极电连接,覆盖所述漏极电极的所述沟道区域侧以外的图案端部;
  - 透明导电图案,在所述源极电极和所述源极布线上,通过与所述像素电极相同的层而直接重叠形成;
  - 层间绝缘膜,覆盖所述像素电极和所述透明导电图案;
  - 对置电极,在所述层间绝缘膜上形成,在与所述像素电极之间使边缘电场产生;以及
  - 共同布线,在与所述栅极布线相同的层形成,所述对置电极经由贯通所述栅极绝缘膜和所述层间绝缘膜的接触孔而与所述共同布线电连接,
  - 所述对置电极以与所述源极布线和所述源极布线上的所述透明导电图案在固定的区域中重合的方式形成,与夹着所述源极布线而邻接的像素的所述对置电极连接,
  - 所述对置电极以与夹着所述栅极布线而邻接的像素的所述对置电极连接的方式形成,
  - 所述对置电极在不与所述栅极布线和所述源极布线的交叉部以及所述薄膜晶体管重复的区域中形成。
2. 根据权利要求1所述的薄膜晶体管阵列基板,其中,还具有:欧姆接触膜,在所述源极电极和所述半导体层之间、所述漏极电极和所述半导体层之间、以及所述源极布线和所述半导体层之间形成,
  - 所述半导体层隔着所述欧姆接触膜与所述源极电极和所述漏极电极电连接。
3. 一种液晶显示装置,其中,具有:权利要求1所述的薄膜晶体管阵列基板。
4. 一种具有薄膜晶体管的薄膜晶体管阵列基板的制造方法,其中,具备:
  - 在基板上形成所述薄膜晶体管的栅极电极、和连接于所述栅极电极的栅极布线的工序;
  - 形成覆盖所述栅极电极和所述栅极布线的栅极绝缘膜的工序;
  - 在所述栅极绝缘膜上,依次成膜半导体层、欧姆接触膜、金属膜的工序;
  - 对所述金属膜进行构图,形成:在成为所述薄膜晶体管的沟道区域的所述半导体层上连结的状态的所述薄膜晶体管的源极电极和漏极电极、和连接于所述源极电极的源极布线的工序,所述半导体层具有被所述源极电极和所述漏极电极夹持的沟道区域;
  - 将被构图的所述金属膜作为掩模,对所述半导体层和所述欧姆接触膜进行蚀刻的工序;
  - 对在所述金属膜上直接重叠的透明导电膜进行成膜,对所述透明导电膜进行构图,形成:在所述漏极电极上直接重叠的像素电极,和在所述源极电极和所述源极布线上直接重叠配置的透明导电图案的工序,所述像素电极覆盖所述漏极电极的所述沟道区域侧以外的

图案端部；

将所述像素电极和所述透明导电图案作为掩模，对所述金属膜和所述欧姆接触膜进行蚀刻，使成为所述薄膜晶体管的沟道区域的所述半导体层露出的工序；

形成覆盖所述像素电极和所述透明导电图案的层间绝缘膜的工序；以及

在所述层间绝缘膜上，形成在与所述像素电极之间使边缘电场产生的对置电极的工序，

在形成所述栅极电极和所述栅极布线的工序中，进一步在邻接的所述栅极布线之间形成共同布线，

在所述对置电极的形成工序中，以经由贯通所述栅极绝缘膜和所述层间绝缘膜的接触孔与所述共同布线电连接的方式形成所述对置电极，

在所述对置电极的形成工序中，以与所述源极布线和所述源极布线上的所述透明导电图案在固定的区域中重合，与夹着所述源极布线而邻接的像素的所述对置电极连接的方式形成所述对置电极，

所述对置电极在不与所述栅极布线和所述源极布线的交叉部以及所述薄膜晶体管重复的区域中形成。

## 薄膜晶体管阵列基板、其制造方法、及液晶显示装置

[0001] 本申请是下述申请的分案申请：

[0002] 发明名称：薄膜晶体管阵列基板、其制造方法、及液晶显示装置

[0003] 申请日：2010 年 1 月 22 日

[0004] 申请号：2010101092638

### 技术领域

[0005] 本发明涉及薄膜晶体管阵列基板、其制造方法、及液晶显示装置，特别具体涉及在边缘场切换 (Fringe Field Switching) 模式 (mode) 的液晶显示装置中使用的薄膜晶体管阵列基板、其制造方法、及液晶显示装置。

### 背景技术

[0006] 边缘场切换 (Fringe Field Switching :FFS) 模式的液晶显示装置，是对在相向的基板间夹持的液晶施加边缘电场而进行显示的显示方式。在 FFS 模式的液晶显示装置中，由于通过透明导电膜形成有像素电极和对置电极，所以与共面切换 (In-Plane Switching :IPS) 模式相比能够得到更高的开口率和透过率。

[0007] 在现有的 FFS 模式的液晶显示装置中，为了制造薄膜晶体管 (Thin Film Transistor :TFT) 阵列基板，需要：(1) 对置电极，(2) 栅极 (gate) 电极，(3) 半导体层，(4) 源极 (source) / 漏极 (drain) 电极，(5) 接触孔 (contact hole)，(6) 像素电极的至少 6 次的照相制版 (光刻 (photolithography)) 工序。因此，与通常能够以 5 次的光刻工序制造 TFT 阵列基板的 TN (Twisted Nematic, 扭曲向列) 模式相比，存在制造成本 (cost) 变高的问题。

[0008] 针对这样的问题，例如在专利文献 1 中，提出了一种使用半透过掩模 (mask) 来削减光刻工序数的方案。

[0009] 专利文献

[0010] 专利文献 1：日本专利申请特开 2001-235763 号公报

[0011] 本发明要解决的课题

[0012] 可是，在使用半透过掩模的光刻工序中，与通常的光刻工序相比工序管理复杂，对于稳定地大量生产存在问题。此外，半透过掩模与通常的掩模相比价格高，在费用面上也存在问题。

### 发明内容

[0013] 本发明正是为了解决上述那样的问题点而完成的，其目的在于提供一种在 FFS 模式的液晶显示装置中，不使用半透过掩模而能够削减光刻工序数的薄膜晶体管阵列基板、其制造方法、及液晶显示装置。

[0014] 用于解决课题的方法

[0015] 本发明的薄膜晶体管阵列基板，具有薄膜晶体管，其中，具备：栅极布线，在基板上

形成,与所述薄膜晶体管的栅极电极连接;栅极绝缘膜,覆盖所述栅极电极和所述栅极布线;源极布线,在所述栅极绝缘膜上形成,与所述薄膜晶体管的源极电极连接;半导体层,在所述栅极绝缘膜上形成,在所述薄膜晶体管的漏极电极下的大致整个面、所述源极电极下的大致整个面、所述源极布线下的大致整个面、以及所述栅极电极的对面配置;像素电极,在所述漏极电极上直接重叠形成,与所述漏极电极电连接;透明导电图案(pattern),在所述源极电极和所述源极布线上,通过与所述像素电极相同的层而直接重叠形成;层间绝缘膜,覆盖所述像素电极和所述透明导电图案;以及对置电极,在所述层间绝缘膜上形成,在与所述像素电极之间使边缘电场产生。

[0016] 此外,本发明的薄膜晶体管阵列基板的制造方法,是具有薄膜晶体管的薄膜晶体管阵列基板的制造方法,其中,具备:在基板上形成所述薄膜晶体管的栅极电极、和连接于所述栅极电极的栅极布线的工序;形成覆盖所述栅极电极和所述栅极布线的栅极绝缘膜的工序;在所述栅极绝缘膜上,依次成膜半导体层、欧姆接触(ohmic contact)膜、金属膜的工序;对所述金属膜进行构图,形成:在成为所述薄膜晶体管的沟道(channel)区域的所述半导体层上连结的状态的所述薄膜晶体管的源极电极和漏极电极、和连接于所述源极电极的源极布线的工序;将被构图的所述金属膜作为掩模,对所述半导体层和所述欧姆接触膜进行蚀刻(etching)的工序;对在所述金属膜上直接重叠的透明导电膜进行成膜,对所述透明导电膜进行构图,形成:在所述漏极电极上直接重叠的像素电极、和在所述源极电极和所述源极布线上直接重叠配置的透明导电图案的工序;将所述像素电极和所述透明导电图案作为掩模,对所述金属膜和所述欧姆接触膜进行蚀刻,使成为所述薄膜晶体管的沟道区域的所述半导体层露出的工序;形成覆盖所述像素电极和所述透明导电图案的层间绝缘膜的工序;以及在所述层间绝缘膜上,形成在与所述像素电极之间使边缘电场产生的对置电极的工序。

[0017] 发明的效果

[0018] 根据本发明,能够提供一种在FFS模式的液晶显示装置中,不使用半透过掩模而能够削减光刻工序数的薄膜晶体管阵列基板、其制造方法、及液晶显示装置。

## 附图说明

[0019] 图1是表示在实施方式1的液晶显示装置中使用的TFT阵列基板的结构的正视图。

[0020] 图2是表示实施方式1的TFT阵列基板的像素结构的俯视图。

[0021] 图3是表示实施方式1的TFT阵列基板的像素结构的剖视图。

[0022] 图4是表示实施方式1的TFT阵列基板的一个制造工序的俯视图。

[0023] 图5是表示实施方式1的TFT阵列基板的一个制造工序的俯视图。

[0024] 图6是表示实施方式1的TFT阵列基板的一个制造工序的俯视图。

[0025] 图7是表示实施方式1的TFT阵列基板的一个制造工序的俯视图。

[0026] 图8是表示实施方式1的TFT阵列基板的一个制造工序的俯视图。

[0027] 图9是表示实施方式1的TFT阵列基板的一个制造工序的剖视图。

[0028] 图10是表示实施方式1的TFT阵列基板的一个制造工序的剖视图。

[0029] 图11是表示实施方式1的TFT阵列基板的一个制造工序的剖视图。

- [0030] 图 12 是表示实施方式 1 的 TFT 阵列基板的一个制造工序的剖视图。
- [0031] 图 13 是表示实施方式 1 的 TFT 阵列基板的一个制造工序的剖视图。
- [0032] 图 14 是表示实施方式 2 的 TFT 阵列基板的像素结构的俯视图。
- [0033] 图 15 是表示实施方式 2 的 TFT 阵列基板的像素结构的剖视图。
- [0034] 图 16 是表示实施方式 3 的 TFT 阵列基板的像素结构的俯视图。
- [0035] 图 17 是表示实施方式 3 的 TFT 阵列基板的像素结构的剖视图。
- [0036] 图 18 是表示实施方式 4 的 TFT 阵列基板的 TFT 部的结构的图。
- [0037] 图 19 是表示实施方式 4 的 TFT 阵列基板的一个制造工序的图。
- [0038] 附图标记说明
- [0039] 1 基板, 2 半导体层, 3 欧姆接触膜,
- [0040] 4 源极电极, 5 漏极电极, 6 像素电极,
- [0041] 6a 透明导电图案, 8 对置电极,
- [0042] 8a、8b 连结部, 11 栅极绝缘膜,
- [0043] 12 层间绝缘膜, 13 接触孔, 14 第二金属图案,
- [0044] 41 显示区域, 42 框缘区域,
- [0045] 43 栅极布线, 43a 共同布线, 44 源极布线,
- [0046] 45 扫描信号驱动电路, 46 显示信号驱动电路,
- [0047] 47 像素, 48、49 外部布线, 50TFT

### 具体实施方式

[0048] 以下, 对本发明的优选实施方式进行说明。以下的说明对本发明的实施方式进行说明, 本发明并不限定于以下的实施方式。为了说明的明确化, 以下的记述和附图被适宜地省略和简略化。此外, 为了说明的明确化, 对应于需要而省略重复说明。再有, 在各图中被赋予相同的附图标记的部分表示相同的要素, 适宜地省略说明。

#### [0049] 实施方式 1

[0050] 首先, 使用图 1 对本实施方式 1 的液晶显示装置进行说明。图 1 是表示在实施方式 1 的液晶显示装置中使用的 TFT 阵列基板的结构的正视图。本实施方式 1 的液晶显示装置, 是在 TFT 阵列基板形成了像素电极和对置电极的 FFS 模式的液晶显示装置。关于该液晶显示装置的整体结构, 在以下叙述的实施方式 1 ~ 3 中是共同的。

[0051] 本实施方式 1 的液晶显示装置具有基板 1。基板 1 例如是 TFT 阵列基板等的阵列基板。在基板 1 设置有显示区域 41 和以包围显示区域 41 的方式设置的框缘区域 42。在该显示区域 41 中, 形成有多个栅极布线 (扫描信号线) 43 和多个源极布线 (显示信号线) 44。多个栅极布线 43 平行地设置。同样地, 多个源极布线 44 平行地设置。栅极布线 43 与源极布线 44 以相互交叉的方式形成。以邻接的栅极布线 43 与源极布线 44 包围的区域成为像素 47。因此, 在显示区域 41 中, 像素 47 排列为矩阵 (matrix) 状。

[0052] 在基板 1 的框缘区域 42 设置有扫描信号驱动电路 45 和显示信号驱动电路 46。栅极布线 43 从显示区域 41 延伸设置到框缘区域 42, 在基板 1 的端部连接于扫描信号驱动电路 45。源极布线 44 也同样地, 从显示区域 41 延伸设置到框缘区域 42, 在基板 1 的端部与显示信号驱动电路 46 连接。在扫描信号驱动电路 45 的附近连接有外部布线 48。此外, 在

显示信号驱动电路 46 的附近连接有外部布线 49。外部布线 48、49 例如是 FPC (挠性印刷电路, Flexible Printed Circuit) 等的布线基板。

[0053] 来自外部的各种信号经由外部布线 48、49 供给到扫描信号驱动电路 45、及显示信号驱动电路 46。扫描信号驱动电路 45 基于来自外部的控制信号, 将栅极信号 (扫描信号) 供给到栅极布线 43。根据该栅极信号, 依次选择栅极布线 43。显示信号驱动电路 46 基于来自外部的控制信号、显示数据 (data), 将显示信号供给到源极布线 44。由此, 能够将与显示数据对应的显示电压对各像素 47 供给。

[0054] 在像素 47 内至少形成有 1 个 TFT50。TFT50 配置在源极布线 44 与栅极布线 43 的交叉点附近。例如, 该 TFT50 对像素电极供给显示电压。即, 根据来自栅极布线 43 的栅极信号, 作为开关 (switching) 元件的 TFT50 接通 (on)。由此, 显示电压从源极布线 44 施加到连接于 TFT50 的漏极电极的像素电极。进而, 像素电极与具有狭缝 (slit) 的共同电极 (对置电极) 隔着绝缘膜相向配置。在像素电极与对置电极之间, 产生对应于显示电压的边缘电场。再有, 在基板 1 的表面, 形成有取向膜 (未图示)。关于像素 47 的详细结构, 在后面叙述。

[0055] 进而, 对置基板与基板 1 相向地配置。对置基板例如是滤色 (color filter) 基板, 配置在视认侧。在对置基板形成有滤色片、黑矩阵 (black matrix) (BM)、以及取向膜等。在基板 1 与对置基板之间夹持有液晶层。即, 在基板 1 与对置基板之间导入有液晶。进而, 在基板 1 和对置基板的外侧的面, 设置偏振片、以及相位差板等。此外, 在液晶显示面板 (panel) 的视认相反侧, 配置背光灯单元 (back light unit) 等。

[0056] 通过像素电极和对置电极之间的边缘电场, 从而驱动液晶。即, 基板间的液晶的取向方向变化。由此, 通过液晶层的光的偏振状态变化。即, 通过偏振片而成为直线偏振光的光通过液晶层, 偏振状态变化。具体地, 来自背光灯单元的光通过阵列基板侧的偏振片而成为直线偏振光。该直线偏振光通过液晶层, 由此偏振状态变化。

[0057] 根据偏振状态, 通过对置基板侧的偏振片的光量变化。即, 在从背光灯单元起透过液晶显示面板的透过光中, 通过视认侧的偏振片的光的光量变化。液晶的取向方向根据被施加的显示电压而变化。因此, 通过控制显示电压, 能够使通过视认侧的偏振片的光量变化。即, 通过按像素的每一个改变显示电压, 能够显示所希望的图像。

[0058] 接着, 使用图 2 及图 3 对本实施方式 1 的液晶显示装置的像素结构进行说明。图 2 是表示实施方式 1 的 TFT 阵列基板的像素结构的俯视图。图 3 是表示实施方式 1 的 TFT 阵列基板的像素结构的剖视图。图 2 表示 TFT 阵列基板的一个像素 47。图 3(a) 是图 2 的 IIIA-III A 剖视图, 图 3(b) 是图 2 的 IIIB-III B 剖视图, 图 3(c) 是图 2 的 IIIC-III C 剖视图。

[0059] 在图 2 及图 3 中, 在玻璃 (glass) 等的透明的绝缘性基板 1 上, 形成有与 TFT50 的栅极电极连接的栅极布线 43。在这里, 栅极布线 43 以其一部分构成栅极电极的方式形成。栅极布线 43 以在基板 1 上在一个方向直线地延伸的方式而配置。此外, 在基板 1 上, 多个共同布线 43a 通过与栅极布线 43 相同的层而形成。共同布线 43a 配置在邻接的栅极布线 43 之间。多个共同布线 43a 平行地设置。共同布线 43a 和栅极布线 43 以相互大致平行的方式配置。栅极布线 43 和共同布线 43a 通过第一金属膜而形成, 该第一金属膜包括: 例如 Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 或以它们作为主成分的合金膜、或它们的层叠膜。

[0060] 以覆盖栅极布线 43 和共同布线 43a 的方式, 设置有作为第一绝缘膜的栅极绝缘膜 11。栅极绝缘膜 11 例如通过氮化硅 (silicon)、氧化硅等绝缘膜形成。

[0061] 在栅极绝缘膜 11 上形成有半导体层 2。在本实施方式 1 中, 以与栅极布线 43 和共同布线 43a 交叉的方式, 直线状地形成有半导体层 2。在这里, 例如与栅极布线 43 和共同布线 43a 正交。该半导体层 2 以在基板 1 上在与栅极布线 43 交叉的方向上直线地延伸的方式而配置。半导体层 2 设置间隔而配置有多个。

[0062] 半导体层 2 在与栅极布线 43 的交叉部中分叉。分叉了的半导体层 2 沿着栅极布线 43 延伸, 进一步向像素 47 内延伸。在 TFT50 的形成区域中, 半导体层 2 隔着栅极绝缘膜 11 在栅极电极的对面设置。即, 在从与栅极布线 43 的交叉部分叉的半导体层 2 中, 与栅极电极重复的部分作为构成 TFT50 的活性区域而发挥功能。在这里, 半导体层 2 的活性区域以与栅极布线 43 重叠的方式在栅极绝缘膜 11 上形成, 与该半导体层 2 的活性区域重复的区域的栅极布线 43 成为栅极电极。半导体层 2 例如通过非晶硅、多晶硅等形成。

[0063] 再有, 在与栅极布线 43 交叉的方向上延伸的直线状的半导体层 2, 能够作为后述的源极布线 44 的冗余布线而利用。即, 该直线状的半导体层 2 是配合源极布线 44 的形成区域而形成的, 即使在源极布线 44 断线的情况下也能够防止电信号的中断。

[0064] 在半导体层 2 上, 形成有掺杂了 (doping) 导电性杂质的欧姆接触膜 3。欧姆接触膜 3 在除了 TFT50 的沟道区域之外的半导体层 2 上的大致整个面配置。在与栅极电极重复的半导体层 2 中, 对应于欧姆接触膜 3 的半导体层 2 的区域成为源极 / 漏极区域。具体地说, 图 3(a) 中的与栅极电极重复的左侧的欧姆接触膜 3 所对应的半导体层 2 的区域成为源极区域。而且, 图 3(a) 中的与栅极电极重复的右侧的欧姆接触膜 3 所对应的半导体层 2 的区域成为漏极区域。这样, 在构成 TFT50 的半导体层 2 的活性区域的两端形成有源极 / 漏极区域。而且, 半导体层 2 的源极 / 漏极区域所夹持的区域成为沟道区域。在半导体层 2 的沟道区域上, 没有形成欧姆接触膜 3。欧姆接触膜 3 例如由被高浓度地掺杂了磷 (phosphorus) (P) 等的杂质的、n 型非晶硅或 n 型多晶硅等形成。

[0065] 在欧姆接触膜 3 上, 形成有源极电极 4、漏极电极 5、以及源极布线 44。具体地, 在半导体层 2 的源极区域侧的欧姆接触膜 3 上, 形成有源极电极 4。而且, 在漏极区域侧的欧姆接触膜 3 上, 形成有漏极电极 5。像这样, 构成沟道蚀刻 (channel-etch) 型的 TFT50。而且, 源极电极 4 和漏极电极 5 以向半导体层 2 的沟道区域的外侧延伸的方式形成。即, 源极电极 4 及漏极电极 5 与欧姆接触膜 3 同样地, 不在半导体层 2 的沟道区域上形成。

[0066] 源极电极 4 向半导体层 2 的沟道区域的外侧延伸, 与源极布线 44 连接。即, 源极布线 44 与源极电极 4 连接。源极布线 44 在半导体层 2 上隔着欧姆接触膜 3 形成, 在基板 1 上以在与栅极布线 43 交叉的方向上直线延伸的方式配置。因此, 源极布线 44 在与栅极布线 43 的交叉部中分叉, 然后沿着栅极布线 43 延伸, 成为源极电极 4。源极电极 4、漏极电极 5、以及源极布线 44 通过第二金属膜形成, 该第二金属膜包括: 例如 Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 或以它们作为主成分的合金膜、或它们的层叠膜。

[0067] 像这样, 在本实施方式 1 中, 半导体层 2 成为如下结构, 即在源极布线 44 下的大致整个面、源极电极 4 下的大致整个面、漏极电极 5 下的大致整个面、栅极电极的对面配置。而且, 在这里, 成为如下结构, 即在源极布线 44、源极电极 4、以及漏极电极 5, 与半导体层 2 之间, 分别进一步形成有欧姆接触膜 3。

[0068] 漏极电极 5 向半导体层 2 的沟道区域的外侧延伸,与像素电极 6 电连接。在本实施方式 1 中,像素电极 6 在漏极电极 5 上直接重叠而形成。即,像素电极 6 的下表面(下侧的表面)以与漏极电极 5 的上表面(上侧的表面)直接接触的方式而形成。此外,像素电极 6 在漏极电极 5 上的大致整个面形成。而且,像素电极 6 从漏极电极 5 上向像素 47 内延伸,如图 2 和图 3 所示,在构成像素 47 的由源极布线 44 和栅极布线 43 包围的区域的大致整个面形成。即,像素电极 6 以其一部分重复于漏极电极 5 的方式配置。这时,像素电极 6 的沟道区域侧的图案端部,以配置在与漏极电极 5 的沟道区域侧的图案端部大致相同位置的方式,重复配置。因此,漏极电极 5 的沟道区域侧的图案端部没有被像素电极 6 覆盖。而且,像素电极 6 例如以覆盖漏极电极 5 的沟道区域侧以外的图案端部的方式形成。像素电极 6 通过 ITO 等的第一透明导电膜形成。

[0069] 像这样,像素电极 6 不隔着绝缘膜,而在源极电极 4、漏极电极 5、以及源极布线 44 的上层直接重叠而形成。通过这样的结构,不再需要用于将像素电极 6 与漏极电极 5 电连接的接触孔。这是因为,通过将像素电极 6 的一部分直接重叠于漏极电极 5 上的方式进行配置,能够获得它们之间的电连接。因此,对漏极电极 5 和像素电极 6 的连接,能够不设置对接触孔进行配置的区域(area)来构成像素 47,因此能够提高开口率。

[0070] 此外,在本实施方式 1 中,通过与像素电极 6 相同的第一透明导电膜,形成有透明导电图案 6a。透明导电图案 6a 在源极电极 4 和源极布线 44 上的大致整个面直接重叠形成。透明导电图案 6a 例如以覆盖源极电极 4 和源极布线 44 的方式形成。但是,源极电极 4 的沟道区域侧的图案端部没有被透明导电图案 6a 覆盖。因此,透明导电图案 6a 的沟道区域侧的图案端部与沟道区域侧的源极电极 4 的图案端部成为大致相同的位置。透明导电图案 6a 和像素电极 6 以相互离开的方式配置。此外,透明导电图案 6a 和像素电极 6 不在半导体层 2 的沟道区域上设置。

[0071] 像这样,在本实施方式 1 中,成为如下结构,即,在由第二金属膜构成的源极电极 4、漏极电极 5、以及源极布线 44 上,层叠形成由第一透明导电膜构成的像素电极 6 或透明导电图案 6a。在这里,通过第一透明导电膜形成的图案,以完全覆盖第二金属膜形成的图案中的、除了 TFT50 的沟道区域之外全部的区域的方式形成。由此,能够将用于对各像素 47 供给显示信号的源极布线 44 作为第二金属膜和第一透明导电膜的 2 层的层叠结构。因此,具有抑制源极布线 44 的短线的发生的效果。即,在源极布线 44 上层叠的透明导电图案 6a 与源极布线 44 下的半导体层 2 同样地,能够作为源极布线 44 的冗余布线进行利用。因此,即使在源极布线 44 短线的情况下也能够防止显示信号中断。

[0072] 以覆盖像素电极 6 和透明导电图案 6a 的方式,设置有作为第二绝缘膜的层间绝缘膜 12。层间绝缘膜 12 覆盖 TFT50。层间绝缘膜 12 通过氮化硅、氧化硅等的绝缘膜形成。

[0073] 而且,在本实施方式 1 中,在层间绝缘膜 12 上形成有对置电极 8。对置电极 8 隔着层间绝缘膜 12 配置在像素电极 6 的对面,在与像素电极 6 之间设置有用于使边缘电场产生的狭缝。该狭缝如图 2 所示,与源极布线 44 大致并行地设置有多个。狭缝例如在与栅极布线 43 交叉的方向上直线状地设置。

[0074] 对置电极 8 经由贯通层间绝缘膜 12 和栅极绝缘膜 11 的接触孔 13 与共同布线 43a 电连接。此外,对置电极 8 以与夹着栅极布线 43 而邻接的像素电极 47 的对置电极 8 连接的方式形成。即,对置电极 8 以与夹着栅极布线 43 而邻接的像素电极 47 的对置电极 8 连

接的方式而整体地形成。具体地,夹着栅极布线 43 而邻接的像素电极 47 的对置电极 8 在连结部 8a 连接。该连结部 8a 以越过栅极布线 43 的方式形成,对夹着栅极布线 43 而邻接的像素 47 的对置电极 8 的彼此进行连结。在这里,对置电极 8 的连结部 8a 以越过不与源极布线 44 或 TFT50 重复的区域的栅极布线 43 的方式形成。即,对置电极 8 以与栅极布线 43 的至少一部分重合的方式形成。对置电极 8 通过 ITO 等的第二透明导电膜形成。

[0075] 接着,使用图 4~图 13 对本实施方式 1 的液晶显示装置的制造方法进行说明。图 4~图 8 是表示实施方式 1 的 TFT 阵列基板的一个制造工序的俯视图。此外,图 9~图 13 是表示实施方式 1 的 TFT 阵列基板的一个制造工序的剖视图。在图 9~图 13 的各图中,(a) 表示对应于图 2 的 IIIA-III A 剖面处的剖视图,(b) 表示对应于图 2 的 IIIB-IIIB 剖面处的剖视图,(c) 表示对应于图 2 的 IIIC-IIIC 剖面处的剖视图。即,这些图是分别对应于图 3 的各图处的各个制造工序的剖视图。

[0076] 首先在最初,在玻璃等的透明绝缘性的基板 1 上的整个面,对第一金属膜进行成膜,该第一金属膜包括:例如 Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 或以它们作为主成分的合金膜、或它们的层叠膜。例如,使用溅射 (sputter) 法或蒸镀法等,在基板 1 整个面进行成膜。之后,涂覆抗蚀剂 (resist),对涂覆了的抗蚀剂从光掩模 (photomask) 上进行曝光,使抗蚀剂感光。接着,对感光后的抗蚀剂进行显影,对抗蚀剂进行构图。以后,将该一连串的工序称为光刻工序。之后,将该抗蚀剂图案作为掩模进行蚀刻,除去光抗蚀剂图案。以后,将这样的工序称为微细加工技术。由此,如图 4 和图 9 所示,栅极电极、栅极布线 43、以及共同布线 43a 被构图。像这样,通过第一光刻工序和微细加工技术,形成栅极电极、栅极布线 43、以及共同布线 43a。

[0077] 接着,以覆盖栅极电极、栅极布线 43、和共同布线 43a 的方式,对成为栅极绝缘膜 11 的第一绝缘膜、半导体层 2、以及欧姆接触膜 3 以该顺序进行成膜。例如,使用等离子体 (plasma) CVD、常压 CVD、减压 CVD 等,在基板 1 的整个面上对其进行成膜。作为栅极绝缘膜 11,能够使用氮化硅、氧化硅等。再有,栅极绝缘膜 11 为了防止针孔 (pinhole) 等的膜缺损的产生导致的短路,优选分为多次进行成膜。对于半导体层 2,能够使用非晶硅、多晶硅 (poly silicon) 等。此外,对于欧姆接触膜 3,能够使用高浓度地添加了磷 (P) 等的杂质的 n 型非晶硅或 n 型多晶硅等。

[0078] 接着,在本实施方式 1 中,在成膜后的欧姆接触膜 3 上,进一步对第二金属膜进行成膜,该第二金属膜包括:例如 Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 或以它们作为主成分的合金膜、或它们的层叠膜。例如,使用溅射法或蒸镀法等进行成膜。之后,通过第二光刻工序以及微细加工技术,对第二金属膜进行构图。由此,通过第二金属膜形成源极布线 44、和从源极布线 44 分叉并向 TFT50 的形成区域上延伸的部分。该从源极布线 44 分叉的部分,以从源极布线 44 的与栅极布线 43 的交叉部起分叉并向像素 47 内延伸的方式形成,成为包含在后面的工序中分离的源极电极 4 和漏极电极 5 的形状。即,在该时刻,在沟道区域上残存第二金属膜,成为源极电极 4 和漏极电极 5 连接的图案。即,当对第二金属膜进行构图时,形成在成为 TFT50 的沟道区域的半导体层 2 上连结的状态的源极电极 4 和漏极电极 5,和连接于该源极电极 4 的源极布线 44。

[0079] 接着,将被构图后的第二金属膜的图案、或在第二金属膜进行构图时使用的抗蚀剂图案 (或将在对第二金属膜进行构图时使用的抗蚀剂图案残留的状态下) 作为掩模,

对欧姆接触膜 3 和半导体层 2 进行蚀刻。由此,如图 5 和图 10 所示,除去没有被第二金属膜覆盖的部分的欧姆接触膜 3 和半导体层 2。以这样的方式,对欧姆接触膜 3 和半导体层 2 进行构图,由此能够将欧姆接触膜 3 和半导体层 2 的构图、和源极布线 44 的构图统合起来。即,能够以一次的光刻工序,进行欧姆接触膜 3 和半导体层 2 的构图、和源极布线 44 的构图。

[0080] 接着,在其上通过溅射法等基板 1 的整个面上对 ITO 等第一透明导电膜进行成膜。之后,通过第三光刻工序以及微细加工技术,对该第一透明导电膜进行构图。在本实施方式 1 中,以在像素电极 6 的形成区域上、和除了 TFT50 的沟道区域之外的第二金属膜图案上,残留第一透明导电膜的方式进行构图。由此,在源极布线 44 上、和从源极布线 44 分叉的部分的成为源极电极 4 的区域上,形成透明导电图案 6a。此外,在从源极布线 44 分叉的部分中的成为漏极电极 5 的区域上,以一部分重叠的方式形成像素电极 6。通过第一透明导电膜形成的透明导电图案 6a 和像素电极 6,在后述的沟道蚀刻工序中作为蚀刻阻挡 (barrier) 图案而发挥功能。

[0081] 接着,将像素电极 6 和透明导电图案 6a 作为掩模,对第二金属膜和沟道区域上的欧姆接触膜 3 进行蚀刻。具体地,通过蚀刻对不被像素电极 6 或透明导电图案 6a 覆盖而露出的部分的第二金属膜进行除去。由此,沟道区域上的第二金属膜被除去,源极电极 4 和漏极电极 5 分离。进而,对通过除去第二金属膜而在表面露出的、沟道区域上的欧姆接触膜 3 通过蚀刻进行除去。由此,如图 6 和图 11 所示,成为 TFT50 的沟道区域的半导体层 2 露出。像这样,在本实施方式 1 中,将通过第一透明导电膜形成的透明导电图案 6a 和像素电极 6 作为蚀刻阻挡图案进行使用,能够除去沟道区域上的第二金属膜和欧姆接触膜 3。

[0082] 再有,在上述说明中,将像素电极 6 和透明导电图案 6a 作为掩模进行蚀刻,但将对像素电极 6 和透明导电图案 6a 进行构图时使用的抗蚀剂图案直接作为掩模,进行第二金属膜和欧姆接触膜 3 的蚀刻也可。

[0083] 接着,从其上,对成为层间绝缘膜 12 的第二绝缘膜进行成膜。例如,作为层间绝缘膜 12 使用 CVD 法等基板 1 的整个面成膜氮化硅、氧化硅等的无机绝缘膜。由此,像素电极 6 和透明导电图案 6a 被层间绝缘膜 12 覆盖。此外,半导体层 2 的沟道区域被层间绝缘膜 12 覆盖。之后,通过第四光刻工序以及微细加工技术,在层间绝缘膜 12 和栅极绝缘膜 11 形成接触孔。由此,如图 7 和图 12 所示,形成到达共同布线 43a 的接触孔,共同布线 43a 一部分露出。再有,在框缘区域 42 中,用于与扫描信号驱动电路 45 或显示信号驱动电路 46 连接的端子(未图示)通过与栅极布线 43 或源极布线 44 相同的层而形成。因此,在第四光刻工序和微细加工技术中,与到达共同布线 43a 的接触孔 13 一起,在层间绝缘膜 12 和栅极绝缘膜 11 形成到达这些端子的接触孔。

[0084] 接着,在层间绝缘膜 12 上通过溅射法等基板 1 的整个面上对 ITO 等第二透明导电膜进行成膜。之后,通过第五光刻工序以及微细加工技术,对该第二透明导电膜进行构图。由此,如图 8 和图 13 所示,隔着层间绝缘膜 12 在像素电极 6 的对面,以经由接触孔 13 与共同布线 43a 连接的方式形成具有狭缝的对置电极 8。再有,在框缘区域 42 中,经由接触孔与栅极端子连接的栅极端子焊盘 (pad) 通过与对置电极 8 相同的第二透明导电膜而形成。同样地,经由接触孔与源极端子连接的源极端子焊盘 (pad) 通过与对置电极 8 相同的第二透明导电膜而形成。

[0085] 通过以上的工序,完成本实施方式 1 的 TFT 阵列基板。像这样,在本实施方式 1 中,不使用作为通常的工序削减方法的半透过掩模,能够至少以 (1) 栅极电极 (第一金属膜)、(2) 源极 / 漏极电极 (第二金属膜)、(3) 像素电极和透明导电图案、(4) 接触孔、(5) 对置电极这 5 次光刻工序形成 TFT 阵列基板。由此,能够使光刻工序数与通常的液晶显示装置的 TN 模式的 TFT 阵列基板制造所需要的光刻工序数同等。

[0086] 特别是,能够在现有的 FFS 模式的液晶显示装置中,将为了制造 TFT 阵列基板至少需要的 (1) 对置电极、(2) 栅极电极 (第一金属膜)、(3) 半导体层、(4) 源极 / 漏极电极 (第二金属膜)、(5) 接触孔、(6) 像素电极这 6 次光刻工序中的、(3) 半导体层、(4) 源极 / 漏极电极 (第二金属膜)、(6) 像素电极这 3 次光刻工序,在本实施方式 1 中集约到 (2) 第二金属膜、(3) 像素电极和透明导电图案这 2 次通常的光刻工序中。因此,不使用半透过掩模,能够削减制造 FFS 模式的液晶显示装置的 TFT 阵列基板所需要的光刻工序数,能够降低制造成本。

[0087] 在以该方式制作的 TFT 阵列基板上,在以后的单元 (cell) 工序中形成取向膜。此外,在另外制作的对置基板上也同样地形成取向膜。然后,对该取向膜,使用摩擦 (rubbing) 等的方法,在与液晶的接触面实施在一个方向上赋予微细 (micro) 的伤痕的取向处理。接着,在基板周缘部涂覆密封 (sealing) 材料,将 TFT 阵列基板和对置基板以相互的取向膜相对的方式以规定的间隔粘合。在将 TFT 阵列基板和对置基板粘合之后,使用真空注入法等,从液晶注入口注入液晶。然后,密封液晶注入口。在这样形成的液晶单元的两面上粘贴偏振片,连接驱动电路之后,安装背光灯单元。这样,完成了本实施方式 1 的液晶显示装置。

[0088] 再有,在本实施方式 1 中,说明了夹着栅极布线 43 而邻接的像素 47 间的对置电极 8 以连结的方式形成,但对置电极 8 的形状不限于此。对应于各像素 47 的对置电极 8 经由接触孔 13 与共同布线 43a 电连接。因此,如果对该共同布线 43a 施加相同信号的话,夹着栅极布线 43 而邻接的像素 47 间的对置电极 8 也可以以相互离开的方式形成。

[0089] 如上所述,在本实施方式 1 中,在第二光刻工序中,对第二金属膜进行构图,形成在沟道区域连接的形状的源极 / 漏极电极、和源极布线 44。然后,将构图后的第二金属膜的图案作为掩模,对欧姆接触膜 3 和半导体层 2 进行蚀刻。之后,在其上以直接重叠的方式对第一透明导电膜进行成膜,在第三光刻工序中,将构图后的第一透明导电膜作为掩模,进一步对沟道区域上的第二金属膜和欧姆接触膜 3 进行蚀刻除去。由此,不使用半透过掩模,能够削减 TFT 阵列基板的制造所需要的光刻工序数。因此,工程管理不会变得复杂,能够进一步使大量生产稳定化,并且能够抑制掩模费用。

[0090] 在以这样方式形成的 TFT 阵列基板中,在构成源极布线 44、源极电极 4、以及漏极电极 5 等的第二金属膜之下的大致整个区域 (整个面),隔着欧姆接触膜 3 存在半导体层 2。此外,在构成源极布线 44、源极电极 4、以及漏极电极 5 等的第二金属膜上的大致整个区域 (整个面) 直接重叠地存在有构成像素电极 6、透明导电图案 6a 等的第一透明导电膜。由此,成为透明导电图案 6a 在源极布线 44 上层叠的结构,成为源极布线 44 的冗余布线。因此,即使源极布线 44 断线,也能够防止显示信号的中断。

[0091] 实施方式 2

[0092] 使用图 14 及图 15 对本实施方式 2 的液晶显示装置的像素结构进行说明。图 14 是表示实施方式 2 的 TFT 阵列基板的像素结构的俯视图。图 15 是表示实施方式 2 的 TFT

阵列基板的像素结构的剖视图。图 14 表示 TFT 阵列基板的一个像素 47。图 15(a) 是图 14 的 XVA-XVA 剖视图,图 15(b) 是图 14 的 XVB-XVB 剖视图,图 15(c) 是图 14 的 XVC-XVC 剖视图。在本实施方式 2 中,仅是对置电极 8 的形状与实施方式 1 不同,除此之外的结构与实施方式 1 相同,因此省略说明。

[0093] 在本实施方式 2 中,对置电极 8 以覆盖位于源极布线 44 上的透明导电图案 6a 的方式形成。具体地,如图 14 和图 15(b) 所示,隔着层间绝缘膜 12 在源极布线 44 的对面,配置有比源极布线 44 和透明导电图案 6a 宽度宽的对置电极 8。对置电极 8 覆盖像素 47 的源极布线 44、和位于其上的透明导电图案 6a 的大部分。即,源极布线 44 和位于其上的透明导电图案 6a 中的、除了与栅极布线 43 交叉的部分之外的区域的大部分,与对置电极 8 重合。因此,对置电极 8 以与源极布线 44 和位于其上的透明导电图案 6a 在固定的区域中重合的方式形成,与夹着源极布线 44 而邻接的像素 47 的对置电极 8 连接。该重合区域的对置电极 8 与源极布线 44 和位于其上的透明导电图案 6a 的宽度相比以宽度宽的方式形成。

[0094] 再有,在本实施方式 2 中,与实施方式 1 同样地,如图 14 和图 15 所示,在构成源极布线 44、源极电极 4、以及漏极电极 5 等的第二金属膜下的大致整个区域(整个面),隔着欧姆接触膜 3 存在半导体层 2。此外,在构成源极布线 44、源极电极 4、以及漏极电极 5 等的第二金属膜上的大致整个区域(整个面),直接重叠地存在有构成像素电极 6、透明导电图案 6a 等的第一透明导电膜。

[0095] 这样构成的 TFT 阵列基板在第五光刻工序和微细加工技术中,形成与实施方式 1 不同形状的对置电极 8 即可。关于除此之外的制造工序与实施方式 1 相同,因此省略说明。

[0096] 如上所述,在本实施方式 2 中,以覆盖源极布线 44 和位于其上的透明导电图案 6a 的层叠膜中的、除去与栅极布线 43 交叉的部分之外的区域的大部分的方式,形成对置电极 8。由此,能够通过对置电极 8 有效地对从源极布线 44、和源极布线 44 上的透明导电图案 6a 产生的漏电场进行遮蔽。因此,能够降低由来自源极布线 44 和其上形成的透明导电图案 6a 的漏电场引起的串扰(cross talk)。此外,能够发挥与实施方式 1 同样的效果。

[0097] 实施方式 3

[0098] 使用图 16 及图 17 对本实施方式 3 的液晶显示装置的像素结构进行说明。图 16 是表示实施方式 3 的 TFT 阵列基板的像素结构的俯视图。图 17 是表示实施方式 3 的 TFT 阵列基板的像素结构的剖视图。图 16 表示 TFT 阵列基板的一个像素 47。图 17(a) 是图 16 的 XVIIIA-XVIIIA 剖视图,图 17(b) 是图 16 的 XVIIIB-XVIIIB 剖视图。

[0099] 在实施方式 1 中,是如下结构,即从经由各像素 47 的接触孔 13 电连接的共同布线 43a 对各像素 47 的对置电极 8 供给信号的结构,但在本实施方式 3 中,是如下结构,即经由以在邻接的全部像素 47 中连接的方式形成的对置电极 8,从显示区域 41 的周边部向对置电极 8 供给信号。

[0100] 具体地,如图 16 所示,夹着栅极布线 43 而邻接的像素电极 47 的对置电极 8 在连结部 8a 连接。该连结部 8a 以越过栅极布线 43 的方式形成,对夹着栅极布线 43 而邻接的像素 47 的对置电极 8 的彼此进行连结。在这里,对置电极 8 的连结部 8a 以跨过不与源极布线 44 或 TFT50 重复的区域的栅极布线 43 的方式形成。

[0101] 此外,夹着源极布线 44 而邻接的像素电极 47 的对置电极 8 在连结部 8b 连接。该连结部 8b 以越过源极布线 44 的方式形成,对夹着源极布线 44 而邻接的像素 47 的对置电

极 8 的彼此进行连结。在这里,与实施方式 2 同样地,对置电极 8 的连结部 8b 以跨过源极布线 44 和位于其上的透明导电图案 6a 的层叠膜中的、除去与栅极布线 43 交叉的部分之外的区域的大部分的方式形成。

[0102] 像这样,对置电极 8 以与邻接的全部像素 47 的对置电极 8 平面式连接的方式形成,进行电连接。即,成为显示区域 41 内的全部像素 47 的对置电极 8 电连接的状态。因此,尽管通过电阻率比较高的透明导电膜形成,但能够降低对置电极 8 的电阻。因此,在本实施方式 3 中,如图 16 所示,不需要形成为向各像素 47 的对置电极 8 供给信号而配置的电阻率比较低的非透过的共同布线 43a。此外,也不需要形成用于取得与共同布线 43a 的连接接触孔 13。

[0103] 再有,在本实施方式 3 中,与实施方式 1 同样地,如图 16 和图 17 所示,在构成源极布线 44、源极电极 4、以及漏极电极 5 等的第二金属膜下的大致整个区域(整个面),隔着欧姆接触膜 3 存在半导体层 2。此外,在构成源极布线 44、源极电极 4、以及漏极电极 5 等的第二金属膜上的大致整个区域(整个面),直接重叠地存在有构成像素电极 6、透明导电图案 6a 等的第一透明导电膜。

[0104] 在这样结构的 TFT 阵列基板中,也可以不在第一光刻工序和微细加工技术中形成共同布线 43a。此外,也可以不在第四光刻工序和微细加工技术中形成各像素 47 的接触孔 13。但是,在显示区域 41 的周边部需要设置接触孔,向对置电极 8 供给信号。而且,在第五光刻工序和微细加工技术中,形成与实施方式 1 不同形状的对置电极 8 即可。除此之外的制造工序与实施方式 1 相同,因此省略说明。

[0105] 如上所述,在本实施方式 3 中,将对置电极 8 以在邻接的像素间连接的方式形成。即,对置电极 8 跨过源极布线 44 和栅极布线 43 与邻接的像素的对置电极 8 连接而形成。由此,显示区域 41 内的全像素 47 的对置电极 8 整体形成,进行电连接。由此,能够降低对置电极 8 的电阻,不需要形成非透过的共同布线 43a,能够提高开口率。此外,能够发挥与实施方式 1 同样的效果。

[0106] 实施方式 4

[0107] 使用图 8 对本实施方式 4 的液晶显示装置进行说明。图 18 是表示实施方式 4 的 TFT 阵列基板的 TFT 部的结构的图。图 18(a) 是表示实施方式 4 的 TFT 阵列基板的 TFT 部的结构的俯视图,图 18(b) 是图 18(a) 的 XVIII B-XVIII B 剖视图。图 18 表示设置在 TFT 阵列基板的各像素 47 的 TFT50 的一个。在本实施方式 4 中,与实施方式 1~3 不同结构的 TFT50 设置于 TFT 阵列基板,除此之外的结构与实施方式 1~3 相同,因此省略说明。

[0108] 在本实施方式 4 中,如图 18 所示,在栅极布线 43 上,像素电极 6 和透明电极图案 6a 以与半导体层 2 的图案端部相比配置于内侧的方式形成。即,在实施方式 1~3 中,像素电极 6 和透明电极图案 6a 以覆盖源极电极 4 和漏极电极 5 的沟道区域侧以外的图案端部的方式形成,是与隔着在其下设置的欧姆接触膜 3 而存在的半导体层 2 的端部相接的结构。另一方面,在本实施方式 4 中,像素电极 6 和透明电极图案 6a 对源极电极 4 和漏极电极 5 的沟道区域侧以外的图案端部与沟道区域侧的图案端部同样地没有进行覆盖。

[0109] 而且,在与栅极电极相向的区域中,像素电极 6 的图案端部与漏极电极 5 的图案端部成为大致相同的位置。同样地,在与栅极电极相向的区域中,透明导电图案 6a 的图案端部与源极电极 4 的图案端部成为大致相同的位置。像这样,本实施方式 4 的 TFT50 是通过

第一透明导电膜形成的像素电极 6 和透明导电图案 6a 在栅极电极上不与半导体层 2 的端部相接的结构。

[0110] 在这里,在半导体层 2 的图案端部存在导电性的残渣的可能性高,当像素电极 6 或透明导电图案 6a 与该半导体层 2 的图案端部在栅极电极上相接时,有时 TFT50 的断开(off)电流增加。相对于此,在本实施方式 4 中,由于是像素电极 6 和透明导电图案 6a 在栅极电极上不与半导体层 2 的端部相接的结构,所以能够抑制 TFT50 的断开电流的增加。

[0111] 接着,使用图 19 对本实施方式 4 的液晶显示装置的制造方法进行说明。图 19 是表示实施方式 4 的 TFT 阵列基板的一个制造工序的图。图 19(a) 是表示像素电极和透明导电图案形成后的 TFT 部的俯视图,图 19(b) 是图 19(a) 的 XIXB-XIXB 剖视图。在本实施方式 4 中,仅是像素电极 6 和透明导电图案 6a 的形成工序与实施方式 1~3 不同,除此之外的工序与实施方式 1~3 相同,因此省略说明。

[0112] 即,如图 19 所示,将在基板 1 整个面成膜的第一透明导电膜,以使栅极电极上的第二金属膜图案 14 的端部露出的方式进行构图,形成像素电极 6 和透明导电图案 6a。然后,使用以该方式栅极电极上的第二金属膜图案 14 的端部露出的像素电极 6 和透明导电图案 6a,对露出部分的第二金属膜和欧姆接触膜 3 进行蚀刻即可。

[0113] 如上所述,在本实施方式 4 中,像素电极 6 和透明电极图案 6a 在与栅极电极相向的位置中,以在俯视中配置于半导体层 2 的图案内侧的方式形成。由此,能够作为像素电极 6 和透明导电图案 6a 在栅极电极上不与半导体层 2 的端部相接的结构。因此,能够抑制 TFT50 的断开电流的增加。此外,能够发挥与实施方式 1~3 同样的效果。

[0114] 再有,在实施方式 1~3 中,针对对置电极 8 的狭缝的方向与源极布线 44 是平行的情况例示地进行了说明,但并不局限于此。对置电极 8 的狭缝的方向不仅是与源极布线 44 平行的方向,也可以是任意的方向、或任意的不同方向的组合。此外,对置电极 8 的形状并不限于狭缝状,例如是梳齿状等,能够在与像素电极 6 之间使边缘电场产生的形状即可。

[0115] 此外,实施方式 1~3 的像素结构中的 TFT50 也可以与实施方式 4 中说明的结构中的 TFT50 置换。进而,本发明不限于具有在实施方式 1~4 说明的结构中的 TFT50 的 TFT 阵列基板,对于具有像素电极 6 直接重叠于漏极电极 5 上而形成的其他结构的 TFT50 的 TFT 阵列基板也能够应用。

[0116] 以上的说明是说明本发明的实施方式的一个例子,本发明并不限于上述实施方式 1~4。此外,只要是本领域技术人员,能够在本发明的范围中容易地对以上的实施方式 1~4 的各要素进行变更、追加、变换。

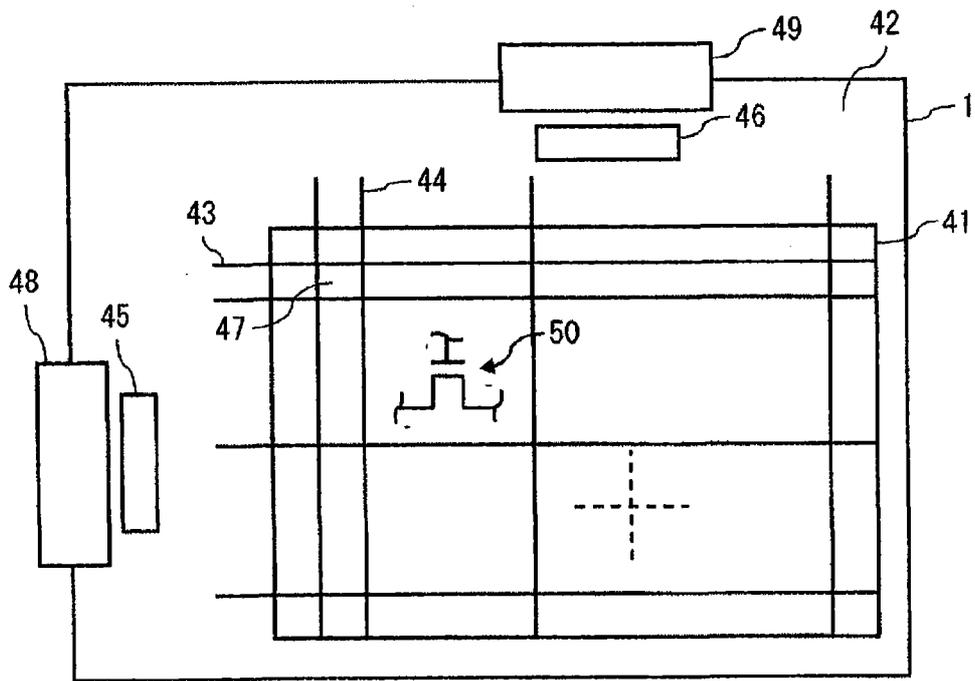


图 1

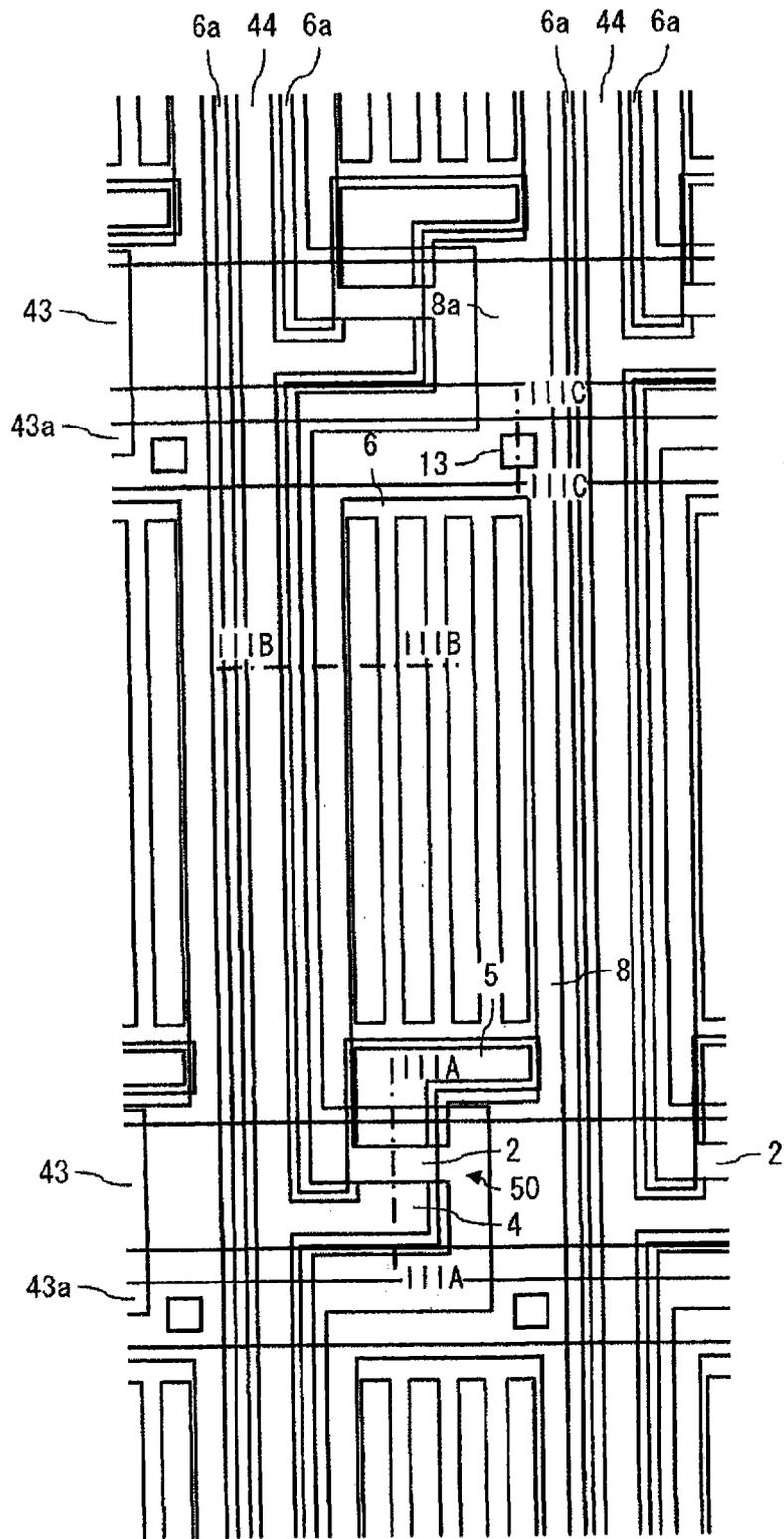


图 2

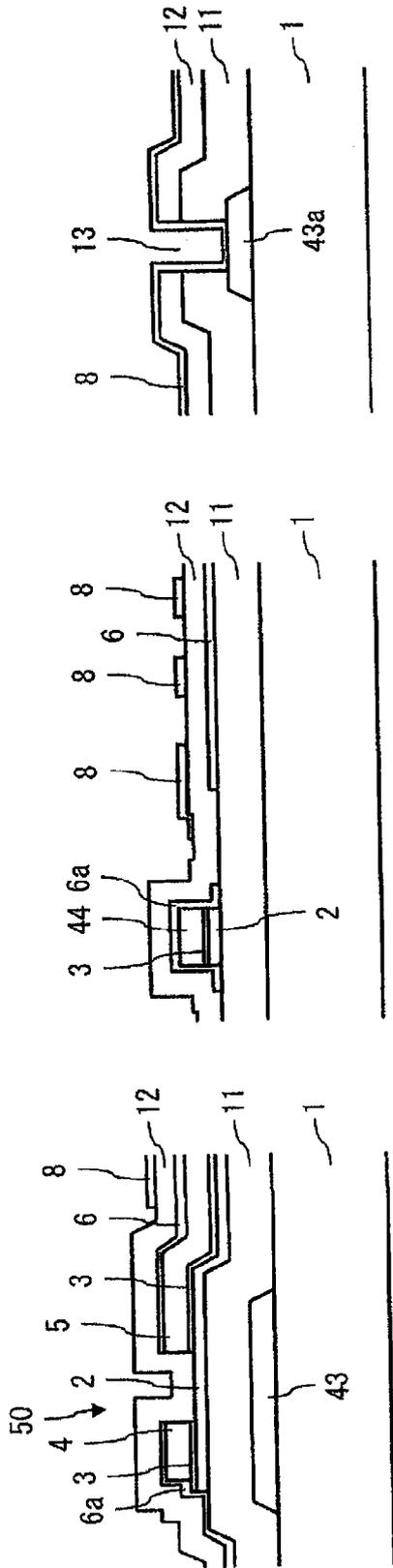


图 3

(c)

(b)

(a)

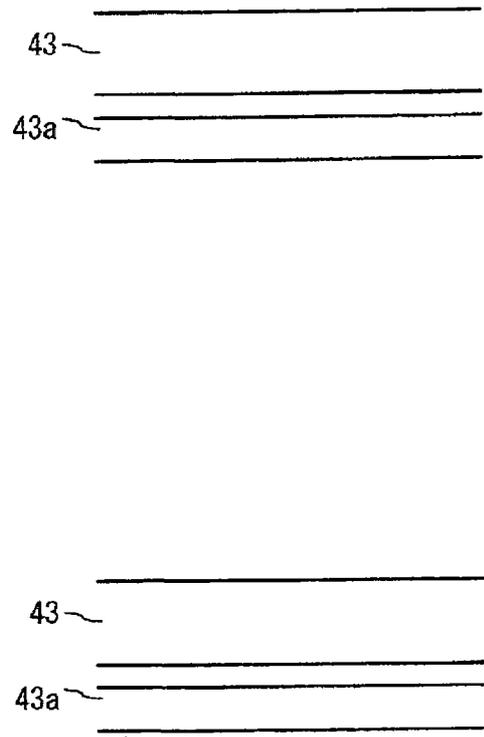


图 4

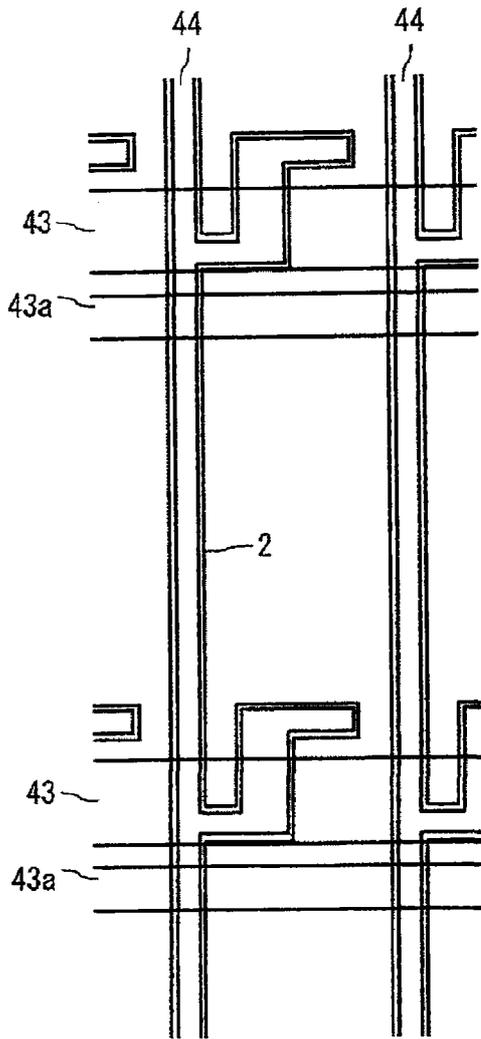


图 5

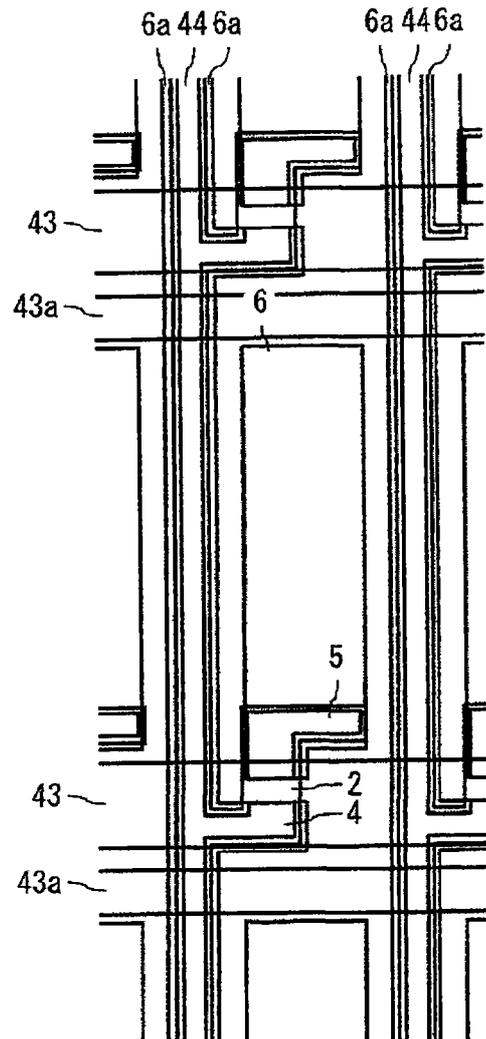


图 6

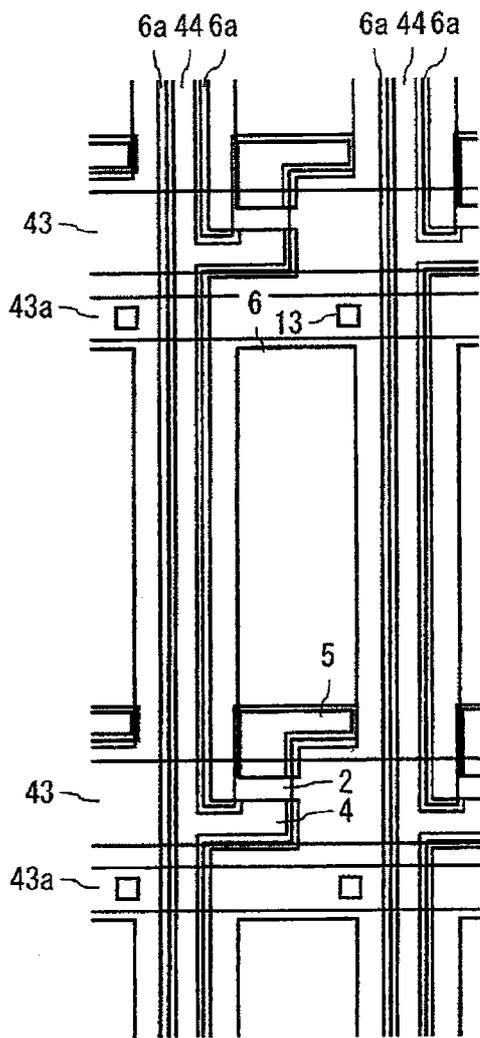


图 7

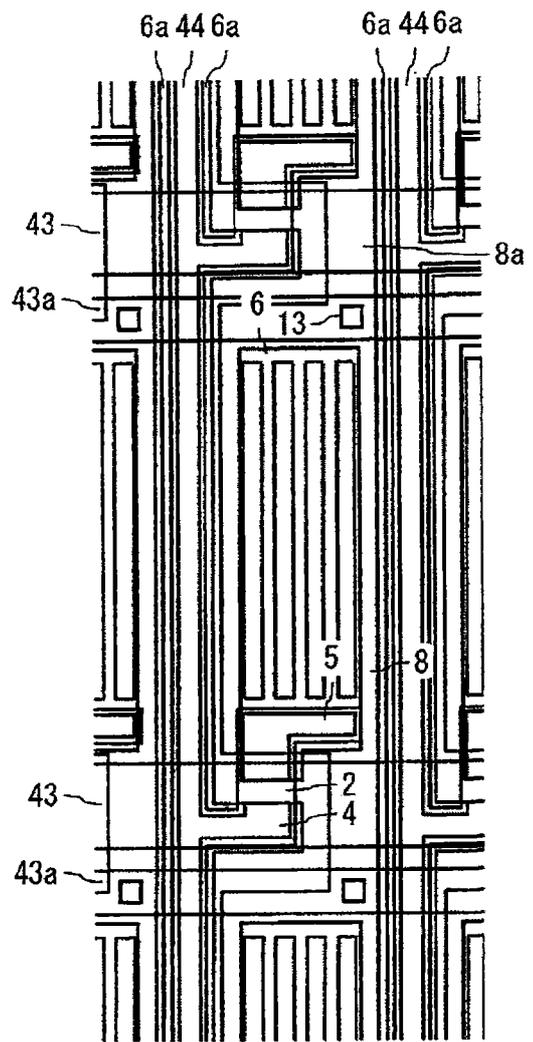


图 8

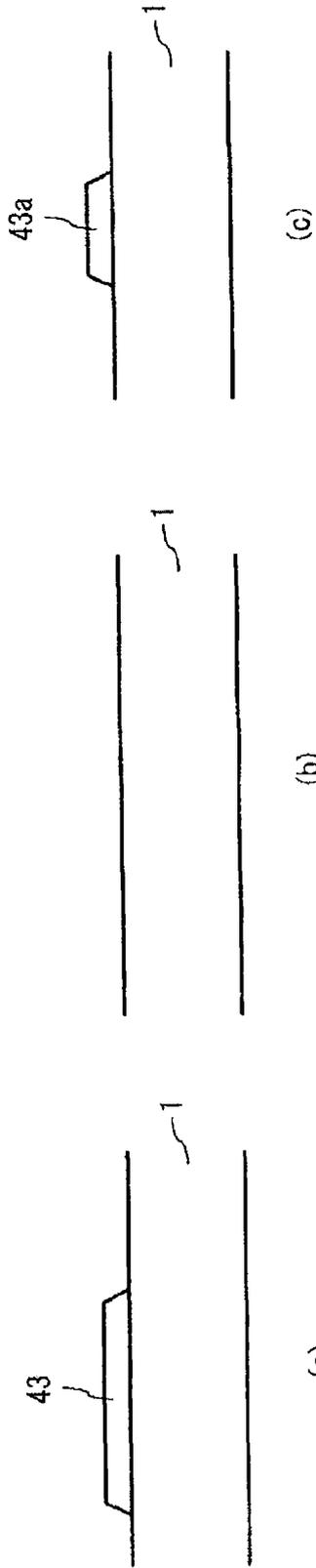


图 9

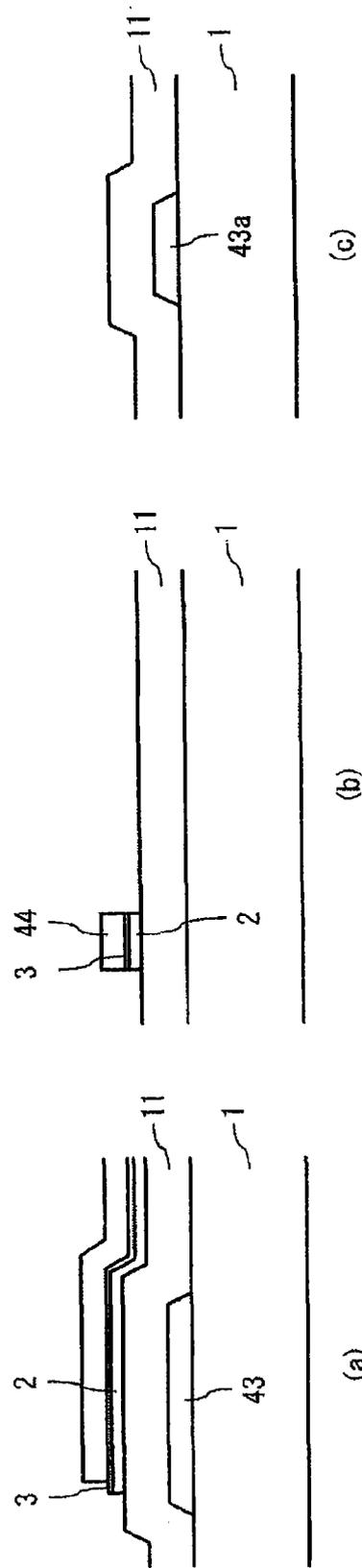


图 10

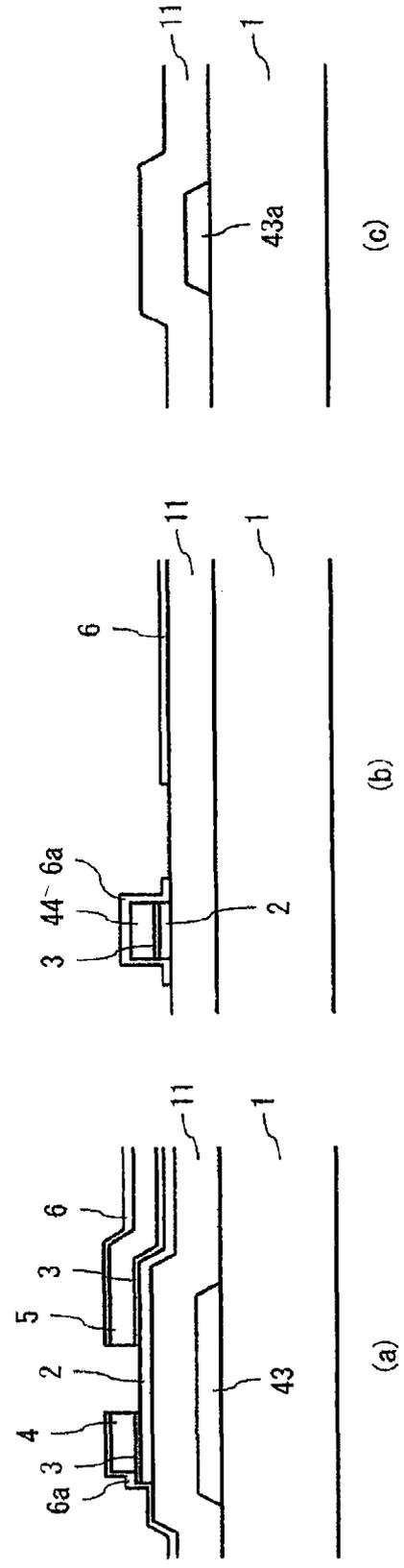


图 11

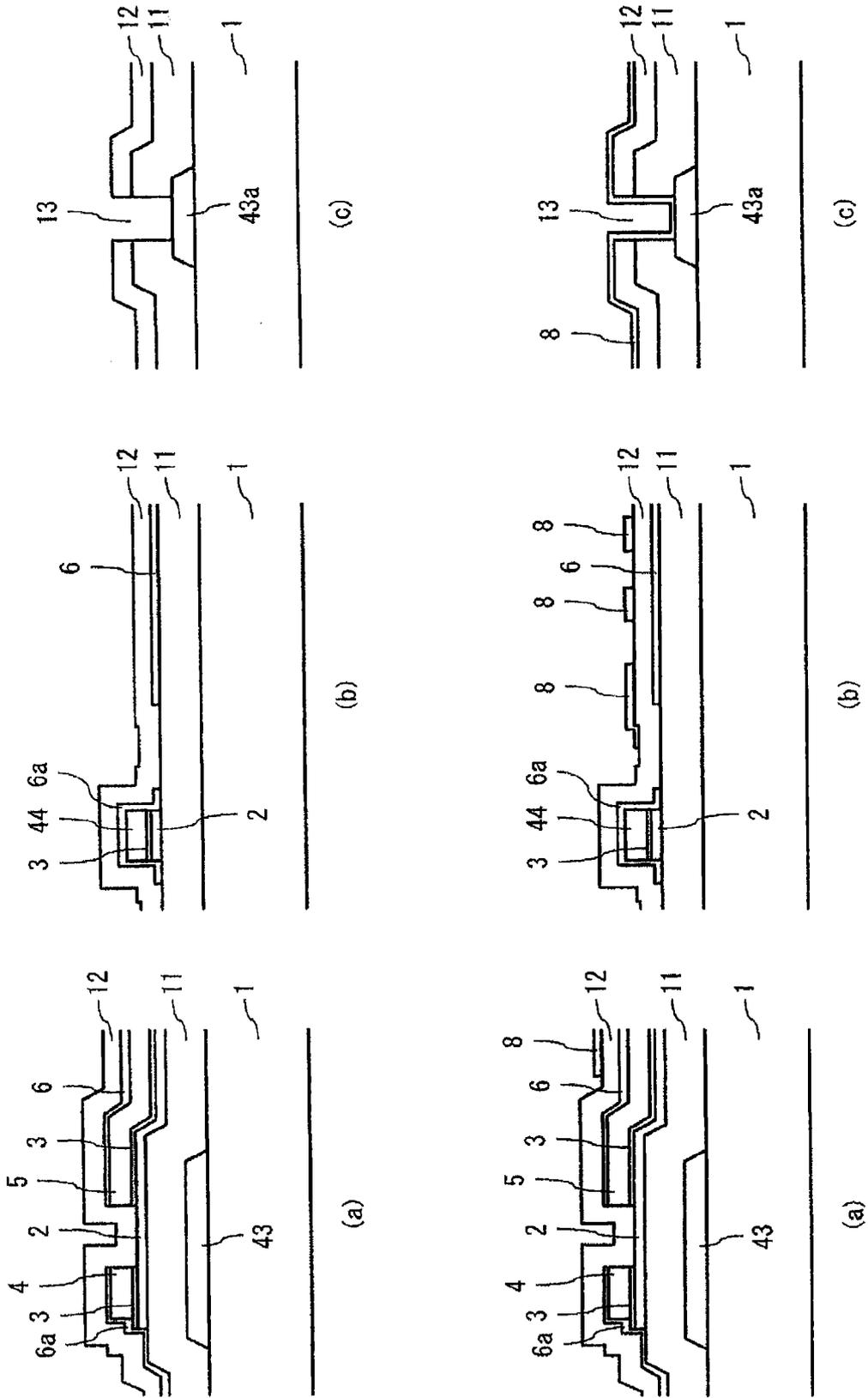


图 12

图 13

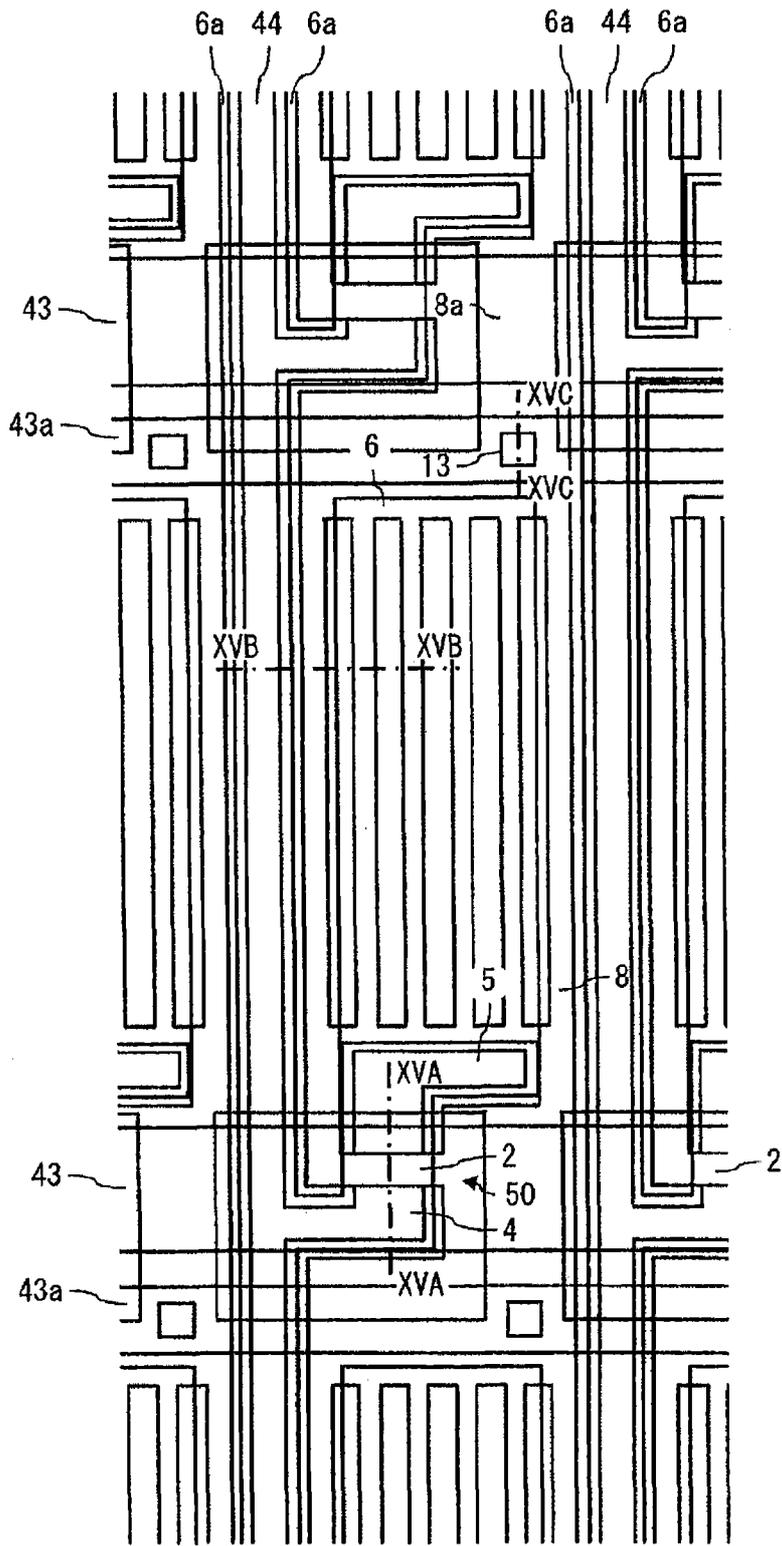


图 14

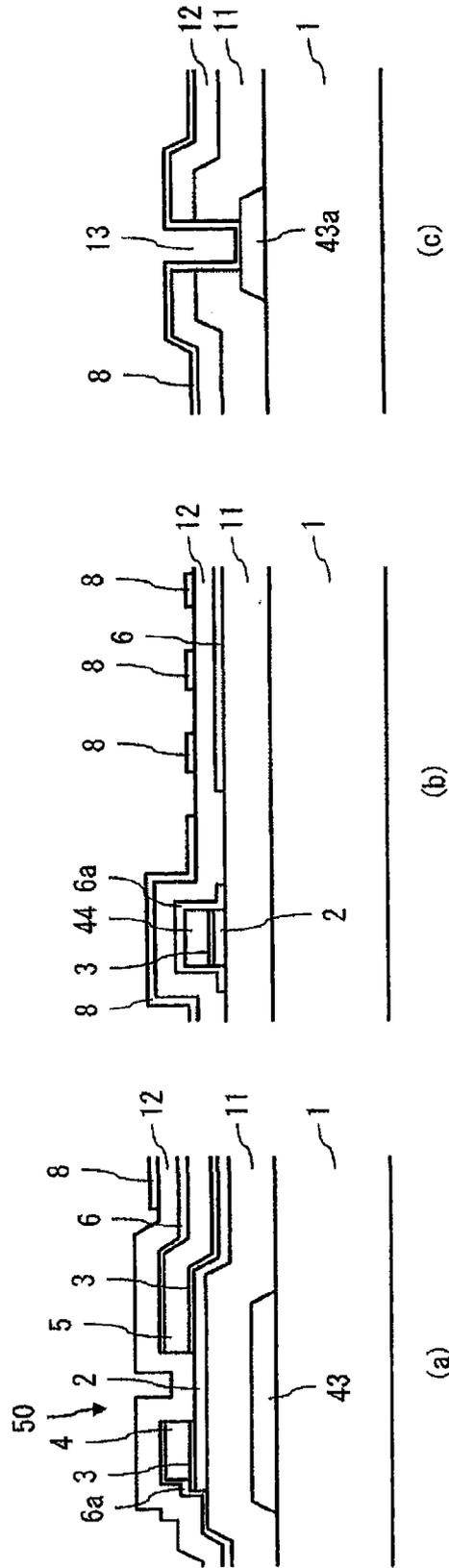


图 15

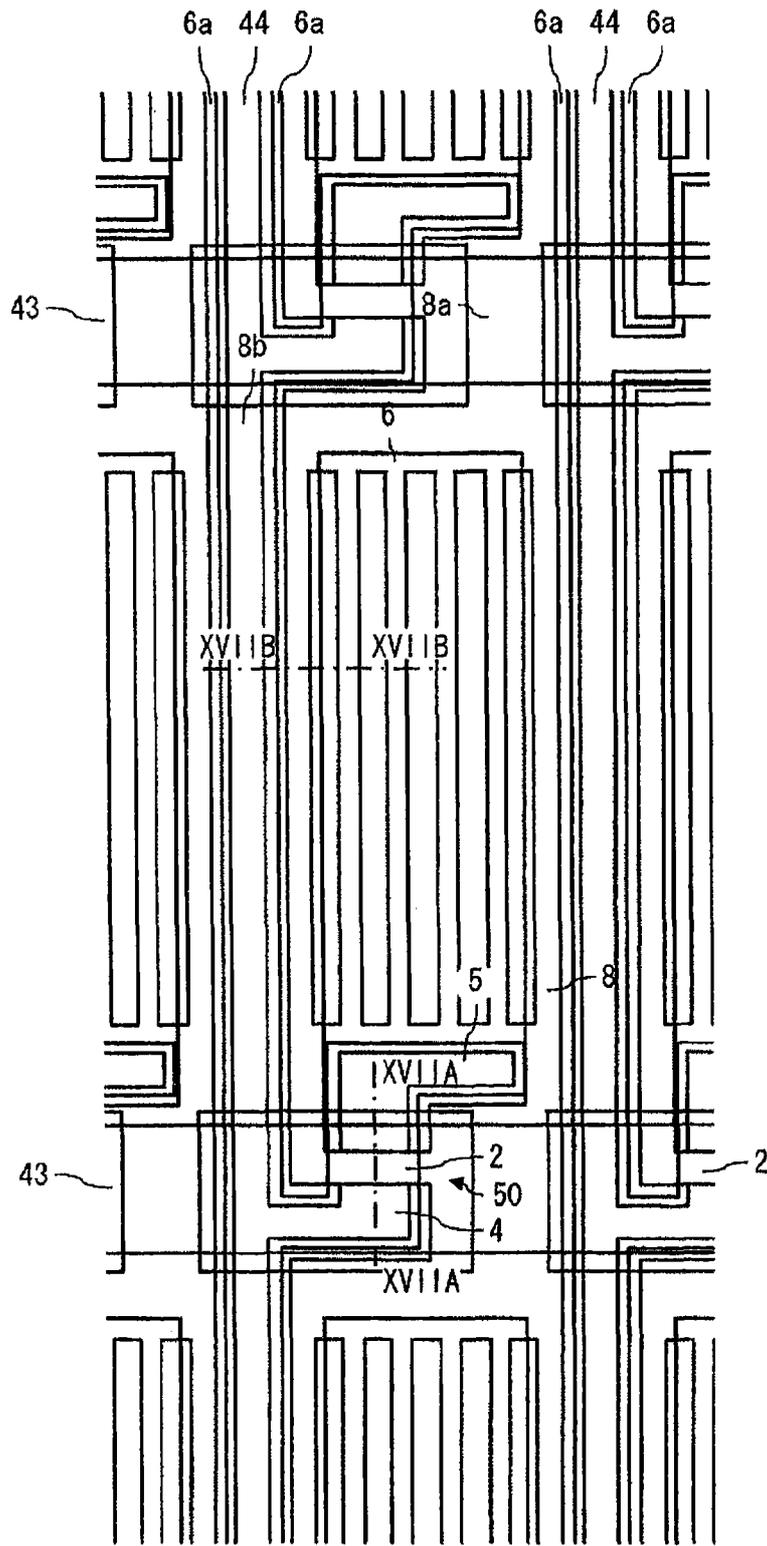


图 16

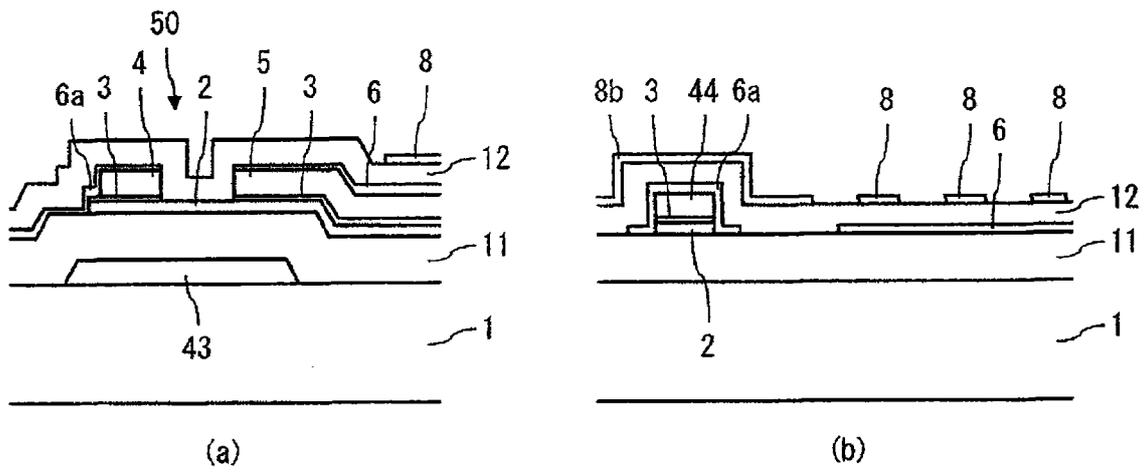


图 17

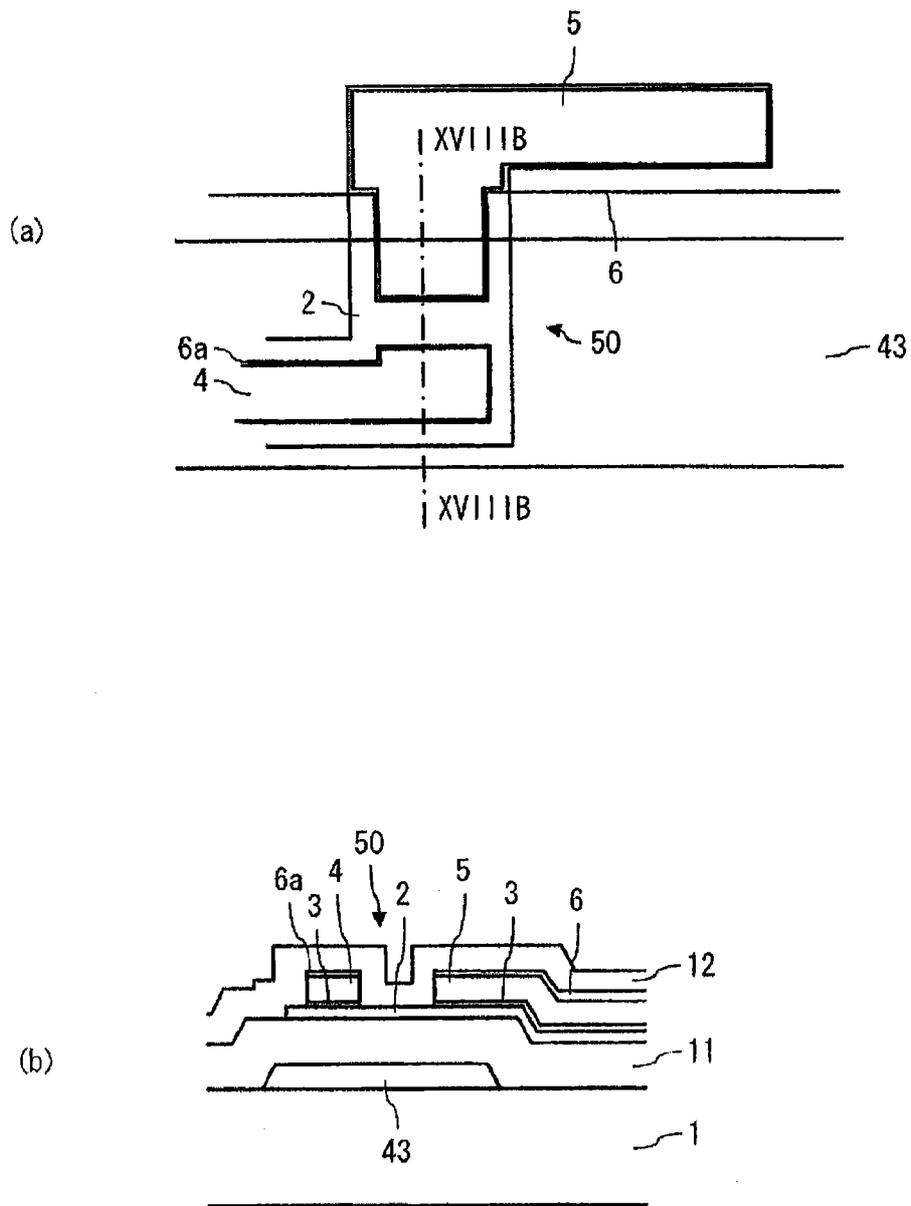


图 18

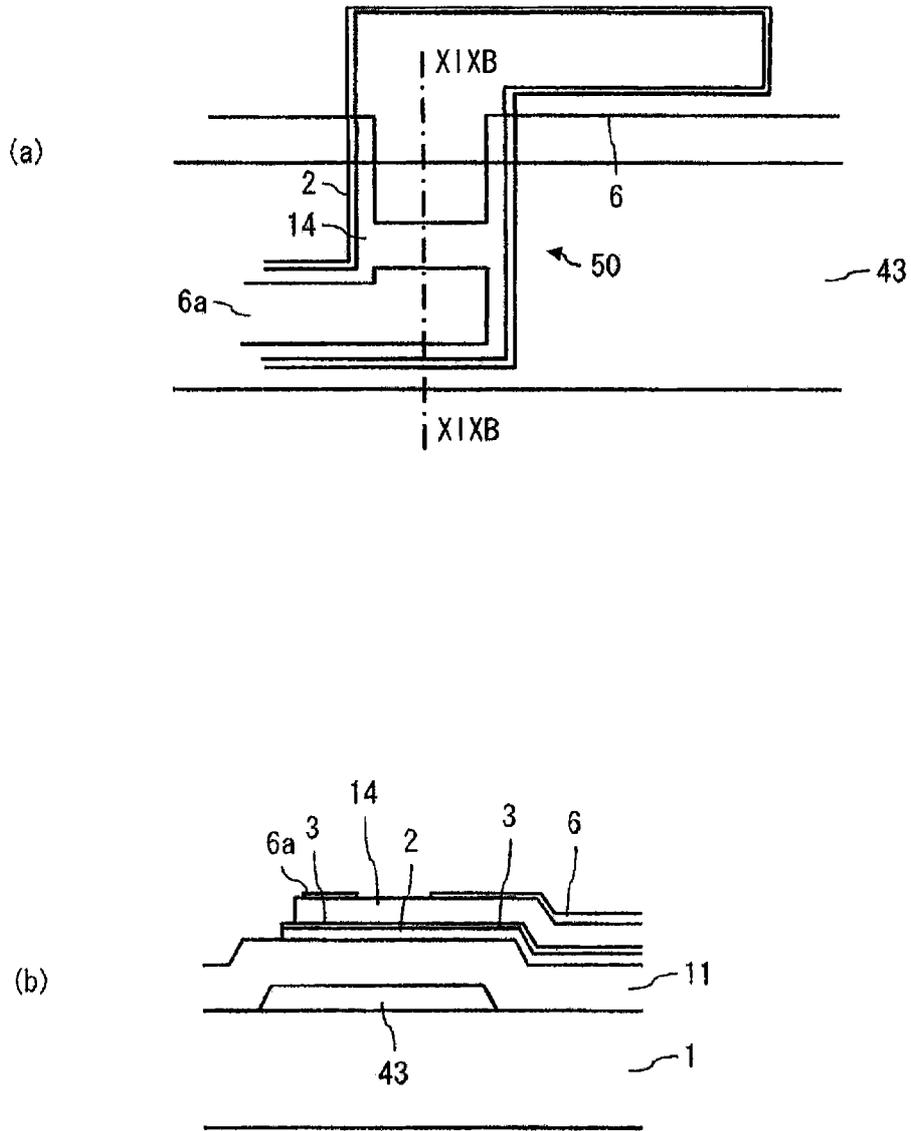


图 19

专利名称(译)	薄膜晶体管阵列基板、其制造方法、及液晶显示装置		
公开(公告)号	<a href="#">CN102540605B</a>	公开(公告)日	2015-09-02
申请号	CN201210007092.7	申请日	2010-01-22
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	永野慎吾 升谷雄一		
发明人	永野慎吾 升谷雄一		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12 H01L21/77		
CPC分类号	G02F1/136286 H01L29/458 G02F2001/134372 H01L27/1288 H01L27/124		
代理人(译)	何立波 张天舒		
审查员(译)	李伟超		
优先权	2009012852 2009-01-23 JP 2009281645 2009-12-11 JP		
其他公开文献	CN102540605A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提供一种在FFS模式的液晶显示装置中，不使用半透过掩模而能够削减光刻工序数的薄膜晶体管阵列基板、其制造方法、及液晶显示装置。本发明的薄膜晶体管阵列基板具备：源极布线(44)，在覆盖栅极布线(43)的栅极绝缘膜(11)上形成；半导体层(2)，在栅极绝缘膜(11)上形成，配置在漏极电极(5)下的大致整个面、源极电极(4)下的大致整个面、源极布线(44)下的大致整个面、栅极电极的对面；像素电极(6)，在漏极电极(5)上直接重叠形成；透明导电图案(6a)，在源极电极(4)和源极布线(44)上，通过与像素电极(6)相同的层直接重叠形成；对置电极(8)，在覆盖像素电极(6)和透明导电图案(6a)的层间绝缘膜(12)上形成，在与像素电极(6)之间使边缘电场产生。

