



(12) 发明专利

(10) 授权公告号 CN 102540595 B

(45) 授权公告日 2015. 04. 08

(21) 申请号 201010620586. 3

(22) 申请日 2010. 12. 31

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 孙阳 黄应龙 吕敬

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

H01L 27/12(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 101221958 A, 2008. 07. 16,

US 2004/0017531 A1, 2004. 01. 29,

US 2004/0017531 A1, 2004. 01. 29,

US 2004/0263460 A1, 2004. 12. 30,

US 2004/0263460 A1, 2004. 12. 30,

审查员 宋萍

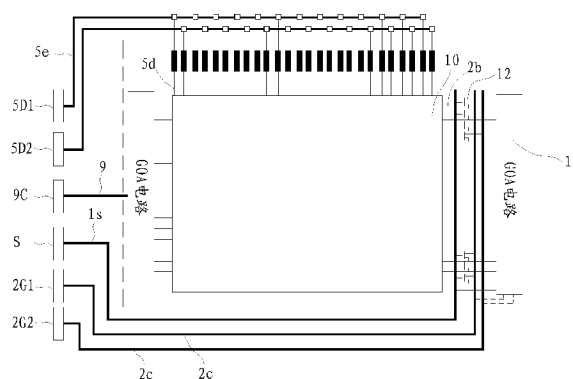
权利要求书2页 说明书9页 附图9页

(54) 发明名称

阵列基板及其制造方法、液晶面板

(57) 摘要

本发明公开了一种阵列基板及其制造方法、液晶面板,涉及液晶显示技术领域,为解决现有技术中难以对包含 GOA 电路的阵列基板进行阵列测试而发明。所述阵列基板包括栅线、栅线测试线、栅线测试端子以及 GOA 电路,所述 GOA 电路与所述栅线连接,所述栅线测试线与所述栅线测试端子连接,其特征在于,还包括栅线测试控制端子、栅线测试控制线以及多个测试薄膜晶体管 TFT,所述栅线测试控制端子连接所述栅线测试控制线,每个所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与一条所述栅线连接、源极与所述栅线测试线连接。本发明阵列基板可用于对包含 GOA 电路的阵列基板进行阵列测试。



1. 一种阵列基板, 包括栅线、栅线测试线、栅线测试端子以及 GOA 电路, 所述 GOA 电路与所述栅线连接, 所述栅线测试线与所述栅线测试端子连接, 其特征在于, 还包括栅线测试控制端子、栅线测试控制线以及多个测试薄膜晶体管 TFT, 所述栅线测试控制端子连接所述栅线测试控制线, 每个所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与一条所述栅线连接、源极与所述栅线测试线连接;

所述栅线测试控制线和所述栅线测试线同时与所述 GOA 电路中的保护端子连接。

2. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述测试 TFT 设置在所述 GOA 电路和相应的所述栅线之间。

3. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述测试 TFT 的栅极通过第一连接电极与所述栅线测试控制线连接。

4. 根据权利要求 3 所述的阵列基板, 其特征在于, 所述测试 TFT 的栅极上方形成有第一连接过孔, 所述栅线测试控制线上方形成有第二连接过孔, 所述第一连接电极分别通过所述第一连接过孔和第二连接过孔将所述测试 TFT 的栅极与所述栅线测试控制线连接。

5. 根据权利要求 3 或 4 所述的阵列基板, 其特征在于, 所述第一连接电极与所述阵列基板显示区域的像素电极同层设置。

6. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述测试 TFT 的漏极通过第二连接电极与所述栅线连接。

7. 根据权利要求 5 所述的阵列基板, 其特征在于, 所述测试 TFT 的漏极上方形成有第三连接过孔, 所述栅线上方形成有第四连接过孔, 所述第二连接电极分别通过所述第三连接过孔和第四连接过孔将所述测试 TFT 的漏极与所述栅线连接。

8. 根据权利要求 6 或 7 所述的阵列基板, 其特征在于, 所述第二连接电极与所述阵列基板显示区域的像素电极同层设置。

9. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述测试 TFT 的源极与所述栅线测试线同层设置。

10. 根据权利要求 1 所述的阵列基板, 其特征在于, 所述测试 TFT 的栅极与显示区域的 TFT 的栅极同层设置, 所述测试 TFT 的源极、漏极与显示区域的 TFT 的源极、漏极同层设置。

11. 一种如权利要求 1-10 中任一项所述的阵列基板的制造方法, 其特征在于, 包括:

步骤 11, 在基板上形成栅线和测试 TFT 的栅极;

步骤 12, 在形成有栅线和测试 TFT 栅极的基板上形成测试 TFT 的有源层、源极、漏极和沟道, 并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子, 所述栅线测试控制端子连接所述栅线测试控制线, 所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与所述栅线连接、源极与所述栅线测试线连接;

所述的阵列基板的制造方法还包括:

在所述基板上形成 GOA 电路。

12. 根据权利要求 11 所述的阵列基板的制造方法, 其特征在于, 所述步骤 12 包括:

步骤 121, 在形成有栅线和测试 TFT 栅极的基板上形成测试 TFT 的有源层、源极、漏极和沟道, 并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子, 所述栅线测试控制端子连接所述栅线测试控制线;

步骤 122, 在形成有测试 TFT 的有源层、源极、漏极和沟道, 以及栅线测试控制线、栅线

测试控制端子、栅线测试线和栅线测试端子的基板上沉积钝化层薄膜,通过构图工艺,在测试 TFT 的栅极上方形成第一连接过孔,在栅线测试控制线上方形成第二连接过孔,在测试 TFT 的漏极上方形成第三连接过孔,在栅线上方形成第四连接过孔;

步骤 123,在形成有各连接过孔的基板上沉积透明导电薄膜,通过构图工艺,形成第一连接电极和第二连接电极,第一连接电极分别通过第一连接过孔和第二连接过孔将测试 TFT 的栅极与栅线测试控制线连接,第二连接电极分别通过第三连接过孔和第四连接过孔将测试 TFT 的漏极与栅线连接。

13. 根据权利要求 12 所述的阵列基板的制造方法,其特征在于,所述步骤 121 包括:

步骤 121a,在形成有栅线和测试 TFT 栅极的基板上沉积栅绝缘薄膜,形成栅绝缘层,并在形成有栅绝缘层的基板上沉积半导体薄膜、掺杂半导体薄膜和源漏金属薄膜,在源漏金属薄膜上涂覆光刻胶;

步骤 121b,对光刻胶进行曝光,光刻胶的完全保留区域对应于测试 TFT 的源极和漏极的图形、栅线测试控制线和栅线测试控制端子的图形、以及栅线测试线和栅线测试端子的图形,光刻胶的半保留区域对应于测试 TFT 的沟道的图形,光刻胶的完全去除区域对应于不需要保留源漏金属薄膜的其他区域;

步骤 121c,去掉光刻胶完全去除区域的半导体薄膜、掺杂半导体薄膜和源漏金属薄膜;

步骤 121d,进行光刻胶灰化,去除测试 TFT 沟道处的全部源漏金属薄膜和掺杂半导体薄膜、以及部分半导体薄膜,形成测试 TFT 的有源层、源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线。

14. 根据权利要求 11-13 中任一项所述的阵列基板的制造方法,其特征在于,在步骤 11 中形成栅线和测试 TFT 栅极的同时,还形成显示区域的 TFT 的栅极。

15. 根据权利要求 11-13 中任一项所述的阵列基板的制造方法,其特征在于,在步骤 12 中形成测试 TFT 的有源层、源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线,同时,还形成显示区域的 TFT 的有源层、源极、漏极和沟道,并形成显示区域的数据线。

16. 根据权利要求 12 或 13 所述的阵列基板的制造方法,其特征在于,在形成第一连接电极和第二连接电极的同时,还形成显示区域的像素电极。

17. 一种液晶面板,其特征在于,包括如权利要求 1-10 中任一项所述的阵列基板,所述保护端子用于输出使测试 TFT 保持关闭的信号。

18. 根据权利要求 17 所述的液晶面板,其特征在于,所述保护端子包括 GOA 电路的接地端或低电压端。

阵列基板及其制造方法、液晶面板

技术领域

[0001] 本发明涉及液晶显示技术领域，尤其涉及一种阵列基板及其制造方法、薄膜晶体管液晶显示器。

背景技术

[0002] 薄膜晶体管液晶显示器的液晶面板包括阵列基板和彩膜基板，在薄膜晶体管液晶显示器的制程中可以分别单独制作阵列基板和彩膜基板，然后再将阵列基板和彩膜基板对盒并填充液晶，以便形成液晶面板。其中在对盒之前，首先要对阵列基板进行阵列测试，测试合格的阵列基板可以进入对盒车间继续加工，测试不合格的阵列基板则需要进行检修。

[0003] 为了对阵列基板进行阵列测试，通常在阵列基板上形成各种测试线。如图 1 所示为一种传统的薄膜晶体管液晶显示器中阵列基板的结构示意图。所述阵列基板包括栅线 2b、数据线 5d 和公共电极线 9，栅线 2b 与显示区域 10 内的薄膜晶体管的栅极连接，数据线 5d 与显示区域 10 内的薄膜晶体管的源极连接。为了测试栅线 2b、数据线 5d 和公共电极线 9，还设有栅线测试端子 2G1 和 2G2、数据线测试端子 5D1 和 5D2、公共电极线测试端子 9C。栅线测试端子 2G1 或 2G2 可以包括多个，各个栅线测试端子 2G1 或 2G2 分别与一条栅线测试线 2c 连接，各条栅线测试线 2c 分别与一部分栅线 2b 连接。数据线测试端子 5D1 或 5D2 也可以包括多个，各个数据线测试端子 5D1 或 5D2 分别与一条数据线测试线 5e 连接，各条数据线测试线分别与一部分数据线 5d 连接。其中，各测试端子以及测试线形成在玻璃基板的空白处，经过对盒、切割工序后，液晶面板仅包括图 1 中虚线所示的区域，形成有测试端子、测试线以及部分数据线、栅线和公共电极引出端的空白区域则被切割掉。

[0004] 如图 2 所示，目前在一些薄膜晶体管液晶显示器的液晶面板中，可以将栅线驱动电路通过构图工艺制作在阵列基板上，这种栅线驱动电路称为 GOA 电路 11 (Gate On Array, 简称 GOA)。一般而言，GOA 电路 11 制作在阵列基板的显示区域 10 两侧的空白区域中，并与各条栅线连接以用于驱动栅线。

[0005] 对于图 1 所示的阵列基板的测试结构而言，当阵列基板采用如图 2 所示的 GOA 电路时，如果将栅线测试线制作在阵列基板中并使之与各栅线直接连接，就会导致各栅线既与 GOA 电路直接连接又与栅线测试线直接连接，容易产生驱动错误。为此一般难以将栅线测试线制作在阵列基板上并使之与各栅线直接连接，这样需要经过 GOA 电路对栅线加载测试信号，这就为包含 GOA 电路的阵列基板的阵列测试带来了困难。

发明内容

[0006] 本发明的实施例提供一种阵列基板及其制造方法、液晶面板，以解决现有技术中难以对包含 GOA 电路的阵列基板进行阵列测试的问题。为达到上述目的，本发明的实施例采用如下技术方案：

[0007] 本发明实施例提供一种阵列基板，包括栅线、栅线测试线、栅线测试端子以及 GOA 电路，所述 GOA 电路与所述栅线连接，所述栅线测试线与所述栅线测试端子连接，还包括栅

线测试控制端子、栅线测试控制线以及多个测试薄膜晶体管 TFT, 所述栅线测试控制端子连接所述栅线测试控制线, 每个所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与一条所述栅线连接、源极与所述栅线测试线连接。

[0008] 本发明实施例提供了一种如前所述阵列基板的制造方法, 所述方法包括: 步骤 11, 在基板上形成栅线和测试 TFT 的栅极; 步骤 12, 在形成有栅线和测试 TFT 栅极的基板上形成测试 TFT 的有源层、源极、漏极和沟道, 并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子, 所述栅线测试控制端子连接所述栅线测试控制线, 所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与所述栅线连接、源极与所述栅线测试线连接。

[0009] 本发明实施例还提供了一种液晶面板, 包括如前所述的阵列基板, 且所述栅线测试控制线与 GOA 电路中的保护端子连接和 / 或所述栅线测试线与 GOA 电路中的保护端子连接, 所述保护端子用于输出使测试 TFT 保持关闭的信号。

[0010] 本发明实施例提供的阵列基板、阵列基板制造方法以及液晶面板, 通过每个所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与一条所述栅线连接、源极与所述栅线测试线连接, 当所述栅线测试控制线为低电平时, 所述测试 TFT 关闭, 所述栅线测试线上的测试信号不会输入到所述栅线上, 所述栅线可以在所述 GOA 电路的驱动下正常工作; 当所述栅线测试控制线为高电平时, 所述测试 TFT 打开, 所述栅线测试线上的测试信号输入到所述栅线上, 实现了对包含 GOA 电路的阵列基板进行阵列测试。

附图说明

[0011] 为了更清楚地说明本发明实施例或现有技术中的技术方案, 下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍, 显而易见地, 下面描述中的附图是本发明的一些实施例, 对于本领域普通技术人员来讲, 在不付出创造性劳动性的前提下, 还可以根据这些附图获得其他的附图。

[0012] 图 1 为现有技术薄膜晶体管显示器中阵列基板的结构示意图;

[0013] 图 2 为现有技术液晶面板中带有 GOA 电路的阵列基板示意图;

[0014] 图 3 为本发明实施例阵列基板的结构示意图;

[0015] 图 4a 为图 3 所示阵列基板中测试 TFT 与栅线测试控制线、栅线和栅线测试线连接的平面示意图;

[0016] 图 4b 为图 4a 中 A4-A4 方向的截面图;

[0017] 图 4c 为图 4a 中 B4-B4 方向的截面图;

[0018] 图 4d 为图 4a 中 C4-C4 方向的截面图;

[0019] 图 5a 为本发明阵列基板第一次构图工艺后的平面示意图;

[0020] 图 5b 为图 5a 中 A5-A5 方向的截面图;

[0021] 图 5c 为图 5a 中 B5-B5 方向的截面图;

[0022] 图 5d 为图 5a 中 C5-C5 方向的截面图;

[0023] 图 6a 为本发明阵列基板第二次构图工艺后的平面示意图;

[0024] 图 6b 为图 6a 中 A6-A6 方向的截面图;

[0025] 图 6c 为图 6a 中 B6-B6 方向的截面图;

- [0026] 图 6d 为图 6a 中 C6-C6 方向的截面图；
[0027] 图 7a 为本发明阵列基板第三次构图工艺后的平面示意图；
[0028] 图 7b 为图 7a 中 A7-A7 方向的截面图；
[0029] 图 7c 为图 7a 中 B7-B7 方向的截面图；
[0030] 图 7d 为图 7a 中 C7-C7 方向的截面图；
[0031] 图 8 为本发明实施例阵列基板制造方法的示意图。

具体实施方式

[0032] 下面结合附图对本发明实施例阵列基板及其制造方法、液晶面板进行详细描述。

[0033] 应当明确，所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0034] 如图 3 所示，为本发明阵列基板一个实施例的结构示意图。所述阵列基板包括栅线 2b、栅线测试线 2c、栅线测试端子 2G1 和 2G2、以及 GOA 电路 11，GOA 电路 11 与各条栅线 2b 连接，每条栅线测试线 2c 分别与一个栅线测试端子连接，如图栅线测试线 2c 与栅线测试端子 2G1 或 2G2 连接，还包括栅线测试控制端子 S、栅线测试控制线 1s、以及多个测试薄膜晶体管 TFT12，栅线测试控制端子 S 连接栅线测试控制线 1s，每个测试 TFT12 的栅极与栅线测试控制线 1s 连接、源极与栅线测试线 2c 连接，漏极与一条栅线 2b 连接。

[0035] 本实施例中的阵列基板，通过每个测试 TFT12 的栅极与栅线测试控制线 1s 连接、源极与栅线测试线 2c 连接，漏极与一条栅线 2b 连接，当栅线测试控制线 1s 为低电平时，测试 TFT12 关闭，栅线测试线 2c 上的测试信号不会输入到栅线 2b 上，栅线 2b 可以在 GOA 电路 11 的驱动下正常工作；当栅线测试控制线 1s 为高电平时，测试 TFT12 打开，栅线测试线 2c 上的测试信号能够输入到栅线 2b 上，实现对包含 GOA 电路 11 的阵列基板进行阵列测试。

[0036] 另外，本实施例中每条栅线 2b 上连接一个测试 TFT12，当栅线测试控制线 1s 上为高电平时，各测试 TFT12 的栅极均为高电平，但只有与测试 TFT12 的源极相连接的栅线测试端子向测试 TFT12 输入高电平时，对应的栅线 2b 与栅线测试线 2c 导通，并通过栅线测试线 2c 向该条栅线 2b 输入测试信号，而其余栅线 2b 上均未输入测试信号，因此各条栅线 2b 之间互不影响。

[0037] 其中，测试 TFT12 设置在阵列基板右侧的 GOA 电路 11 和栅线 2b 之间，通常情况下在构图工艺中将测试 TFT12 构造在该 GOA 电路 11 所在区域和栅线 2b 所在区域之间的区域中。此时测试 TFT12 相当于一个开关，栅线测试控制线 1s 为高电平就可以驱动测试 TFT12 打开，并向栅线 2b 上输入测试信号。此外，本实施例中将测试 TFT12 设置在 GOA 电路 11 和栅线 2b 之间，可以通过测试 TFT12 直接向栅线 2b 输入测试信号，由于向栅线 2b 输入的测试信号无需经过 GOA 电路，因此减小了向栅线 2b 输入测试信号的复杂性，降低了阵列测试成本，提高了测试的准确度。

[0038] 需要说明的是，栅线测试线 2c 的条数可以是多个，每个栅线测试线 2c 通过各个测试 TFT12 与部分栅线 2b 连接，使得每条栅线 2b 都能够被测试。为了便于描述，图 3 中示出了两条栅线测试线 2c，每条栅线测试线 2c 与一个栅线测试端子 2G1 或 2G2 连接。

[0039] 与栅线测试线 2c 的数目相适应，栅线测试端子 2G1 和 2G2 的数目也可以是多个。

本实施例中,栅线测试端子包括两个,其中第奇数条栅线 2b 通过一条栅线测试线 2c 与栅线测试端子 2G1 连接,第偶数条栅线 2b 通过另一条栅线测试线 2c 与栅线测试端子 2G2 连接。这样在进行阵列测试时,如果向与第奇数条栅线连接的栅线测试端子 2G1 施加测试信号时检测出不良,则可以检修第奇数条栅线,而无需检修第偶数条栅线;如果向与第偶数条栅线连接的栅线测试端子 2G2 施加测试信号时检测出不良,则可以检修第偶数条栅线,而无需检修第奇数条栅线。因此当检测出不良时,可以缩小待检修的栅线范围,提高检修效率。

[0040] 如图 3 所示的阵列基板中,在阵列测试完毕并经过对盒、切割工序后,液晶面板仅包括图 3 中虚线所示的区域,形成有测试端子和控制端子以及部分控制线、测试线、数据线、栅线和公共电极引出端的空白区域则被切割掉。需要说明的是,图 3 中虚线所示的液晶面板还包括测试 TFT12 以及部分栅线测试控制线 1s 和栅线测试线 2c,如果经过对盒、切割工序形成液晶面板之后,保留在液晶面板内的栅线测试控制线 1s 末端和栅线测试线 2c 末端同时接收到了高电平信号(如干扰信号)时,则有可能导致阵列基板上各奇数条栅线 2b 相互连通或各偶数条栅线相互连通,进而导致液晶面板无法正常显示。

[0041] 为了避免上述问题,可以采用如下方式:

[0042] 第一种方式,如图 3 所示的阵列基板中,栅线测试控制线 1s 除了与栅线测试控制端子 S 连接之外,还可以与 GOA 电路 11 中的保护端子连接(图 3 中未示出该保护端子),该保护端子可以是一个用于输出使测试 TFT12 保持关闭的信号端子。例如,可以是接地端。或者,如果测试 TFT12 为 N 型 TFT,则该保护端子还可以是低电压端。其中,在图 3 所示阵列基板的测试阶段,GOA 电路不上电,即所述保护端子上没有输出接地信号或低电压信号,这样所述保护端子不会影响测试。但是,在对盒形成液晶面板之后,GOA 电路上电,所述保护端子输出接地信号或低电压信号,可以使与栅线测试控制线 1s 末端连接的测试 TFT12 保持可靠的关闭。

[0043] 第二种方式,如图 3 所示的阵列基板中,栅线测试线 2c 除了与栅线测试端子 2G1 或 2G2 连接之外,也可以与 GOA 电路 11 中的保护端子连接(如 3 中该连接以虚线表示,且图 3 中未示出该保护端子)。同样地,该保护端子可以是一个用于输出使测试 TFT12 保持关闭的信号端子。例如,可以是接地端。或者,如果测试 TFT12 为 N 型 TFT,则该保护端子还可以是低电压端。其中,在图 3 所示阵列基板的测试阶段,GOA 电路不上电,即所述保护端子上没有输出接地信号或低电压信号,这样所述保护端子不会影响测试。但是,在对盒形成液晶面板之后,GOA 电路上电,所述保护端子输出接地信号或低电压信号,即使与栅线测试控制线 1s 末端为高电平,栅线测试线 2c 也无法向栅线 2b 输入测试信号,进而不会使多条栅线相互连通。

[0044] 需要说明的是,从上面的描述可知保留在液晶面板内的栅线测试控制线 1s 末端和栅线测试线 2c 末端同时接收到了高电平信号(如干扰信号)时,才有可能导致阵列基板上各奇数条栅线 2b 相互连通或各偶数条栅线相互连通。因此,本实施例中将栅线测试控制线 1s 与栅线测试线 2c 分开设置,当栅线测试控制线 1s 接收到高电平信号时栅线测试线 2c 未必会接收到高电平信号,或当栅线测试线 2c 接收到高电平信号时栅线测试控制线 1s 未必会接收到高电平信号,这样就降低了使各奇数条栅线 2b 或各偶数条栅线 2b 相互连通的风险。

[0045] 当然,也可以栅线测试控制线 1s、栅线测试线 2c 同时与 GOA 电路 11 中的保护端子

连接。

[0046] 图 3 中,阵列基板上还形成有数据线测试端子 5D1 和 5D2、数据线测试线 5e、数据线 5d、以及公共电极线测试端子 9C、公共电极线 9,对于数据线 5d 和公共电极线 9 可以采用现有的测试方法进行测试。

[0047] 图 4a 所示为图 3 中测试 TFT12 与栅线测试控制线 1s、栅线 2b 以及栅线测试线 2c 连接的示意图,图 4b 为图 4a 中 A4-A4 方向的截面图,图 4c 为图 4a 中 B4-B4 方向的截面图,图 4d 为图 4a 中 C4-C4 方向的截面图。

[0048] 图 4a 中主要示出了测试 TFT12 的平面结构,测试 TFT12 可以和显示区域的 TFT 同时同层形成。本发明提供的阵列基板中,测试 TFT12 的栅极 12a、栅线 2b 和显示区域的 TFT 的栅极形成在玻璃基板 1 上。测试 TFT12 的有源层形成在栅极 12a 上,显示区域的 TFT 的有源层形成在其栅极上,测试 TFT12 的有源层可以包括半导体层 4a 和掺杂半导体层 4b,显示区域的 TFT 的有源层也可以包括半导体层和掺杂半导体层。测试 TFT12 的漏极 12b 和源极 12c 形成在有源层上,漏极 12b 和源极 12c 之间形成沟道,漏极 12b 和栅线 2b 连接,源极 12c 和栅线测试线 2c 连接。显示区域的 TFT 的源极和漏极形成在显示区域的有源层上,源极和漏极之间形成沟道,源极与数据线连接,漏极通过过孔与像素电极连接。

[0049] 对于测试 TFT 而言,其栅极 12a 通过第一连接电极 7a 与栅线测试控制线 1s 连接。由于在本实施例中,栅线测试控制线 1s 与栅线垂直设置,测试 TFT 的栅极 12a 与栅线同层设置,因此,将测试 TFT 的栅极 12a 和栅线测试控制线 1s 设置在不同的金属层,如,将栅线测试控制线 1s 与显示区域的 TFT 的数据线同层设置,因此需要通过过孔将二者连接。具体地,在栅极 12a 上方形成有第一连接过孔 6a,栅线测试控制线 1s 上方形成有第二连接过孔 6b,第一连接电极 7a 分别通过第一连接过孔 6a 和第二连接过孔 6b 将栅极 12a 与栅线测试控制线 1s 连接。

[0050] 测试 TFT 漏极 12b 通过第二连接电极 7b 与栅线 2b 连接。由于栅线 2b 和漏极 12b 设置在不同的金属层,因此需要通过过孔将二者连接。具体地,在漏极 12b 上方形成有第三连接过孔 6c,在栅线 2b 上方形成有第四连接过孔 6d,第二连接电极 7b 分别通过第三连接过孔 6c 和第四连接过孔 6d 将漏极 12b 与栅线 2b 连接。

[0051] 测试 TFT 12 中第一连接电极 7a 和第二连接电极 7b 可以与显示区域的像素电极同层设置,即,可以采用同一层透明导电薄膜形成。

[0052] 其源极 12c 和栅线测试线 2c 可以是同层设置,即由同一层金属形成,源极 12c 和栅线测试线 2c 直接连接(如图 4a 所示),优选地,源极 12c、漏极 12b 和栅线测试线 2c 与显示区域的数据线同层设置且同步形成。或者,源极 12c 和栅线测试线 2c 也可以不同层设置,可以通过连接电极和过孔将源极 12c 和栅线测试线 2c 连接。

[0053] 下面将结合具体的例子来说明上述阵列基板的制造工艺。在以下说明中,本发明实施例所称的构图工艺包括光刻胶涂覆、掩模、曝光、以及刻蚀等工艺。

[0054] 如图 5a 所示为本发明实施例阵列基板第一次构图工艺后的平面示意图,图 5b 为图 5a 中 A5-A5 方向的截面图,图 5c 为图 5a 中 B5-B5 方向的截面图,图 5d 为图 5a 中 C5-C5 方向的截面图。首先采用溅射或热蒸发的方法在基板 1(如玻璃基板或石英基板)上沉积一层栅金属薄膜。栅金属薄膜可以使用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属及其合金,栅金属薄膜也可以由多层金属薄膜组成。然后采用普通掩模板,通过第一次构图工艺对栅金属薄膜

进行刻蚀,在基板 1 上形成测试 TFT12 的栅极 12a 以及栅线 2b 的图形。在第一次构图工艺中,同时还可以形成显示区域的 TFT 的栅极。

[0055] 如图 6a 所示为本发明阵列基板第二次构图工艺后的平面示意图,图 6b 为图 6a 中 A6-A6 方向的截面图,图 6c 为图 6a 中 B6-B6 方向的截面图,图 6d 为图 6a 中 C6-C6 方向的截面图。首先,通过等离子体增强化学气相沉积方法连续沉积栅绝缘薄膜、形成栅绝缘层 3。栅绝缘薄膜可以选用氧化物、氮化物或者氮氧化合物,对应的反应气体可以为 SiH_4 、 NH_3 、 N_2 的混合气体或 SiH_2Cl_2 、 NH_3 、 N_2 的混合气体。之后,在形成有栅绝缘层 3 的基板上形成有源层薄膜,有源层薄膜可以包括半导体薄膜和掺杂半导体薄膜。再之后,在掺杂半导体薄膜上通过溅射或热蒸发的方法沉积源漏金属薄膜,源漏金属薄膜可以选用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属及其合金。在沉积完源漏金属薄膜后,通过第二次构图工艺进行刻蚀,形成测试 TFT12 的有源层、漏极 12b、源极 12c、栅线测试控制线 1s、栅线测试线 2c、栅线测试控制端子 S(图 6a-6d 中没有示出栅线测试控制端子)、栅线测试端子 2G1 和 2G2(图 6a-6d 中没有示出栅线测试端子)、以及测试 TFT12 的沟道图形。其中,源极 12c 与栅线测试线 2c 直接连接,栅线测试控制端子 S 与栅线测试控制线 1s 连接。栅线测试端子 2G1 和 2G2 与相应的栅线测试线 2c 连接,沟道处的掺杂半导体薄膜被全部刻蚀掉、半导体薄膜被部分刻蚀掉。有源层包括半导体层 4a 和掺杂半导体层 4b。在第二次构图工艺中,还可以一并形成显示区域的 TFT 的栅绝缘层、有源层、源极、漏极、沟道以及数据线的图形。

[0056] 其中需要说明的是,由图 4a 可以看出,栅线测试控制线 1s 和栅线测试线 2c 在空间上与栅线 2b 均有交叉,因此栅线测试控制线 1s 和栅线测试线 2c 不能与栅线 2b 采用同一种金属制成,即栅线测试控制线 1s 和栅线测试线 2c 不能与栅线 2b 位于同一金属层,以免栅线测试控制线 1s 或栅线测试线 2c 与栅线 2b 连通。为此,本实施例中将栅线测试控制线 1s 和栅线测试线 2c 制作在源漏薄膜层上,即栅线测试控制线 1s 和栅线测试线 2c 与测试 TFT12 的漏极 12b 和源极 12c 位于同一金属层。

[0057] 第二次构图工艺可以是一个多次刻蚀的工艺,其中可以使用半色调或灰色调掩模板。具体地,在沉积完源漏金属薄膜后,涂覆光刻胶,然后曝光。测试 TFT12 的漏极 12b 和源极 12c、栅线测试控制线 1s、栅线测试控制端子 S、栅线测试线 2c 以及栅线测试端子 2G1 和 2G2 对应于光刻胶完全保留区域,测试 TFT12 的沟道处对应于光刻胶半保留区域,其他区域对应于光刻胶的完全去除区域。需要说明的是,由于显示区域也需要形成 TFT,显示区域的 TFT 可以与测试 TFT12 同步形成,显示区域的源极、漏极和数据线可以也对应于光刻胶完全保留区域,沟道处对应于光刻胶半保留区域,其他的不需要保留源漏金属薄膜的区域可以对应于光刻胶完全去除区域。

[0058] 第一次刻蚀后,去掉光刻胶完全去除区域的半导体膜、掺杂半导体膜和源漏金属薄膜。

[0059] 进行光刻胶灰化工艺,去除测试 TFT12 和显示区域的 TFT 的沟道处的光刻胶。然后通过第二次刻蚀,去除沟道处的掺杂半导体薄膜和部分半导体薄膜,形成测试 TFT12 和显示区域的 TFT 的源极和漏极、并形成栅线测试控制线、栅线测试控制端子、栅线测试线、栅线测试端子以及数据线的图形。其中需要注意,在光刻胶完全保留的区域中,不仅在漏极 12b 和源极 12c 的下方形成了有源层,在栅线测试控制线、栅线测试控制端子、栅线测试线和栅线测试端子的下方也保留有有源层材料。例如,参见图 4b、图 6b 和图 7b,在栅线测试

控制线 1s 下方保留由有源层材料。

[0060] 如图 7a 所示为本发明阵列基板第三次构图工艺后的平面示意图,图 7b 为图 7a 中 A7-A7 方向的截面图,图 7c 为图 7a 中 B7-B7 方向的截面图,图 7d 为图 7a 中 C7-C7 方向的截面图。在阵列基板上通过等离子体增强化学气相沉积方法沉积钝化层薄膜,钝化层薄膜可以采用氧化物、氮化物或者氮氧化合物,对应的反应气体可以为 SiH_4 、 NH_3 、 N_2 的混合气体或 SiH_2Cl_2 、 NH_3 、 N_2 的混合气体。然后采用普通掩模板,通过第三次构图工艺,在栅极 12a 上方的钝化层 6 中形成第一连接过孔 6a,在栅线测试控制线 1s 上方的钝化层 6 中形成第二连接过孔 6b;在漏极 12b 上方的钝化层 6 中形成第三连接过孔 6c,在栅线 2b 上方的钝化层 6 中形成第四连接过孔 6d。在第三次构图工艺中,还可以形成显示区域的漏极对应的像素电极过孔。

[0061] 在形成各个连接过孔之后的基板上,通过溅射或者热蒸发的方法沉积透明导电薄膜,透明导电薄膜可以为氧化铟锡 (Indium Tin Oxide,简称 ITO)。采用普通掩模板,通过第四次构图形成第一连接电极 7a 和第二连接电极 7b 的图形。第一连接电极 7a 分别通过第一连接过孔 6a 和第二连接过孔 6b 将栅极 12a 与栅线测试控制线 1s 连接,第二连接电极 7b 分别通过第三连接过孔 6c 和第四连接过孔 6d 将漏极 12b 和栅线 2b 连接。经过第四次构图工艺后的平面图和截面图如图 4a、4b、4c 和 4d 所示。在第四次构图工艺中,还可以一并形成显示区域的 TFT 的像素电极。

[0062] 本发明的阵列基板,不限于前述提及的四次构图工艺,还可以采用五次构图工艺等。例如,在上述的第二次构图工艺中可以不采用半色调或灰色调掩模板,而是通过两次构图工艺来完成。具体地,在第一次构图工艺之后,可以通过第二次构图工艺并采用普通掩模板,形成测试 TFT 的有源层。然后在形成有源层的基板上沉积源漏金属薄膜,通过第三次构图工艺并采用普通掩模板,形成测试 TFT 的源极、漏极和沟道,并形成栅线测试控制线、栅线测试控制端子、栅线测试线和栅线测试端子。需要注意,在这里的第三次构图工艺中形成的栅线测试控制线、栅线测试控制端子、栅线测试线和栅线测试端子下方没有保留有源层材料。此外,各个连接过孔以及两个连接电极分别可以通过前述提及的四次构图工艺中的第三次和第四次构图工艺形成。本发明的各个实施例中,测试 TFT 的结构不限于前述提及的 TFT 结构,如可以是底栅结构,也可以是顶栅结构。

[0063] 除上述阵列基板之外,本发明还提供了一种前述阵列基板制造方法的实施例。如图 8 所示,本实施例中所述制造方法包括:

[0064] 步骤 11,在基板上形成栅线和测试 TFT 的栅极;

[0065] 步骤 12,在形成有栅线和测试 TFT 栅极的基板上形成测试 TFT 的有源层、源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线,测试 TFT 的栅极与所述栅线测试控制线连接、测试 TFT 的漏极与栅线连接、源极与所述栅线测试线连接。

[0066] 本发明实施例提供的阵列基板制造方法,对于利用该方法制造的阵列基板而言,可以通过每个所述测试 TFT 的栅极与所述栅线测试控制线连接、漏极与一条所述栅线连接、源极与所述栅线测试线连接,当所述栅线测试控制线为低电平时,所述测试 TFT 关闭,所述栅线测试线上的测试信号不会输入到所述栅线上,所述栅线可以在所述 GOA 电路的驱动下正常工作;当所述栅线测试控制线为高电平时,所述测试 TFT 打开,所述栅线测试线上

的测试信号输入到所述栅线上,实现了对包含 GOA 电路的阵列基板进行阵列测试。

[0067] 举例而言,所述步骤 12 可以包括:

[0068] 步骤 121,在形成有栅线和测试 TFT 栅极的基板上形成测试 TFT 的有源层、源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线;

[0069] 步骤 122,在形成有测试 TFT 的有源层、源极、漏极和沟道,以及栅线测试控制线、栅线测试控制端子、栅线测试线和栅线测试端子的基板上沉积钝化层薄膜,通过构图工艺,在测试 TFT 的栅极上方形成第一连接过孔,在栅线测试控制线上方形成第二连接过孔,在测试 TFT 的漏极上方形成第三连接过孔,在栅线上方形成第四连接过孔;

[0070] 步骤 123,在形成有各连接过孔的基板上沉积透明导电薄膜,通过构图工艺,形成第一连接电极和第二连接电极,第一连接电极分别通过第一连接过孔和第二连接过孔将测试 TFT 的栅极与栅线测试控制线连接,第二连接电极分别通过第三连接过孔和第四连接过孔将测试 TFT 的漏极与栅线连接。

[0071] 需要说明的是,在制造本发明实施例中的阵列基板时,可以使用四次构图工艺,也可以使用五次构图工艺。其中,当使用四次构图工艺时,所述步骤 121 包括:

[0072] 步骤 121a,在形成有栅线和测试 TFT 栅极的基板上沉积栅绝缘薄膜,形成栅绝缘层,并在形成有栅绝缘层的基板上沉积半导体薄膜、掺杂半导体薄膜和源漏金属薄膜,在源漏金属薄膜上涂覆光刻胶;

[0073] 步骤 121b,对光刻胶进行曝光,光刻胶的完全保留区域对应于测试 TFT 的源极和漏极的图形、栅线测试控制线和栅线测试控制端子的图形、以及栅线测试线和栅线测试端子的图形,光刻胶的半保留区域对应于测试 TFT 的沟道的图形,光刻胶的完全去除区域对应于不需要保留源漏金属薄膜的其他区域;

[0074] 步骤 121c,去掉光刻胶完全去除区域的半导体薄膜、掺杂半导体薄膜和源漏金属薄膜;

[0075] 步骤 121d,进行光刻胶灰化,去除测试 TFT 沟道处的全部源漏金属薄膜和掺杂半导体薄膜、以及部分半导体薄膜,形成测试 TFT 的有源层、源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线。

[0076] 当使用五次构图工艺时,所述步骤 121 包括:

[0077] 步骤 121a',在形成有栅线和测试 TFT 栅极的基板上沉积栅绝缘薄膜,形成栅绝缘层,并在形成有栅绝缘层的基板上沉积半导体薄膜和掺杂半导体薄膜,通过构图工艺使用普通掩模板,形成测试 TFT 的有源层;

[0078] 步骤 121b',在形成有有源层的基板上沉积源漏金属薄膜,通过构图工艺使用普通掩模板,形成测试 TFT 的源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线。

[0079] 此外,本发明实施例提供的阵列基板的制造方法,可以在形成测试 TFT 的同时形成显示区域的 TFT 以及数据线和像素电极等,以节省制造成本。例如,在步骤 11 中形成栅线和测试 TFT 栅极的同时,还可以形成显示区域的 TFT 的栅极。再例如,在步骤 12 中形成测试 TFT 的有源层、源极、漏极和沟道,并形成栅线测试控制线和栅线测试控制端子、以及

栅线测试线和栅线测试端子,所述栅线测试控制端子连接所述栅线测试控制线的同时,还可以形成显示区域的 TFT 的有源层、源极、漏极和沟道,并形成显示区域的数据线。再例如,在形成第一连接电极和第二连接电极的同时,还可以形成显示区域的像素电极。

[0080] 除此之外,本发明的实施例还提供了一种液晶面板。所述液晶面板包括前述的阵列基板,但需要说明的是,参见图 3 所示,本实施例中所述的液晶面板仅包括图 3 所示阵列基板中虚线范围内的区域。而且从图 3 可以看出,在本实施例液晶面板所包括的阵列基板中,可以将所述栅线测试控制线与 GOA 电路中的保护端子连接和/或所述栅线测试线与 GOA 电路中的保护端子连接,所述保护端子用于输出使测试 TFT 保持关闭的信号。所述保护端子包括 GOA 电路的接地端,对于 N 型 TFT 而言,所述保护端子可以包括低电压端。

[0081] 如前述阵列基板实施例中所提及的,图 3 中虚线所示的液晶面板还包括测试 TFT12 以及部分栅线测试控制线 1s 和栅线测试线 2c,如果经过对盒、切割工序形成液晶面板之后,保留在液晶面板内的栅线测试控制线 1s 末端和栅线测试线 2c 末端同时接收到了高电平信号(如干扰信号)时,则有可能导致阵列基板上各奇数条栅线 2b 相互连通或各偶数条栅线相互连通,进而导致液晶面板无法正常显示。为了避免栅线测试控制线或栅线测试线对液晶面板的显示造成干扰,可以将栅线测试控制线与保护端子连接,或者将栅线测试线与保护端子连接,再或者可以将二者均与保护端子连接,液晶面板工作时,GOA 电路上电,保护端子输出接地信号或低电压信号,使得各个测试 TFT 能够可靠地保持关闭,这样各个栅线就不会受到栅线测试控制线和栅线测试线上的信号的干扰,能够正常工作。

[0082] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应所述以权利要求的保护范围为准。

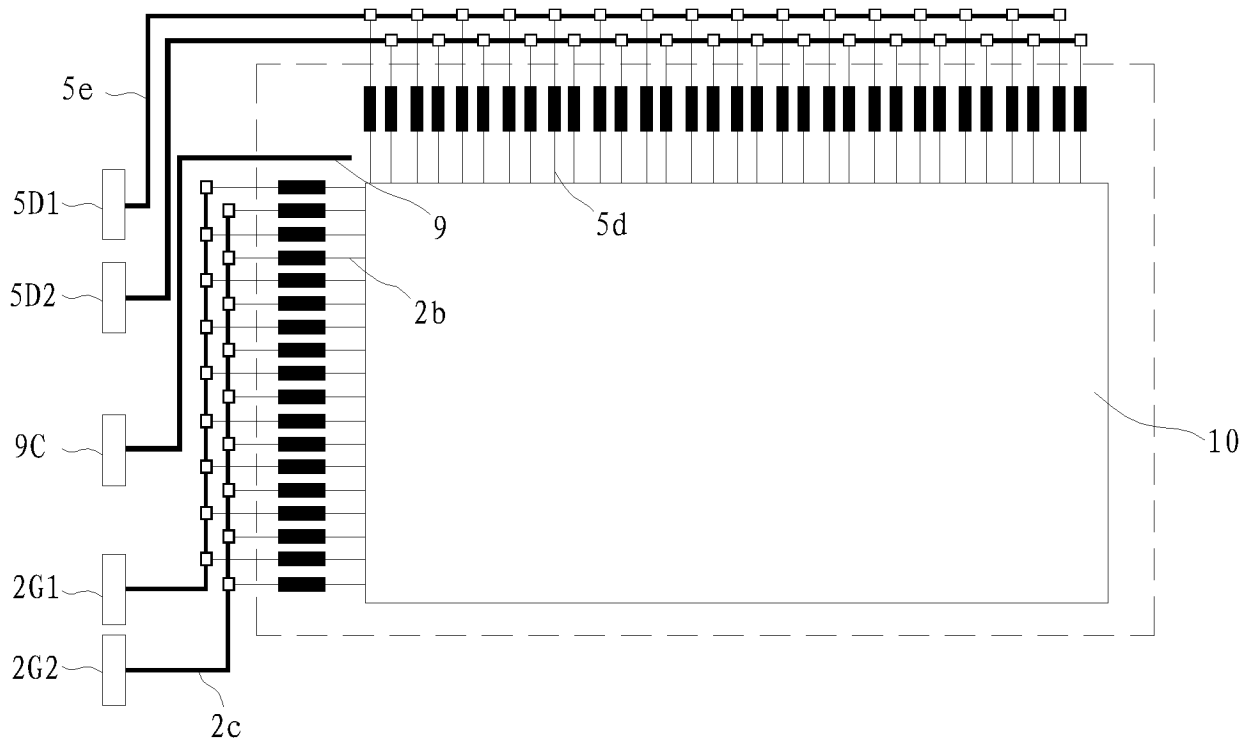


图 1

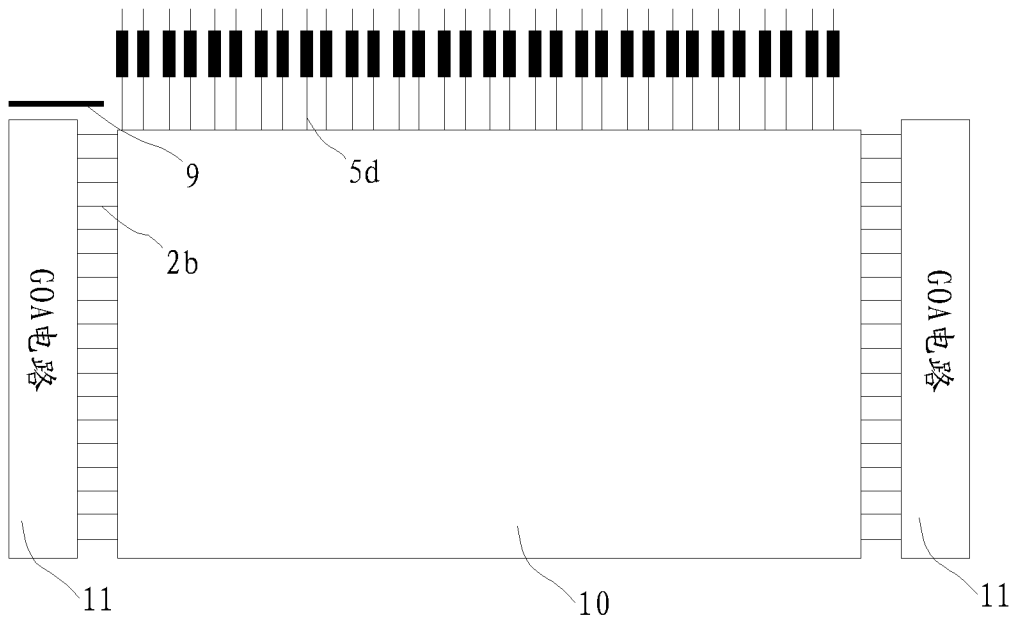


图 2

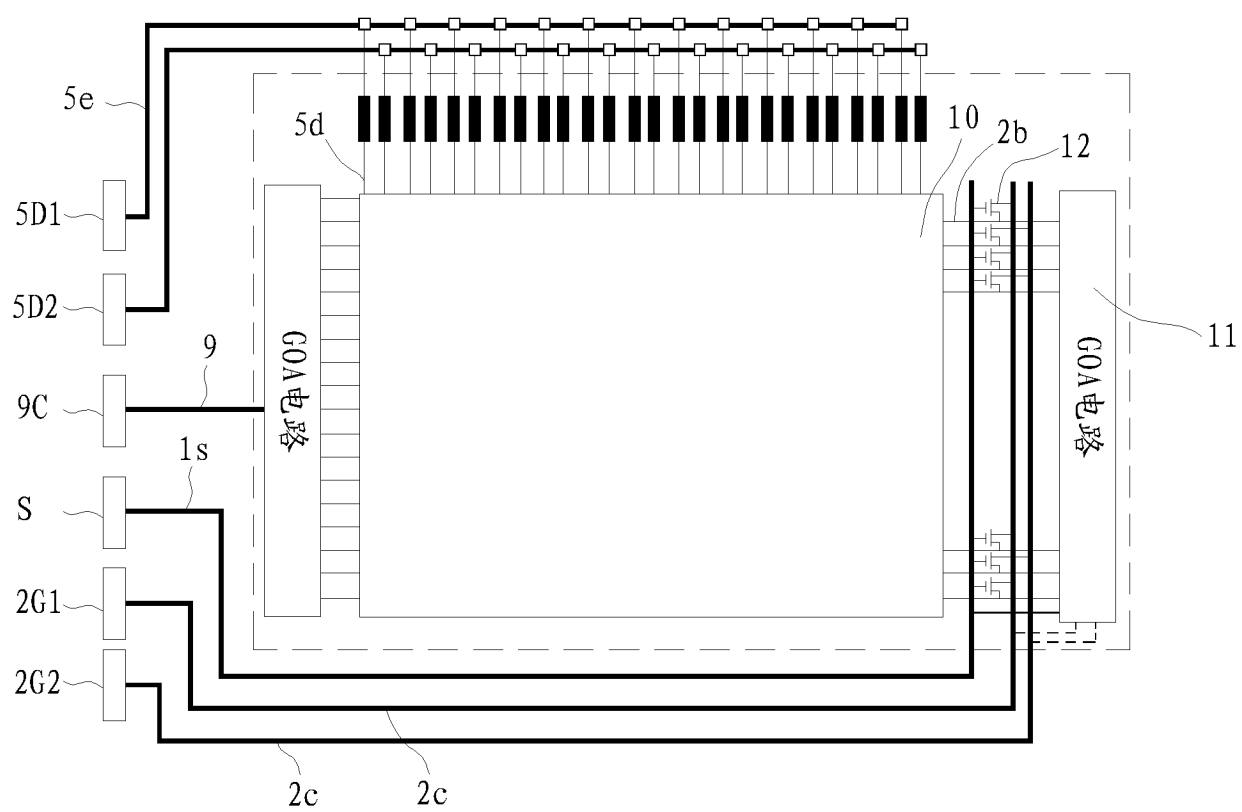


图 3

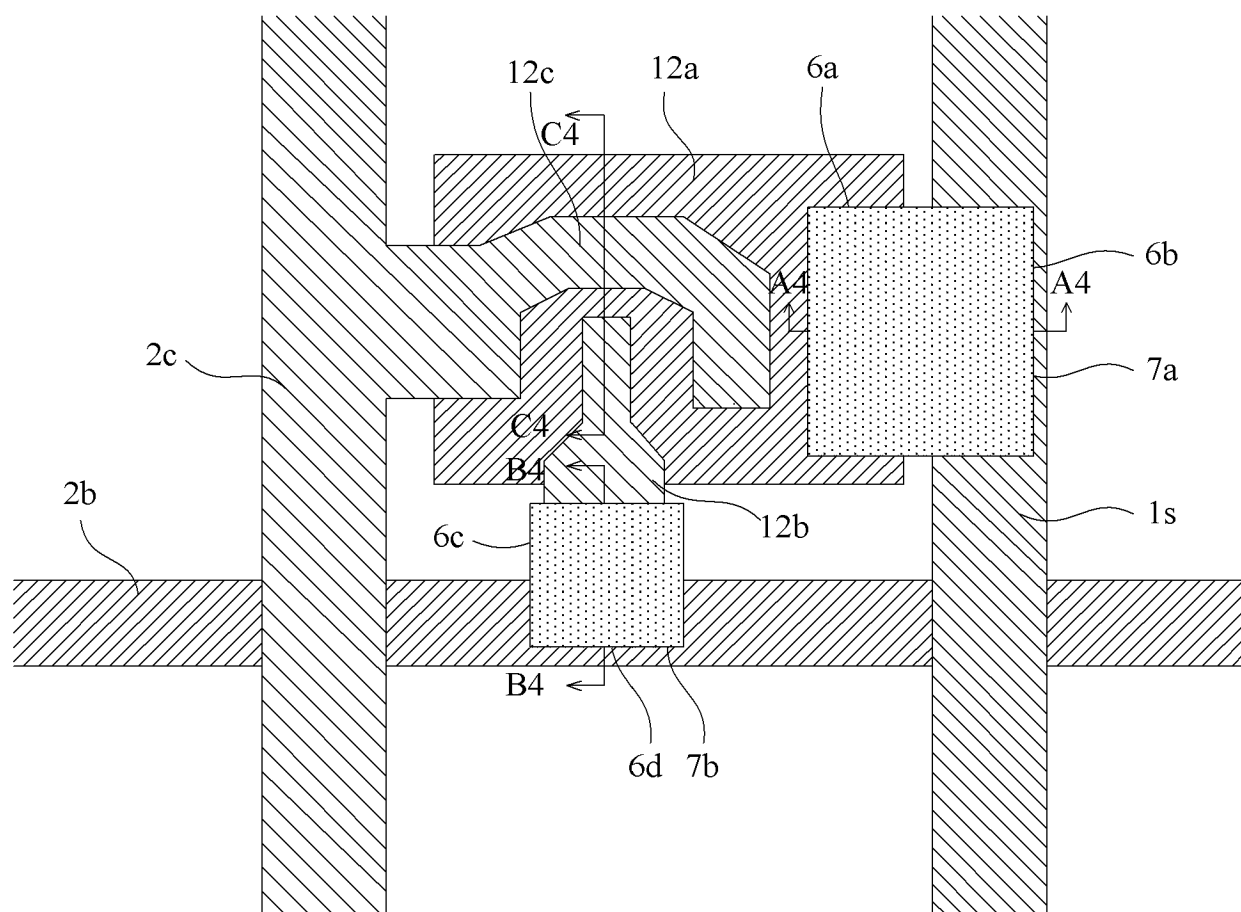


图 4a

A4-A4

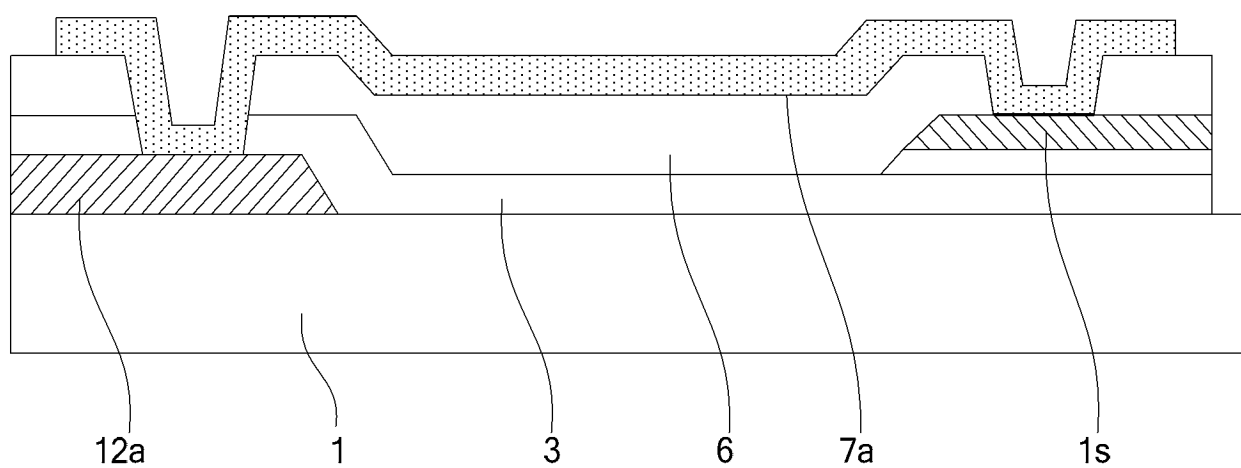


图 4b

B4-B4

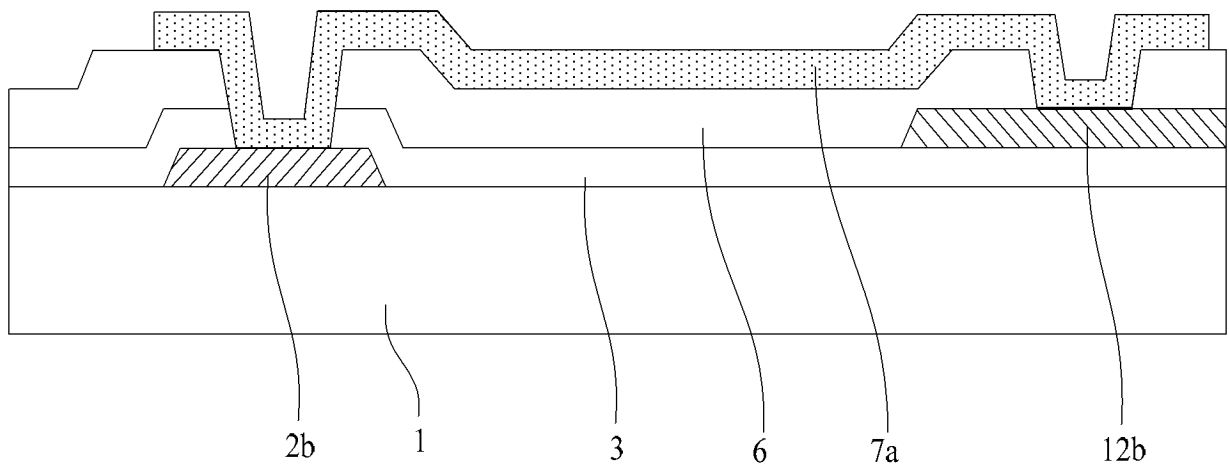


图 4c

C4-C4

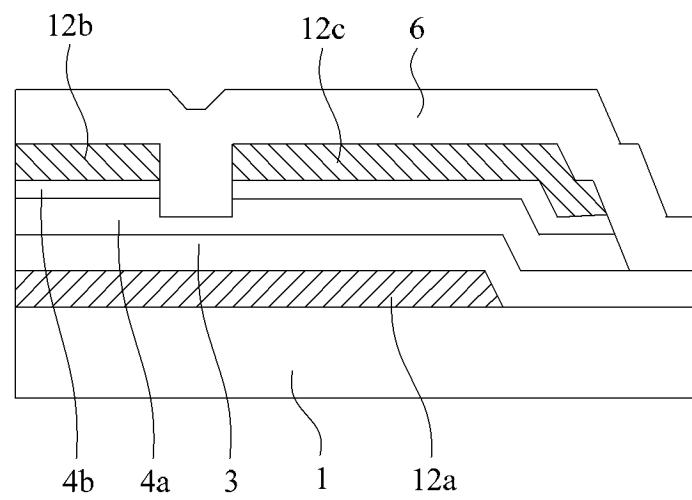


图 4d

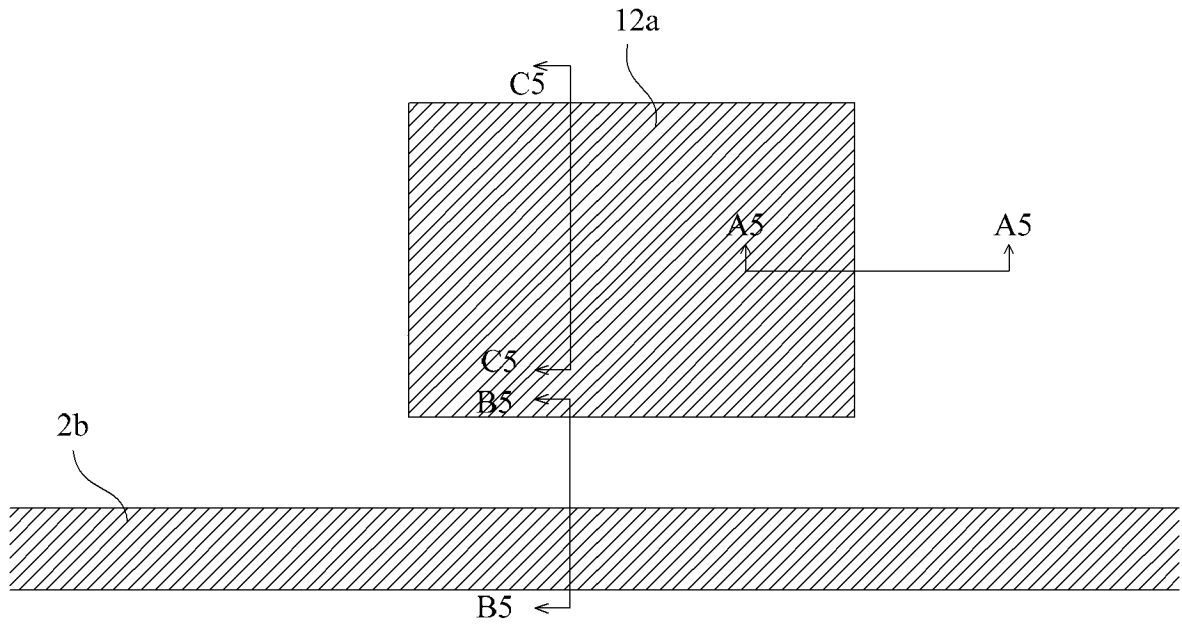


图 5a

A5-A5

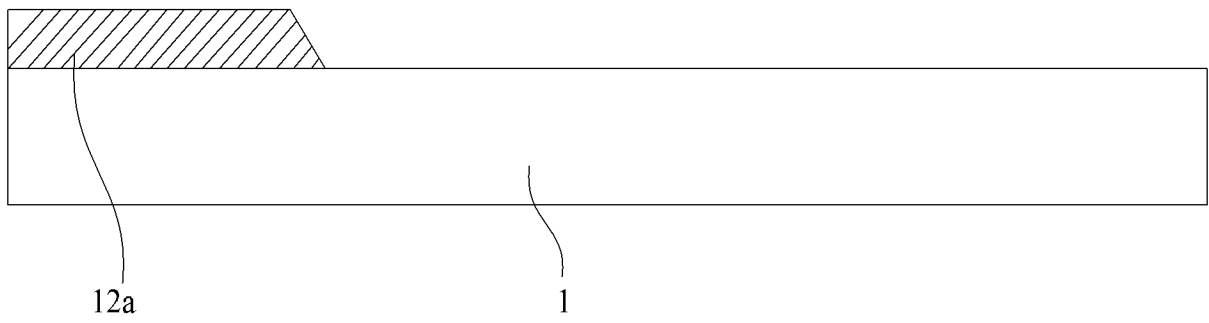


图 5b

B5-B5

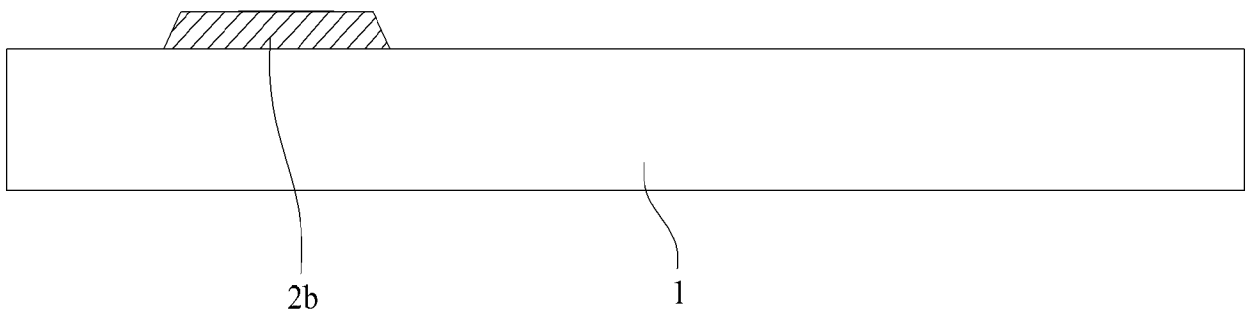


图 5c

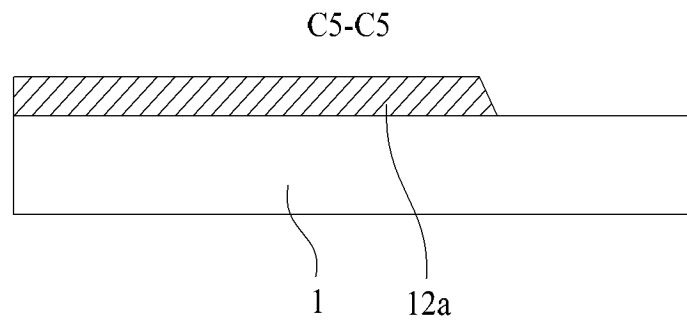


图 5d

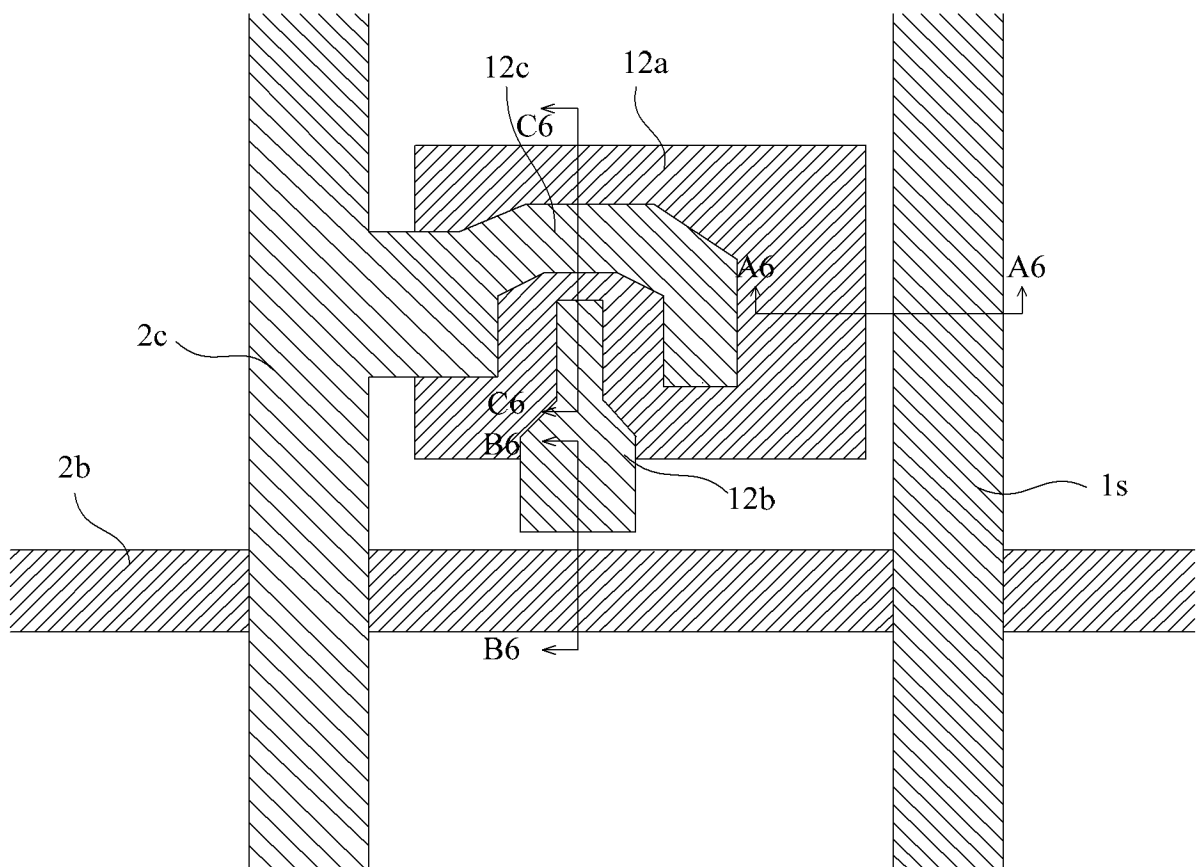


图 6a

A6-A6

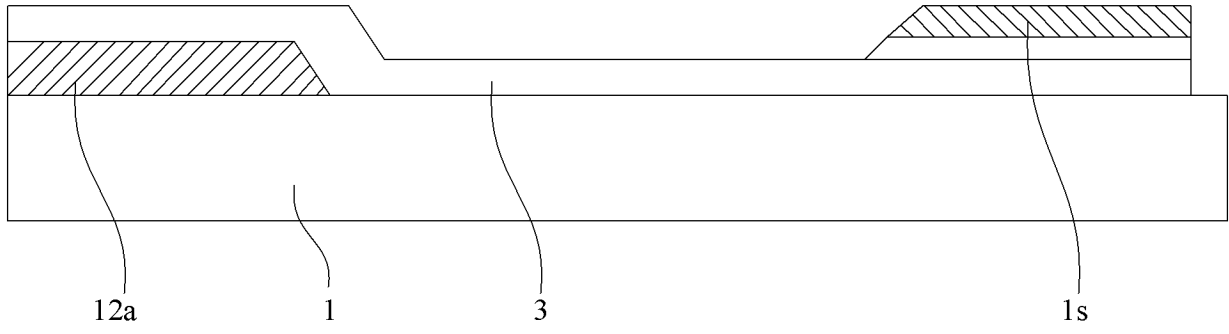


图 6b

B6-B6

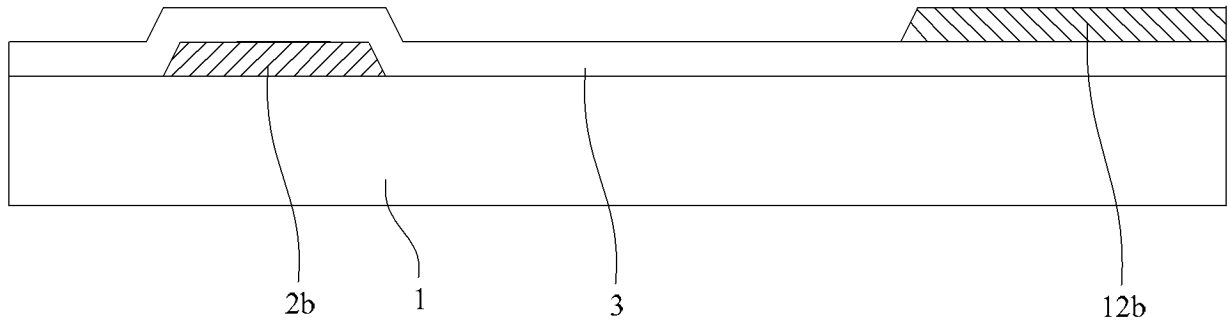


图 6c

C6-C6

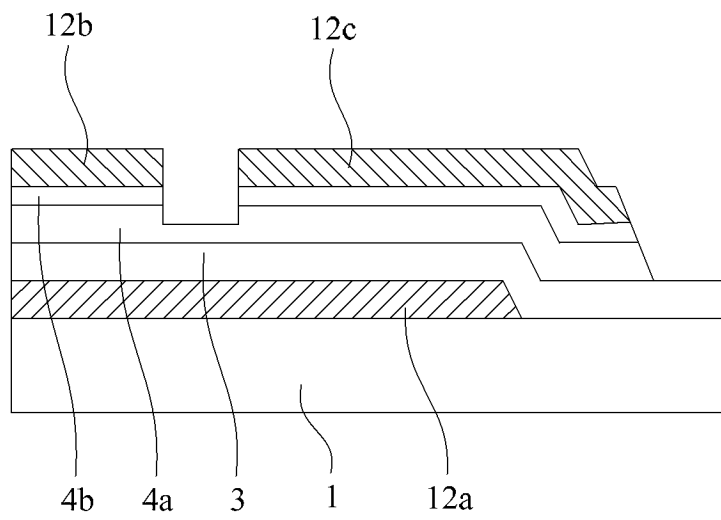


图 6d

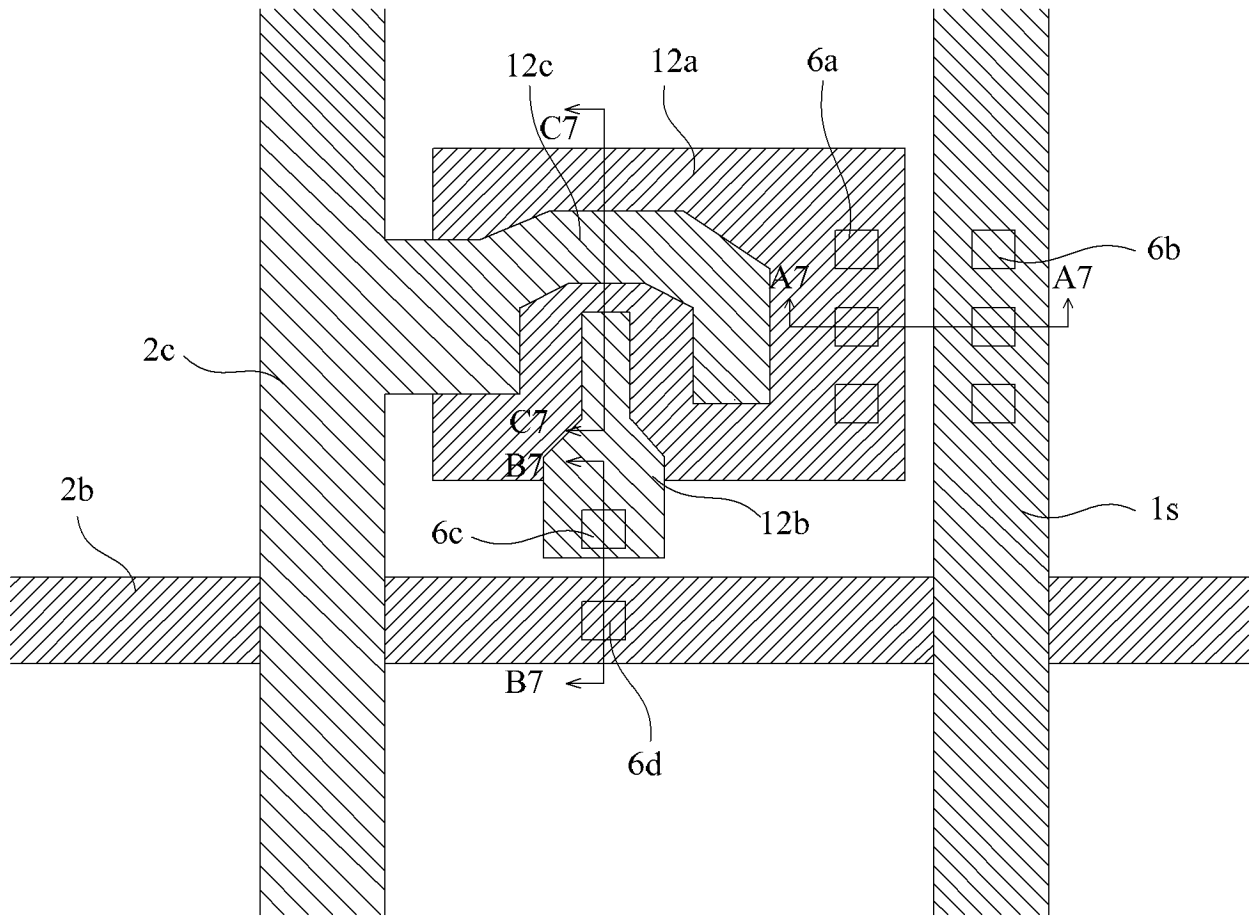


图 7a

A7-A7

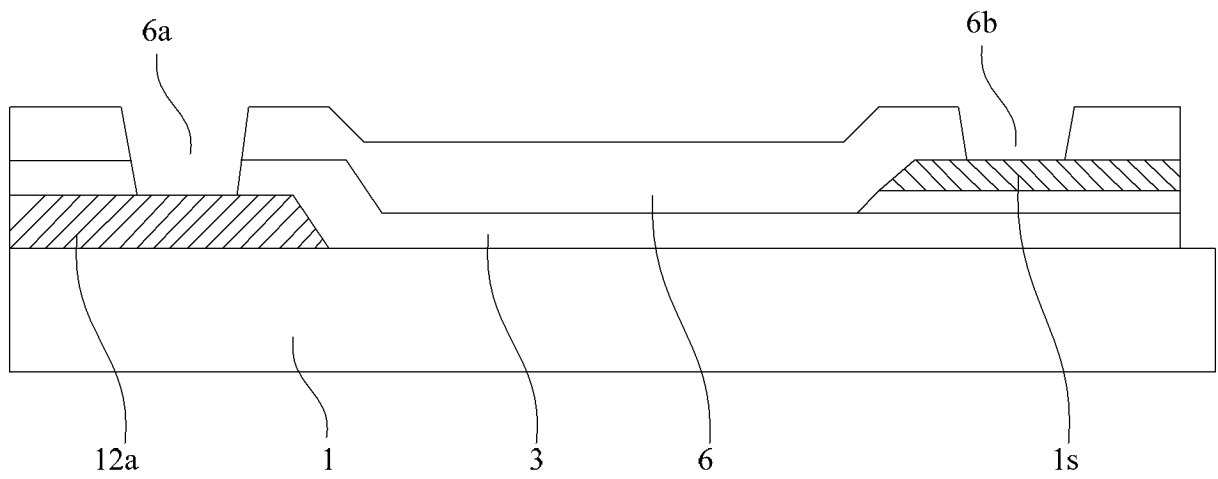


图 7b

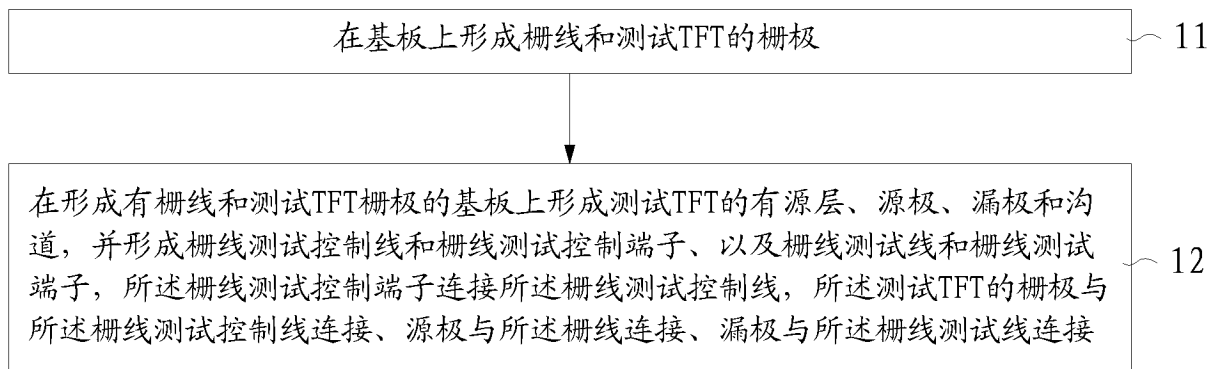
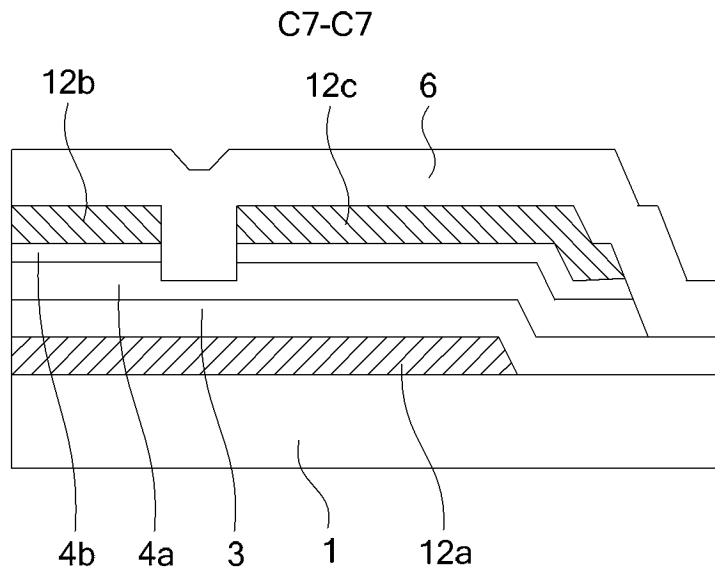
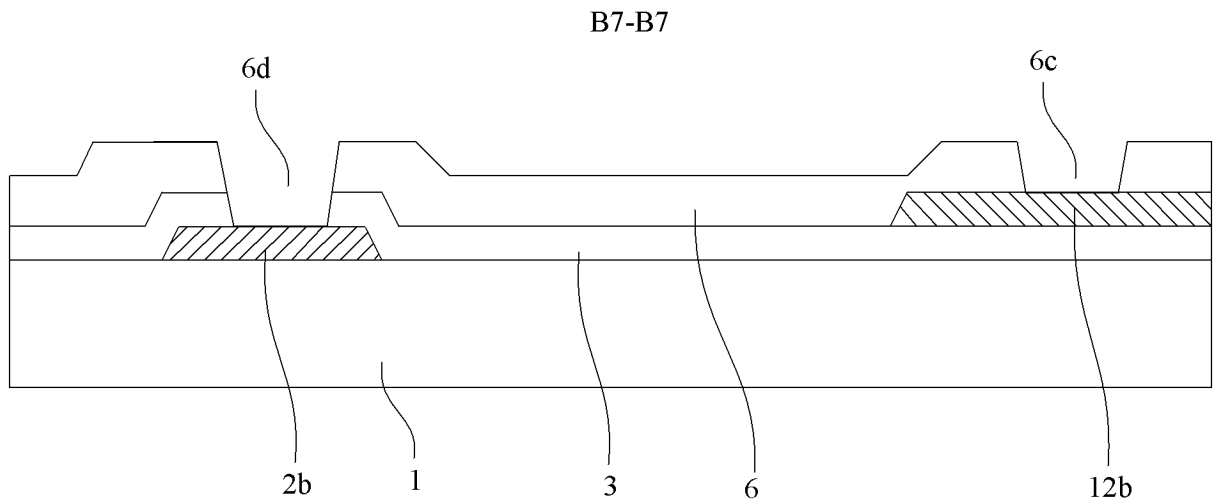


图 8

专利名称(译)	阵列基板及其制造方法、液晶面板		
公开(公告)号	CN102540595B	公开(公告)日	2015-04-08
申请号	CN201010620586.3	申请日	2010-12-31
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	孙阳 黄应龙 吕敬		
发明人	孙阳 黄应龙 吕敬		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12 H01L21/77		
代理人(译)	申健		
审查员(译)	宋萍		
其他公开文献	CN102540595A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及其制造方法、液晶面板，涉及液晶显示技术领域，为解决现有技术中难以对包含GOA电路的阵列基板进行阵列测试而发明。所述阵列基板包括栅线、栅线测试线、栅线测试端子以及GOA电路，所述GOA电路与所述栅线连接，所述栅线测试线与所述栅线测试端子连接，其特征在于，还包括栅线测试控制端子、栅线测试控制线以及多个测试薄膜晶体管TFT，所述栅线测试控制端子连接所述栅线测试控制线，每个所述测试TFT的栅极与所述栅线测试控制线连接、漏极与一条所述栅线连接、源极与所述栅线测试线连接。本发明阵列基板可用于对包含GOA电路的阵列基板进行阵列测试。

