(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102483546 B
(45)授权公告日 2015.04.01

(21)申请号 201080038924.0

(22)申请日 2010.04.28

(30)优先权数据
2009-207474 2009.09.08 JP

(85)PCT国际申请进入国家阶段日
2012.02.29

(86)PCT国际申请的申请数据
PCT/JP2010/057605 2010.04.28

(87)PCT国际申请的公布数据
WO2011/030583 JA 2011.03.17

(73)专利权人 夏普株式会社
地址 日本大阪府

(72)发明人 原义仁 中田幸伸

(74)专利代理机构 北京市隆安律师事务所 11323
代理人 权鲜枝

(51)Int.Cl.
G02F 1/1343(2006.01)
G02F 1/1362(2006.01)
G02F 1/1368(2006.01)

(56)对比文件
JP 特开 2006-195098 A,2006.07.27, 说明书第 0019-0031 段、图 1-2.
JP 特开平 11-84416 A,1999.03.26, 全文.
US 6894734 B1,2005.05.17, 全文.
CN 101109879 A,2008.01.23, 全文.
US 2008/0137022 A1,2008.06.12, 说明书第 0071-0073 段、图 7-8.

审查员 彭志红

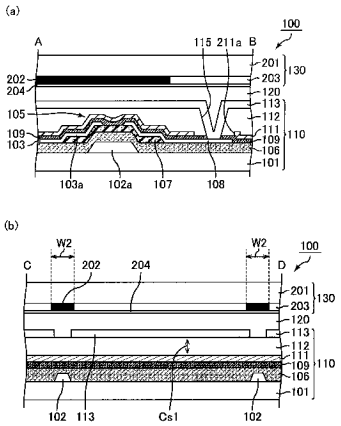
权利要求书1页 说明书13页 附图25页

(54)发明名称

液晶显示装置及其制造方法

(57)摘要

本发明提供即使进行像素的高精细化也能以简单构成确保所需的辅助电容并且实现像素的开口率的提高的显示装置及其制造方法。本发明的液晶显示装置是具有多个像素的液晶显示装置，薄膜晶体管阵列基板具备：栅极线和源极线，其按格子状配置于支撑基板的主面上；透明像素电极；薄膜晶体管；以及从支撑基板侧起依次层叠的栅极绝缘膜、钝化膜、透明导电膜、第 1 绝缘膜以及透明像素电极，透明像素电极通过形成于第 1 绝缘膜中的接触孔与构成薄膜晶体管的漏极电极电连接，从法线方向观看基板面时，透明导电膜与将透明像素电极和漏极电极电连接的区域不重叠。



CN 102483546 B

1. 一种液晶显示装置，其特征在于，在薄膜晶体管阵列基板与相对基板之间夹持有液晶层，具有多个像素，

该薄膜晶体管阵列基板具备：

栅极线和源极线，其按格子状配置于支撑基板的主面上；

透明像素电极，其配置于该像素中；

薄膜晶体管，其形成于该源极线和该栅极线的交点附近；以及

从支撑基板侧起依次层叠的栅极绝缘膜、钝化膜、透明导电膜、第 1 绝缘膜以及透明像素电极，

该透明像素电极通过形成于该第 1 绝缘膜中的接触孔与构成该薄膜晶体管的漏极电极电连接，

当从法线方向观看基板面时，该透明导电膜与将该透明像素电极和该漏极电极电连接的区域不重叠，

该薄膜晶体管阵列基板还具备辅助电容配线，当从法线方向观看基板面时，该辅助电容配线隔着该栅极绝缘膜与该透明导电膜相对，

该薄膜晶体管阵列基板还具备辅助电容电极，当从法线方向观看基板面时，该辅助电容电极隔着该钝化膜与该透明导电膜相对，

上述辅助电容电极和上述辅助电容配线隔着上述栅极绝缘膜相对，

上述辅助电容电极与上述漏极电极在相同的工序中形成。

2. 一种液晶显示装置的制造方法，其特征在于，是权利要求 1 所述的液晶显示装置的制造方法，

至少使用 6 个光掩模来形成上述薄膜晶体管阵列基板，

该方法具备如下工序：

第 1 光刻工序，在形成该薄膜晶体管阵列基板的支撑基板的主面上使用第 1 光掩模形成栅极线；

第 2 光刻工序，使用第 2 光掩模形成半导体层；

第 3 光刻工序，使用第 3 光掩模形成源极线；

第 4 光刻工序，使用第 4 光掩模形成透明导电膜；

第 5 光刻工序，使用第 5 光掩模形成覆盖该透明导电膜的第 1 绝缘膜；以及

第 6 光刻工序，使用第 6 光掩模在利用源极线和栅极线划分的像素中形成透明像素电极，

在该第 1 光刻工序与第 2 光刻工序之间还包含形成上述栅极绝缘膜的栅极绝缘膜形成工序，在第 3 光刻工序与第 4 光刻工序之间还包含形成上述钝化膜的钝化膜形成工序。

液晶显示装置及其制造方法

技术领域

[0001] 本发明涉及液晶显示装置及其制造方法。更详细地，涉及有源矩阵型的液晶显示装置及其制造方法。

背景技术

[0002] 在液晶显示装置、有机 EL 显示器等显示装置的领域，伴随对分辨率的提高、装置的小型化的要求，像素的高精细化正在进展。另外，不仅要求像素的高精细化，也要求像素的高开口率化。这些要求特别是在像素间距为 40μm 以下的高精细的液晶显示装置中显著。

[0003] 例如，在专利文献 1 中提出了实现像素的高精细化的有源矩阵型的液晶显示装置。有源矩阵型的液晶显示装置具有如下构成：在具备 TFT(Thin Film Transistor：薄膜晶体管）的 TFT 阵列基板与相对基板之间配置有液晶层。

[0004] 在上述液晶显示装置中，当进行像素的高精细化时，伴随于此，配线电阻变大，因此容易产生信号延迟。因此，在专利文献 1 中提出了如下手法：为了消除信号延迟，由铝 (Al)、铜 (Cu)、钛 (Ti)、银 (Ag) 等低电阻的金属材料形成栅极线、源极线、辅助电容配线等各种配线。下面，将由这些金属材料形成的配线也称为金属配线。

[0005] 在液晶显示装置中，为了提高像素的开口率、即显示区域相对于总显示画面的比例，需要尽量减少成为遮光部的区域。另外，为了使 TFT 阵列基板和相对基板精度良好地对位，也优选遮光部尽量少。遮光部除了以划分各像素的方式设于像素的边界之外，还根据需要以覆盖 TFT、显示特性容易劣化的区域等的方式设置。

[0006] 在专利文献 1 中，应用如下手法：因为上述金属配线具有遮光性，所以使得在能由该金属配线遮光的区域不形成另外的遮光部而实现遮光部的减少，减少两基板的位置偏差并且实现开口率的提高。

[0007] 另外，在形成于 TFT 阵列基板的配线上设置特殊构成的层间绝缘膜，在该层间绝缘膜上配置透明像素电极，由此实现像素的高开口率化。

[0008] 现有技术文献

[0009] 专利文献

[0010] 专利文献 1：特开 2000-199917 号公报

发明内容

[0011] 发明要解决的问题

[0012] 但是，即使是具有上述构成的液晶显示装置，仍然不能说像素的开口率充分，要求进一步的开口率的提高。

[0013] 作为妨碍像素的高开口率化的主要原因之一，可列举用于形成辅助电容的电极和 / 或配线由金属材料形成。在液晶显示装置中，辅助电容与液晶电容并列地设置，例如利用辅助电容电极和辅助电容配线形成。为了实现像素的高精细化并且确保所需的辅助电容，

需要增大辅助电容电极和辅助电容配线的面积，但辅助电容电极和辅助电容配线因为由上述金属材料形成，所以成为遮光部，因此增大它们的面积关联到像素的开口率的降低。

[0014] 另外，伴随像素的高精细化，设于像素的边界的被称为黑矩阵的遮光部的宽度变粗也是使开口率降低的主要原因之一。在有源矩阵型的液晶显示装置中，在形成于 TFT 阵列基板的透明像素电极与形成于相对基板的共用电极之间对液晶层施加电压来进行图像显示，但透明像素电极容易受到构成 TFT 的栅极电压的影响，由此有时显示特性降低。特别是在像素的边界附近容易产生显示特性的降低，因此加粗黑矩阵的宽度使得不影响显示特性，但由于这样的遮光部的面积的增加，妨碍像素的开口率的提高。

[0015] 此外，在具备含非晶硅 (a-Si) 的半导体层的液晶显示装置中，基于下述理由，需要增加遮光部的面积，由此也妨碍像素的开口率的提高。即，TFT 包含连接到栅极线的栅极电极、连接到源极线的源极电极、以及漏极电极，还具备半导体层。半导体层含非晶硅 (a-Si)、多晶硅、单晶硅等，但由 a-Si 形成的半导体层（下面也称为 a-Si 半导体层。）的截止电流由于光而容易增加。因此，在从法线方向观看基板面时与 TFT 重叠的位置设有遮光部，由此像素的开口率降低。

[0016] 这样，在有源矩阵型的液晶显示装置中，在确保辅助电容并且实现像素的高开口率化的方面具有改进的余地。特别是在具有 a-Si 半导体层的液晶显示装置中，如上所述容易产生开口率的降低，而且，a-Si 半导体层因为电子迁移率低至 0.5cm^2/S・V，所以导通电流容易不足，由此像素的高开口率化困难。例如具有 a-Si 半导体层的液晶显示装置对近年来在手机、数码相机等移动设备中所要求的分辨率超过 300dpi 的高精细化的应对困难，这样，在高精细的液晶显示装置中使用半导体层来应对，半导体层使用如 CGS(Continuous Grain Silicon：连续晶界结晶硅）那样电子迁移率高的多晶硅 (p-Si)。

[0017] 本发明是鉴于上述现状而完成的，其目的在于提供即使进行像素的高精细化也能以简单构成实现像素的开口率的提高的显示装置及其制造方法。

[0018] 用于解决问题的方案

[0019] 本发明人对实现像素的高精细化和高开口率化的液晶显示装置进行各种研究的结果是：妨碍像素的高开口率化的最主要原因在于黑矩阵，注意到它们占显示区域的面积的比例大。并且发现：通过在形成于栅极绝缘膜上的钝化膜与第 1 绝缘膜之间设置透明导电膜，透明像素电极难以受到比透明导电膜靠下层的电场混乱的影响，因此能加大显示区域，能使黑矩阵的宽度变细，故实现像素的高开口率化；想到能很好地解决上述问题，达成了本发明。

[0020] 即，本发明是液晶显示装置，在薄膜晶体管阵列基板与相对基板之间夹持有液晶层，具有多个像素，上述薄膜晶体管阵列基板具备：栅极线和源极线，其按格子状配置于支撑基板的主面上；透明像素电极，其配置于上述像素中；薄膜晶体管，其形成于上述源极线和上述栅极线的交点附近；以及从支撑基板侧起依次层叠的栅极绝缘膜、钝化膜、透明导电膜、第 1 绝缘膜以及透明像素电极，上述透明像素电极通过形成于上述第 1 绝缘膜中的接触孔与构成上述薄膜晶体管的漏极电极电连接，当从法线方向观看基板面时，上述透明导电膜与将上述透明像素电极和上述漏极电极电连接的区域不重叠，该薄膜晶体管阵列基板还具备辅助电容电极，当从法线方向观看基板面时，该辅助电容电极隔着该钝化膜与该透明导电膜相对，上述辅助电容电极与上述漏极电极在相同的工序中形成。

[0021] 在本发明中，所谓钝化膜是指：能应用使用氧化硅（SiOx）、氮化硅（SiNx）等无机材料并利用 CVD 法、溅射法等形成的膜，不仅是 SiOx 膜、SiNx 膜，也可以是 SiOx 膜和 SiNx 膜的层叠膜，保证薄膜晶体管的可靠性。另外，所谓第 1 绝缘膜是指 SiOx、SiNx 等无机材料或者感光性的丙烯酸树脂等有机绝缘膜，可列举形成用于电连接透明像素电极和漏极电极的接触孔的层间绝缘膜等。

[0022] 透明导电膜起到使得透明像素电极更难以受到比透明导电膜靠下层的电场混乱的影响的效果（下面也称为电场屏蔽效果。）。利用配置于钝化膜与第 1 绝缘膜之间的透明导电膜得到电场屏蔽效果，由此实现可进行良好的图像显示的显示区域的扩大。另外，在像素的边界附近以覆盖显示不良区域的方式设有黑矩阵的情况下，由于显示区域的扩大，能使该黑矩阵的宽度变细，由此也能提高像素的开口率。

[0023] 在本发明的液晶显示装置中，当上述透明导电膜位于隔着上述第 1 绝缘膜与上述透明像素电极重叠的位置时，能在透明导电膜与透明像素电极之间形成辅助电容。根据这样的构成，能消除由金属材料形成的辅助电容电极和 / 或辅助电容配线、或者减少至少一方的面积，因此实现像素的开口率的提高。

[0024] 在本发明的液晶显示装置中，当辅助电容仅以上述构成并不充分时，上述薄膜晶体管阵列基板设为还具备辅助电容电极的构成，当从法线方向观看基板面时，上述辅助电容电极隔着上述钝化膜与上述透明导电膜相对，由此，能在透明导电膜与辅助电容电极之间以钝化膜为电介质形成辅助电容。另外，本发明的液晶显示装置在薄膜晶体管阵列基板与相对基板之间夹持有液晶层，具有多个像素，该薄膜晶体管阵列基板具备：栅极线和源极线，其按格子状配置于支撑基板的主面上；透明像素电极，其配置于该像素中；薄膜晶体管，其形成于该源极线和该栅极线的交点附近；以及从支撑基板侧起依次层叠的栅极绝缘膜、钝化膜、透明导电膜、第 1 绝缘膜以及透明像素电极，该透明像素电极通过形成于该第 1 绝缘膜中的接触孔与构成该薄膜晶体管的漏极电极电连接，当从法线方向观看基板面时，该透明导电膜与将该透明像素电极和该漏极电极电连接的区域不重叠，该薄膜晶体管阵列基板设为还具备辅助电容配线的构成，当从法线方向观看基板面时，该辅助电容配线隔着上述栅极绝缘膜与上述透明导电膜相对，该薄膜晶体管阵列基板还具备辅助电容电极，当从法线方向观看基板面时，该辅助电容电极隔着该钝化膜与该透明导电膜相对，上述辅助电容电极和上述辅助电容配线隔着上述栅极绝缘膜相对，由此也能在透明导电膜与辅助电容配线之间以钝化膜和栅极绝缘膜为电介质形成辅助电容。此外，当上述辅助电容电极和上述辅助电容配线是隔着上述栅极绝缘膜相对的构成时，在辅助电容电极与辅助电容配线之间也能以栅极绝缘膜为电介质形成辅助电容。

[0025] 本发明的液晶显示装置如上所述可实现像素的高开口化，因此对于上述像素的间距为 40 μm 以下的液晶显示装置也能适当应用。此外，在本发明中，所谓像素是指例如具有红（R）、蓝（B）以及绿（G）中的任一颜色的彩色滤光片的区域，所谓像素间距由行方向和列方向中的像素的长度短的方向上的像素的平均长度来规定。

[0026] 在本发明的液晶显示装置中，当考虑将辅助电容维持成恒定时，优选上述透明导电膜的电位为恒定。作为将透明导电膜的电位设为恒定的方法，可列举将透明导电膜连接到基准电位点的方法（接地）、与设于相对基板的共用电极连接的方法。共用电极使用于向液晶层的电压施加。

[0027] 作为本发明的液晶显示装置中优选的一方式，可列举如下情况：当从法线方向观看基板面时，上述透明导电膜仅在与上述第 1 绝缘膜的开口部及其周边重叠的位置开口。根据这样的构成也可实现像素的高开口率化。

[0028] 作为本发明的液晶显示装置的制造方法的一例，至少使用 6 个光掩模来形成上述薄膜晶体管阵列基板，上述方法具备如下工序：第 1 光刻工序，在形成上述薄膜晶体管阵列基板的支撑基板的主面上使用第 1 光掩模形成栅极线；第 2 光刻工序，使用第 2 光掩模形成半导体层；第 3 光刻工序，使用第 3 光掩模形成源极线；第 4 光刻工序，使用第 4 光掩模形成透明导电膜；第 5 光刻工序，使用第 5 光掩模形成覆盖上述透明导电膜的第 1 绝缘膜；以及第 6 光刻工序，使用第 6 光掩模在利用源极线和栅极线划分的像素中形成透明像素电极，在上述第 1 光刻工序与第 2 光刻工序之间还包含形成上述栅极绝 缘膜的栅极绝缘膜形成工序，在第 3 光刻工序与第 4 光刻工序之间还包含形成上述钝化膜的钝化膜形成工序。

[0029] 上述的各方式可以在不脱离本发明的宗旨的范围内适当组合。

[0030] 发明效果

[0031] 根据本发明的液晶显示装置，以在形成于栅极绝缘膜上的钝化膜与第 1 绝缘膜之间设置透明导电膜的简单构成，实现良好地进行图像显示的区域的扩大，能实现像素的高精细化和高开口率化。另外，根据本发明的液晶显示装置的制造方法，能容易实现本发明的液晶显示装置。

附图说明

[0032] 图 1-1 是示出实施方式 1 的液晶显示装置的像素的构成的平面示意图。

[0033] 图 1-2 是示出实施方式 1 的透明导电膜的构成的平面示意图。

[0034] 图 2(a) 是沿图 1-1 中的 A-B 线的截面示意图，(b) 是沿图 1-1 中的 C-D 线的截面示意图。

[0035] 图 3 是示出实施方式 1 的 TFT 阵列基板的制造工序的流程图。

[0036] 图 4-1 是图 3 所示的 S1 工序中的基板的截面示意图。

[0037] 图 4-2 是图 3 所示的 S2 工序中的基板的截面示意图。

[0038] 图 4-3 是图 3 所示的 S3 工序中的基板的截面示意图。

[0039] 图 4-4 是图 3 所示的 S4 工序中的基板的截面示意图。

[0040] 图 4-5 是图 3 所示的 S5 工序中的基板的截面示意图。

[0041] 图 4-6 是图 3 所示的 S6 工序中的基板的截面示意图。

[0042] 图 5-1 是示出实施方式 2 的液晶显示装置的像素的构成的平面示意图。

[0043] 图 5-2 是示出实施方式 2 的透明导电膜的构成的平面示意图。

[0044] 图 6(a) 是沿图 5-1 中的 A-B 线的截面示意图，(b) 是沿图 5-1 中的 C-D 线的截面示意图，(c) 是示出 (b) 的一部分的放大示意图。

[0045] 图 7-1 是图 3 所示的 S1 工序中的基板的截面示意图。

[0046] 图 7-2 是图 3 所示的 S2 工序中的基板的截面示意图。

[0047] 图 7-3 是图 3 所示的 S3 工序中的基板的截面示意图。

[0048] 图 7-4 是图 3 所示的 S4 工序中的基板的截面示意图。

[0049] 图 7-5 是图 3 所示的 S5 工序中的基板的截面示意图。

[0050] 图 7-6 是图 3 所示的 S6 工序中的基板的截面示意图。

[0051] 图 8-1 是示出实施方式 3 的液晶显示装置的像素的构成的平面示意图。

[0052] 图 8-2 是示出实施方式 3 的透明导电膜的构成的平面示意图。

[0053] 图 9(a) 是沿图 8-1 中的 A-B 线的截面示意图，(b) 是沿图 8-1 中的 C-D 线的截面示意图，(c) 是示出 (b) 的一部分的放大示意图。

[0054] 图 10 是示出图 8-1 所示的像素的显示区域和非显示区域的平面示意图。

[0055] 图 11-1 是图 3 所示的 S1 工序中的基板的截面示意图。

[0056] 图 11-2 是图 3 所示的 S2 工序中的基板的截面示意图。

[0057] 图 11-3 是图 3 所示的 S3 工序中的基板的截面示意图。

[0058] 图 11-4 是图 3 所示的 S4 工序中的基板的截面示意图。

[0059] 图 11-5 是图 3 所示的 S5 工序中的基板的截面示意图。

[0060] 图 11-6 是图 3 所示的 S6 工序中的基板的截面示意图。

[0061] 图 12 是示出本发明的液晶显示装置的透明导电膜的其它方式的平面示意图。

[0062] 图 13 是示出比较实施方式 1 的液晶显示装置的像素的构成的平面示意图。

[0063] 图 14(a) 是沿图 13 中的 A-B 线的截面示意图，(b) 是沿图 13 中的 C-D 线的截面示意图。

[0064] 图 15 是示出图 13 所示的像素的显示区域和非显示区域的平面示意图。

具体实施方式

[0065] 下面揭示实施方式，更详细地说明本发明，但本发明不仅限于这些实施方式。

[0066] 实施方式 1

[0067] 图 1-1 是示出本发明的实施方式 1 的液晶显示装置的像素的构 成的平面示意图，图 1-2 是示出透明导电膜的构成的平面示意图。图 2(a) 是沿图 1-1 中的 A-B 线的截面示意图，图 2(b) 是沿图 1-1 中的 C-D 线的截面示意图。

[0068] 在图 1-1、图 2(a)、(b) 中，液晶显示装置 100 具备 TFT 阵列基板 110、液晶层 120 以及作为相对基板的彩色滤光片 (CF) 基板 130。TFT 阵列基板 110 和 CF 基板 130 隔着液晶层 120 相对地配置。

[0069] 在构成 TFT 阵列基板 110 的支撑基板 101 的主面上，按格子状配置有栅极线（扫描配线）102 和源极线（信号配线）103。作为支撑基板 101 可列举玻璃基板、树脂基板等。在由栅极线 102 和源极线 103 划分的各像素中配置有透明像素电极 113，在栅极线 102 和源极线 103 的交点附近形成有作为开关元件的 TFT105。另外，在包括多个像素的显示区域的外缘形成有区域 S，在区域 S 配置有多个从源极线 103 引出的引出配线 150 和与该引出配线 150 连接的端子 151。

[0070] 如图 2(a)、(b) 所示，形成有 TFT105 的基板面从支撑基板 101 侧起依次被栅极绝缘膜 106、钝化膜 109、透明导电膜 111 以及作为第 1 绝缘膜的层间绝缘膜 112 覆盖。在层间绝缘膜 112 的主面上形成有透明像素电极 113，透明像素电极 113 和漏极电极 108 通过形成于层间绝缘膜 112 中的接触孔 115 电连接。

[0071] 栅极绝缘膜 106 由 SiOx、SiNx 等无机材料形成，栅极绝缘膜 106 的膜厚设为例如 200nm ～ 500nm 程度。

[0072] 作为钝化膜 109，能应用使用 SiOx、SiNx 等无机材料并利用 CVD 法、溅射法等形成的膜，不仅是 SiOx 膜、SiNx 膜，也可以是 SiOx 膜和 SiNx 膜的层叠膜。

[0073] 如图 1-2 所示，透明导电膜 111 以覆盖基板的大致整个面的方式形成，但在从法线方向观看基板面时与接触孔 115 重叠的位置及其周边形成有开口 211a。

[0074] 透明导电膜 111 由 ITO(Indium-Tin-Oxide：铟锡氧化物)、IZO(Indium-Zinc-Oxide：铟锌氧化物)、IDIXO(氧化铟－铟锌氧化物；$In_2O_3(ZnO)n$)、氧化锡 SnO_2 等透明电极材料形成，其膜厚设为 50nm ～ 200nm 程度。驱动液晶显示装置 100 时的透明导电膜 111 的电位为 0 或者恒定。

[0075] 层间绝缘膜 112 使用例如感光性的丙烯酸树脂 (JSR 公司制造，件号为 JAS-150，介电常数为 3.4) 形成。为了实现可靠性的提高，除感光性的丙烯酸树脂以外可以使用 SiOx、SiNx 等无机材料。

[0076] 透明像素电极 113 由 ITO、IZO 等透明电极材料形成，将其膜厚设为 50nm ～ 200nm 程度。

[0077] 当更详细地观看形成有 TFT105 的区域时，如图 2(a) 所示，在支撑基板 101 的主面上形成有与栅极线 102 连接的栅极电极 102a，栅极电极 102a 被栅极绝缘膜 106 覆盖。

[0078] 在隔着栅极绝缘膜 106 与栅极电极 102a 相对的位置形成有作为沟道层的半导体层 107。形成半导体层 107 的半导体材料没有特别限定，除 a-Si、p-Si 之外，也能应用氧化物半导体等。

[0079] 具体地，如上所述，由 a-Si 形成的半导体层 107 的电子迁移率低，但因为结晶性低所以能容易形成大面积的膜，适合于大型的液晶显示装置。另外，因为当照射光时容易产生截止电流，所以如上所述，在从法线方向观看基板面时与 TFT105 重叠的位置设置黑矩阵 202，但在本实施方式的液晶显示装置 100 中，如后所述，因为能减少设于其它区域的黑矩阵 202 的面积，所以作为结果，即使是具有 a-Si 半导体层的液晶显示装置 100 也可实现像素的高开口率化。

[0080] 由 p-Si 形成的半导体层 107 与由 a-Si 形成的半导体层 107 相比电子迁移率高，得到优良的 TFT 特性，但因为结晶性高，所以大面积的膜难以形成，适合于小型的液晶显示装置。另外，由氧化物半导体形成的半导体层 107 也因为电子迁移率高，所以得到优良的 TFT 特性。半导体层 107 的膜厚没有特别限定，设为例如 10nm ～ 300nm 程度。

[0081] 半导体层 107 被与源极线 103 连接的源极电极 103a 和漏极电极 108 覆盖，TFT105 包括栅极电极 102a、栅极绝缘膜 106、半导体层 107、源极电极 103a 以及漏极电极 108。

[0082] 源极线 103、源极电极 103a、漏极电极 108 以及栅极电极 102a 为了实现低电阻化，优选是由上述的金属材料形成的金属配线、电 极。这些可以是单层结构和层叠结构中的任一种，既可以分别由相同材料形成，也可以由不同材料形成。作为一例，可列举源极线 103、源极电极 103a、栅极电极 102a 以及漏极电极 108 由 Ti 和 Al 的层叠膜形成，该层叠膜的膜厚为 80nm ～ 550nm 程度。

[0083] 另一方面，如图 2(a)、(b) 所示，CF 基板 130 是在支撑基板 201 的主面上设有黑矩阵 202 和 CF 层 203。黑矩阵 202 形成于从法线方向观看基板面时与像素的边界重叠的位置，并划分各像素。

[0084] 另外，当构成 TFT105 的半导体层 107 由 a-Si 形成时，若光照射 TFT105，则产生漏

电流，因此如上所述，黑矩阵 202 不仅形成于像素的边界，也形成于从法线方向观看基板面时与 TFT105 重叠的区域。CF 层 203 具有例如红 (R)、蓝 (B) 以及绿 (G) 的颜色，按每个像素配置有某一颜色的 CF 层 203。

[0085] 在 CF 基板 130 的液晶层 120 侧的主面形成有厚度 50nm ～ 200nm 程度的相对电极 204，在形成有黑矩阵 202 的区域设有感光间隔物（未图示）。

[0086] 如上所述构成的液晶显示装置 100 在钝化膜 109 与层间绝缘膜 112 之间设有覆盖像素的大致整个面的透明导电膜 111，因此透明像素电极 113 难以受到基于栅极电压的电场混乱的影响。由此，能减少显示不良、特别是在像素的边界附近产生的显示不良，实现显示区域的扩大。

[0087] 另外，在像素的边界附近产生的显示不良区域通过在从法线方向观看基板面时与该显示不良区域重叠的位置设置黑矩阵 202，从而改善显示不良，但由于显示不良区域减少，能减少与该区域重叠的黑矩阵 202 的面积，实现更进一步的像素的高开口率化。在此，能缩窄从法线方向观看基板面时与源极线 103 重叠的黑矩阵的宽度 W1 以及与栅极线 102 重叠的黑矩阵的宽度 W2。

[0088] 另外，本实施方式的液晶显示装置 100 能在透明导电膜 111 与透明像素电极 113 之间以作为第 1 绝缘膜的层间绝缘膜 112 为电介质形成辅助电容 Cs1。通过设为这样的构成，在液晶显示装置中不需要为了形成辅助电容而设置的含金属材料的 Cs 配线、Cs 电极，能确保 辅助电容并且提高像素的开口率。

[0089] 此外，能抑制在源极线 103 与透明像素电极 113 之间形成的寄生电容不均的产生，因此不需要 ΔCsd 的电容耦合对策，可实现开口率的提高。

[0090] 下面列举具体例对具有如上所述的构成的液晶显示装置 100 的制造方法的一例进行说明。首先，使用图 3 和图 4-1 ～图 4-6 对 TFT 阵列基板 110 的制造工序进行说明。图 3 是示出本实施方式的 TFT 阵列基板 110 的制造工序的流程图，图 4-1 ～图 4-6 是图 3 所示的各工序中的基板的截面示意图。图 4-1 ～图 4-6 所示的区域 P、Q、R、S 分别在图 1-1 中示出，但区域 T 未图示。区域 P 是形成有 TFT105 的 TFT 部，区域 Q 是形成有辅助电容的 Cs 部，区域 R 是透明导电膜 111 和漏极电极 108 的连接部，区域 T 是在周边进行向透明导电膜 111 的电连接的连接部，区域 S 是形成有端子 151 的端子部。

[0091] 如图 3 所示，TFT 阵列基板 110 经由使用 6 个光掩模的 6 个光刻工序 (S1 ～ S6) 制造，在第 1 光刻工序 (S1) 和第 2 光刻工序 (S2) 之间还包含形成栅极绝缘膜 106 的栅极绝缘膜形成工序 (S11)，在第 3 光刻工序 (S3) 与第 4 光刻工序 (S4) 之间还包含形成钝化膜 109 的钝化膜形成工序 (S12)。

[0092] 6 个光刻工序 (S1 ～ S6) 包括：第 1 光刻工序（步骤 S1），使用第 1 光掩模形成栅极线；第 2 光刻工序（步骤 S2），使用第 2 光掩模形成半导体层；第 3 光刻工序（步骤 S3），使用第 3 光掩模形成源极线；第 4 光刻工序（步骤 S4），使用第 4 光掩模形成透明导电膜；第 5 光刻工序（步骤 S5），使用第 5 光掩模形成层间绝缘膜；以及第 6 光刻工序（步骤 S6），使用第 6 光掩模形成透明像素电极。

[0093] 在第 1 光刻工序 (S1)，在支撑基板 101 的主面上例如利用溅射法使膜厚 30nm ～ 150nm 的 Ti 膜、膜厚 200nm ～ 500nm 的 Al 膜、以及膜厚 30nm ～ 150nm 的 Ti 膜按该顺序成膜，使用第 1 光掩模并利用包含蚀刻处理和抗蚀剂剥离处理的光刻法（下面仅称为光刻

法。）将得到的层叠膜形成为期望形状的图案。由此，如图 4-1 所示，在区域 P 形成与栅极线 102 连接的栅极电极 102a，在区域 T 形成配线 170，在区域 S 形成引出配线 150。

[0094] 接着，在栅极绝缘膜形成工序 (S11)，以覆盖包含栅极电极 102a 在内的基板的整个面的方式形成栅极绝缘膜 106。栅极绝缘膜 106 通过例如利用 CVD 法沉积 SiN_2 以使得厚度为 200nm ～ 500nm 而得到。

[0095] 在第 2 光刻工序 (S2)，在栅极绝缘膜 106 上例如利用 CVD 法沉积 a-Si 以使得厚度为 10nm ～ 300nm，利用使用第 2 光掩模的光刻法形成为期望形状的图案。由此，如图 4-2 所示，在区域 P 形成 a-Si 层 107a。另外，在区域 S 形成 a-Si 层 107b。

[0096] 在第 3 光刻工序 (S3)，在得到的 a-Si 层 107a 上形成源极电极 103a 和漏极电极 108。源极电极 103a 和漏极电极 108 是例如利用溅射法沉积 Ti 以使得厚度为 30nm ～ 150nm，并沉积 Al 以使得厚度为 50nm ～ 400nm，利用使用第 3 光掩模的光刻法将得到的层叠膜形成为期望形状的图案。由此，如图 4-3 所示，在区域 P 形成源极电极 103a 和漏极电极 108。另外，区域 S 中的 a-Si 层 107a 的膜厚由于蚀刻而变薄，成为半导体层 107。

[0097] 利用上述 S1 ～ S3 的工序，在支撑基板 101 的主面上形成栅极电极 102a、栅极绝缘膜 106、半导体层 107、源极电极 103a 以及漏极电极 108，由此得到 TFT105。

[0098] 接着，在钝化膜形成工序 (S12)，以覆盖基板面的方式形成钝化膜 109。钝化膜 109 是例如利用 CVD 法沉积 SiN_2 以使得厚度为 100nm ～ 700nm，以覆盖包含源极线 103 和漏极电极 108 在内的基板的整个面的方式形成。

[0099] 接着，例如利用溅射法在钝化膜 109 上沉积 ITO 以使得厚度为 50nm ～ 200nm，形成透明导电膜 111。

[0100] 并且，在第 4 光刻工序 (S4)，使用第 4 光掩模将透明导电膜 111 形成为期望形状的图案。由此，如图 4-4 所示，在区域 P、Q、R 设有形成了图案的透明导电膜 111。

[0101] 接着，使用感光性树脂，在区域 P、Q、R 形成覆盖透明导电膜 111 的层间绝缘膜 112。

[0102] 在第 5 光刻工序 (S5)，使用第 5 光掩模在区域 R 的层间绝缘膜 112 中形成接触孔 115，在区域 T 的层间绝缘膜 112 中形成接触孔 128，并且在区域 S 也形成图案。由此，如图 4-5 所示，漏极电极 108 在区域 R 露出，配线 170 在区域 T 露出，引出配线 150 在区域 S 露出。

[0103] 并且，以覆盖基板的整个面的方式，例如利用溅射法在层间绝缘膜 112 上沉积 ITO 以使得厚度为 50nm ～ 200nm 而形成薄膜，在第 6 光刻工序 (S6)，利用光刻法并使用第 6 光掩模将该薄膜图案化为期望形状。由此，如图 4-6 所示，在区域 P、Q、R 形成有透明像素电极 113，透明像素电极 113 形成有图案，在区域 S 形成有端子 151。

[0104] 并且，在区域 R，透明像素电极 113 和漏极电极 108 通过接触孔 115 电连接，在区域 T，使用透明像素电极 113 使透明导电膜 111 和配线 170 通过接触孔 128 电连接，在区域 S，引出配线 150 和端子 151 连接。

[0105] 利用上述 S1 ～ S6 的工序完成 TFT 阵列基板 110。接着，说明 CF 基板 130 的制造方法的一例。

[0106] 首先，在支撑基板 201 的主面上，利用光刻法将含黑色颜料的感光性树脂图案化为期望形状而形成黑矩阵 202。接着，在利用黑矩阵 202 划分的区域涂敷含红 (R)、绿 (G)、蓝 (B) 的颜料的感光性树脂而形成 CF 层 203。并且，在基板的表面利用溅射法沉积 ITO 等

透明电极材料以使得厚度为 50nm ～ 200nm，利用光刻法等形成期望的图案形状，形成相对电极 204。在形成有黑矩阵 202 的区域形成感光间隔物（未图示）。感光间隔物是通过使用感光性树脂并利用光刻法图案化为期望形状而得到。通过经由这样的工序而完成 CF 基板 130。

[0107] 利用印刷法在如上所述制造的 TFT 阵列基板 110 和 CF 基板 130 的表面上涂敷聚酰亚胺树脂，由此形成取向膜（未图示。）。形成有取向膜的两基板通过密封材料贴合，利用滴下法、注入法等方法在基板间封入液晶。并且，利用切割将贴合的两基板切断，根据需要设有驱动装置、框体、光源等各种部件，由此得到本实施方式的液晶显示装置 100。

[0108] 下面对本实施方式的液晶显示装置 100 的具体例进行说明。

[0109] 实施例 1

[0110] 在实施方式 1 的液晶显示装置 100 中，将像素间距 P1 设为 39μm 的结果是，即使是相同像素尺寸，与利用使用通常的 5 个掩模的工序形成的液晶显示装置（后述的比较实施方式 1 的液晶显示装置 500）比较，开口率提高 35％。

[0111] 在本发明中，在以上述实施方式 1 的构成不能确保充分的辅助电容的情况下，像素的开口率会略微降低，不过，还可以设置 Cs 配线、Cs 电极来确保辅助电容。下面对设有 Cs 配线和 / 或 Cs 电极的构成进行说明。

[0112] 实施方式 2

[0113] 在本实施方式中，列举除了实施方式 1 的构成之外还设置 Cs 电极来确保辅助电容的例子进行说明。对于形成与上述实施方式 1 同样的构成的部分，标注相同符号并省略说明。

[0114] 图 5-1 是示出本发明的实施方式 2 的液晶显示装置的像素的构成的平面示意图，图 5-2 是示出透明导电膜的构成的平面示意图。图 6(a) 是沿图 5-1 中的 A-B 线的截面示意图，图 6(b) 是沿图 5-1 中的 C-D 线的截面示意图，图 6(c) 是示出图 6(b) 的一部分的放大示意图。

[0115] 在图 5-1 中，在液晶显示装置 210 中，相对于纸面使 TFT105 位于像素的左下角，漏极电极 108 从像素的左下角延伸至像素的中央，在像素的中央，面积大的部分作为 Cs 电极 104a 执行功能。在层间绝缘膜 112 中，在从法线方向观看基板时与 Cs 电极 104a 重叠的位置形成有接触孔 118。并且，形成于层间绝缘膜 112 上的透明像素电极 113 和 Cs 电极 104a 通过接触孔 118 电连接，透明像素电极 113 由 TFT105 单独地且选择性地控制。

[0116] 在上述实施方式 1 中，透明导电膜 111 以覆盖像素的整个面的方式形成，但在此如图 5-2、图 6(a)、(b) 所示，透明导电膜 111a 形成于从法线方向观看基板面时与像素的中央部、栅极线 102、源极线 103 以及 TFT105 重叠的区域。在像素的中央部，以与源极线 103 交叉的方式与栅极线 102 平行地形成并且与 Cs 电极 104a 相对的区域的面积变大。另外，在与 Cs 电极 104a 相对的区域中，以与将透明像素电极 113 和漏极电极 108(Cs 电极 104a) 电连接的区域不重叠的方式形成有接触孔 118，在其周围形成有孔 211b。

[0117] 在如上所述构成的液晶显示装置 210 中，如图 6(c) 所示，漏极电压保持用的辅助电容由辅助电容 Cs1 和辅助电容 Cs2 确保，辅助电容 Cs 1 形成在透明像素电极 113 与透明导电膜 111a 之间，以层间绝缘膜 112 作为电介质，辅助电容 Cs2 形成在透明导电膜 111a 与 Cs 电极 104a 之间，以钝化膜 109 作为电介质。

[0118] 此外，透明导电膜 111a 的形状没有特别限定，可以是从法线方向观看基板面时比 Cs 电极 104a 小的构成，也可以是与 Cs 电极 104a 的面积相同、或者比其大的构成。

[0119] 下面对本实施方式的液晶显示装置 210 的制造方法进行说明。除 TFT 阵列基板 110a 以外的构成与上述实施方式 1 同样，因此在此仅说明 TFT 阵列基板 110a 的制造方法。图 7-1 ～图 7-6 是说明本实施方式的 TFT 阵列基板 110a 的制造工序的截面示意图。在本实施方式中，利用与上述实施方式 1 同样的工序制造 TFT 阵列基板 110a，但使用的光掩模图案的形状不同。

[0120] 在图 7-1 ～图 7-6 中，区域 P、S、T 的构成与上述实施方式 1 的图 4-1 ～图 4-6 相同，但在区域 Q 配置有 Cs 电极 104a 的方面不同。另外，区域 R 包含于区域 Q。

[0121] 具体地，如图 7-1 所示，与上述实施方式 1 同样地在进行了第 1、第 2 光刻工序 (S1、S2) 的基板中形成栅极电极 102a、配线 170 以及引出配线 150。并且，栅极绝缘膜形成工序 (S11) 和第 2 光刻工序 (S2) 与上述实施方式 1 同样地进行，由此得到图 7-2 所示的状态的基板。并且，与上述实施方式 1 同样地进行第 3 光刻工序 (S3)，由此如图 7-3 所示，形成源极电极 103a 和漏极电极 108，得到 TFT105，并且在区域 Q 中形成 Cs 电极 104a。

[0122] 接着，与上述实施方式 1 同样地进行钝化膜形成工序 (S12) 和第 4 光刻工序 (S4)，由此形成钝化膜 109 和形成有图案的透明导电 膜 111。由此，如图 7-4 所示，在区域 P、Q、R 形成透明导电膜 111a，透明导电膜 111a 形成有图案，在透明导电膜 111a 的中央部形成孔 211b。

[0123] 接着，与上述实施方式 1 同样地形成层间绝缘膜 112，接下来进行第 5 光刻工序 (S5)。由此，如图 7-5 所示，在区域 Q 形成接触孔 118，在区域 T 形成接触孔 128。

[0124] 并且，以覆盖基板的整个面的方式沉积 ITO 而形成薄膜，进行第 6 光刻工序 (S6)，由此如图 7-6 所示，在区域 Q，透明像素电极 113 和 Cs 电极 104a 通过接触孔 118 导通，在区域 T，使用透明像素电极 113 使透明导电膜 111a 和配线 170 通过接触孔 128 导通，在区域 S，引出配线 150 和端子 151 导通。

[0125] 实施方式 3

[0126] 在本实施方式中，列举除了实施方式 2 的构成之外还设置 Cs 配线来确保辅助电容的例子进行说明。对于形成与上述实施方式 1、2 同样的构成的部分，标注相同符号并省略说明。

[0127] 图 8-1 是示出本发明的实施方式 3 的液晶显示装置的像素的构成的平面示意图，图 8-2 是示出透明导电膜的构成的平面示意图。图 9(a) 是沿图 8-1 中的 A-B 线的截面示意图，图 9(b) 是沿图 8-1 中的 C-D 线的截面示意图，图 9(c) 是示出图 9(b) 的一部分的放大示意图。

[0128] 图 8-1、图 9(a) ～ (c) 所示的液晶显示装置 220 除了上述实施方式 2 的液晶显示装置 210 的构成还具有 Cs 配线 104，Cs 配线 104 以与源极线 113 正交的方式形成于相邻的栅极线 102 之间。同一行的像素利用共用的 Cs 配线 104。Cs 配线 104 与栅极线 102 配置于同层。透明导电膜 111b 是与上述实施方式 2 的透明导电膜 111a 大致同样的构成，以也与 Cs 配线 104 的一部分重叠的方式形成。

[0129] 在如上所述构成的液晶显示装置 220 中，如图 9(c) 所示，漏极电压保持用的辅助电容除了上述辅助电容 Cs1、Cs2 的之外还由辅助电容 Cs3 确保，辅助电容 Cs3 形成在 Cs 电

极 104a 与 Cs 配线 104 之间，以栅极绝缘膜 106 作为电介质。

[0130] 图 10 是示出图 8-1 所示的像素的显示区域和非显示区域的平面示意图。在图 10 中，黑色部分是非显示区域 300，不关注的部分是显示区域 310。所谓非显示区域 300 具体是被黑矩阵、含金属材料的配线等遮光、不进行显示的区域。

[0131] 与在后述的比较实施方式 1 中使用图 15 说明的液晶显示装置 500 的像素相比的话，Cs 配线 104 的宽度 W3 和黑矩阵 202 的宽度 W1、W2、Cs 电极 104a 的宽度 W4 非常细。这样，本实施方式的液晶显示装置 220 与上述实施方式 1 的液晶显示装置 100 相比，像素的开口率变低，但与比较实施方式 1 的液晶显示装置 500 比较的话，像素的开口率大大提高。

[0132] 此外，在上述说明中，列举在比 Cs 配线 104 靠上层设置 Cs 电极 104a 的例子进行了说明，但本发明不限于此，可以在 Cs 电极 104a 的上层配置有 Cs 配线 104。

[0133] 下面对本实施方式的液晶显示装置 220 的制造方法进行说明。除 TFT 阵列基板 110b 以外的构成与上述实施方式 2 同样，因此，在此仅说明 TFT 阵列基板 110b 的制造方法。图 11-1 ～图 11-6 是说明本实施方式的 TFT 阵列基板 110b 的制造工序的截面示意图。在本实施方式中，利用与上述实施方式 1、2 同样的工序制造 TFT 阵列基板 110b，但使用的光掩模图案的形状不同。

[0134] 在图 11-1 ～图 11-6 中，区域 P、T、S 的构成与上述实施方式 2 的图 7-1 ～图 7-6 相同，但在区域 Q 中还形成有 Cs 配线 104 的方面不同。即，如图 11-1 所示，经由上述实施方式 2 的第 1 光刻工序 (S1) 的基板在区域 Q 中形成有 Cs 配线 104。

[0135] 接着，与上述同样，以覆盖包含 Cs 配线 104 在内的基板面的方式形成栅极绝缘膜 106，在第 2 光刻工序 (S2) 中，如图 11-2 所示，形成 a-Si 层 107a 和 a-Si 层 107b。

[0136] 并且，与上述同样地进行第 3 光刻工序 (S3)，由此形成源极电极 103a 和漏极电极 108。另外，在区域 Q 形成 Cs 电极 104a。

[0137] 接着，与上述实施方式 2 同样地形成钝化膜 109 和透明导电膜 111，进行第 4 光刻工序 (S4)。由此，如图 11-4 所示，在区域 P、Q、R 形成透明导电膜 111b 和孔 211b，透明导电膜 111b 形成有图案。

[0138] 接着，与上述实施方式 2 同样地形成层间绝缘膜 112，接下来进行第 5 光刻工序 (S5)。由此，如图 11-5 所示，在区域 Q 形成接触孔 118。

[0139] 并且，以覆盖基板的整个面的方式沉积 ITO 而形成薄膜，进行第 6 光刻工序 (S6)，由此如图 11-6 所示，在区域 Q 中，透明像素电极 113 和 Cs 电极 104a 通过接触孔 118 导通，在区域 S 中，引出配线 150 和端子 151 导通。由此，完成本实施方式的 TFT 阵列基板 110b。

[0140] 在本实施方式中，如上所述，通过在钝化膜 109 与层间绝缘膜 112 之间形成透明导电膜 111b，不仅得到在 Cs 配线 104 与 Cs 电极 104a 之间形成的辅助电容 Cs3，也得到在透明导电膜 111a 与 Cs 配线 104 之间形成的辅助电容 Cs2、在透明导电膜 111a 与透明像素电极 113Cs 之间形成的辅助电容 Cs1，由此即使实现像素的高精细化，也减少 Cs 配线 104 的面积，实现像素的高开口率化。

[0141] 此外，在上述实施方式 1 中，透明导电膜 111 形成于基板的整个面，在实施方式 2、3 中，透明导电膜 111a、111b 形成于像素的中央部、划分像素的区域（与栅极线 102、源极线 103 重叠的区域）、以及与 TFT105 重叠的区域，但在本发明中透明导电膜的形状不限于此，例如，透明导电膜可以仅形成于像素的中央部。在该情况下，上述屏蔽效果减少，但能维持

像素的开口率并且确保充分的 Cs 电容。

[0142] 另外，透明导电膜可以仅形成于从法线方向观看基板面时与划分像素的区域重叠的区域。图 12 是示出本发明的液晶显示装置的透明导电膜的其它方式的平面示意图。如图 12 所示，透明导电膜 111c 仅形成于从法线方向观看基板面时与源极线 103 重叠的位置。通过设为这样的条状的透明导电膜 111c，能维持透明像素电极 113 难以受到基于栅极电压的电场混乱的影响的电场屏蔽效果，并且消除基于源极线 103 的负载电容增加的信号延迟。

[0143] 此外，在上述各实施方式中，对为了提高像素的开口率而缩窄 Cs 配线 104 的宽度 W1 的例子进行了说明，但本发明不限于此，可以 缩窄 Cs 电极 104a 的宽度 W2，或者缩窄 Cs 配线 104 和 Cs 电极 104a 两者的宽度来实现开口率的提高。

[0144] 另外，在上述各实施方式中，列举将黑矩阵 202 和 CF 层 203 设于 CF 基板 130 的一侧的例子进行说明，但本发明不限于此，这些部件也能形成于 TFT 阵列基板的一侧。

[0145] 另外，在上述各实施方式中，举例说明了具备底栅型的 TFT 的液晶显示装置，但本发明不限于此，对于具备顶栅型的 TFT 的液晶显示装置也能应用。此外，辅助电容只要至少在透明导电膜 111、111a 与透明像素电极 113 之间形成即可，除此以外的辅助电容的形成部位没有特别限定，能根据需要适当设定。

[0146] 比较实施方式 1

[0147] 图 13 是示出比较实施方式 1 的液晶显示装置的像素的构成的平面示意图，图 14(a) 是沿图 13 中的 A-B 线的截面示意图，图 14(b) 是沿图 13 中的 C-D 线的截面示意图。图 15 是示出图 13 所示的像素的显示区域和非显示区域的平面示意图。在图 13 ～图 15 中，对形成与上述各实施方式同样的构成的部分标注相同附图标记并省略说明。

[0148] 在图 13、图 14(a)、(b) 中，液晶显示装置 500 在钝化膜 109 与层间绝缘膜 112 之间未形成透明导电膜 111，辅助电容仅由辅助电容 Cs5 构成，辅助电容 Cs5 形成在 Cs 配线 224 与 Cs 电极 104a 之间，以栅极绝缘膜 106 作为电介质。

[0149] 因此，为了确保辅助电容，Cs 配线 224 的宽度 W5 形成得比上述实施方式 3 的 Cs 配线 104 的宽度 W3 宽。另外，透明像素电极 113 容易受到基于栅极电压的电场混乱的影响，因此显示特性在像素的边界附近容易降低。因此，像素的边界附近的黑矩阵 202a 的宽度 W7、W8 形成得比实施方式 3 的黑矩阵 202 的宽度 W1、W2 宽。此外，Cs 电极 104a 的宽度 W6 与 Cs 配线 104 的宽度 W4 相同。

[0150] 在图 15 中，黑色部分是非显示区域 300，不关注的部分是显示区域 310。当比较该比较实施方式的图 15 和上述实施方式 3 的图 10 时，图 15 一方的非显示区域 300 明显多，像素的开口率变低。

[0151] 上述实施方式中的各方式可以在不脱离本发明的宗旨的范围内适当组合。

[0152] 此外，本申请以在 2009 年 9 月 8 日申请的日本专利申请 2009-207474 号作为基础，基于巴黎公约或进入国的法规要求优先权。该申请的内容的全部编入到本申请中作为参照。

[0153] 附图标记说明

[0154] 100、210、220、500 ：液晶显示装置

[0155] 101、201 ：支撑基板

[0156] 102 ：栅极线

[0157] 102a :栅极电极

[0158] 103 :源极线

[0159] 103a :源极电极

[0160] 104、224 :Cs 配线

[0161] 104a、224a :Cs 电极

[0162] 105 :TFT

[0163] 106 :栅极绝缘膜

[0164] 107 :半导体层

[0165] 107a、107b :a-Si 层

[0166] 108 :漏极电极

[0167] 109 :钝化膜

[0168] 110、110a、110b :TFT 阵列基板

[0169] 111、111a、111b、111c :透明导电膜

[0170] 112 :层间绝缘膜

[0171] 113 :透明像素电极

[0172] 120 :液晶层

[0173] 130 :CF 基板

[0174] 115、118、128 :接触孔

[0175] 150 :引出配线

[0176] 151 :端子

[0177] 202、202a :黑矩阵

[0178] 203 :CF 层

[0179] 204 :相对电极

[0180] 211a、211b :孔

[0181] 300 :非显示区域

[0182] 310 :显示区域

[0183] W1 ～ W9 :宽度

[0184] Cs1 ～ Cs5 :辅助电容

[0185] P、Q、R、S、T :区域

[0186] P1 :像素间距

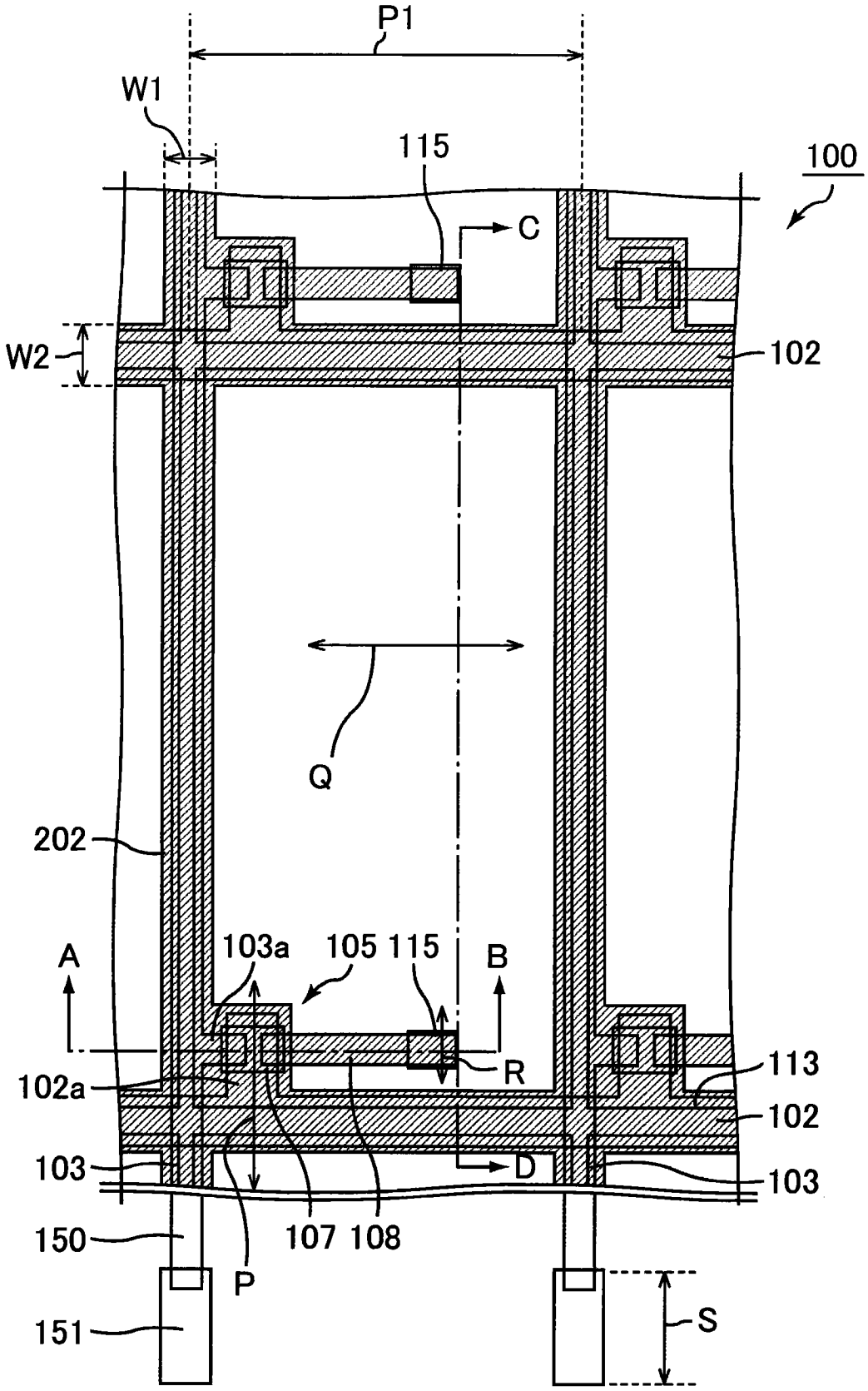

P1
W1
115
100
C
W2
102
Q
202
A
103a
105
115
B
R
102a
113
102
103
D
103
150
107
108
P
151
S

图 1-1

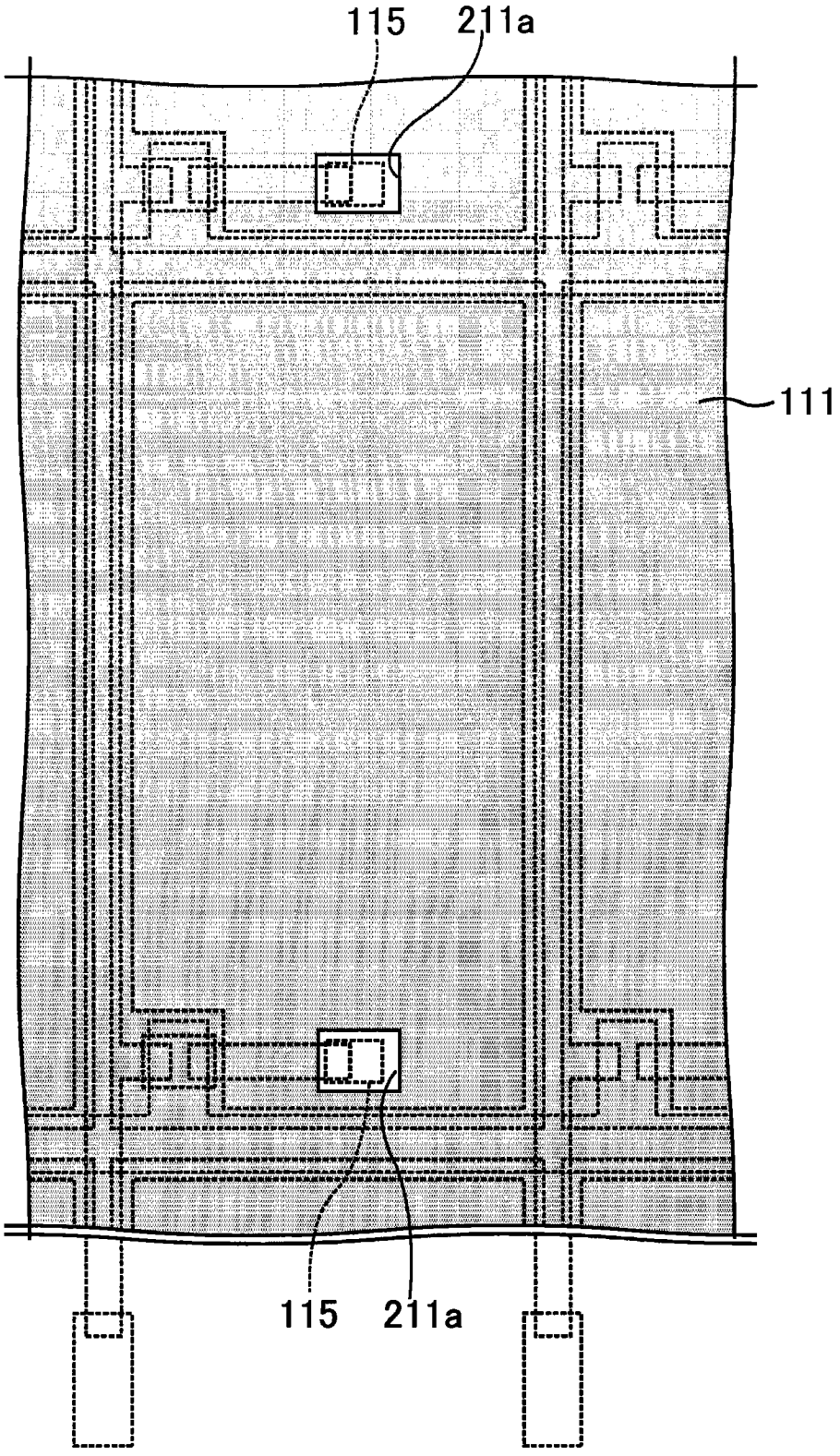


图 1-2

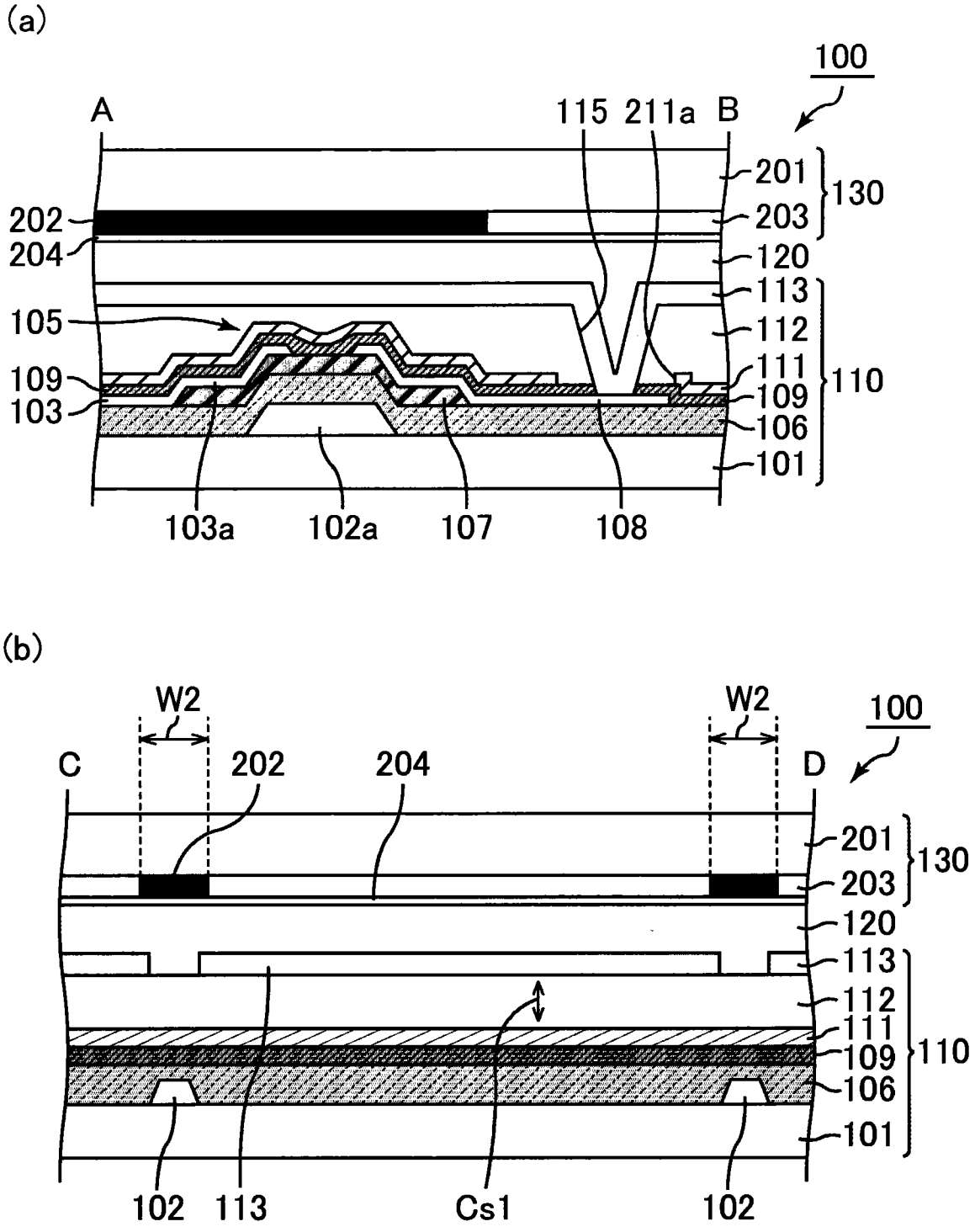

(a)
100
A
115 211a B
201
203
130
202
204
120
113
112
105
111
109
110
103
106
101
103a
102a
107
108
(b)
W2
W2
100
C
202
204
D
201
203
130
120
113
112
111
109
110
106
101
102
113
Cs1
102

图 2

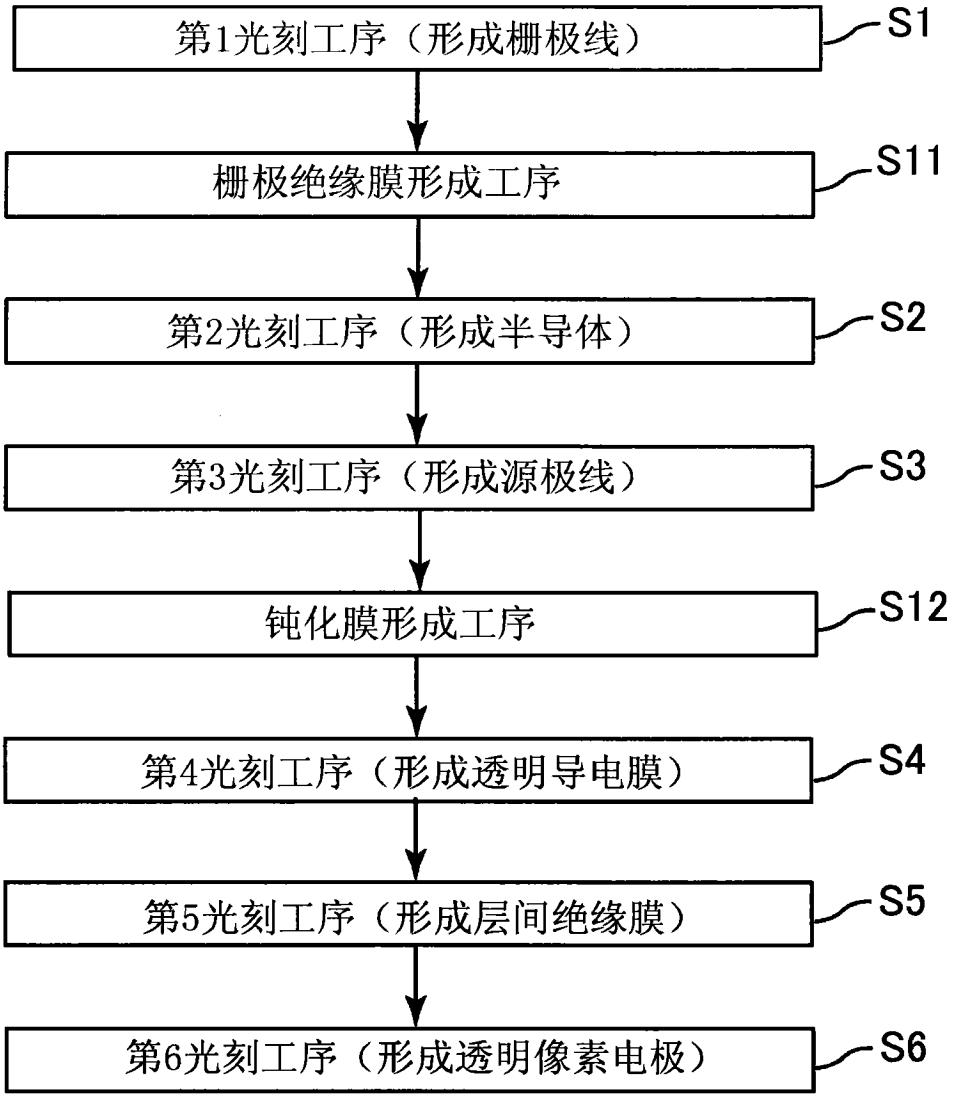

第1光刻工序（形成栅极线）
S1
栅极绝缘膜形成工序
S11
第2光刻工序（形成半导体）
S2
第3光刻工序（形成源极线）
S3
钝化膜形成工序
S12
第4光刻工序（形成透明导电膜）
S4
第5光刻工序（形成层间绝缘膜）
S5
第6光刻工序（形成透明像素电极）
S6

图 3

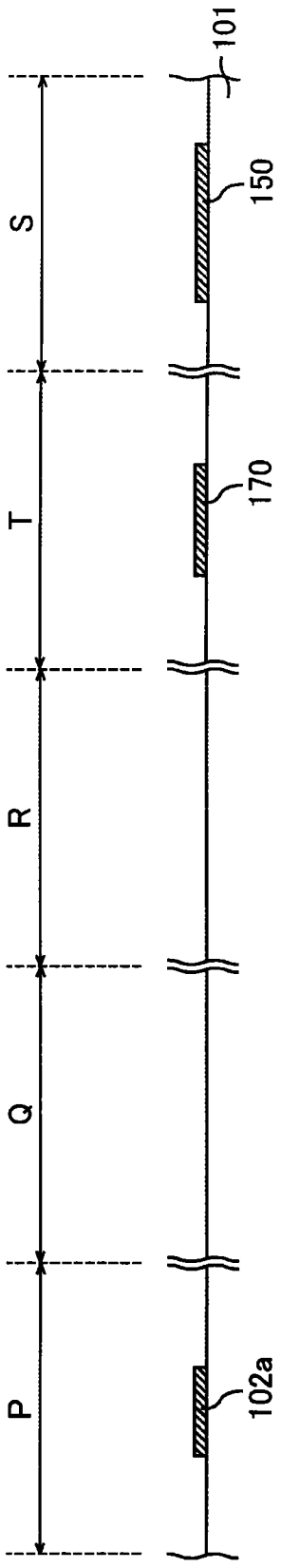


图 4-1

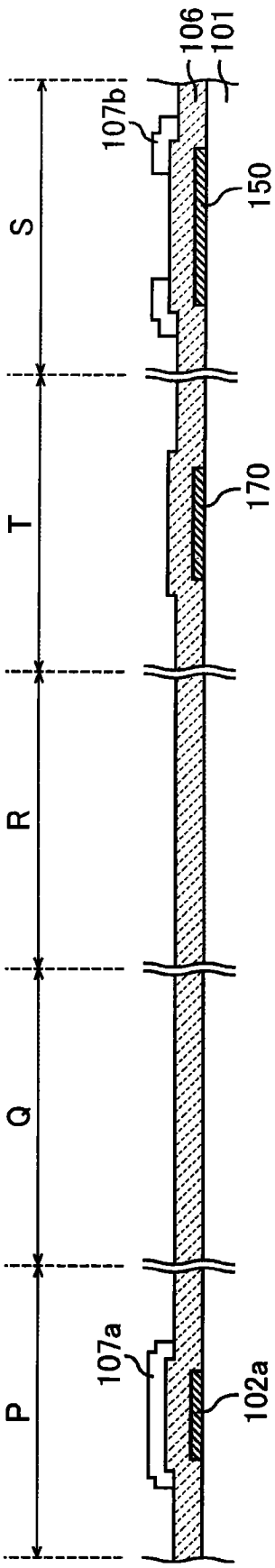


图 4-2

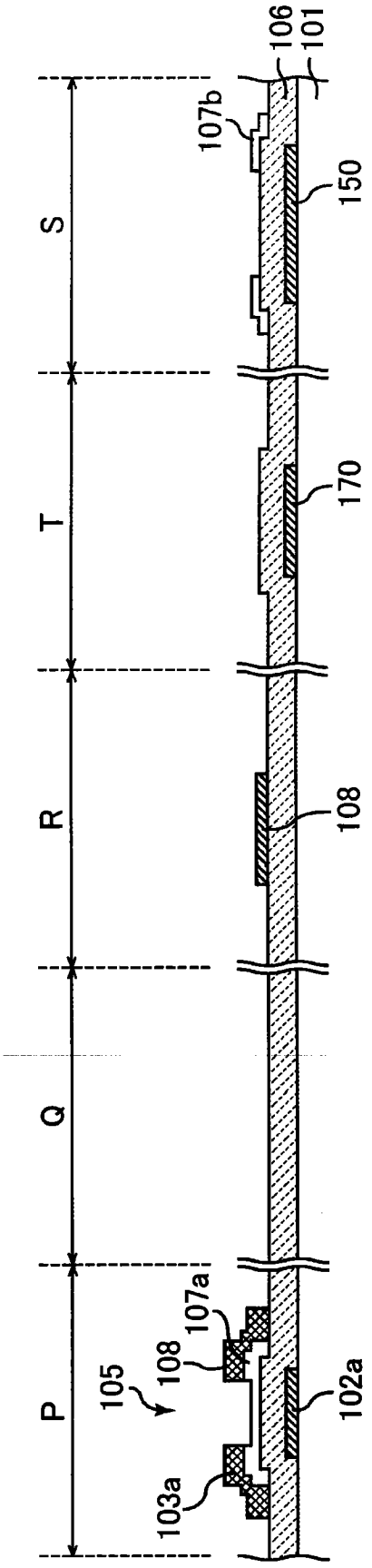

S
T
R
Q
P
106
101
107b
150
170
108
107a
105
108
102a
103a

图 4-3

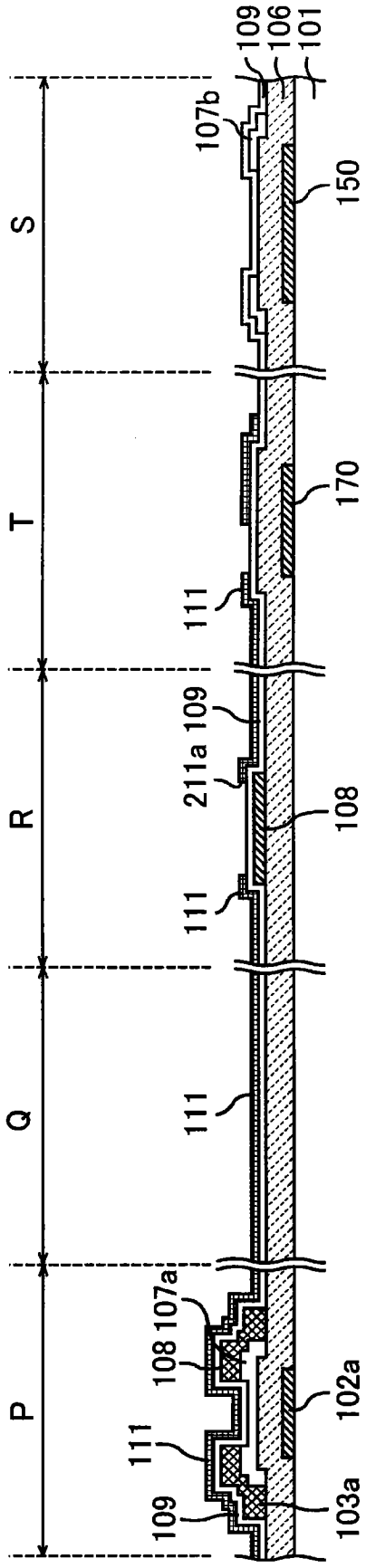

S
T
R
Q
P
109
106
101
107b
150
170
111
211a 109
108
111
111
107a
108
111
109
102a
103a

图 4-4

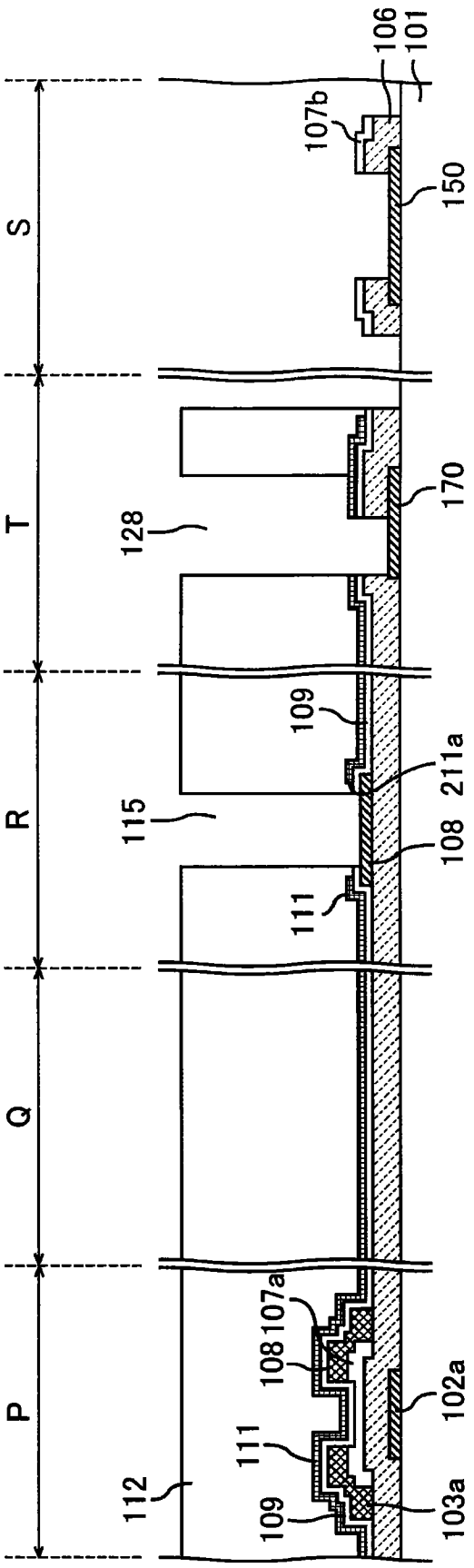

S
T
R
Q
P
106
101
107b
150
128
170
109
211a
115
108
111
107a
102a
112
103a

图 4-5

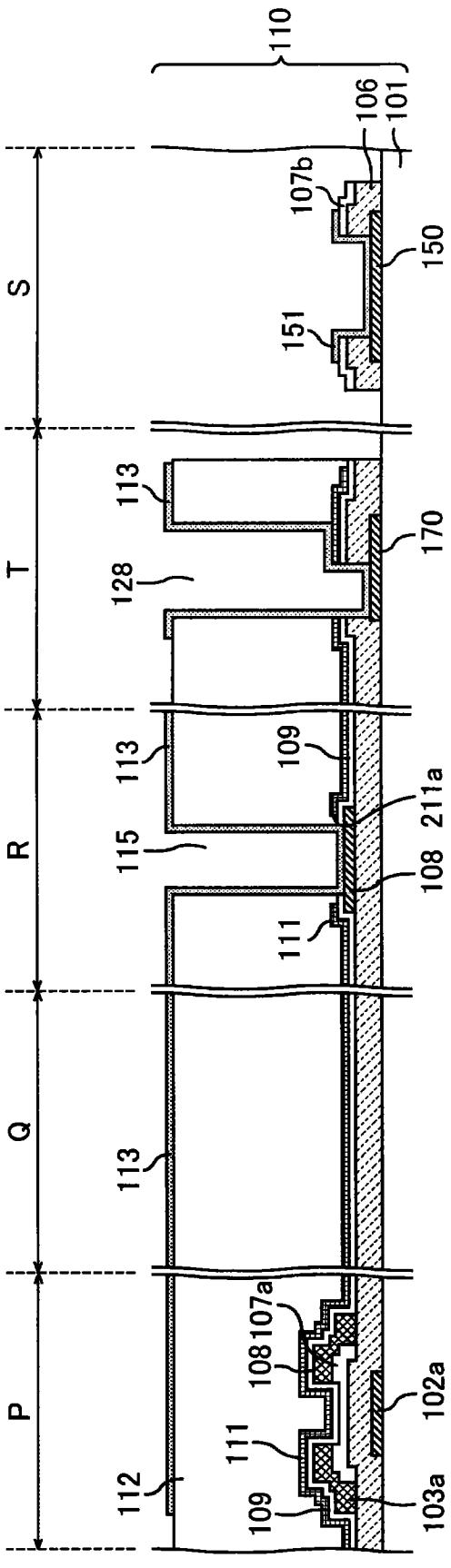

110
106
101
107b
150
151
S
T
R
Q
P
113
128
170
109
211a
115
108
111
107a
102a
112
103a

图 4-6

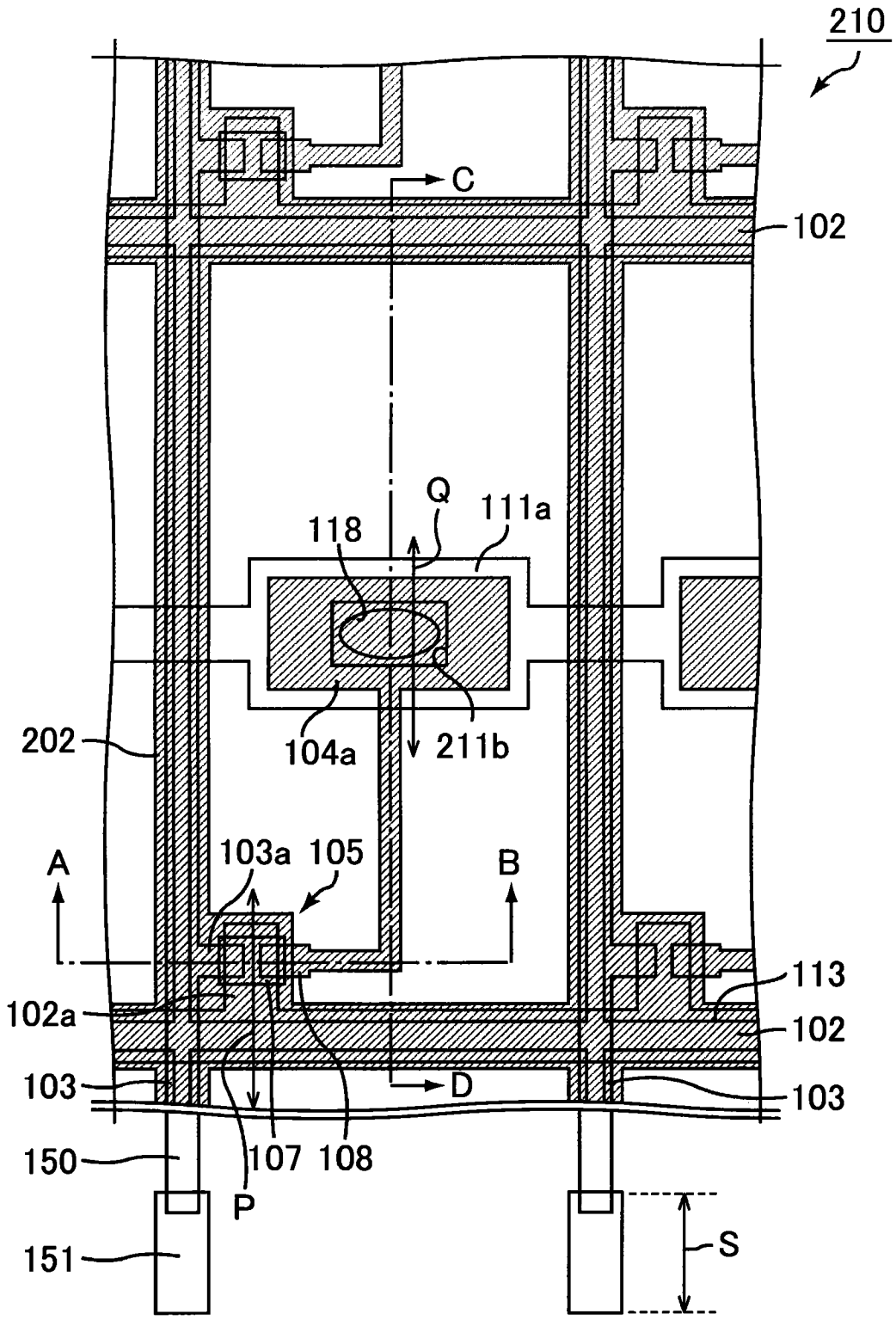

210
C
102
Q
111a
118
104a
211b
202
A
103a
105
B
113
102a
102
103
D
103
150
107
108
P
151
S

图 5-1

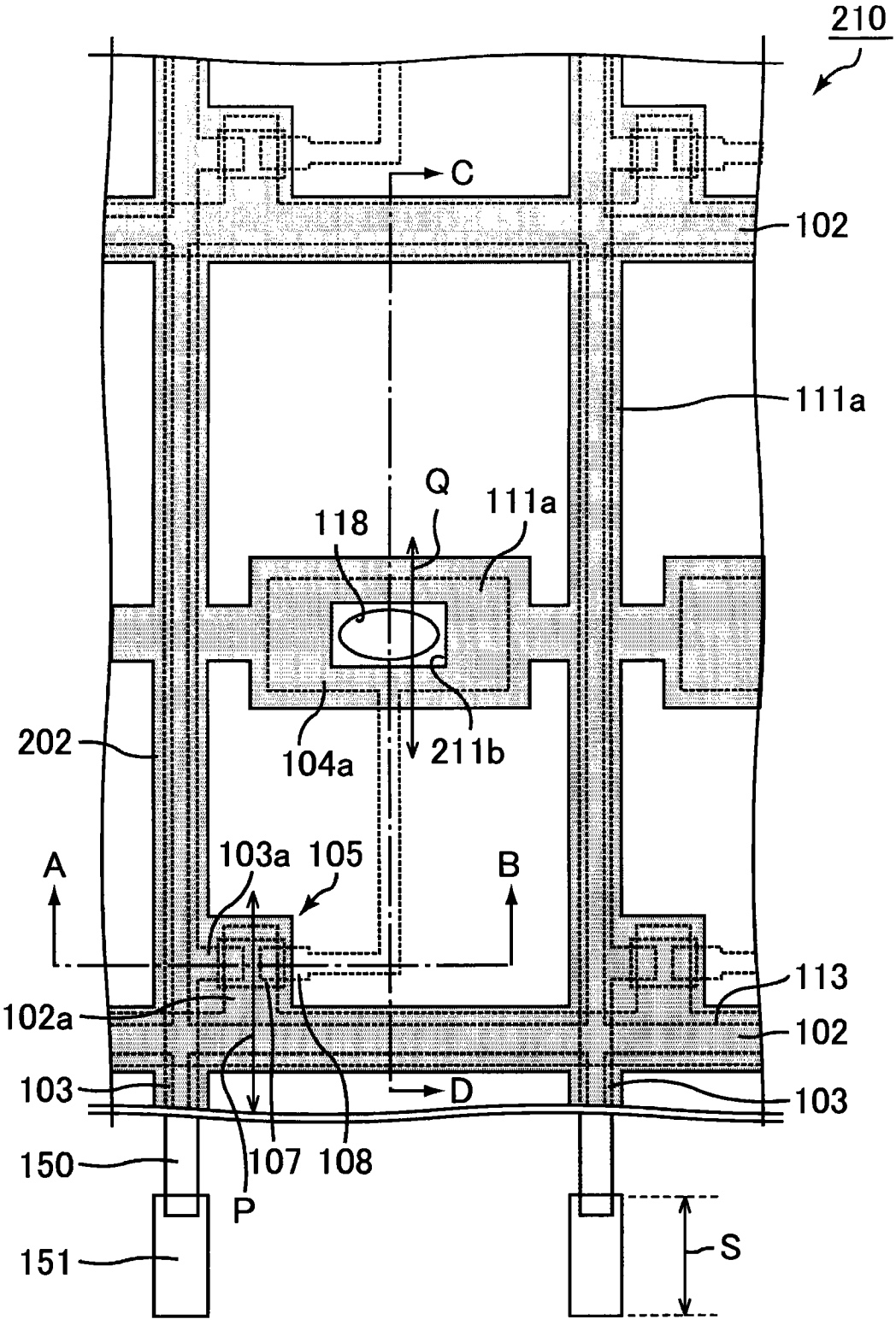

210
C
102
111a
Q
111a
118
202
104a
211b
A
103a
105
B
113
102a
102
103
D
103
150
107
108
P
151
S

图 5-2

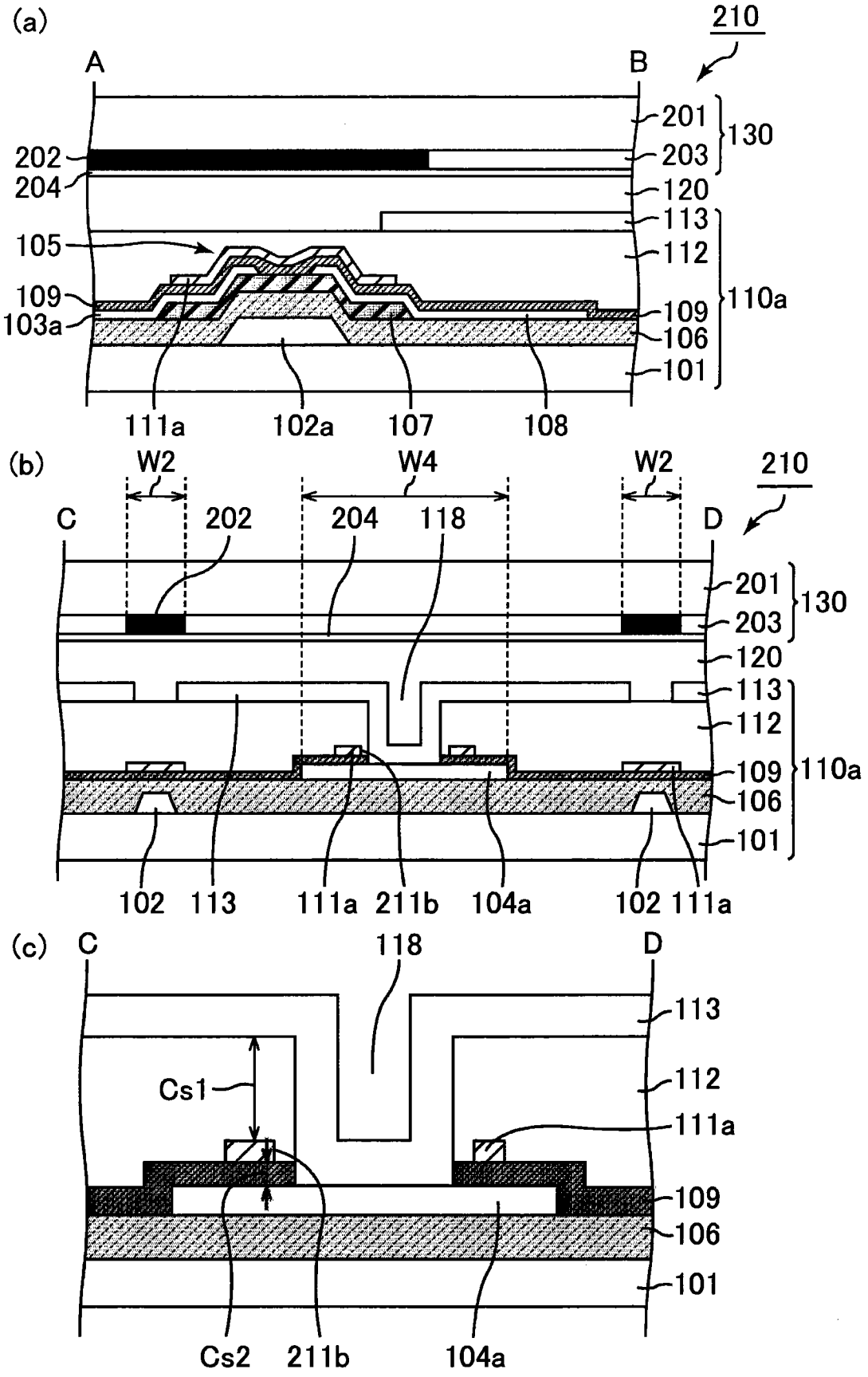

(a)
210
A
B
201
130
202
203
204
120
113
105
112
109
110a
103a
109
106
101
111a
102a
107
108
(b)
W2
W4
W2
210
C
202
204
118
D
201
130
203
120
113
112
109
110a
106
101
102
113
111a
211b
104a
102
111a
(c)
C
118
D
113
Cs1
112
111a
109
106
101
Cs2
211b
104a

图 6

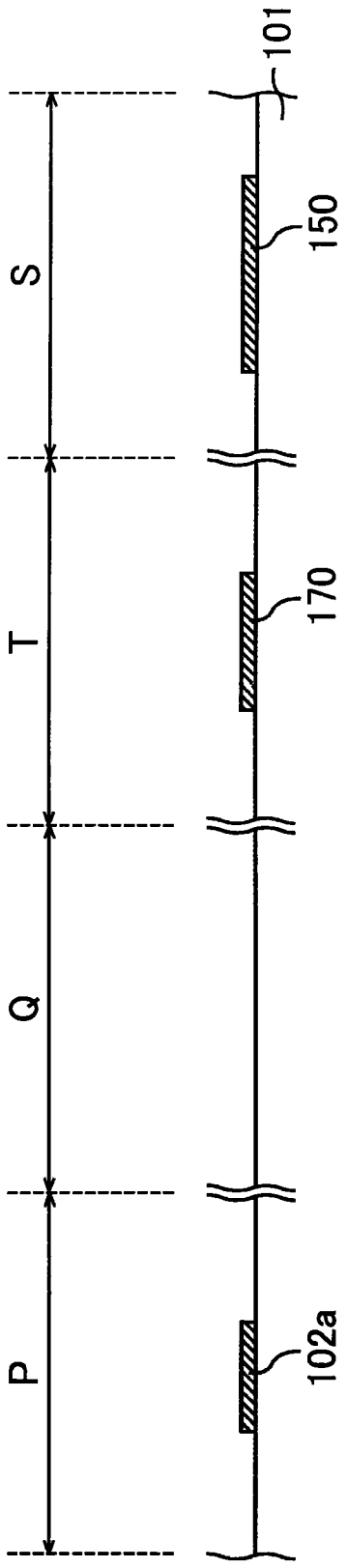

101
150
S
170
T
Q
P
102a

图 7-1

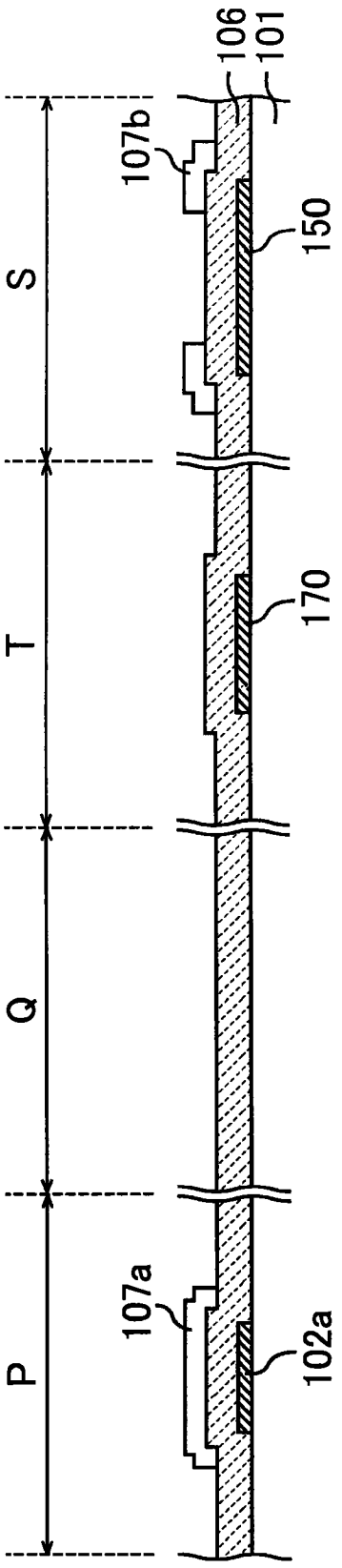

106
101
107b
150
S
170
T
Q
107a
P
102a

图 7-2

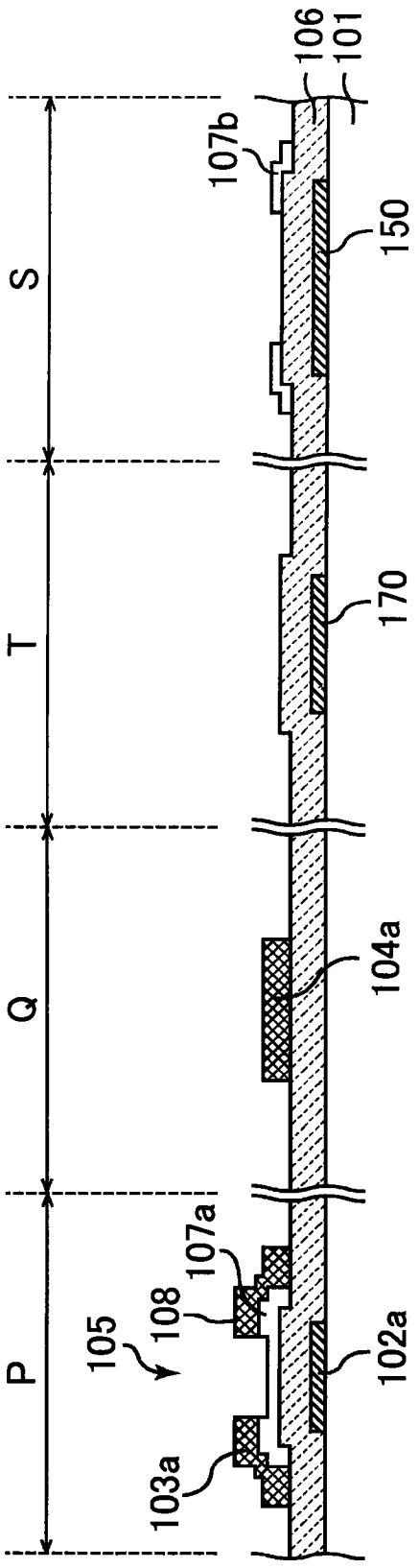

106
101
107b
150
S
170
T
104a
Q
107a
108
105
P
102a
103a

图 7-3

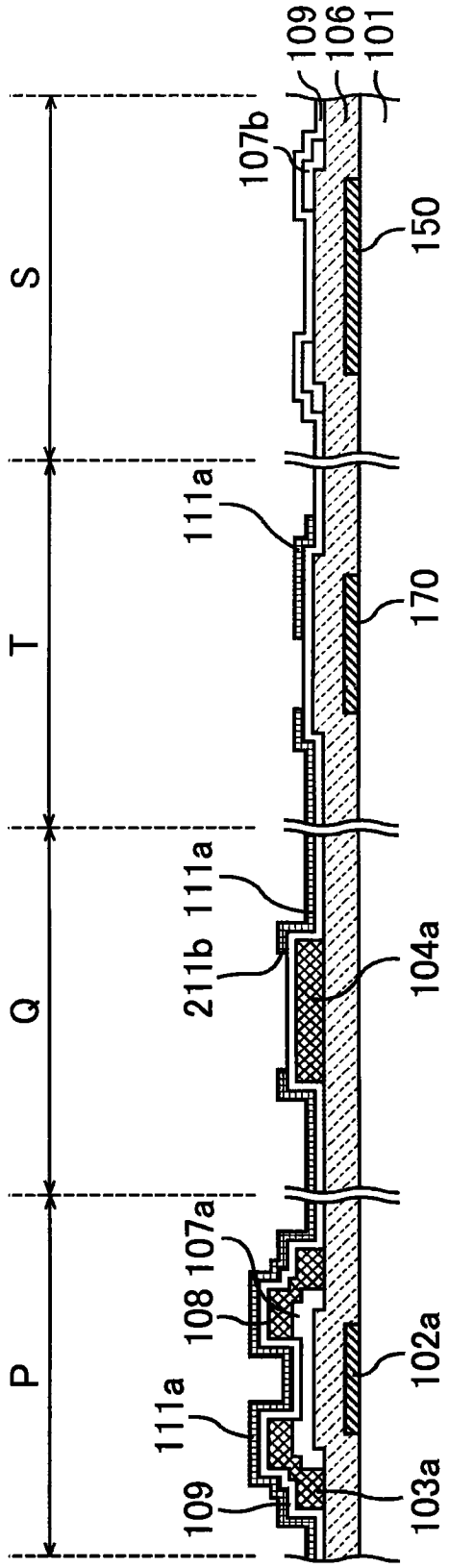

109
106
101
107b
150
S
111a
170
T
211b
111a
104a
Q
108
107a
102a
111a
109
103a
P

图 7-4

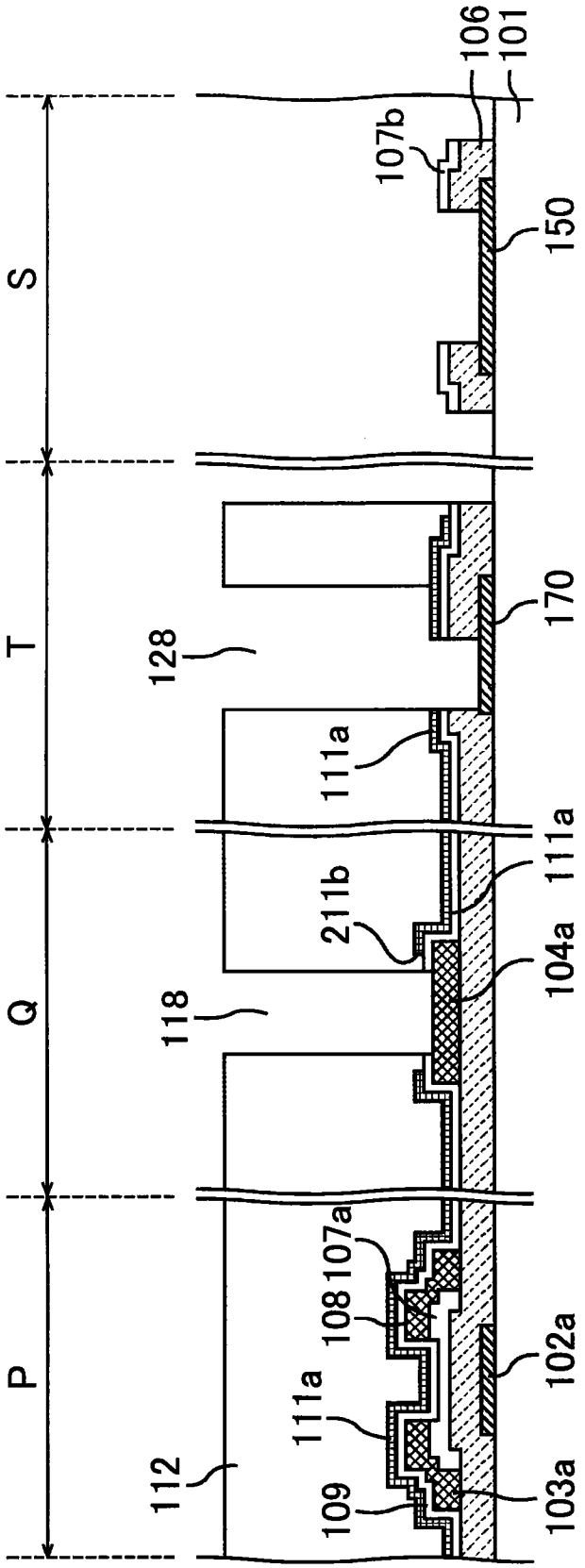

106
101
107b
150
S
128
170
T
111a
211b
111a
104a
Q
118
108
107a
102a
111a
109
112
103a
P

图 7-5

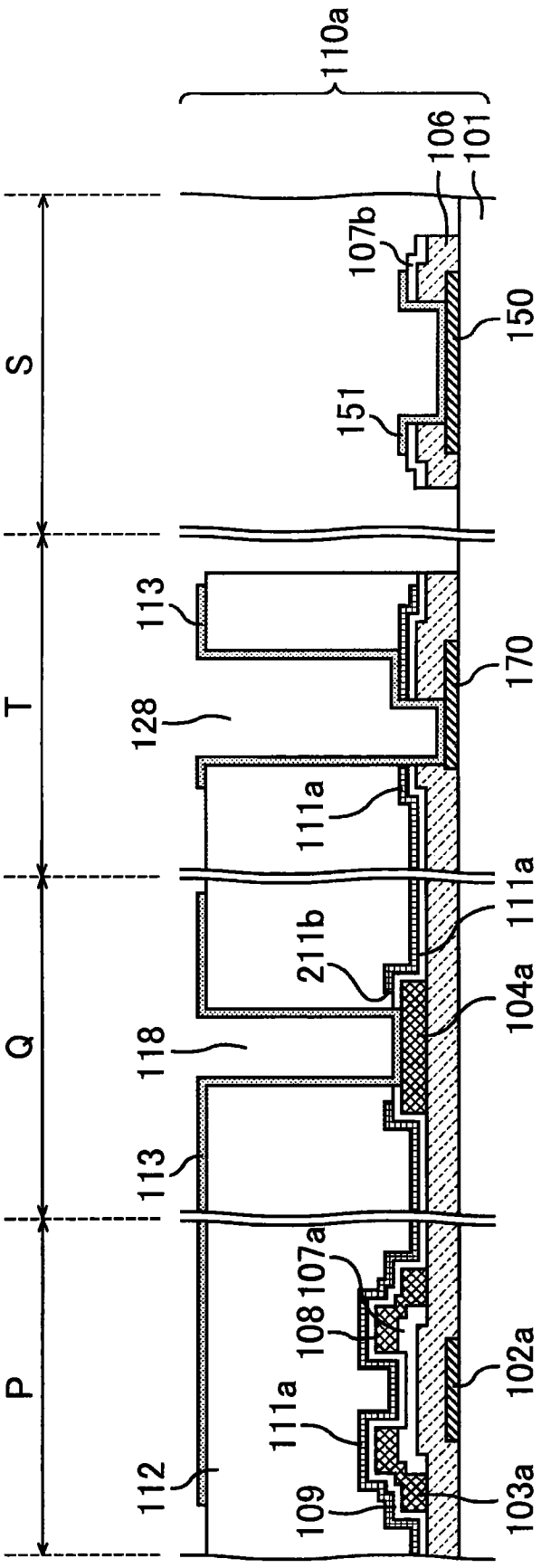

110a
106
101
107b
150
151
S
113
170
128
T
111a
111a
211b
104a
Q
118
113
107a
108
102a
111a
P
112
109
103a

图 7-6

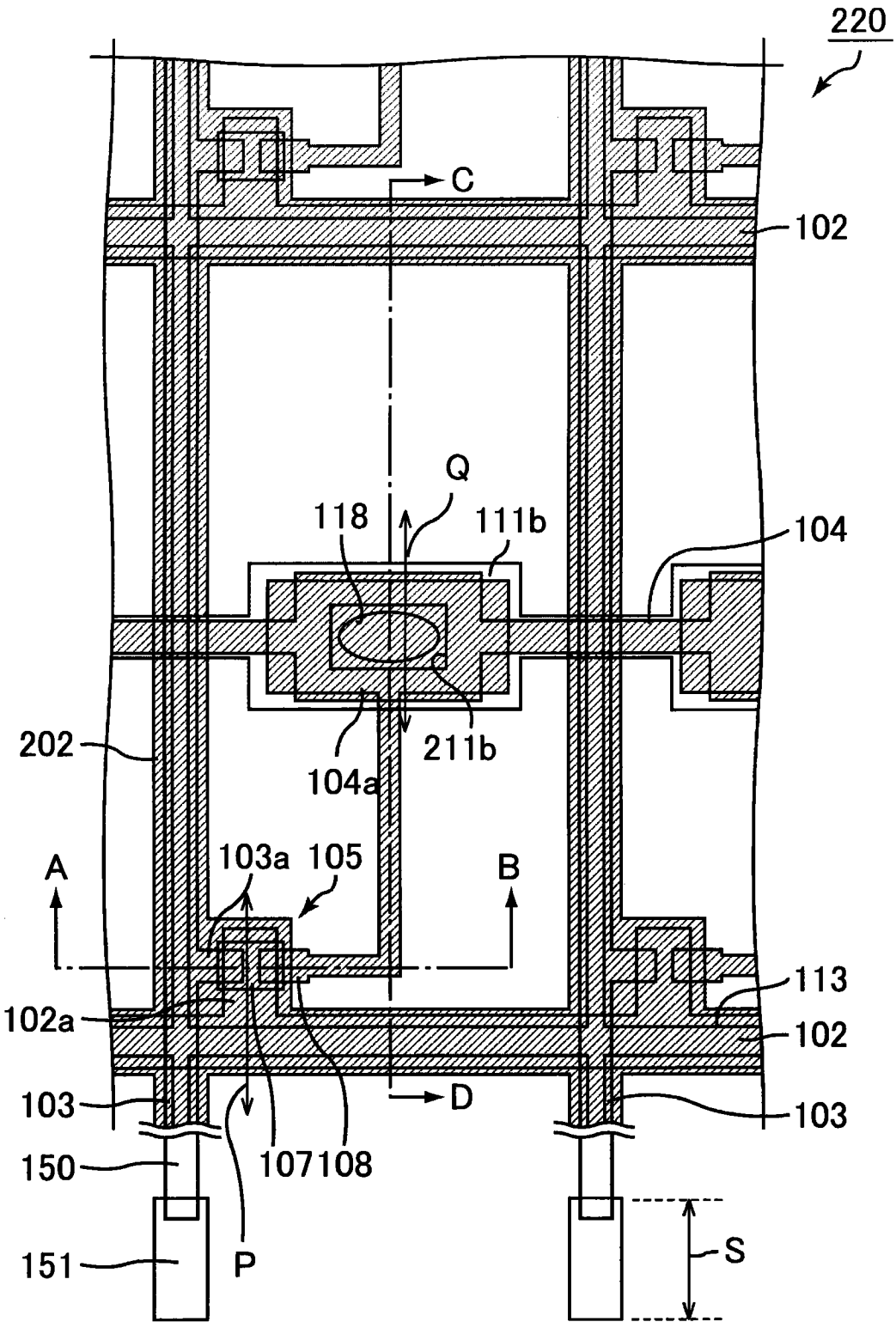

220
C
102
Q
118
111b
104
202
211b
104a
A
103a
105
B
113
102a
102
D
103
103
150
107
108
151
P
S

图 8-1

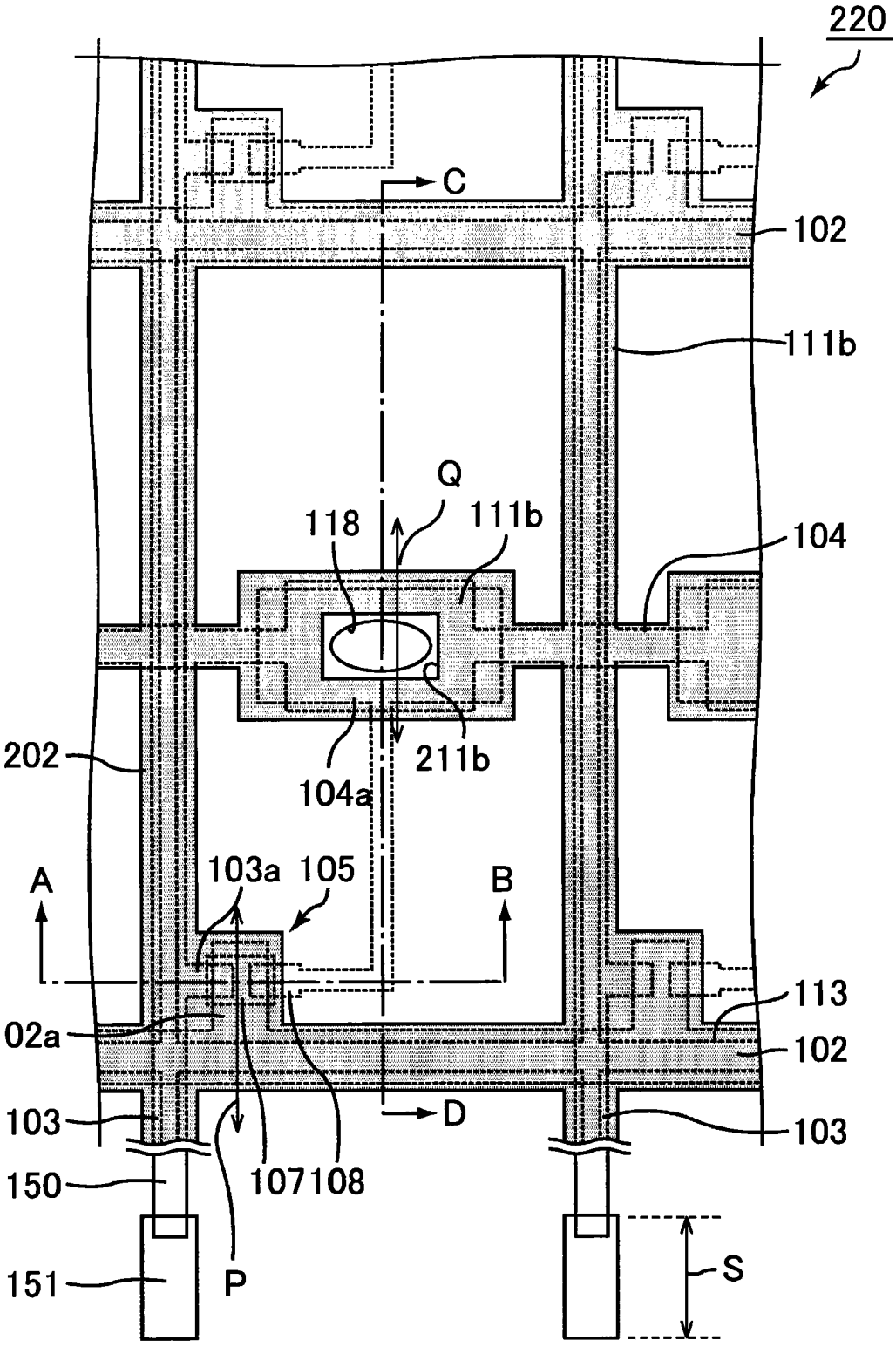

220
C
102
111b
Q
118
111b
104
202
104a
211b
A
103a
105
B
113
02a
102
D
103
103
150
107108
151
P
S

图 8-2

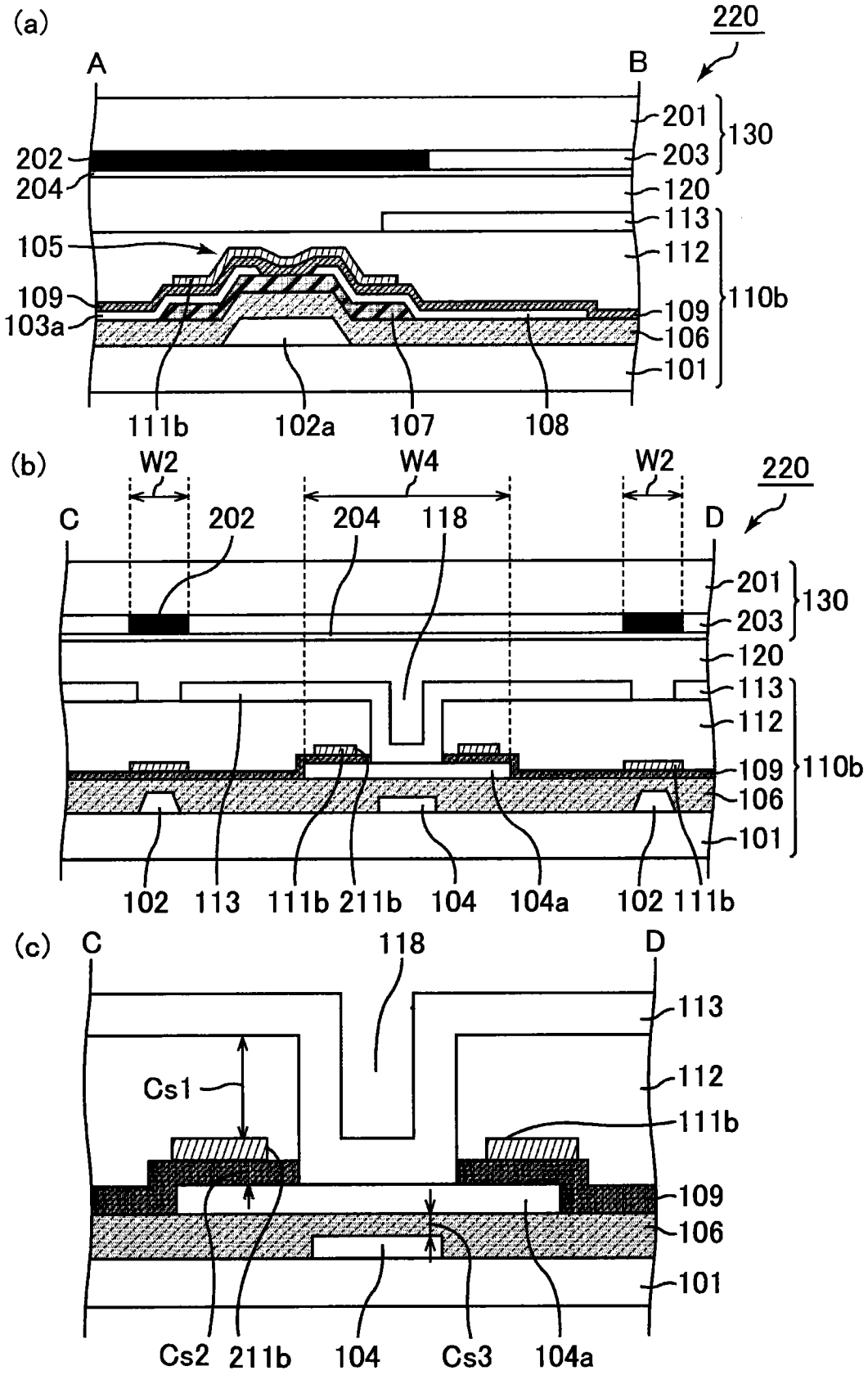

(a)
220
A
B
201
130
202
203
204
120
113
105
112
109
110b
103a
109
106
101
111b
102a
107
108
(b)
W2
W4
W2
220
C
202
204
118
D
201
130
203
120
113
112
109
110b
106
101
102
113
111b
211b
104
104a
102
111b
(c)
C
118
D
113
Cs1
112
111b
109
106
101
Cs2
211b
104
Cs3
104a

图 9

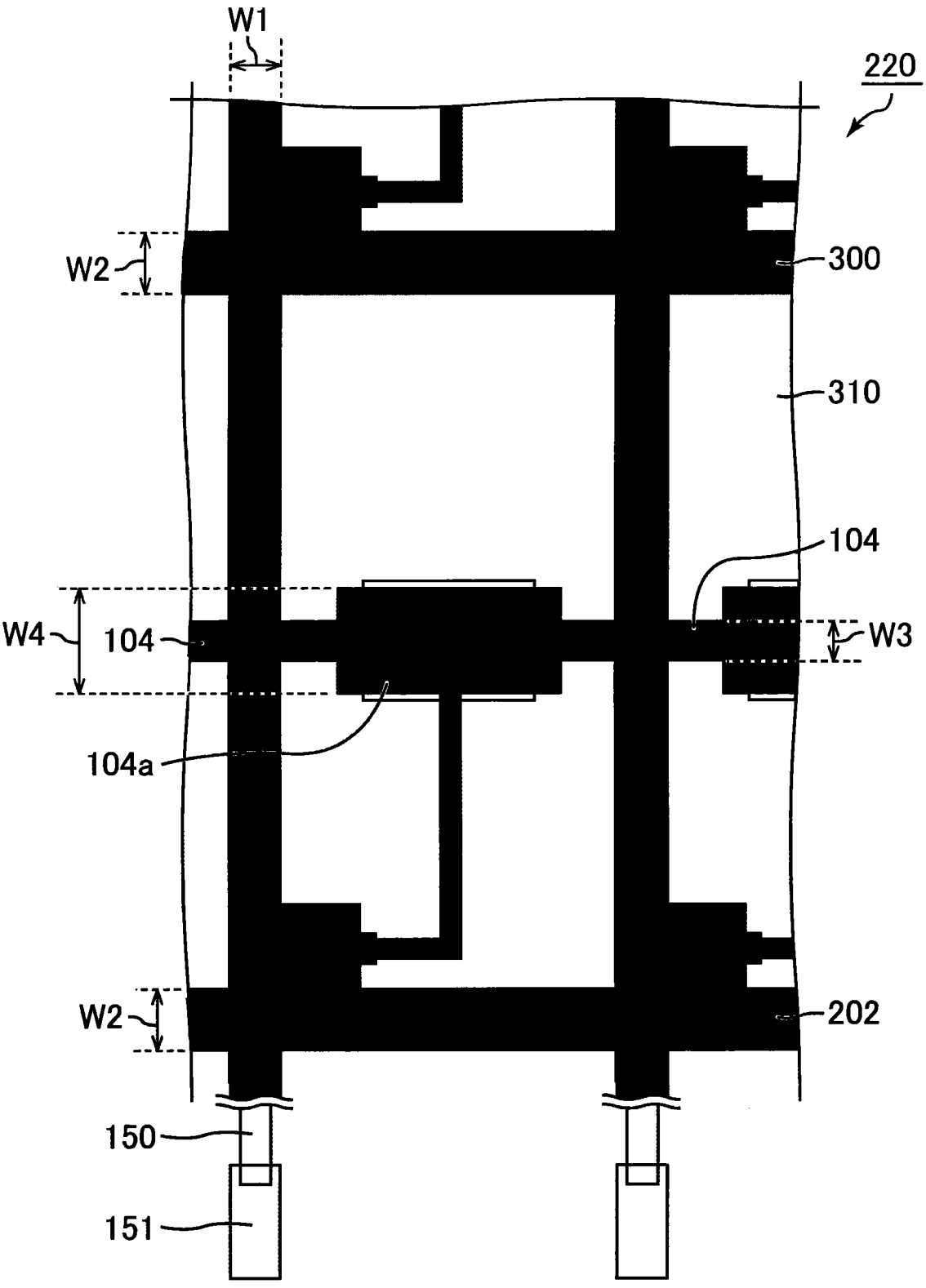


图 10

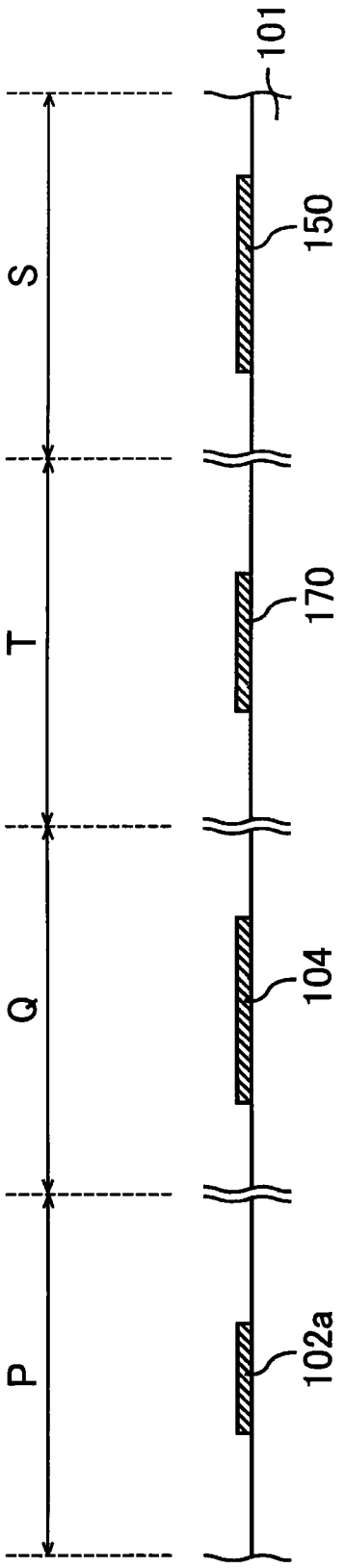

101
150
170
104
102a
S
T
Q
P

图 11-1

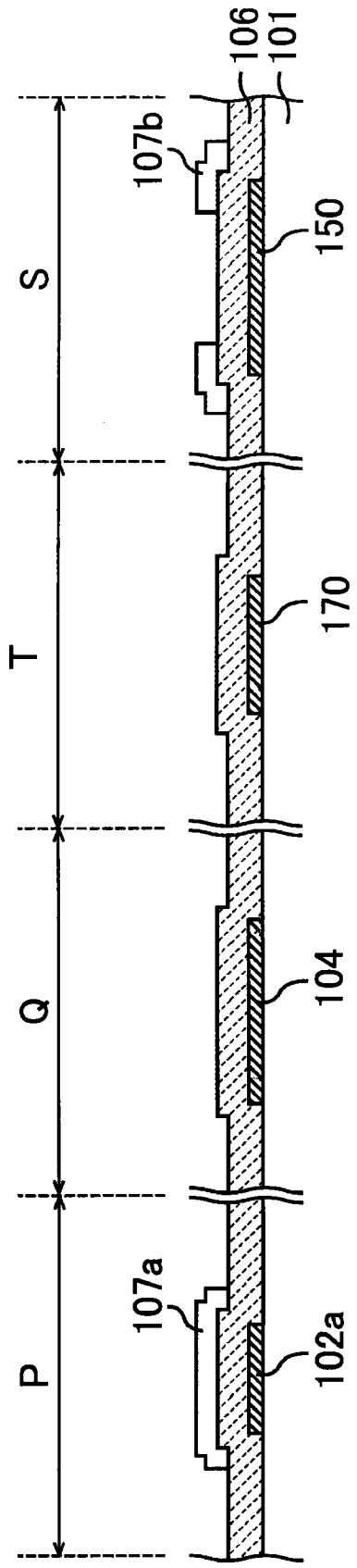

106
101
107b
150
170
104
107a
102a
S
T
Q
P

图 11-2

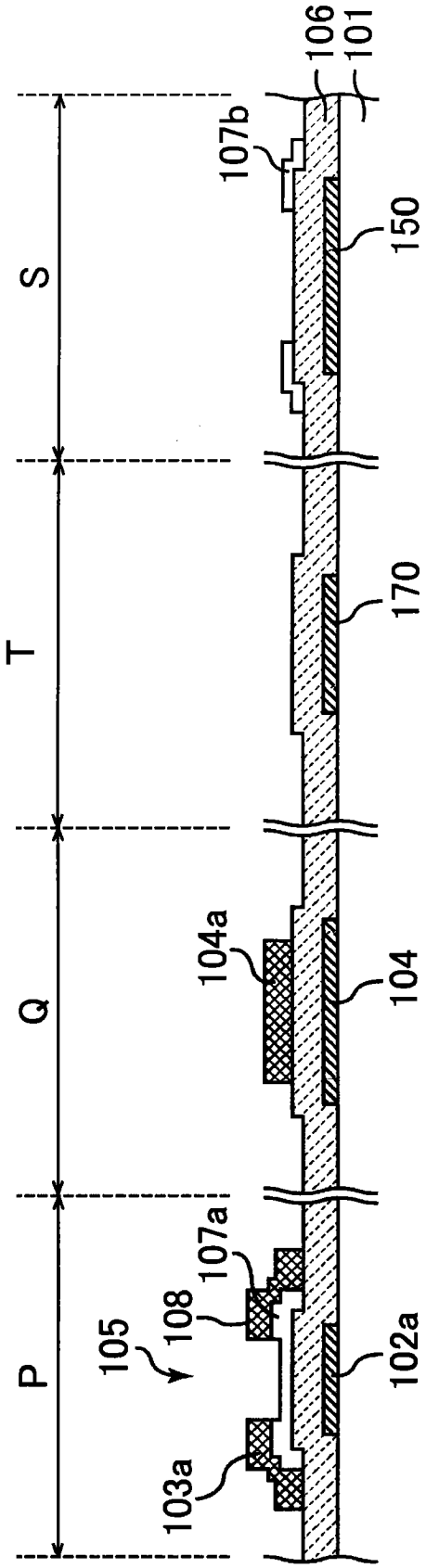

106
101
107b
150
S
T
170
Q
104a
104
P
107a
108
105
102a
103a

图 11-3

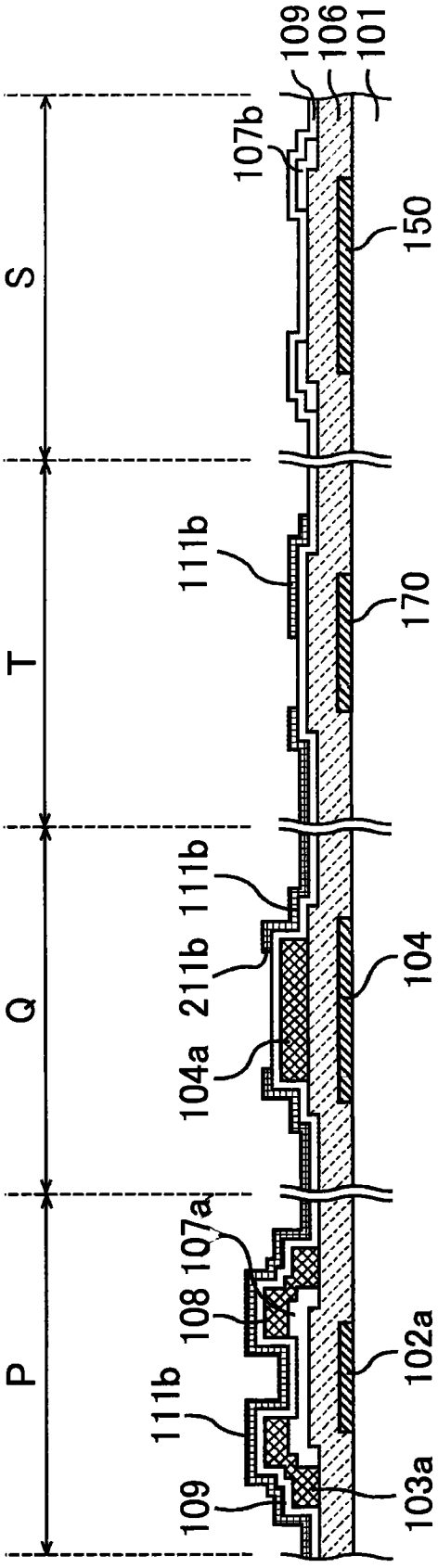

109
106
101
107b
150
S
T
111b
170
Q
111b
211b
104a
104
P
107a
108
111b
102a
109
103a

图 11-4

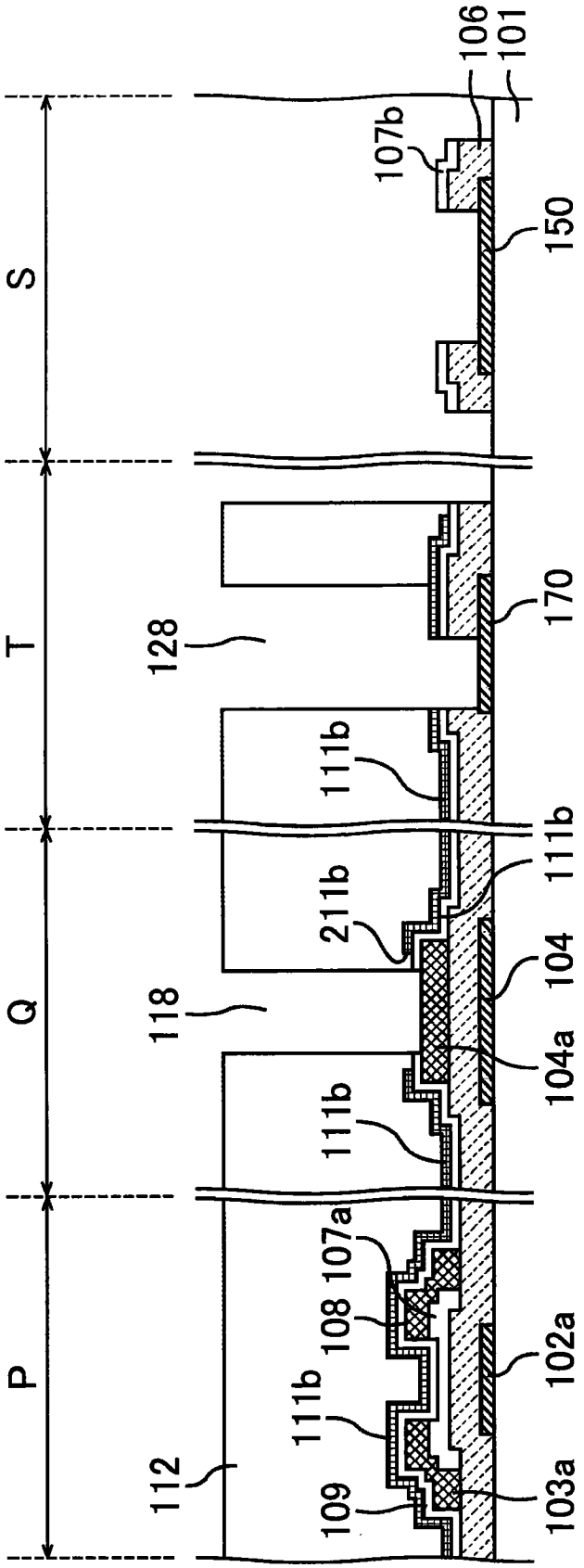

S
T
Q
P
106
101
107b
150
128
170
111b
211b
111b
104
118
104a
111b
107a
108
102a
111b
112
109
103a

图 11-5

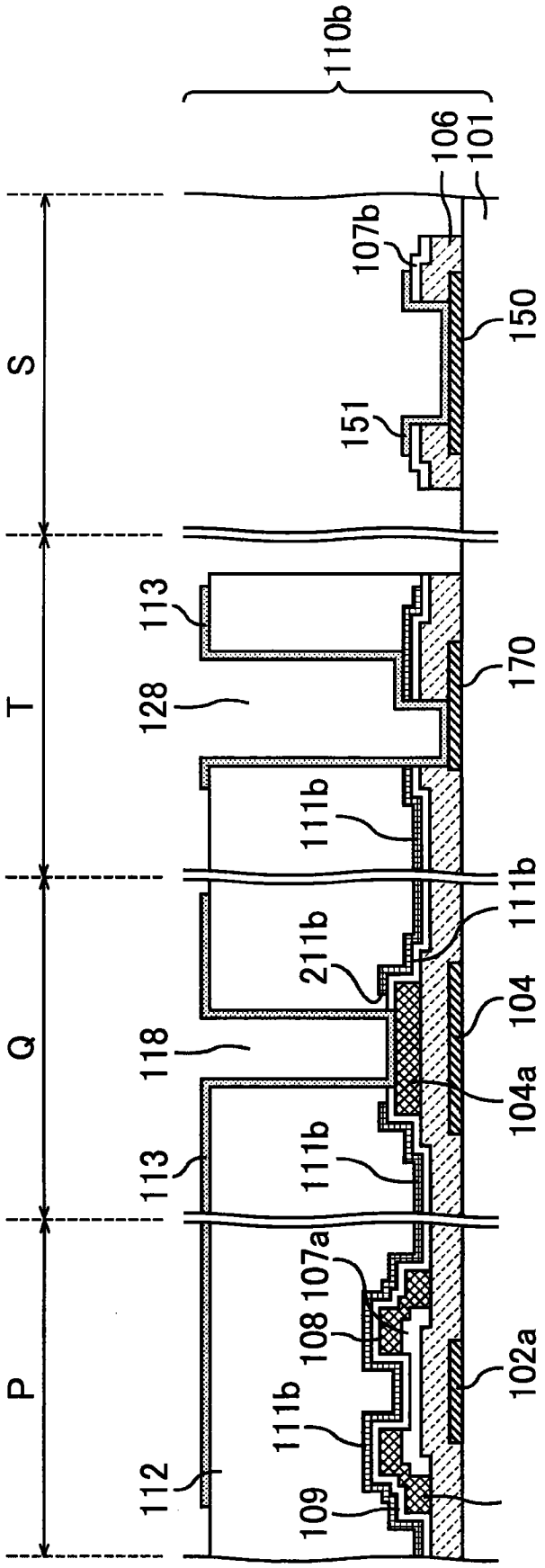

110b
106
101
107b
150
151
S
113
128
170
T
111b
111b
211b
104
118
104a
Q
113
111b
107a
108
102a
111b
112
109
P

图 11-6

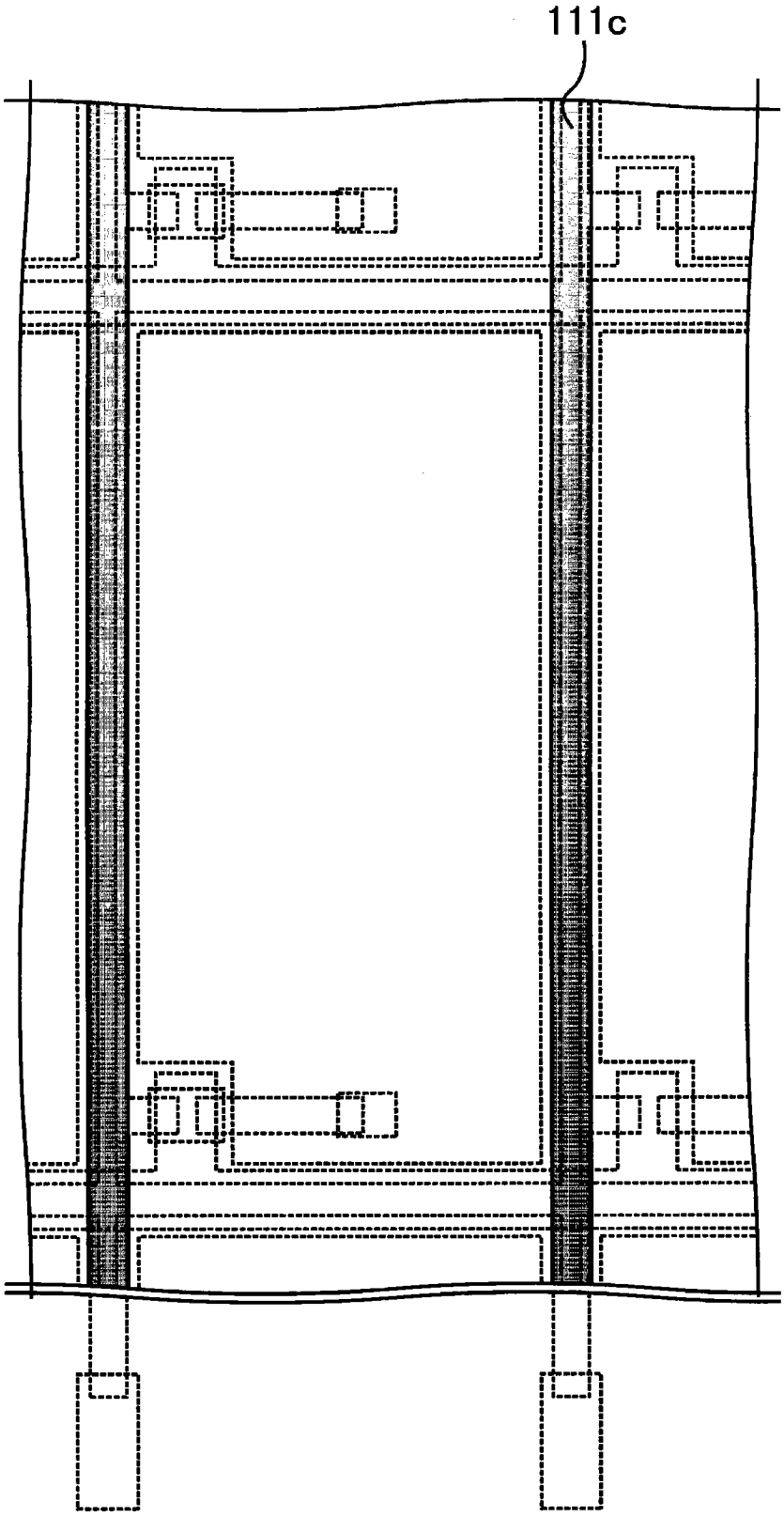


图 12

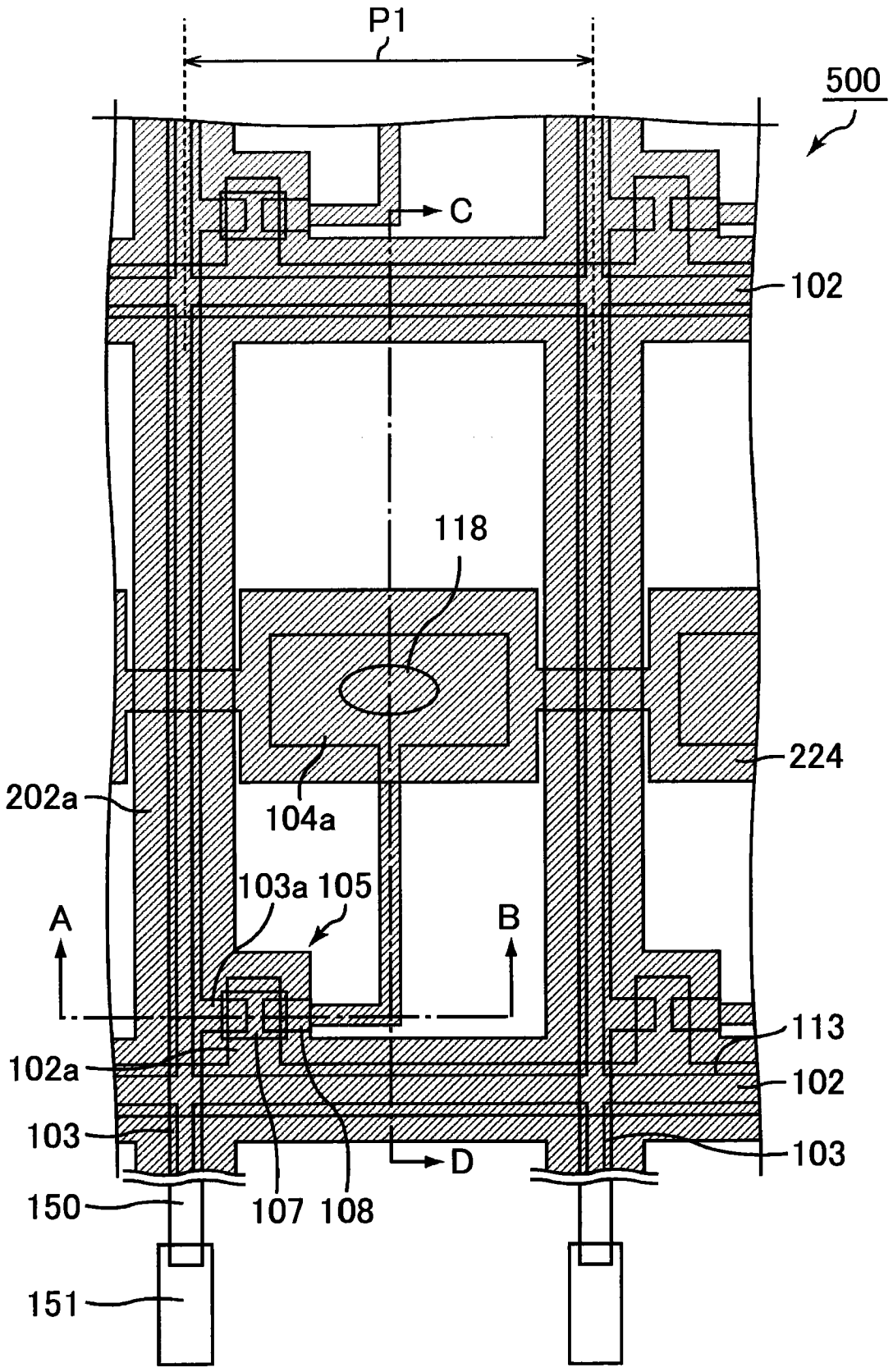

P1
500
C
102
118
224
202a
104a
103a 105
A
B
113
102a
102
103
103
D
150
107 108
151

图 13

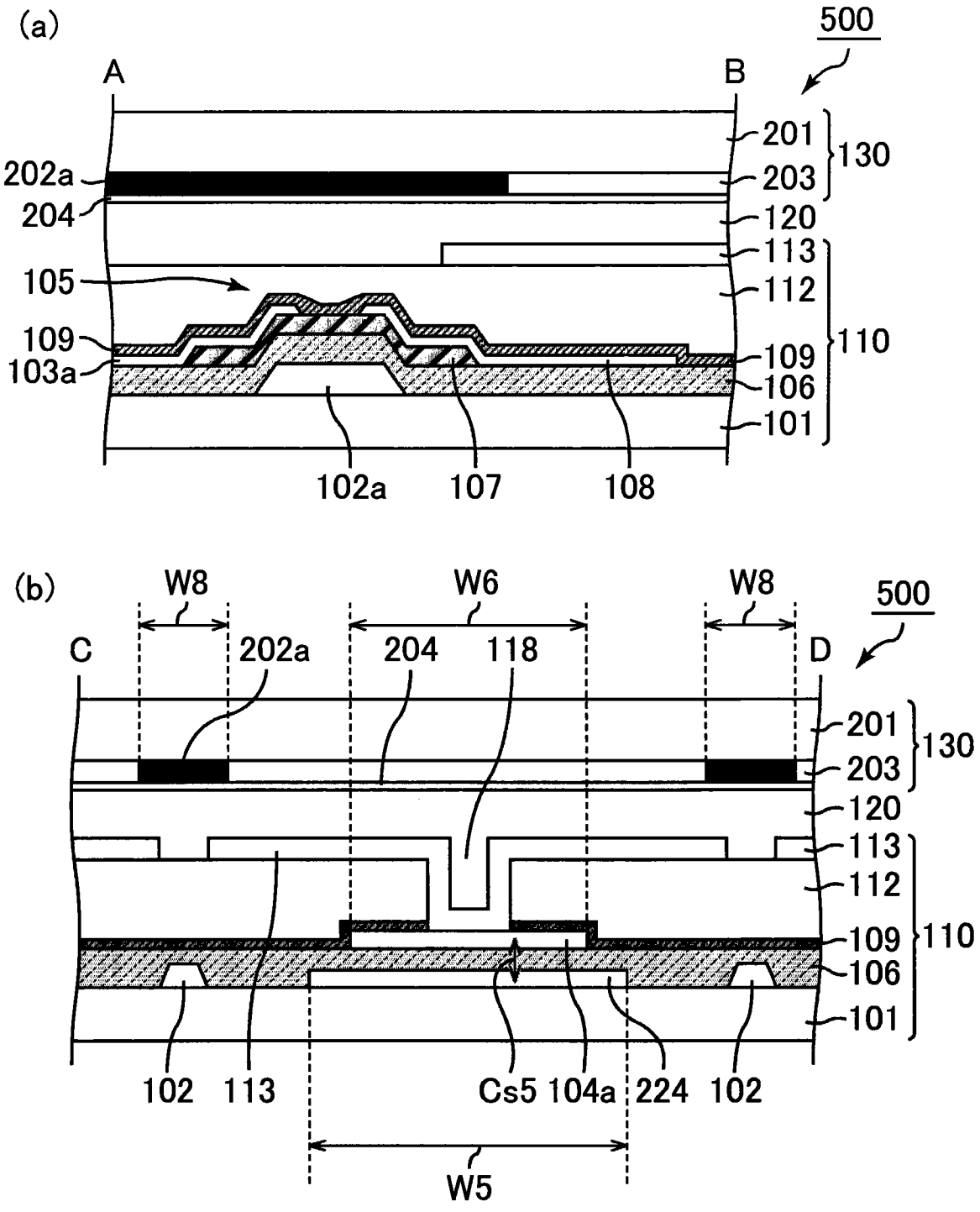

(a)
500
A
B
201
130
202a
203
204
120
113
105
112
109
110
103a
106
101
102a
107
108
(b)
W8
W6
W8
500
C
202a
204
118
D
201
130
203
120
113
112
109
110
106
101
102
113
Cs5
104a
224
102
W5

图 14

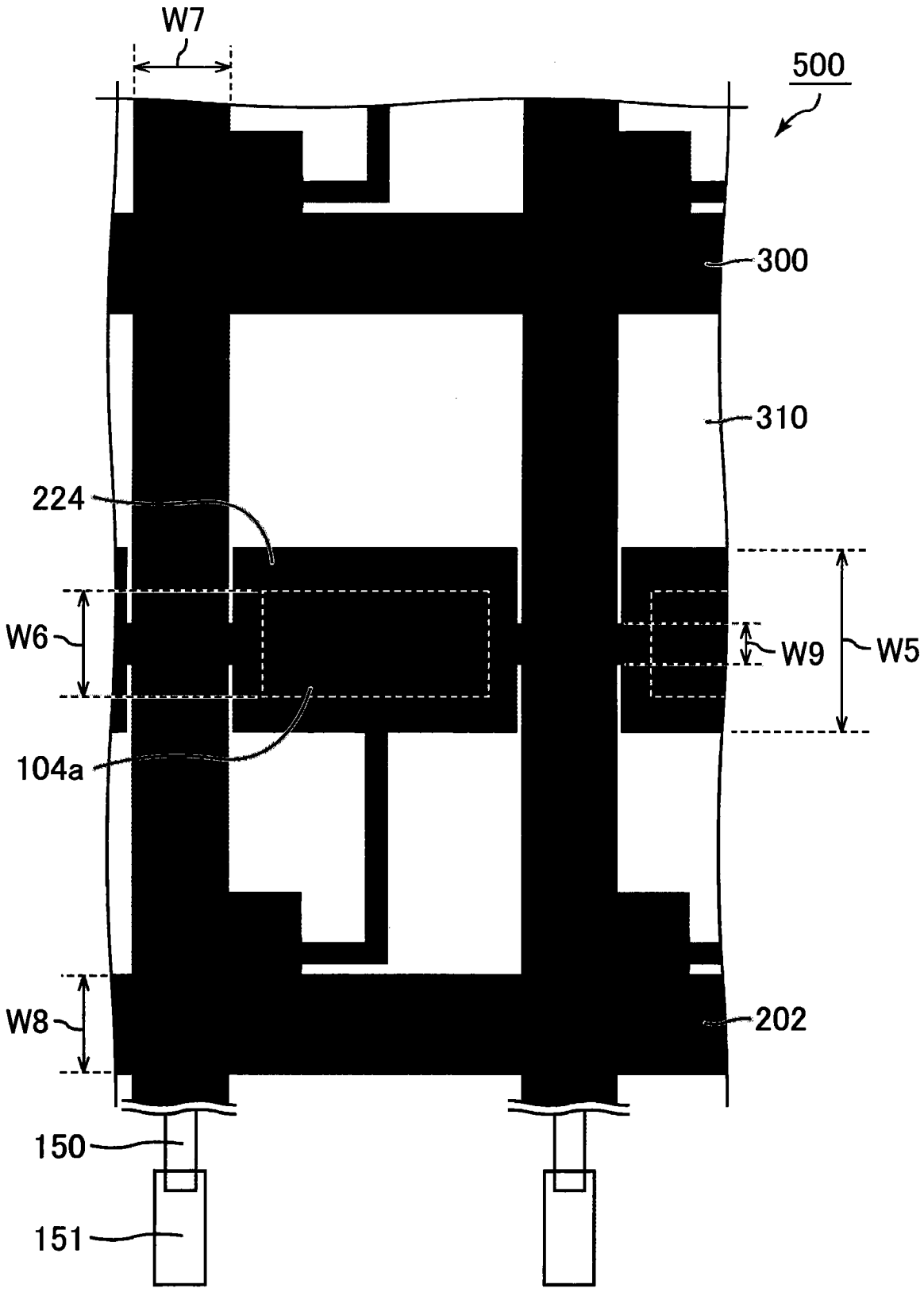
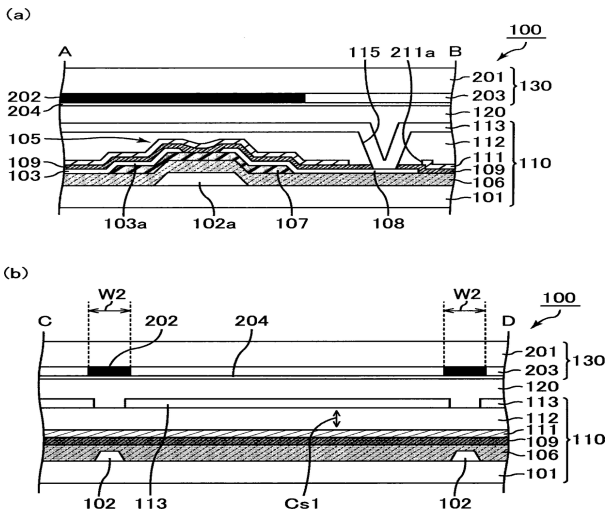


图 15

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	CN102483546B	公开(公告)日	2015-04-01
申请号	CN201080038924.0	申请日	2010-04-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	原义仁 中田幸伸		
发明人	原义仁 中田幸伸		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136213 G02F1/136227 G02F2201/40 G02F1/1362 G02F2001/136218		
审查员(译)	彭志红		
优先权	2009207474 2009-09-08 JP		
其他公开文献	CN102483546A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供即使进行像素的高精细化也能以简单构成确保所需的辅助电容并且实现像素的开口率的提高的显示装置及其制造方法。本发明的液晶显示装置是具有多个像素的液晶显示装置，薄膜晶体管阵列基板具备：栅极线和源极线，其按格子状配置于支撑基板的主面上；透明像素电极；薄膜晶体管；以及从支撑基板侧起依次层叠的栅极绝缘膜、钝化膜、透明导电膜、第1绝缘膜以及透明像素电极，透明像素电极通过形成于第1绝缘膜中的接触孔与构成薄膜晶体管的漏极电极电连接，从法线方向观看基板面时，透明导电膜与将透明像素电极和漏极电极电连接的区域不重叠。