



(12) 发明专利申请

(10) 申请公布号 CN 102446498 A

(43) 申请公布日 2012. 05. 09

(21) 申请号 201010512068. X

(22) 申请日 2010. 10. 12

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 时哲

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/36 (2006. 01)

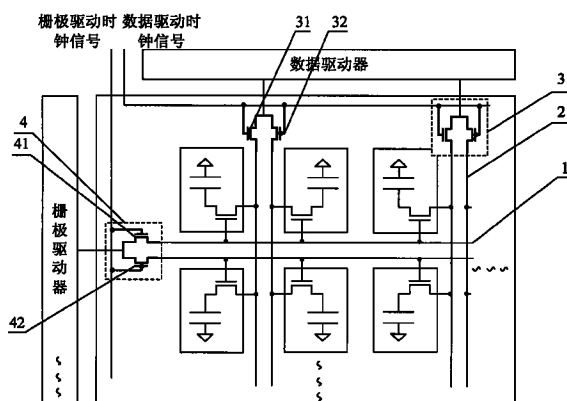
权利要求书 2 页 说明书 10 页 附图 6 页

(54) 发明名称

液晶显示器的驱动装置和驱动方法

(57) 摘要

本发明实施例公开了一种液晶显示器的驱动装置和驱动方法,涉及液晶显示器领域,能够减少栅极驱动 IC 和 / 或数据驱动 IC 的数量。驱动装置包括:栅极驱动器和数据驱动器,栅线驱动模块阵列和 / 或数据线驱动模块阵列,栅线驱动模块阵列由 A 个栅线驱动模块组成,每一个栅线驱动模块与栅极驱动器的一个输出通道相连接,并连接两条栅线,栅线驱动模块用于驱动其所连接的栅线依次开启,其中, $1 \leq A \leq M/2$, M 为栅线的总行数;数据线驱动模块阵列由 B 个数据线驱动模块组成,每一个数据线驱动模块与数据驱动器的一个输出通道相连接,并连接两条数据线,数据线驱动模块用于驱动其所连接的数据线依次开启,其中, $1 \leq B \leq N/2$, N 为数据线的总列数。



1. 一种液晶显示器的驱动装置,包括:栅极驱动器 and 数据驱动器,其特征在于,还包括:栅线驱动模块阵列和 / 或数据线驱动模块阵列,

所述栅线驱动模块阵列由 A 个栅线驱动模块组成,每一个栅线驱动模块与所述栅极驱动器的一个输出通道相连接,并连接两条栅线,所述栅线驱动模块用于驱动其所连接的栅线依次开启,其中, $1 \leq A \leq M/2$, M 为栅线的总行数;

所述数据线驱动模块阵列由 B 个数据线驱动模块组成,每一个数据线驱动模块与所述数据驱动器的一个输出通道相连接,并连接两条数据线,所述数据线驱动模块用于驱动其所连接的数据线依次开启,其中, $1 \leq B \leq N/2$, N 为数据线的总列数。

2. 根据权利要求 1 所述的驱动装置,其特征在于,

所述栅线驱动模块包括:第一薄膜晶体管和第二薄膜晶体管,其中,

所述第一薄膜晶体管的栅极与栅极驱动时钟信号的输出端相连接,其源极与所述栅极驱动器的一个输出通道相连接,其漏极与所述两条栅线中的一条相连接;

所述第二薄膜晶体管的栅极与所述栅极驱动时钟信号的输出端相连接,其源极与所述栅极驱动器的一个输出通道相连接,其漏极与所述两条栅线中的另一条相连接。

3. 根据权利要求 2 所述的驱动装置,其特征在于,

所述第一薄膜晶体管高电平有效,所述第二薄膜晶体管低电平有效;或

所述第一薄膜晶体管低电平有效,所述第二薄膜晶体管高电平有效。

4. 根据权利要求 1、2 或 3 任一权利要求所述的驱动装置,其特征在于,

所述数据线驱动模块包括:第三薄膜晶体管和第四薄膜晶体管,其中,

所述第三薄膜晶体管的栅极与数据驱动时钟信号的输出端相连接,其源极与所述数据驱动器的一个输出通道相连接,其漏极与所述两条数据线中的一条相连接;

所述第四薄膜晶体管的栅极与所述数据线驱动时钟信号的输出端相连接,其源极与所述数据驱动器的一个输出通道相连接,其漏极与所述两条数据线中的另一条相连接。

5. 根据权利要求 4 所述的驱动装置,其特征在于,

所述第三薄膜晶体管高电平有效,所述第四薄膜晶体管低电平有效;或

所述第三薄膜晶体管低电平有效;所述第四薄膜晶体管高电平有效。

6. 根据权利要求 5 所述的驱动装置,其特征在于,

所述栅线驱动模块所连接的两条栅线为一条奇数行栅线和一条偶数行栅线;和 / 或所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线。

7. 根据权利要求 6 所述的驱动装置,其特征在于,

所述栅线驱动模块所连接的两条栅线为依次相邻一条奇数行栅线和一条偶数行栅线;和 / 或

所述数据线驱动模块所连接的两条数据线为依次相邻的一条奇数列数据线和一条偶数列数据线。

8. 一种液晶显示器的驱动方法,其特征在于,包括:

在每条栅线开启的第一时间内,

与每个数据线驱动模块连接的两条数据线中的一条同时开启;

在每条栅线开启的第二时间内,

与每个数据线驱动模块连接的两条数据线中的另一条同时开启。

9. 根据权利要求 8 所述的方法,其特征在于,
所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线,
则
在每条栅线开启的第一时间内,
奇数列数据线同时开启,所述栅线所对应的奇数像素单元同时显示数据 ;或偶数列数据线同时开启,所述栅线所对应的偶数像素单元同时显示数据 ;
在每条栅线开启的第二时间内,
偶数列的数据线同时开启,所述栅线所对应的偶数像素单元同时显示数据 ;或奇数列数据线同时开启,所述栅线所对应的奇数像素单元同时显示数据。

液晶显示器的驱动装置和驱动方法

技术领域

[0001] 本发明涉及液晶显示器领域,尤其涉及一种液晶显示器的驱动装置和驱动方法。

背景技术

[0002] 液晶显示器(Liquid Crystal Display, LCD)具有体积小、功耗低、无辐射等特点,现已占据了平面显示领域的主导地位。

[0003] 液晶显示器的主体结构包括对盒在一起并将液晶夹设其间的阵列基板和彩膜基板,阵列基板上形成有提供扫描信号的栅线、提供数据信号的数据线、形成像素点的像素电极以及提供公共电压的公共电极线,彩膜基板上形成有黑矩阵和彩色树脂,其中,栅线由栅极驱动器驱动,栅极驱动器由若干个栅极驱动集成电路(Integrated Circuit, 简称 IC)构成,一个栅极驱动 IC 具有多个输出通道,一条输出通道输出的信号对应驱动一条栅线;数据线由数据驱动器驱动,数据驱动器由若干个数据驱动 IC 构成,一个数据驱动 IC 具有多个输出通道,一条输出通道输出的信号对应驱动一条数据线。

[0004] 发明人发现,现有技术提供的液晶显示器的驱动装置至少存在以下问题:由于一条输出通道对应驱动一条数据线或栅线,因此在数据驱动 IC 和栅极驱动 IC 的输出通道数量一定的情况下,需要设置较多的数据驱动 IC 和栅极驱动 IC, PCB 上走线数量多,布线复杂,所以生产成本较高。

发明内容

[0005] 本发明所要解决的技术问题在于提供一种液晶显示器的驱动装置和驱动方法,能够减少栅极驱动 IC 和 / 或数据驱动 IC 的数量,有效减少了驱动电路 PCB 的走线数量,从而降低了生产成本。

[0006] 为解决上述技术问题,本发明液晶显示器的驱动装置和驱动方法采用如下技术方案:

[0007] 一种液晶显示器的驱动装置,包括:栅极驱动器和数据驱动器,还包括:栅线驱动模块阵列和 / 或数据线驱动模块阵列,

[0008] 所述栅线驱动模块阵列由 A 个栅线驱动模块组成,每一个栅线驱动模块与所述栅极驱动器的一个输出通道相连接,并连接两条栅线,所述栅线驱动模块用于驱动其所连接的栅线依次开启,其中, $1 \leq A \leq M/2$, M 为栅线的总行数;

[0009] 所述数据线驱动模块阵列由 B 个数据线驱动模块组成,每一个数据线驱动模块与所述数据驱动器的一个输出通道相连接,并连接两条数据线,所述数据线驱动模块用于驱动其所连接的数据线依次开启,其中, $1 \leq B \leq N/2$, N 为数据线的总列数。

[0010] 所述栅线驱动模块包括:第一薄膜晶体管和第二薄膜晶体管,其中,

[0011] 所述第一薄膜晶体管的栅极与栅极驱动时钟信号的输出端相连接,其源极与所述栅极驱动器的一个输出通道相连接,其漏极与所述两条栅线中的一条相连接;

[0012] 所述第二薄膜晶体管的栅极与所述栅极驱动时钟信号的输出端相连接,其源极与

所述栅极驱动器的一个输出通道相连接,其漏极与所述两条栅线中的另一条相连接。

[0013] 所述第一薄膜晶体管高电平有效,所述第二薄膜晶体管低电平有效;或

[0014] 所述第一薄膜晶体管低电平有效,所述第二薄膜晶体管高电平有效。

[0015] 所述数据线驱动模块包括:第三薄膜晶体管和第四薄膜晶体管,其中,

[0016] 所述第三薄膜晶体管的栅极与数据驱动时钟信号的输出端相连接,其源极与所述数据驱动器的一个输出通道相连接,其漏极与所述两条数据线中的一条相连接;

[0017] 所述第四薄膜晶体管的栅极与所述数据线驱动时钟信号的输出端相连接,其源极与所述数据驱动器的一个输出通道相连接,其漏极与所述两条数据线中的另一条相连接。

[0018] 所述第三薄膜晶体管高电平有效,所述第四薄膜晶体管低电平有效;或

[0019] 所述第三薄膜晶体管低电平有效;所述第四薄膜晶体管高电平有效。

[0020] 所述栅线驱动模块所连接的两条栅线为一条奇数行栅线和一条偶数行栅线;和/或

[0021] 所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线。

[0022] 所述栅线驱动模块所连接的两条栅线为依次相邻一条奇数行栅线和一条偶数行栅线;和/或

[0023] 所述数据线驱动模块所连接的两条数据线为依次相邻的一条奇数列数据线和一条偶数列数据线。

[0024] 一种液晶显示器的驱动方法,包括:

[0025] 在每条栅线开启的第一时间内,

[0026] 与每个数据线驱动模块连接的两条数据线中的一条同时开启;

[0027] 在每条栅线开启的第二时间内,

[0028] 与每个数据线驱动模块连接的两条数据线中的另一条同时开启。

[0029] 所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线,则

[0030] 在每条栅线开启的第一时间内,

[0031] 奇数列数据线同时开启,所述栅线所对应的奇数像素单元同时显示数据;或偶数列数据线同时开启,所述栅线所对应的偶数像素单元同时显示数据;

[0032] 在每条栅线开启的第二时间内,

[0033] 偶数列的数据线同时开启,所述栅线所对应的偶数像素单元同时显示数据;或奇数列数据线同时开启,所述栅线所对应的奇数像素单元同时显示数据。

[0034] 在本实施例的技术方案中,通过在两行栅线之间设置栅线驱动模块,一个栅线驱动模块与栅极驱动器的一个输出通道相连接,从而组成具有 $A/2$ ($1 \leq A \leq M/2$, M 为栅线总行数) 个栅线驱动模块的栅线驱动模块阵列,使一个与栅线驱动模块相连接的栅极驱动 IC 的输出通道实现对两条栅线的驱动,和/或在两列数据线之间设置数据线驱动模块,一个数据线驱动模块与数据驱动器的一个输出通道相连接,从而组成具有 $B/2$ ($1 \leq B \leq N/2$, N 为数据线总列数) 个数据线驱动模块的数据线驱动模块阵列,使一个与数据线驱动模块相连接的数据驱动 IC 的输出通道实现两条数据线的的数据输出,从而完成液晶面板每帧画面的显示,这样,在栅极驱动器中的栅极驱动 IC 和数据驱动器中的数据驱动 IC 的输出通道规

格不变、以及确保显示帧频率和画面品质无不良影响的前提下,所采用的栅极驱动 IC 和 / 或数据驱动 IC 的数量减少,在每两条栅线都设置一个栅线驱动模块和 / 或每两条数据线都设置一个数据线驱动模块时,栅极驱动 IC 和 / 或数据驱动 IC 的数量减半,有效减少了驱动电路 PCB 的走线数量以及 PCB 元件的布局难度,从而有助于减小 PCB 面积,降低了成本,也进一步使得液晶面板更加轻薄。

附图说明

[0035] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0036] 图 1 为本发明实施例一液晶显示器的驱动装置的结构示意图;

[0037] 图 2 为本发明实施例一的驱动时序图;

[0038] 图 3 为本发明实施例二液晶显示器的驱动装置的结构示意图;

[0039] 图 4 为本发明实施例二的驱动时序图;

[0040] 图 5 为本发明实施例三液晶显示器的驱动装置的结构示意图;

[0041] 图 6 为本发明实施例三的驱动时序图;

[0042] 图 7 为本发明实施例四液晶显示器的驱动装置的结构示意图;

[0043] 图 8 为本发明实施例四的驱动时序图;

[0044] 图 9 为本发明实施例四的液晶显示器的驱动方法的流程图之一;

[0045] 图 10 为本发明实施例四的液晶显示器的驱动方法的流程图之二。

[0046] 附图标记说明:

[0047] 1- 栅线; 2- 数据线; 3- 数据线驱动模块;

[0048] 31- 第三薄膜晶体管; 32- 第四薄膜晶体管; 4- 栅线驱动模块;

[0049] 41- 第一薄膜晶体管; 42- 第二薄膜晶体管。

具体实施方式

[0050] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0051] 本发明实施例提供一种液晶显示器的驱动装置和驱动方法,能够减少栅极驱动 IC 和 / 或数据驱动 IC 的数量,从而减少了驱动电路 PCB 的走线数量,降低了生产成本。

[0052] 本发明实施例提供的液晶显示器的驱动装置包括:栅极驱动器 and 数据驱动器,还包括:栅线驱动模块阵列和 / 或数据线驱动模块阵列,

[0053] 所述栅线驱动模块阵列由 A 个栅线驱动模块组成,每一个栅线驱动模块与所述栅极驱动器的一个输出通道相连接,并连接两条栅线,所述栅线驱动模块用于驱动其所连接的栅线依次开启,其中, $1 \leq A \leq M/2$, M 为栅线的总条数;

[0054] 所述数据线驱动模块阵列由 B 个数据线驱动模块组成,每一个数据线驱动模块与

所述数据驱动器的一个输出通道相连接,并连接两条数据线,所述数据线驱动模块用于驱动其所连接的数据线依次开启,其中, $1 \leq B \leq N/2$, N 为数据线的总条数。

[0055] 其中,如图 1 所示,所述栅线驱动模块 4 包括:第一薄膜晶体管 41 和第二薄膜晶体管 42,所述第一薄膜晶体管 41 的栅极与栅极驱动时钟信号的输出端相连接,其源极与所述栅极驱动器的一个输出通道相连接,其漏极与所述两条栅线 1 中的一条相连接;所述第二薄膜晶体管 42 的栅极与所述栅极驱动时钟信号的输出端相连接,其源极与所述栅极驱动器的一个输出通道相连接,其漏极与所述两条栅线 1 中的另一条相连接。

[0056] 所述数据线驱动模块 3 包括:第三薄膜晶体管 31 和第四薄膜晶体管 32,所述第三薄膜晶体管 31 的栅极与数据驱动时钟信号的输出端相连接,其源极与所述数据驱动器的一个输出通道相连接,其漏极与所述两条数据线 2 中的一条相连接;所述第二薄膜晶体管 42 的栅极与所述数据驱动时钟信号的输出端相连接,其源极与所述数据驱动器的一个输出通道相连接,其漏极与所述两条数据线 2 中的另一条相连接。

[0057] 其中,所述第一薄膜晶体管 41 高电平有效,所述第二薄膜晶体管 42 低电平有效;或者,所述第一薄膜晶体管 41 低电平有效,所述第二薄膜晶体管 42 高电平有效。

[0058] 或者,可选地,所述第三薄膜晶体管 31 高电平有效,所述第四薄膜晶体管 32 低电平有效;或者,所述第三薄膜晶体管 31 低电平有效;所述第四薄膜晶体管 32 高电平有效。

[0059] 在本实施例的技术方案中,通过在两行栅线之间设置栅线驱动模块,一个栅线驱动模块与栅极驱动器的一个输出通道相连接,从而组成具有 $A/2$ ($1 \leq A \leq M/2$, M 为栅线总行数) 个栅线驱动模块的栅线驱动模块阵列,使一个与栅线驱动模块相连接的栅极驱动 IC 的输出通道实现对两条栅线的驱动,和/或在两列数据线之间设置数据线驱动模块,一个数据线驱动模块与数据驱动器的一个输出通道相连接,从而组成具有 $B/2$ ($1 \leq B \leq N/2$, N 为数据线总列数) 个数据线驱动模块的数据线驱动模块阵列,使一个与数据线驱动模块相连接的数据驱动 IC 的输出通道实现两条数据线的驱动,从而完成液晶面板每帧画面的显示,这样,在栅极驱动器中的栅极驱动 IC 和数据驱动器中的数据驱动 IC 的输出通道规格不变、以及确保显示帧频率和画面品质无不良影响的前提下,所采用的栅极驱动 IC 和/或数据驱动 IC 的数量减少,在每两条栅线都设置一个栅线驱动模块和/或每两条数据线都设置一个数据线驱动模块时,栅极驱动 IC 和/或数据驱动 IC 的数量减半,有效减少了驱动电路 PCB 的走线数量以及 PCB 元件的布局难度,从而有助于减小 PCB 面积,降低了成本,也进一步使得液晶面板更加轻薄。

[0060] 以下通过具体的实施例说明本发明的技术方案。

[0061] 实施例一

[0062] 在本实施例中,采用设置栅线驱动模块阵列,也设置数据线驱动模块阵列的方案,并且进一步地,所述栅线驱动模块所连接的两条栅线为一条奇数行栅线和一条偶数行栅线;所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线。

[0063] 具体地,采用的栅线驱动模块 4 包括:高电平有效的第一薄膜晶体管 41 和低电平有效的第二薄膜晶体管 42,其中,第一薄膜晶体管 41 的栅极与数据线驱动时钟信号的输出端相连接,其源极与栅极驱动器的一个输出通道相连接,其漏极与一条奇数行的栅线 1 相连接;第二薄膜晶体管 42 的栅极与所述栅线驱动时钟信号的输出端相连接,其源极与所述栅极驱动器的一个输出通道相连接,其漏极与一条偶数行的栅线 1 相连接。

[0064] 采用的数据线驱动模块 3 包括 : 高电平有效的第三薄膜晶体管 31 和低电平有效的第四薄膜晶体管 32, 其中, 第三薄膜晶体管 31 的栅极与数据线驱动时钟信号的输出端相连接, 其源极与所述数据驱动器的一个输出通道相连接, 其漏极与一条奇数列的数据线 2 相连接 ; 第四薄膜晶体管 32 的栅极与所述数据线驱动时钟信号的输出端相连接, 其源极与所述数据驱动器的一个输出通道相连接, 其漏极与一条偶数列的数据线 2 相连接。

[0065] 如图 2 所示, 为本发明实施例一的驱动时序图, 其中, CLK-G 表示栅线驱动时钟信号、CLK-S 表示数据线驱动时钟信号、Driver-Gate1 表示栅极驱动 IC 的第一输出通道的输出、Driver-Gate2 表示栅极驱动 IC 的第二输出通道的输出、Gout1 表示第一行栅线的输出、Gout2 表示第二行栅线的输出、Gout3 表示第三行栅线的输出、Gout4 表示第四行栅线的输出。

[0066] 具体地, 如图 1 所示, 栅极驱动 IC 的第一输出通道 Driver_Date1 输出高电平时 :

[0067] 1) 当 CLK_G 为高电平时, 奇数行栅线 1 对应的第一薄膜晶体管 41 高电平有效, 第一薄膜晶体管 41 导通, 即在 T1、T2 时间段, 第一行栅线 1 打开, T1 时间段, CLK_S 为高电平, 第三薄膜晶体管 31 高电平有效, 第三薄膜晶体管 31 导通, 第一行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据 ; T2 时间段, CLK_S 为低电平, 第四薄膜晶体管 32 低电平有效, 第四薄膜晶体管 32 导通, 第一行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据, 从而完成第一行所有像素单元数据的写入。

[0068] 2) 当 CLK_G 为低电平时, 偶数行栅线 1 对应的第二薄膜晶体管 42 低电平有效, 第二薄膜晶体管 42 导通, 即在 T3、T4 时间段, 第二行栅线 1 打开, T3 时间段, CLK_S 为高电平, 第三薄膜晶体管 31 高电平有效, 第三薄膜晶体管 31 导通, 第二行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据 ; T4 时间段, CLK_S 为低电平, 第四薄膜晶体管 32 低电平有效, 第四薄膜晶体管 32 导通, 第二行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据, 从而完成第二行所有像素单元数据的写入。

[0069] 栅极驱动 IC 的第二输出通道 Driver_Date2 输出高电平时 :

[0070] 1) 当 CLK_G 为高电平时, 奇数行栅线 1 对应的第一薄膜晶体管 41 高电平有效, 第一薄膜晶体管 41 导通, 即在 T5、T6 时间段, 第三行栅线 1 打开, T5 时间段, CLK_S 为高电平, 第三薄膜晶体管 31 高电平有效, 第三薄膜晶体管 31 导通, 第三行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据 ; T6 时间段, CLK_S 为低电平, 第四薄膜晶体管 32 低电平有效, 第四薄膜晶体管 32 导通, 第三行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据, 从而完成第三行所有像素单元数据的写入。

[0071] 2) 当 CLK_G 为低电平时, 偶数行栅线 1 对应的第二薄膜晶体管 42 低电平有效, 第二薄膜晶体管 42 导通, 即在 T7、T8 时间段, 第四行栅线 1 打开, T3 时间段, CLK_S 为高电平, 第三薄膜晶体管 31 高电平有效, 第三薄膜晶体管 31 导通, 第四行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据 ; T4 时间段, CLK_S 为低电平, 第四薄膜晶体管 32 低电平有效, 第四薄膜晶体管 32 导通, 第四行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据, 从而完成第四行所有像素单元数据的写入。

[0072] 依此类推, 完成每帧画面的显示。

[0073] 在本实施例的技术方案中, 通过在一条奇数行栅线和一条偶数行栅线之间设置栅线驱动模块, 一个栅线驱动模块与栅极驱动器的一个输出通道相连接, 从而组成具有

$A/2$ ($1 \leq A \leq M/2$, M 为栅线总行数) 个栅线驱动模块的栅线驱动模块阵列, 使一个与栅线驱动模块相连接的栅极驱动 IC 的输出通道实现对两条相邻栅线的驱动, 并通过在一条奇数列数据线和一条偶数列数据线之间设置数据线驱动模块, 一个数据线驱动模块与数据驱动器的一个输出通道相连接, 从而组成具有 $B/2$ ($1 \leq B \leq N/2$, N 为数据线总列数) 个数据线驱动模块的数据线驱动模块阵列, 使一个与数据线驱动模块相连接的数据驱动 IC 的输出通道实现两条数据线的输出, 从而完成液晶面板每帧画面的显示, 这样, 在栅极驱动器中的栅极驱动 IC 和数据驱动器中的数据驱动 IC 的输出通道规格不变、以及确保显示帧频率和画面品质无不良影响的前提下, 所采用的栅极驱动 IC 和数据驱动 IC 的数量减少, 在每两条栅线都设置一个栅线驱动模块和 / 或每两条数据线都设置一个数据线驱动模块时, 栅极驱动 IC 和 / 或数据驱动 IC 的数量减半, 有效减少了驱动电路 PCB 的走线数量以及 PCB 元件的布局难度, 从而有助于减小 PCB 面积, 降低了成本, 也进一步使得液晶面板更加轻薄。

[0074] 实施例二

[0075] 在本实施例中, 采用只设置数据线驱动模块阵列的方案, 并且进一步地, 所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线。

[0076] 具体地, 如图 4 所示, 为本发明实施例二的驱动时序图, 其中, CLK-S 表示数据线驱动时钟信号、Driver-Gate1 表示栅极驱动 IC 的第一输出通道的输出、Driver-Gate2 表示栅极驱动 IC 的第二输出通道的输出、Gout1 表示第一行栅线的输出、Gout2 表示第二行栅线的输出、Gout3 表示第三行栅线的输出、Gout4 表示第四行栅线的输出。

[0077] 具体地, 如图 3 和图 4 所示,

[0078] 1) 在 T1 和 T2 时间段, 栅极驱动 IC 的第一输出通道 Driver_Date1 输出高电平, 此时, 第一输出通道 Driver_Date1 对应的第一行栅线 1 打开, 在 T1 时间段, CLK_S 为高电平, 第三薄膜晶体管 31 高电平有效, 第三薄膜晶体管 31 导通, 第一行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据; 在 T2 时间段, CLK_S 为低电平, 第四薄膜晶体管 32 低电平有效, 第四薄膜晶体管 32 导通, 第一行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据, 从而完成第一行像素单元所有数据的写入。

[0079] 2) 在 T3 和 T4 时间段, 栅极驱动 IC 的第二输出通道 Driver_Date2 输出高电平, 此时, 第二输出通道 Driver_Date2 对应的第二行栅线 1 打开, 在 T3 时间段, CLK_S 为高电平, 第三薄膜晶体管 31 高电平有效, 第三薄膜晶体管 31 导通, 第二行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据; T4 时间段, CLK_S 为低电平, 第四薄膜晶体管 32 低电平有效, 第四薄膜晶体管 32 导通, 第二行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据, 从而完成第二行像素单元所有数据的写入。

[0080] 依此类推, 完成每帧画面的显示。

[0081] 在本实施例的技术方案中, 在一条奇数列数据线和一条偶数列数据线之间设置数据线驱动模块, 一个数据线驱动模块与数据驱动器的一个输出通道相连接, 从而组成具有 $B/2$ ($1 \leq B \leq N/2$, N 为数据线总列数) 个数据线驱动模块的数据线驱动模块阵列, 使一个与数据线驱动模块相连接的数据驱动 IC 的输出通道实现两条数据线的输出, 从而完成液晶面板每帧画面的显示, 这样, 在数据驱动器中的数据驱动 IC 的输出通道规格不变、以及确保显示帧频率和画面品质无不良影响的前提下, 所采用的数据驱动 IC 的数量减少, 每两条数据线都设置一个数据线驱动模块时, 数据驱动 IC 的数量减半, 有效减少了驱动电

路 PCB 的走线数量以及 PCB 元件的布局难度,从而有助于减小 PCB 面积,降低了成本,也进一步使得液晶面板更加轻薄。

[0082] 实施例三

[0083] 在本实施例中,采用只设置栅线驱动模块阵列的方案,并且进一步地,所述栅线驱动模块所连接的两条栅线为一条奇数行栅线和一条偶数行栅线。

[0084] 具体地,如图 6 所示,为本发明实施例三的驱动时序图,其中,CLK-G 表示栅线驱动时钟信号、Driver-Gate1 表示栅极驱动 IC 的第一输出通道的输出、Gout1 表示第一行栅线的输出、Gout2 表示第二行栅线的输出、Gout3 表示第三行栅线的输出、Gout4 表示第四行栅线的输出。

[0085] 具体地,如图 5 和图 6 所示,栅极驱动 IC 的第一输出通道 Driver_Date1 输出高电平时:

[0086] 1) 在 T1 时间段,CLK_G 为高电平,奇数行栅线 1 对应的第一薄膜晶体管 41 高电平有效,第一薄膜晶体管 41 导通,即在 T1 时间段,第一行栅线 1 打开,第一行栅线 1 对应的像素单元由数据线 2 写入数据;

[0087] 2) 在 T2 时间段,CLK_G 为低电平,偶数行栅线 1 对应的第二薄膜晶体管 42 低电平有效,第二薄膜晶体管 42 导通,即在 T2 时间段,第二行栅线 1 打开,第二行栅线 1 对应的像素单元由数据线 2 写入数据;

[0088] 栅极驱动 IC 的第二输出通道 Driver_Date2 输出高电平时:

[0089] 1) 在 T3 时间段,CLK_G 为高电平,奇数行栅线 1 对应的第一薄膜晶体管 41 高电平有效,第一薄膜晶体管 41 导通,即在 T1 时间段,第三行栅线 1 打开,第三行栅线 1 对应的像素单元由数据线 2 写入数据;

[0090] 2) 在 T4 时间段,CLK_G 为低电平,偶数行栅线 1 对应的第二薄膜晶体管 42 低电平有效,第二薄膜晶体管 42 导通,即在 T2 时间段,第四行栅线 1 打开,第四行栅线 1 对应的像素单元由数据线 2 写入数据;

[0091] 依此类推,完成每帧画面的实现。

[0092] 在本实施例的技术方案中,通过在一条奇数行栅线和一条偶数行栅线之间设置栅线驱动模块,一个栅线驱动模块与栅极驱动器的一个输出通道相连接,从而组成具 $A/2$ ($1 \leq A \leq M/2$, M 为栅线总行数) 个栅线驱动模块的栅线驱动模块阵列,使一个与栅线驱动模块相连接的栅极驱动 IC 的输出通道实现对两条相邻栅线的驱动,从而完成液晶面板每帧画面的显示,在栅极驱动器中的栅极驱动 IC 的输出通道规格不变、以及确保显示帧频率和画面品质无不良影响的前提下,所采用的栅极驱动 IC 的数量减少,在每两条栅线都设置一个栅线驱动模块和都设置一个数据线驱动模块时,栅极驱动 IC 的数量减半,有效减少了驱动电路 PCB 的走线数量以及 PCB 元件的布局难度,从而有助于减小 PCB 面积,降低了成本,也进一步使得液晶面板更加轻薄。

[0093] 实施例四

[0094] 在本实施例中,采用设置栅线驱动模块阵列,也设置数据线驱动模块阵列的方案,区别于实施例一,采用的栅线驱动模块 4 包括:低电平有效的第一薄膜晶体管 41 和高电平有效的第二薄膜晶体管 42,其中,第一薄膜晶体管 41 的栅极与数据线驱动时钟信号的输出端相连接,其源极与栅极驱动器的一个输出通道相连接,其漏极与一条奇数行的栅线 1 相

连接；第二薄膜晶体管 42 的栅极与所述数据线驱动时钟信号的输出端相连接，其源极与所述栅极驱动器的一个输出通道相连接，其漏极与一条偶数行的栅线 1 相连接。

[0095] 采用的数据线驱动模块 3 包括：低电平有效的第三薄膜晶体管 31 和高电平有效的第四薄膜晶体管 32，其中，第三薄膜晶体管 31 的栅极与栅线驱动时钟信号的输出端相连接，其源极与所述数据驱动器的一个输出通道相连接，其漏极与一条奇数列的数据线 2 相连接；第四薄膜晶体管 32 的栅极与所述栅线驱动时钟信号的输出端相连接，其源极与所述数据驱动器的一个输出通道相连接，其漏极与一条偶数列的数据线 2 相连接。

[0096] 具体地，如图 8 所示，为本发明实施例四的驱动时序图，其中，CLK-G 表示栅线驱动时钟信号、CLK-S 表示数据线驱动时钟信号、Driver-Gate1 表示栅极驱动 IC 的第一输出通道的输出、Driver-Gate2 表示栅极驱动 IC 的第二输出通道的输出、Gout1 表示第一行栅线的输出、Gout2 表示第二行栅线的输出、Gout3 表示第三行栅线的输出、Gout4 表示第四行栅线的输出。

[0097] 具体地，如图 7 和图 8 所示，栅极驱动 IC 的第一输出通道 Driver_Date1 输出高电平时：

[0098] 1) 当 CLK_G 为低电平时，奇数行栅线 1 对应的第一薄膜晶体管 41 低电平有效，第一薄膜晶体管 41 导通，即在 T1、T2 时间段，第一行栅线 1 打开，T1 时间段，CLK_S 为低电平，第三薄膜晶体管 31 低电平有效，第三薄膜晶体管 31 导通，第一行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据；T2 时间段，CLK_S 为高电平，第四薄膜晶体管 32 高电平有效，第四薄膜晶体管 32 导通，第一行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据，从而完成第一行所有像素单元数据的写入。

[0099] 2) 当 CLK_G 为高电平时，偶数行栅线 1 对应的第二薄膜晶体管 42 高电平有效，第二薄膜晶体管 42 导通，即在 T3、T4 时间段，第二行栅线 1 打开，T3 时间段，CLK_S 为低电平，第三薄膜晶体管 31 低电平有效，第三薄膜晶体管 31 导通，第二行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据；T4 时间段，CLK_S 为高电平，第四薄膜晶体管 32 高电平有效，第四薄膜晶体管 32 导通，第二行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据，从而完成第二行所有像素单元数据的写入。

[0100] 栅极驱动 IC 的第二输出通道 Driver_Date2 输出高电平时：

[0101] 1) 当 CLK_G 为低电平时，奇数行栅线 1 对应的第一薄膜晶体管 41 低电平有效，第一薄膜晶体管 41 导通，即在 T5、T6 时间段，第三行栅线 1 打开，T5 时间段，CLK_S 为低电平，第三薄膜晶体管 31 低电平有效，第三薄膜晶体管 31 导通，第三行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据；T6 时间段，CLK_S 为低电平，第四薄膜晶体管 32 高电平有效，第四薄膜晶体管 32 导通，第三行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据，从而完成第三行所有像素单元数据的写入。

[0102] 2) 当 CLK_G 为高电平时，偶数行栅线 1 对应的第二薄膜晶体管 42 高电平有效，第二薄膜晶体管 42 导通，即在 T7、T8 时间段，第四行栅线 1 打开，T3 时间段，CLK_S 为低电平，第三薄膜晶体管 31 低电平有效，第三薄膜晶体管 31 导通，第四行栅线 1 对应的奇数像素单元由奇数列数据线 2 写入数据；T4 时间段，CLK_S 为高电平，第四薄膜晶体管 32 高电平有效，第四薄膜晶体管 32 导通，第四行栅线 1 对应的偶数像素单元由偶数列数据线 2 写入数据，从而完成第四行像素单元所有数据的写入。

[0103] 依此类推,完成每帧画面的显示。

[0104] 在本实施例的技术方案中,通过在一条奇数行栅线和一条偶数行栅线之间设置栅线驱动模块,一个栅线驱动模块与栅极驱动器的一个输出通道相连接,从而组成具有 $A/2$ ($1 \leq A \leq M/2$, M 为栅线总行数) 个栅线驱动模块的栅线驱动模块阵列,使一个与栅线驱动模块相连接的栅极驱动 IC 的输出通道实现对两条相邻栅线的驱动,并通过在一条奇数列数据线和一条偶数列数据线之间设置数据线驱动模块,一个数据线驱动模块与数据驱动器的一个输出通道相连接,从而组成具有 $B/2$ ($1 \leq B \leq N/2$, N 为数据线总列数) 个数据线驱动模块的数据线驱动模块阵列,使一个与数据线驱动模块相连接的数据驱动 IC 的输出通道实现两条数据线的的数据输出,从而完成液晶面板每帧画面的显示,这样,在栅极驱动器中的栅极驱动 IC 和数据驱动器中的数据驱动 IC 的输出通道规格不变、以及确保显示帧频率和画面品质无不良影响的前提下,所采用的栅极驱动 IC 和数据驱动 IC 的数量减少,在每两条栅线都设置一个栅线驱动模块和 / 或每两条数据线都设置一个数据线驱动模块时,栅极驱动 IC 和 / 或数据驱动 IC 的数量减半,有效减少了驱动电路 PCB 的走线数量以及 PCB 元件的布局难度,从而有助于减小 PCB 面积,降低了成本,也进一步使得液晶面板更加轻薄。

[0105] 优选地,在上述实施例中,栅线驱动模块所连接的栅线为依次相邻的一条奇数行栅线和一条偶数行栅线;和 / 或数据线驱动模块所连接的数据线为依次相邻的一条奇数列数据线和一条偶数列数据线。这样的结构走线简单,避免线路交叠,也易于实现。

[0106] 需要说明的是,本发明实施例提供的液晶面板的像素的排列方式可以采取各种形式,不局限于上述实施例;并且,栅极驱动方式也多样化选择,不局限于栅极驱动 IC 的形式,还可采用 COG (Chip On Glass)、GOA (Gate On Array) 等驱动方式,若采用 GOA 形式,其优点在于将行驱动电平转换单元的数量减半。

[0107] 实施例五

[0108] 本发明实施例还提供一种采用上述实施例提供的液晶显示器驱动装置的驱动方法,该方法包括:

[0109] 步骤 101、在每条栅线开启的第一时间内,与每个数据线驱动模块连接的两条数据线中的一条同时开启;

[0110] 步骤 102、在每条栅线开启的第二时间内,与每个数据线驱动模块连接的两条数据线中的另一条同时开启。

[0111] 进一步地,所述数据线驱动模块所连接的两条数据线为一条奇数列数据线和一条偶数列数据线,则

[0112] 该方法包括:

[0113] 步骤 201、在每条栅线开启的第一时间内,奇数列数据线同时开启,所述栅线所对应的奇数像素单元同时显示数据;或偶数列数据线同时开启,所述栅线所对应的偶数像素单元同时显示数据;

[0114] 步骤 202、在每条栅线开启的第二时间内,偶数列的数据线同时开启,所述栅线所对应的偶数像素单元同时显示数据;或奇数列数据线同时开启,所述栅线所对应的奇数像素单元同时显示数据。

[0115] 在上述方法实施例中,设每一条栅线开启的总时间为 T , 第一时间为 T_a , 第二时间为 T_b , 则 $T_a = T_b = T/2$, 即在栅线开启时间 T 内, 奇数列数据线和偶数列数据线分别在 T_a

或 Tb 时间开启,从而完成整行栅线所对应的像素单元的数据显示。

[0116] 需要说明的是,栅线的开启可以逐行开启,也可以按照预先设定的顺序依次开启,在此不加以限制。

[0117] 通过以上的实施方式的描述,所属领域的技术人员可以清楚地了解到本发明可借助软件加必需的通用硬件的方式来实现,当然也可以通过硬件,但很多情况下前者是更佳的实施方式。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品存储在可读取的存储介质中,如计算机的软盘,硬盘或光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施例所述的方法。

[0118] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

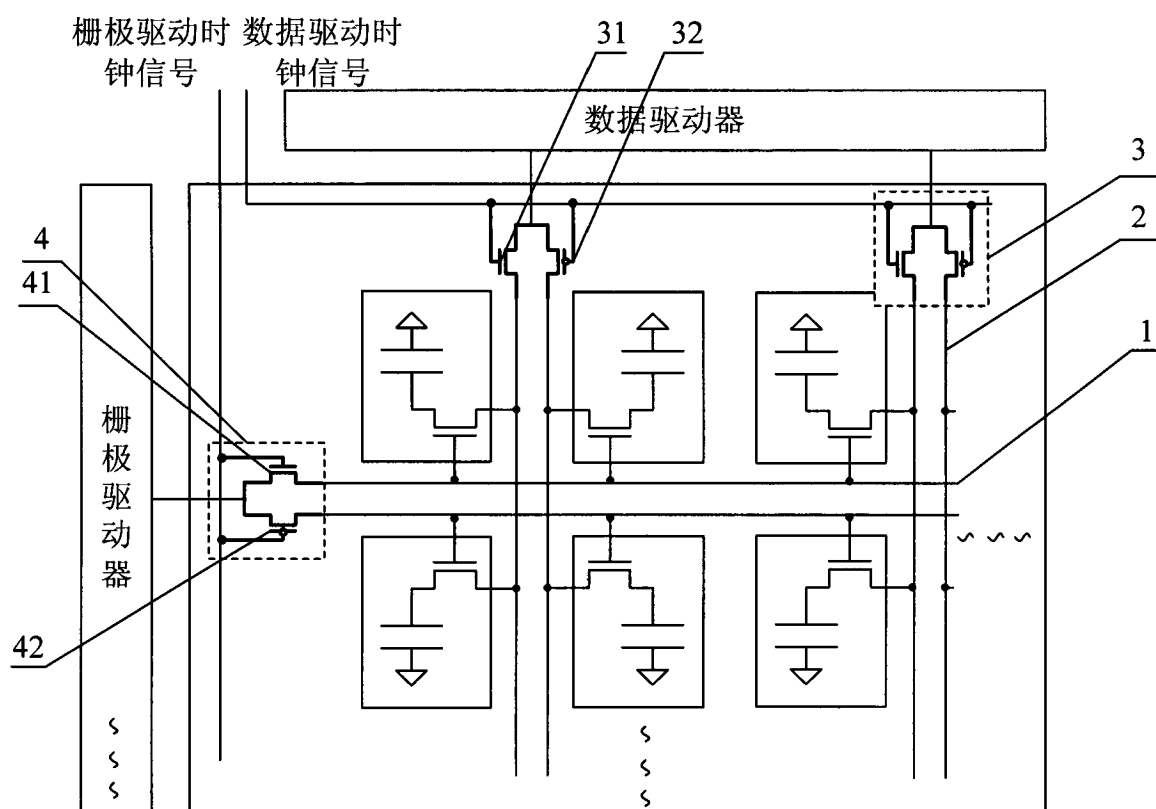


图 1

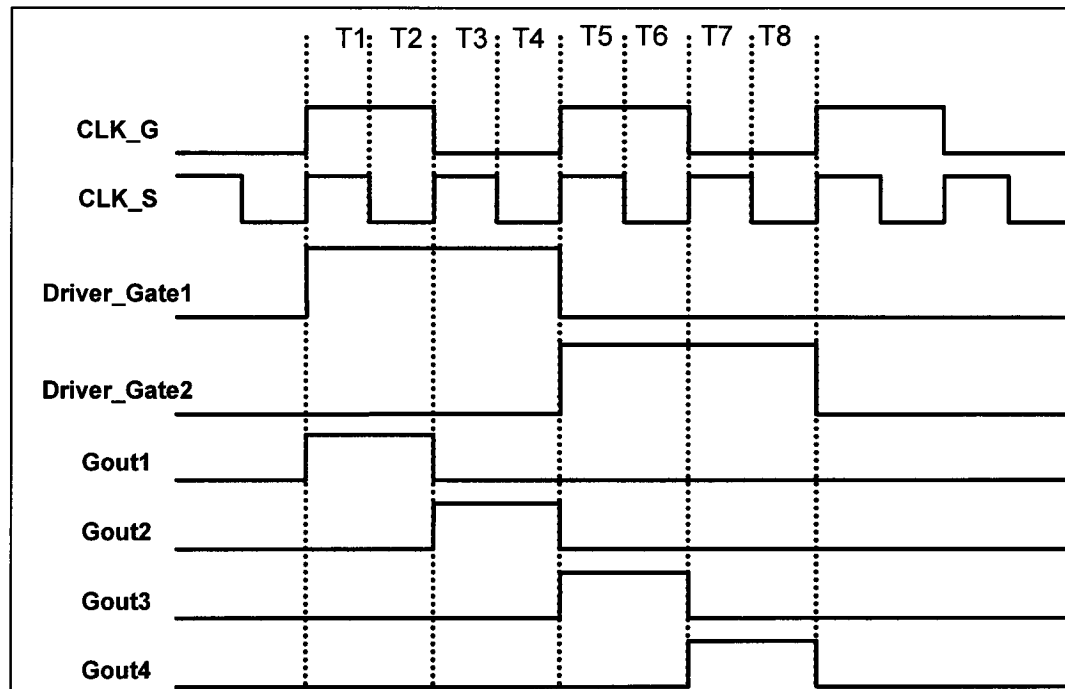


图 2

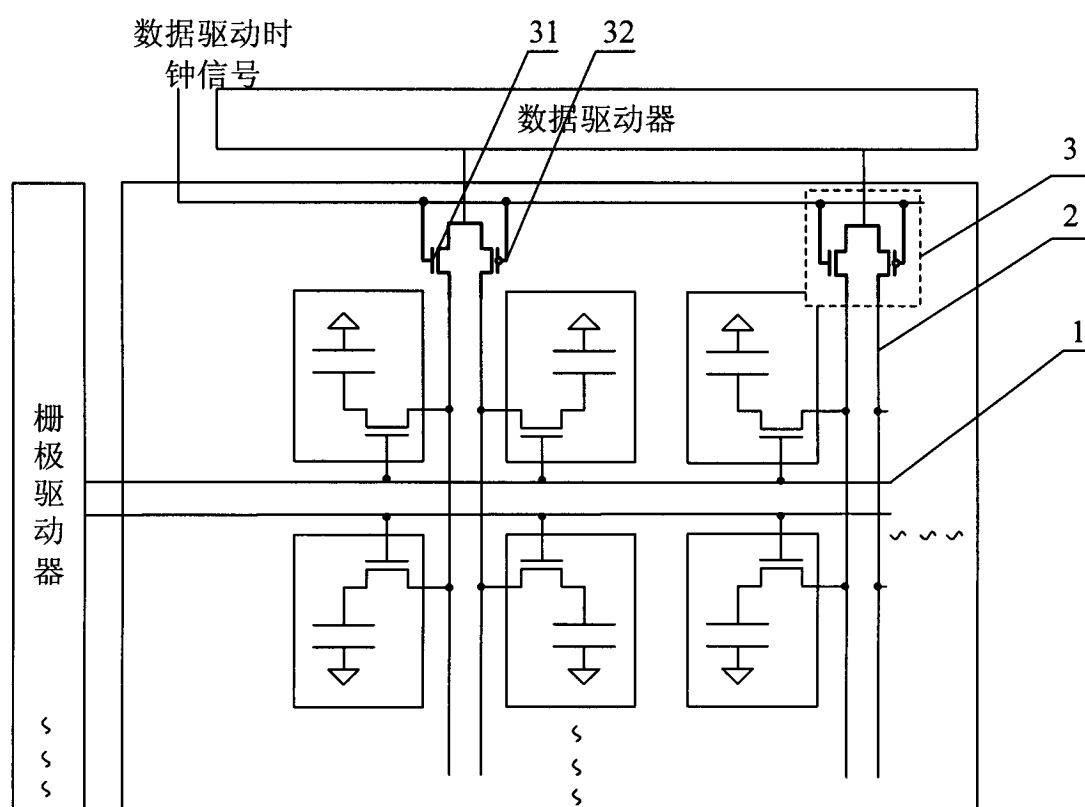


图 3

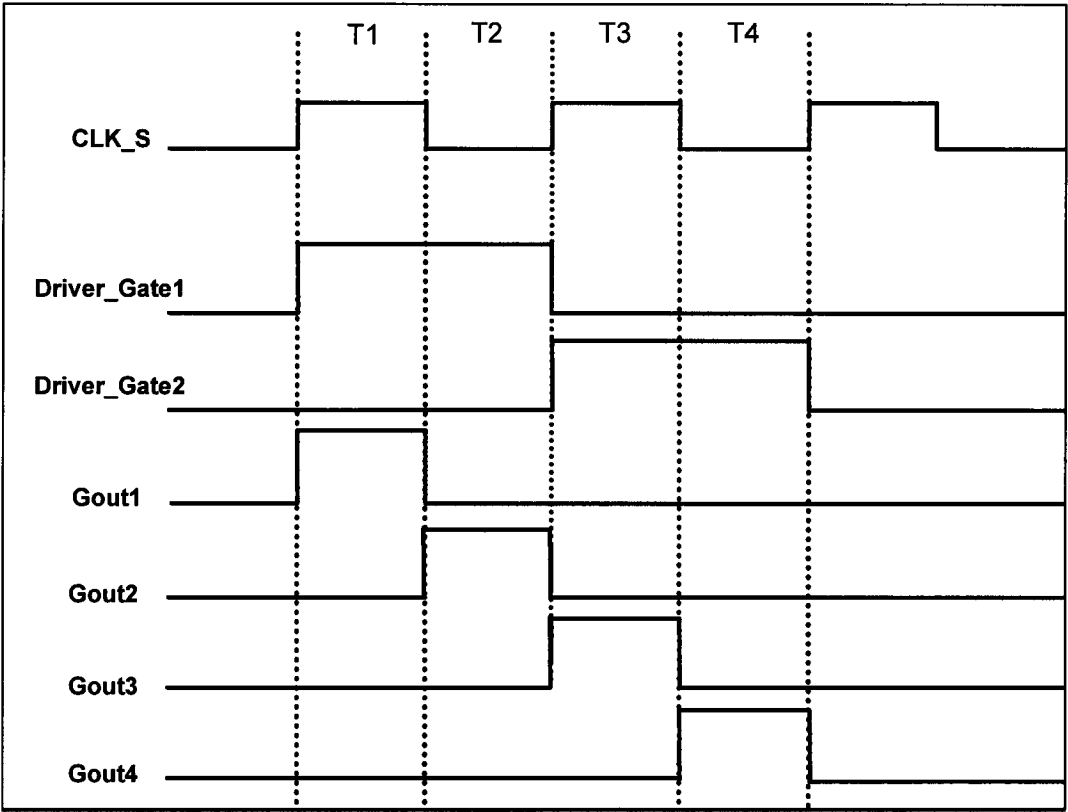


图 4

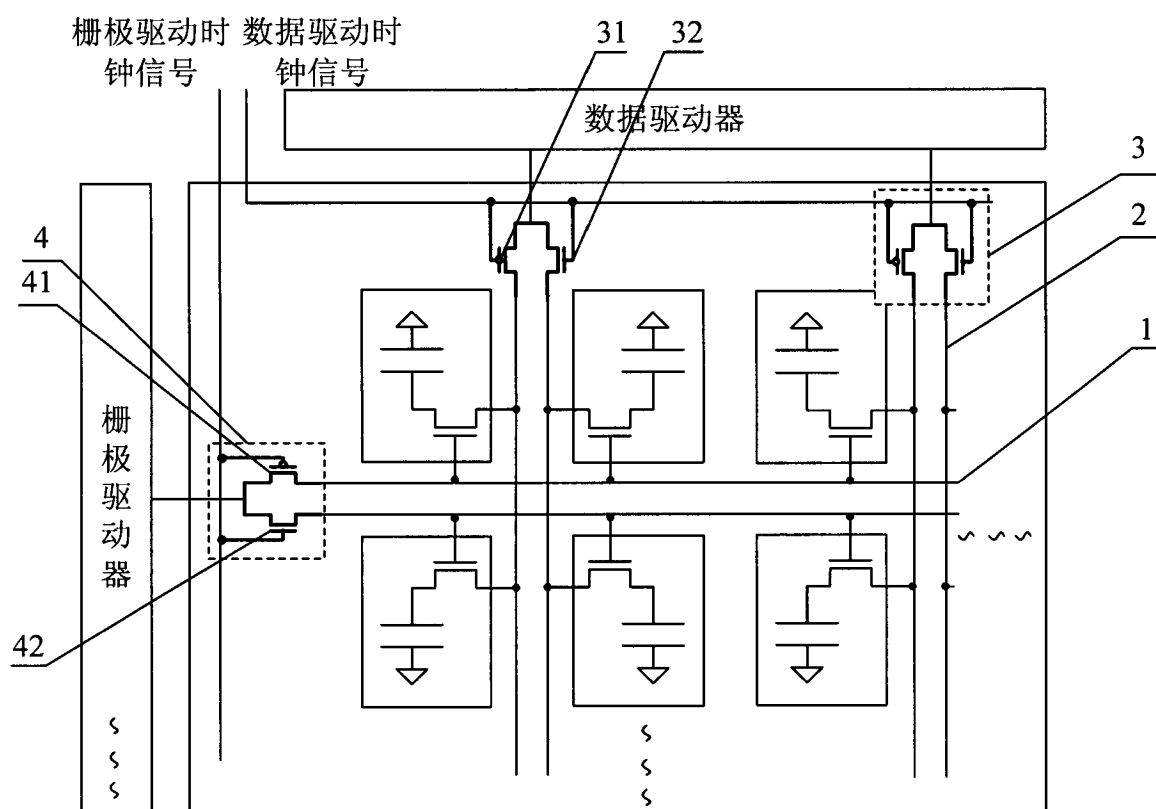


图 7

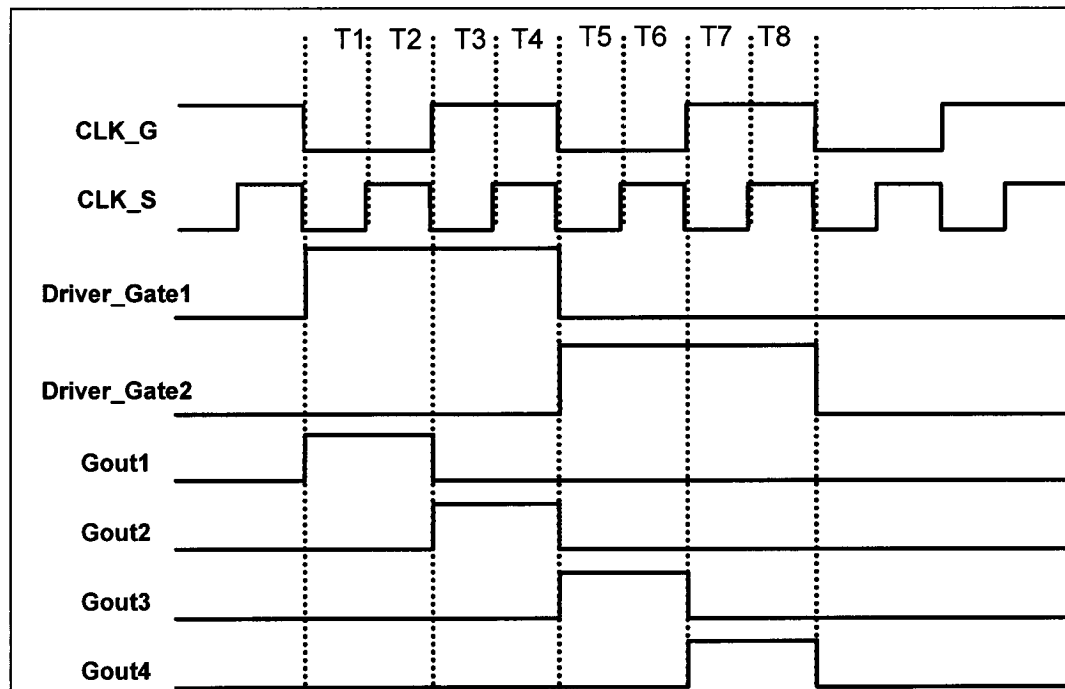


图 8

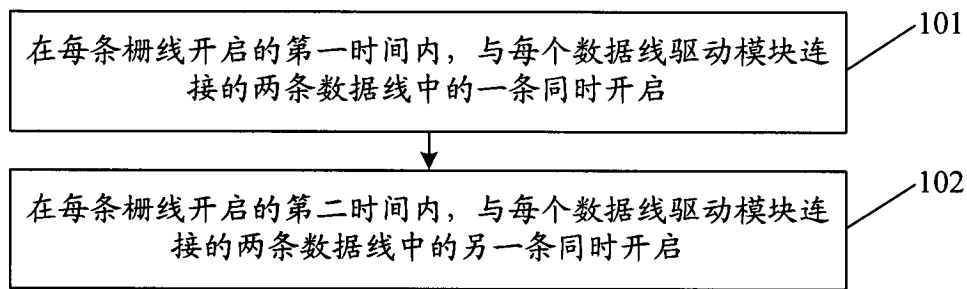


图 9

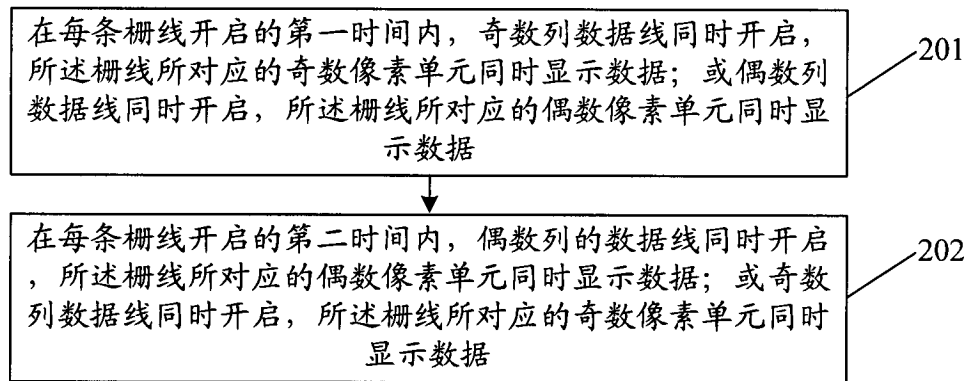


图 10

专利名称(译)	液晶显示器的驱动装置和驱动方法		
公开(公告)号	CN102446498A	公开(公告)日	2012-05-09
申请号	CN201010512068.X	申请日	2010-10-12
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	时哲		
发明人	时哲		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0297 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2300/0408 G09G2310/08		
代理人(译)	申健		
其他公开文献	CN102446498B		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种液晶显示器的驱动装置和驱动方法，涉及液晶显示器领域，能够减少栅极驱动IC和/或数据驱动IC的数量。驱动装置包括：栅极驱动器和数据驱动器，栅线驱动模块阵列和/或数据线驱动模块阵列，栅线驱动模块阵列由A个栅线驱动模块组成，每一个栅线驱动模块与栅极驱动器的一个输出通道相连接，并连接两条栅线，栅线驱动模块用于驱动其所连接的栅线依次开启，其中， $1 \leq A \leq M/2$ ，M为栅线的总行数；数据线驱动模块阵列由B个数据线驱动模块组成，每一个数据线驱动模块与数据驱动器的一个输出通道相连接，并连接两条数据线，数据线驱动模块用于驱动其所连接的数据线依次开启，其中， $1 \leq B \leq N/2$ ，N为数据线的总列数。

