



(12) 发明专利

(10) 授权公告号 CN 102298227 B

(45) 授权公告日 2013. 11. 06

(21) 申请号 201010216363. 0

US 7573459 B2, 2009. 08. 11,

(22) 申请日 2010. 06. 23

审查员 郭栋

(73) 专利权人 瀚宇彩晶股份有限公司

地址 中国台湾台北县

(72) 发明人 任珂锐 张弘昌 吴昭慧

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 陈松涛 夏青

(51) Int. Cl.

G02F 1/133 (2006. 01)

G02F 1/1362 (2006. 01)

G06F 3/041 (2006. 01)

(56) 对比文件

JP 特开 2006-276582 A, 2006. 10. 12,

CN 101196622 A, 2008. 06. 11,

CN 101241254 A, 2008. 08. 13,

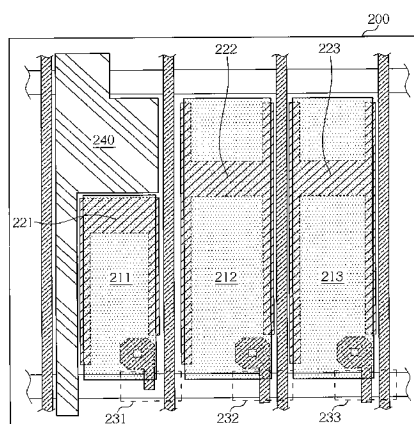
权利要求书3页 说明书8页 附图7页

(54) 发明名称

内嵌式触控显示面板的像素结构及其形成方法

(57) 摘要

本发明的内嵌式触控显示面板的像素结构, 包括定义有多个次像素区的基板以及多个次像素。各次像素分别设置于各次像素区, 且至少有一个次像素的透光面积与其余次像素的透光面积大小不同。其中, 各次像素包括具有液晶电容值 C_{lc} 的液晶电容、具有存储电容值 C_{st} 的存储电容、以及具有栅极与漏极间电容值 C_{gd} 与栅极与像素电极间电容值 C_{pg} 的薄膜晶体管。并且, 各次像素分别具有电容比值, 电容比值定义为 $(C_{pg} + C_{gd}) / (C_{st} + C_{lc} + C_{gd} + C_{pg})$, 且各次像素的电容比值大体上相同。



1. 一种内嵌式触控显示面板的像素结构,包括:
基板,其上定义有多个次像素区;以及
多个次像素,各所述次像素分别设置于各所述次像素区,且至少有一个次像素的透光面积与其余次像素的透光面积大小不同,其中各所述次像素包括:
液晶电容,具有液晶电容值 C_{lc} ;
薄膜晶体管,具有栅极与漏极间电容值 C_{gd} 以及栅极与像素电极间电容值 C_{pg} ;以及
存储电容,具有存储电容值 C_{st} ;
其中,各所述次像素分别具有电容比值,所述电容比值定义为 $(C_{pg}+C_{gd})/(C_{st}+C_{lc}+C_{gd}+C_{pg})$,且各所述次像素的所述电容比值大体上相同。
2. 如权利要求 1 所述的内嵌式触控显示面板的像素结构,其中具有不同透光面积的两相邻次像素分别定义为第一次像素与第二次像素,而所述第一次像素位于第一次像素区,所述第二次像素位于第二次像素区,且所述第二次像素的透光面积大于所述第一次像素的透光面积。
3. 如权利要求 2 所述的内嵌式触控显示面板的像素结构,其中触控感测元件设置于所述第一次像素区内。
4. 如权利要求 2 所述的内嵌式触控显示面板的像素结构,其中所述第一次像素的第一液晶电容值 C_{lc1} 与所述第二次像素的第二液晶电容值 C_{lc2} 的比值为 C_{lc1}/C_{lc2} ,而所述第一次像素的第一存储电容值 C_{st1} 与所述第二次像素的第二存储电容值 C_{st2} 的比值 C_{st1}/C_{st2} 大体上等于 C_{lc1}/C_{lc2} ,且所述第一次像素的第一栅极与漏极间电容值 C_{gd1} 与所述第二次像素的第二栅极与漏极间电容值 C_{gd2} 的比值 C_{gd1}/C_{gd2} 大体上等于 C_{lc1}/C_{lc2} ,并且所述第一次像素的第一像素电极与栅极间电容值 C_{pg1} 与所述第二次像素的第二像素电极与栅极间电容值 C_{pg2} 的比值 C_{pg1}/C_{pg2} 大体上等于 C_{lc1}/C_{lc2} 。
5. 如权利要求 2 所述的内嵌式触控显示面板的像素结构,其中所述多个次像素另外包括第三次像素,相邻于所述第一次像素与所述第二次像素两者之一。
6. 如权利要求 5 所述的内嵌式触控显示面板的像素结构,其中所述第一次像素的第一液晶电容值 C_{lc1} 与所述第三次像素的第三液晶电容值 C_{lc3} 的比值为 C_{lc1}/C_{lc3} ,而所述第一次像素的第一存储电容值 C_{st1} 与所述第三次像素的第三存储电容值 C_{st3} 的比值 C_{st1}/C_{st3} 大体上等于 C_{lc1}/C_{lc3} ,且所述第一次像素的第一栅极与漏极间电容值 C_{gd1} 与所述第三次像素的第三栅极与漏极间电容值 C_{gd3} 的比值 C_{gd1}/C_{gd3} 大体上等于 C_{lc1}/C_{lc3} ,并且所述第一次像素的第一像素电极与栅极间电容值 C_{pg1} 与所述第三次像素的第三像素电极与栅极间电容值 C_{pg3} 的比值 C_{pg1}/C_{pg3} 大体上等于 C_{lc1}/C_{lc3} 。
7. 如权利要求 5 所述的内嵌式触控显示面板的像素结构,其中所述第一次像素、所述第二次像素、与所述第三次像素分别用来显示三种颜色,所述三种颜色包括红色、绿色与蓝色。
8. 如权利要求 6 所述的内嵌式触控显示面板的像素结构,其中所述第三次像素的透光面积小于等于所述第二次像素的透光面积,所述第三次像素的透光面积大于所述第一次像素的透光面积,所述第二次像素用来显示绿色。
9. 一种形成内嵌式触控显示面板的像素结构的方法,包括:
提供基板,其上至少定义有第一次像素区与第二次像素区;

在所述第一次像素区内,预计设置第一次像素;

在所述第二次像素区内,预计设置第二次像素;

在 $0 < C_{1c1}/C_{1c2} < 1$ 的条件下,调整 C_{1c1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} 、 C_{1c2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} 其中至少一个,使所述第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{1c1}+C_{gd1}+C_{pg1})$ 与所述第二次像素的电容比值 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{1c2}+C_{gd2}+C_{pg2})$ 大体上相同,其中 C_{1c1} 为所述第一次像素的第一液晶电容值、 C_{gd1} 为所述第一次像素的第一栅极与漏极间电容值、 C_{st1} 为所述第一次像素的第一存储电容值、 C_{pg1} 为所述第一次像素的第一像素电极与栅极间电容值、 C_{1c2} 为所述第二次像素的第二液晶电容值、 C_{gd2} 为所述第二次像素的第二栅极与漏极间电容值、 C_{st2} 为所述第二次像素的第二存储电容值、 C_{pg2} 为所述第二次像素的第二像素电极与栅极间电容值;

根据调整后的 C_{1c1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} ,在所述第一次像素区内,形成具有所述第一液晶电容值 C_{1c1} 的第一液晶电容、具有所述第一栅极与漏极间电容值 C_{gd1} 以及所述第一像素电极与栅极间电容值 C_{pg1} 的第一薄膜晶体管,以及具有所述第一存储电容值 C_{st1} 的第一存储电容;以及

根据调整后的 C_{1c2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} ,在所述第二次像素区内,形成具有所述第二液晶电容值 C_{1c2} 的第二液晶电容、具有所述第二栅极与漏极间电容值 C_{gd2} 以及所述第二像素电极与栅极间电容值 C_{pg2} 的第二薄膜晶体管,以及具有所述第二存储电容值 C_{st2} 的第二存储电容。

10. 如权利要求 9 所述的方法,还包括在所述第一次像素区内形成触控感测元件。

11. 如权利要求 9 所述的方法,其中调整 C_{1c1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} 、 C_{1c2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} 其中至少一个的步骤包括:

先选定所述第一液晶电容值 C_{1c1} 以及所述第二液晶电容值 C_{1c2} ;

计算出 C_{1c1}/C_{1c2} 的比值;

调整所述第一存储电容值 C_{st1} 与所述第二存储电容值 C_{st2} ,使 C_{st1}/C_{st2} 的比值大体上等于 C_{1c1}/C_{1c2} ;

调整所述第一栅极与漏极间电容值 C_{gd1} 与所述第二栅极与漏极间电容值 C_{gd2} ,使 C_{gd1}/C_{gd2} 的比值大体上等于 C_{1c1}/C_{1c2} ;以及

调整所述第一像素电极与栅极间电容值 C_{pg1} 与所述第二像素电极与栅极间电容值 C_{pg2} ,使 C_{pg1}/C_{pg2} 的比值大体上等于 C_{1c1}/C_{1c2} 。

12. 如权利要求 9 所述的方法,其中所述第一存储电容值 C_{st1} 以及所述第二存储电容值 C_{st2} 的调整方式是通过控制所述第一存储电容的存储电极面积以及所述第二存储电容的存储电极面积来进行调整。

13. 如权利要求 9 所述的方法,其中所述第一栅极与漏极间电容值 C_{gd1} 以及所述第二栅极与漏极间电容值 C_{gd2} 的调整方式是通过控制所述第一薄膜晶体管的尺寸与形状以及所述第二薄膜晶体管的尺寸与形状来进行调整。

14. 如权利要求 9 所述的方法,还包括:

在所述基板上定义第三次像素区;

在所述第三次像素区内,预计设置第三次像素;

在 $0 < C_{1c1}/C_{1c3} < 1$ 的条件下,调整 C_{1c3} 、 C_{gd3} 、 C_{st3} 、 C_{pg3} 其中至少一个,使所述第一次像素的所述电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{1c1}+C_{gd1}+C_{pg1})$ 与所述第三次像素的电容比值 $(C_{pg3}+C_{gd3})/(C_{st3}+C_{1c3}+C_{gd3}+C_{pg3})$ 大体上相同,其中 C_{1c3} 为所述第三次像素的第三液晶电容值、 C_{gd3} 为所述

第三次像素的第三栅极与漏极间电容值、 C_{st3} 为所述第三次像素的第三存储电容值、 C_{pg3} 为所述第三次像素的第三像素电极与栅极间电容值；以及

根据调整后的 C_{lc3} 、 C_{gd3} 、 C_{st3} ，在所述第三次像素区内，形成具有所述第三液晶电容值 C_{lc3} 的第三液晶电容、具有所述第三栅极与漏极间电容值 C_{gd3} 以及所述第三像素电极与栅极间电容值 C_{pg3} 的第三薄膜晶体管，以及具有所述第三存储电容值 C_{st3} 的第三存储电容。

15. 如权利要求 14 所述的方法，其中调整 C_{lc3} 、 C_{gd3} 、 C_{st3} 、 C_{pg3} 其中至少一个的步骤包括：先选定所述第一液晶电容值 C_{lc1} 以及所述第三液晶电容值 C_{lc3} ；

计算出 C_{lc1}/C_{lc3} 的比值；

调整所述第三存储电容值 C_{st3} ，使 C_{st1}/C_{st3} 的比值大体上等于 C_{lc1}/C_{lc3} ；以及

调整所述第三栅极与漏极间电容值 C_{gd3} ，使 C_{gd1}/C_{gd3} 的比值大体上等于 C_{lc1}/C_{lc3} ；以及

调整所述第三像素电极与栅极间电容值 C_{pg3} ，使 C_{pg1}/C_{pg3} 的比值大体上等于 C_{lc1}/C_{lc3} 。

16. 如权利要求 14 所述的方法，其中所述第三存储电容值 C_{st3} 的调整方式是通过控制所述第三存储电容的存储电极面积来进行调整。

17. 如权利要求 14 所述的方法，其中所述第三栅极与漏极间电容值 C_{gd3} 的调整方式是通过控制所述第三薄膜晶体管的尺寸与形状来进行调整。

18. 如权利要求 14 所述的方法，其中所述第一次像素、所述第二次像素、与所述第三次像素分别用来显示三种颜色，所述三种颜色包括红色、绿色与蓝色。

19. 如权利要求 14 所述的方法，其中所述第三次像素的透光面积小于等于所述第二次像素的透光面积，所述第三次像素的透光面积大于所述第一次像素的透光面积，所述第二次像素用来显示绿色。

内嵌式触控显示面板的像素结构及其形成方法

技术领域

[0001] 本发明涉及一种内嵌式触控显示面板的像素结构及其形成方法,尤其涉及利用调整各次像素的电容比值 $(C_{pg}+C_{gd})/(C_{st}+C_{lc}+C_{gd}+C_{pg})$,以解决具有不同透光面积的像素所衍生的电性问题的一种内嵌式触控显示面板的像素结构及其形成方法。

背景技术

[0002] 近来由于触控显示面板(touch display panel)的应用越来越广泛,因而内嵌式触控感测元件(touch sensor)的技术也就备受重视。内嵌式触控感测元件是将触控感测元件直接制作在各像素中,牺牲掉部分开口率(aperture ratio)是无法避免的。在公知技术中,通常的做法是把红色次像素、绿色次像素、以及蓝色次像素的面积等比例缩小,多出来的面积部分就用来放置触控感测元件。举例来说,原本红色次像素、绿色次像素、蓝色次像素的透光面积各占像素整个面积的三分之一,若把红色次像素、绿色次像素、蓝色次像素的面积皆缩小为像素整个面积的四分之一,那就会有额外四分之一的面积可用来放置触控感测元件,可依此方式来类推,关键在于使红色次像素、绿色次像素、蓝色次像素的透光面积仍保持相同。请参考图 1。图 1 绘示了公知技术中采用内嵌式触控感测元件的像素的示意图。如图 1 所示,由于像素中需设置触控感测元件 T,因此红色次像素 R、绿色次像素 G、蓝色次像素 B 三个次像素的透光面积大体上相同,但透光面积小于像素整个面积的三分之一。然而,此作法会造成亮度下降,而影响显示品质。

发明内容

[0003] 本发明的目的之一在于提供一种内嵌式触控显示面板的像素结构及其形成方法,以提供较佳的画面效果。

[0004] 本发明的优选实施例提供一种内嵌式触控显示面板的像素结构。上述像素结构包括定义有多个次像素区的基板以及多个次像素。各次像素分别设置于各次像素区,且至少有一个次像素的透光面积与其余次像素的透光面积大小不同。其中,各次像素包括具有液晶电容值 C_{lc} 的液晶电容、具有栅极与漏极间电容值 C_{gd} 与栅极与像素电极间电容值 C_{pg} 的薄膜晶体管、以及具有存储电容值 C_{st} 的存储电容。并且,各次像素分别具有电容比值,电容比值定义为 $(C_{pg}+C_{gd})/(C_{st}+C_{lc}+C_{gd}+C_{pg})$,且各次像素的电容比值大体上相同。

[0005] 本发明的优选实施例另提供一种形成内嵌式触控显示面板的像素结构的方法,包括下列步骤。首先,提供基板,其上至少定义有第一次像素区与第二次像素区。接着,在第一次像素区内,预计设置第一次像素,且在第二次像素区内,预计设置第二次像素。随后,在 $0 < C_{lc1}/C_{lc2} < 1$ 的条件下,调整 C_{lc1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} 、 C_{lc2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} 其中至少一个,使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第二次像素的电容比值 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{lc2}+C_{gd2}+C_{pg2})$ 大体上相同,其中 C_{lc1} 为第一次像素的第一液晶电容值、 C_{gd1} 为第一次像素的第一栅极与漏极间电容值、 C_{st1} 为第一次像素的第一存储电容值、 C_{pg1} 为第一次像素的第一像素电极与栅极间电容值、 C_{lc2} 为第二次像素的第二液晶电容值、 C_{st2} 为第二次像素的

第二存储电容值、 C_{gd2} 为第二次像素的第二栅极与漏极间电容值、以及 C_{pg2} 为第二次像素的第二像素电极与栅极间电容值。之后,根据调整后的 C_{1c1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} ,在第一次像素区内,形成具有第一液晶电容值 C_{1c1} 的第一液晶电容、具有第一存储电容值 C_{st1} 的第一存储电容、以及具有第一栅极与漏极间电容值 C_{gd1} 与具有第一像素电极与栅极间电容值 C_{pg1} 的第一薄膜晶体管。并且,根据调整后的 C_{1c2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} ,在第二次像素区内,形成具有第二液晶电容值 C_{1c2} 的第二液晶电容、具有第二存储电容值 C_{st2} 的第二存储电容、以及具有第二栅极与漏极间电容值 C_{gd2} 与具有第二像素电极与栅极间电容值 C_{pg2} 的第二薄膜晶体管。

[0006] 本发明的内嵌式触控显示面板的像素结构及其形成方法,是利用调整各像素的电容比值 $(C_{pg}+C_{gd})/(C_{st}+C_{1c}+C_{gd}+C_{pg})$,使各次像素的电容比值大体上相同。因此,本发明不但可以适当调整红色次像素、绿色次像素、蓝色次像素三个次像素的开口率比例,来使亮度减少情况降到最轻微,又达到均匀混色的效果,并且可以避免在各次像素具有不同开口率比例下,可能衍生的额外次像素电性问题。

附图说明

[0007] 图 1 绘示了公知技术中采用内嵌式触控感测元件的像素的示意图。

[0008] 图 2 绘示了本发明第一优选实施例的内嵌式触控显示面板的像素结构的部分等效电路示意图。

[0009] 图 3 绘示了本发明第一优选实施例的内嵌式触控显示面板的像素结构的部分配置示意图。

[0010] 图 4 绘示了本发明第一优选实施例的形成内嵌式触控显示面板的像素结构的流程示意图。

[0011] 图 5 绘示了本发明第一优选实施例的形成内嵌式触控显示面板的像素结构的增加另一次像素的方法的流程示意图。

[0012] 图 6 绘示了本发明第二优选实施例的内嵌式触控显示面板的像素结构的部分等效电路示意图。

[0013] 图 7 绘示了本发明第二优选实施例的内嵌式触控显示面板的像素结构的部分配置示意图。

具体实施方式

[0014] 在说明书及后续的权利要求当中使用了某些词汇来指称特定的元件。本领域技术人员应可理解,制造商可能会用不同的名词来称呼同样的元件。本说明书及后续的权利要求并不以名称的差异来作为区别元件的方式,而是以元件在功能上的差异来作为区别的基准。在通篇说明书及后续的权利要求当中所提及的“包括”为开放式的用语,故应解释成“包括但不限于”。

[0015] 请参考图 2。图 2 绘示了本发明第一优选实施例的内嵌式触控显示面板的像素结构的部分等效电路示意图。如图 2 所示,本实施例的内嵌式触控显示面板的像素结构包括基板 200、以及多个次像素,例如第一次像素 P1、第二次像素 P2、以及第三次像素 P3。图示中为了简化,只绘示三个次像素,但并不以此为限。并且,在基板 200 上,定义有多个次像素区,例如第一次像素区 201、第二次像素区 202、以及第三次像素区 203。再者,各次像

素分别设置于各次像素区,如第一次像素 P1 设置于第一次像素区 201,第二次像素 P2 设置于第二次像素区 202,第三次像素 P3 设置于第三次像素区 203。其中,各次像素包括具有液晶电容值 C_{lc} 的液晶电容、具有栅极与漏极间电容值 C_{gd} 与具有像素电极与栅极间电容值 C_{pg} 的薄膜晶体管、以及具有存储电容值 C_{st} 的存储电容。例如,以第一次像素 P1 为例,第一次像素 P1 包括具有第一液晶电容值 C_{lc1} 的第一液晶电容、具有第一栅极与漏极间电容值 C_{gd1} 与具有第一像素电极与栅极间电容值 C_{pg1} 的第一薄膜晶体管、以及具有第一存储电容值 C_{st1} 的第一存储电容。再者,各次像素分别具有电容比值,电容比值定义为 $(C_{pg}+C_{gd})/(C_{st}+C_{lc}+C_{gd}+C_{pg})$,且各次像素的电容比值大体上相同,换句话说,以第一次像素 P1、第二次像素 P2 为例, $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{lc2}+C_{gd2}+C_{pg2})$ 大体上相同。另外,触控感测元件 240 可以设置于第一次像素区 201 内,但不以此为限。并且,本实施例并不限定触控感测元件 240 的种类以及组成元件,因此在图 2 中并未绘示出其等效电路图,仅以框线表示。在本实施例中,触控感测元件 240 可以是光学触控感测元件,也可以为其他合适的触控感测元件,例如电阻式触控感测元件、或是电容式触控感测元件等。

[0016] 请参考图 3,并一并参考图 2。图 3 绘示了本发明第一优选实施例的内嵌式触控显示面板的像素结构的部配置示意图。其中,图 2 与图 3 为同一个实施例,前者以等效电路图来表示,后者以配置示意图来表示,并且相同元件以相同符号来标示。值得注意的是,一般显示面板可以由两透明基板构成,分别为具有薄膜晶体管的基板,简称为薄膜晶体管基板 (TFT substrate),以及具有彩色滤光片的基板,简称为彩色滤光片基板 (CF substrate)。为了避免图示过于复杂,图 3 的配置示意图仅绘示薄膜晶体管基板,以及位于其上的元件。以第一次像素 P1 为例,在本实施例中,图 2 中的第一液晶电容可以为第一次像素电极 211 (如图 3 所示)、共用电极 250、以及介于第一次像素电极 211 与共用电极 250 之间的液晶层 (未示于图中) 所构成。其中,共用电极 250 可以设置于彩色滤光片基板上,因未设置于薄膜晶体管基板,故未于图 3 中绘示。再者,图 2 中的第一存储电容可以是图 3 中的第一存储电极 221 与第一次像素电极 211 间形成的共用电极上电容 ($C_{st\ on\ common}$),但并不以此为限,而可以为其他合适的元件配置。例如,在另一实施例中,本发明的第一存储电容可以是第一次像素电极部分重叠在栅极上形成的栅极上电容 ($C_{st\ on\ gate}$)。再者,图 2 中的第一薄膜晶体管可以是图 3 中标示为 231 的框线所围的区域。同样的,以上叙述也可适用于第二次像素 P2 与第三次像素 P3,在此不再赘述。此外,如图 3 所示,至少有一个次像素的透光面积与其余次像素的透光面积大小不同。其中,透光面积可以由次像素的像素电极中未被其他遮光元件遮蔽的面积来决定。在本实施例中,具有不同透光面积的两相邻像素可以分别为第一次像素 P1 与第二次像素 P2,而第一次像素 P1 位于第一次像素区 201,第二次像素 P2 位于第二次像素区 202,且第二次像素 P2 的透光面积大于第一次像素 P1 的透光面积。其中,第一次像素区 201 与第二次像素区 202 的面积可以大体上相同,而第一次像素 P1 的透光面积小于第二次像素 P2 的透光面积,因此,第一次像素区 201 可以有额外的空间用来设置触控感测元件 240,但不以此为限。同样的,本实施例并不限定触控感测元件 240 的种类以及组成元件,因此在图 3 中仅以框线表示。

[0017] 以下将进一步说明上述各次像素之间可以具有的规律。请一并参考图 2 以及图 3。首先,对于第一次像素 P1 与第二次像素 P2 而言,如果第一次像素 P1 的第一液晶电容值 C_{lc1} 与第二次像素 P2 的第二液晶电容值 C_{lc2} 的比值为 C_{lc1}/C_{lc2} ,则第一次像素 P1 的第一存储电

容值 C_{st1} 与第二次像素 P2 的第二存储电容值 C_{st2} 的比值 C_{st1}/C_{st2} 大体上可以等于 C_{1c1}/C_{1c2} , 且第一次像素 P1 的第一栅极与漏极间电容值 C_{gd1} 与第二次像素 P2 的第二栅极与漏极间电容值 C_{gd2} 的比值 C_{gd1}/C_{gd2} 大体上可以等于 C_{1c1}/C_{1c2} , 并且第一次像素 P1 的第一像素电极与栅极间电容值 C_{pg1} 与第二次像素 P2 的第二像素电极与栅极间电容值 C_{pg2} 的比值 C_{pg1}/C_{pg2} 大体上可以等于 C_{1c1}/C_{1c2} 。例如, 如图 3 所示, 第一次像素电极 211 的面积小于第二次像素电极 212 的面积, 假设在相同液晶材质、相同的共通电极、以及相同的像素电极与共通电极的间距下, 第一液晶电容值 C_{1c1} 小于第二液晶电容值 C_{1c2} 。基于 C_{st1}/C_{st2} 大体上可以等于 C_{1c1}/C_{1c2} 的条件, 第一存储电极 221 的面积可以小于第二存储电极 222; 而基于 C_{gd1}/C_{gd2} 大体上可以等于 C_{1c1}/C_{1c2} 的条件, 第一薄膜晶体管 231 的尺寸可以小于第二薄膜晶体管 232 的尺寸。再者, 可调整第一像素电极 211 与栅极间的面积及距离或调整第二像素电极 212 与栅极间的面积及距离, 使 C_{pg1}/C_{pg2} 大体上可以等于 C_{1c1}/C_{1c2} 。其次, 对于第一次像素 P1 与第三次像素 P3 而言, 如果第一次像素 P1 的第一液晶电容值 C_{1c1} 与第三次像素 P3 的第三液晶电容值 C_{1c3} 的比值为 C_{1c1}/C_{1c3} , 则第一次像素 P1 的第一存储电容值 C_{st1} 与第三次像素 P3 的第三存储电容值 C_{st3} 的比值 C_{st1}/C_{st3} 大体上可以等于 C_{1c1}/C_{1c3} , 且第一次像素 P1 的第一栅极与漏极间电容值 C_{gd1} 与第三次像素 P3 的第三栅极与漏极间电容值 C_{gd3} 的比值 C_{gd1}/C_{gd3} 大体上可以等于 C_{1c1}/C_{1c3} , 并且第一次像素 P1 的第一像素电极与栅极间电容值 C_{pg1} 与第三次像素 P3 的第三像素电极与栅极间电容值 C_{pg3} 的比值 C_{pg1}/C_{pg3} 大体上可以等于 C_{1c1}/C_{1c3} 。例如, 如图 3 所示, 第一次像素电极 211 的面积小于第三次像素电极 213 的面积, 假设在相同液晶材质、相同的共通电极、以及相同的像素电极与共通电极的间距下, 第一液晶电容值 C_{1c1} 小于第三液晶电容值 C_{1c3} 。基于 C_{st1}/C_{st3} 大体上可以等于 C_{1c1}/C_{1c3} 的条件, 第一存储电极 221 的面积可以小于第三存储电极 223; 而基于 C_{gd1}/C_{gd3} 大体上可以等于 C_{1c1}/C_{1c3} 的条件, 第一薄膜晶体管 231 的尺寸可以小于第三薄膜晶体管 233 的尺寸。同样的, 可调整第三像素电极 213 与栅极间的面积及距离, 使 C_{pg1}/C_{pg3} 大体上可以等于 C_{1c1}/C_{1c3} 。

[0018] 此外, 第一次像素 P1、第二次像素 P2、以及第三次像素 P3 可以分别用来显示三种颜色, 并且三种颜色可以包括红色、绿色与蓝色, 但并不以此为限。例如, 各次像素可以用来显示其他颜色, 或者是有两个以上的次像素可以用来显示相同的颜色。在本实施例中, 第一次像素 P1 可以用来显示红色, 第二次像素 P2 可以用来显示绿色, 第三次像素 P3 可以用来显示蓝色。并且, 在本实施例中, 第三次像素 P3 的透光面积可以小于或等于第二次像素 P2 的透光面积, 而第三次像素 P3 的透光面积可以大于第一次像素 P1 的透光面积, 且第二次像素 P2 可以用来显示绿色。换句话说, 在第一次像素 P1、第二次像素 P2、以及第三次像素 P3 中, 具有最大透光面积的次像素可以用来显示绿色。据此, 本实施例可以尽可能使显示绿色的次像素开口率为最大, 以减少亮度损失, 并搭配红色与蓝色的次像素开口率比例, 来维持一定程度均匀混色的效果。

[0019] 值得注意的是, 以上虽仅以三个次像素为例, 但并不以此为限, 而可以是两个次像素、或四个次像素、或五个次像素等其他实施例。另外, 对次像素电极充放电的薄膜晶体管, 其只要能在栅极线开启的时间内使次像素电极达到所需电位即可, 因此, 对应不同次像素电极面积的薄膜晶体管可以有不同尺寸大小。例如, 在本实施例中, 对于第一次像素 P1、第二次像素 P2、以及第三次像素 P3 而言, 第一次像素电极 211 的面积可以最小, 第二次像素电极 212 的面积可以最大, 而第三次像素电极 213 的面积可以居中。如果对应于第二次像素

电极 212 的第二薄膜晶体管 232 的尺寸维持不变,则对应于第一次像素电极 211 的第一薄膜晶体管 231 的尺寸可以缩小,并且对应于第三次像素电极 213 的第三薄膜晶体管 233 的尺寸也可以缩小。其中,薄膜晶体管的尺寸可以指的是通道宽长比(channel width/length ratio, W/L),但不以此为限,并且缩小的比例可以依照电性模拟结果来决定。因此,本实施例可以具有降低栅极线负载以及减小漏电流的优点。

[0020] 关于本实施例的内嵌式触控显示面板的像素结构的形成方法,先以两个次像素为例说明如下。请参考图 4,并一并参考图 2 以及图 3。图 4 绘示了本发明第一优选实施例的形成内嵌式触控显示面板的像素结构的方法的流程示意图。如图 4 所示,首先,步骤 40 提供基板 200(如图 2 所示),其上可以至少定义有第一次像素区 201 与第二次像素区 202。接着,步骤 42 在第一次像素区 201 内,预计设置第一次像素 P1,且在第二次像素区 202 内,预计设置第二次像素 P2。随后,步骤 44 在 $0 < C_{1c1}/C_{1c2} < 1$ 的条件下,调整 C_{1c1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} 、 C_{1c2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} 其中至少一个,使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{1c1}+C_{gd1}+C_{pg1})$ 与第二次像素的电容比值 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{1c2}+C_{gd2}+C_{pg2})$ 大体上相同,其中 C_{1c1} 为第一次像素 P1 的第一液晶电容值、 C_{st1} 为第一次像素 P1 的第一存储电容值、 C_{gd1} 为第一次像素 P1 的第一栅极与漏极间电容值、 C_{pg1} 为第一次像素 P1 的第一像素电极与栅极间电容值、 C_{1c2} 为第二次像素 P2 的第二液晶电容值、 C_{st2} 为第二次像素 P2 的第二存储电容值、 C_{gd2} 为第二次像素 P2 的第二栅极与漏极间电容值、以及 C_{pg2} 为第二次像素 P2 的第二像素电极与栅极间电容值。其中, $0 < C_{1c1}/C_{1c2} < 1$ 的条件可以指的是第一次像素电极 211 的面积小于第二次像素电极 212 的面积,但并不以此为限。

[0021] 如图 4 所示,之后,步骤 46 根据调整后的 C_{1c1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} ,在第一次像素区 201 内,形成具有第一液晶电容值 C_{1c1} 的第一液晶电容、具有第一存储电容值 C_{st1} 的第一存储电容、以及具有第一栅极与漏极间电容值 C_{gd1} 与具有第一像素电极与栅极间电容值 C_{pg1} 的第一薄膜晶体管 231。在本实施例中,要使第一液晶电容具有调整后的第一液晶电容值 C_{1c1} ,可以通过控制第一液晶电容的第一次像素电极 211 面积来进行调整,但不以此为限,而可以通过调整第一液晶电容的其他条件参数。例如,可以调整第一次像素电极 211 与共通电极 250 的间距、或是改变介于第一次像素电极 211 与共通电极 250 之间的液晶层种类或特性等。并且,在本实施例中,要使第一存储电容具有调整后的第一存储电容值 C_{st1} ,可以通过控制第一存储电容的第一存储电极 221 面积来进行调整,但不以此为限,而可以通过调整第一存储电容的其他条件参数。例如,可以调整第一存储电极 221 与第一次像素电极 211 的间距、或是改变介于第一存储电极 221 与第一次像素电极 211 间的材质种类或特性等。同样的,在本实施例中,要使第一薄膜晶体管 231 具有第一栅极与漏极间电容值 C_{gd1} ,可以通过控制第一薄膜晶体管的尺寸与形状来进行调整,但不以此为限。再者,要使第一薄膜晶体管 231 与第一液晶电容间具有第一像素电极与栅极间电容值 C_{pg1} ,可以通过控制栅极与第一次像素电极 211 间的面积及距离来进行调整,但不以此为限。并且,步骤 48 根据调整后的 C_{1c2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} ,在第二次像素区内,形成具有第二液晶电容值 C_{1c2} 的第二液晶电容、具有第二存储电容值 C_{st2} 的第二存储电容、以及具有第二栅极与漏极间电容值 C_{gd2} 与具有第二像素电极与栅极间电容值 C_{pg2} 的第二薄膜晶体管 232。同理,第二液晶电容、第二存储电容、以及第二薄膜晶体管 232 的调整方式,可以类似于上述第一液晶电容、第一存储电容、以及第一薄膜晶体管 231 的调整方式,在此不再赘述。此外,本实施例的内嵌式触控显示面板的

像素结构的形成方法,可以还包括在第一次像素区 201 内形成触控感测元件 240,但不以此为限。例如,可在其他次像素区内形成触控感测元件 240,且触控感测元件 240 的个数并不局限于一个,可视实际的产品规格与需求来决定。

[0022] 另外,在图 4 中,有关步骤 44 的调整 C_{lc1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} 、 C_{lc2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} 其中至少一个的方式,至少可以有以下两种方式,但不以此为限。第一种方式可以包括下列步骤。首先,先选定第一液晶电容值 C_{lc1} 以及第二液晶电容值 C_{lc2} 。其中,本实施例可以依据色彩学上的需求,选定合适的第一次像素电极 211 的面积以及合适的第二次像素电极 212 的面积,在固定相同液晶材质、相同的共通电极、以及相同的像素电极与共通电极的间距下,可以进而决定第一液晶电容值 C_{lc1} 以及第二液晶电容值 C_{lc2} 。接着,计算出 C_{lc1}/C_{lc2} 的比值。随后,调整第一存储电容值 C_{st1} 与第二存储电容值 C_{st2} ,使 C_{st1}/C_{st2} 的比值大体上等于 C_{lc1}/C_{lc2} 。之后,调整第一栅极与漏极间电容值 C_{gd1} 与第二栅极与漏极间电容值 C_{gd2} ,使 C_{gd1}/C_{gd2} 的比值大体上等于 C_{lc1}/C_{lc2} 。然后,调整第一像素电极与栅极间电容值 C_{pg1} 与第二像素电极与栅极间电容值 C_{pg2} ,使 C_{pg1}/C_{pg2} 的比值大体上等于 C_{lc1}/C_{lc2} 。在 C_{st1}/C_{st2} 的比值、 C_{gd1}/C_{gd2} 的比值、以及 C_{pg1}/C_{pg2} 的比值大体上等于 C_{lc1}/C_{lc2} 的情况下,可使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第二次像素的电容比值 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{lc2}+C_{gd2}+C_{pg2})$ 大体上相同。从另一角度来看,第一种方式可以选定第一次像素为基础,等比例放大或缩小第二次像素的 C_{lc2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} ,使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第二次像素的电容比值 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{lc2}+C_{gd2}+C_{pg2})$ 大体上相同。另外,第二种方式,则是分别调整 C_{lc1} 、 C_{gd1} 、 C_{st1} 、 C_{pg1} 、 C_{lc2} 、 C_{gd2} 、 C_{st2} 、 C_{pg2} ,来使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第二次像素的电容比值 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{lc2}+C_{gd2}+C_{pg2})$ 大体上相同。换句话说,第二种方式可以不局限于 C_{lc1}/C_{lc2} 的比值,也就是说 C_{st1}/C_{st2} 的比值、 C_{gd1}/C_{gd2} 的比值、以及 C_{pg1}/C_{pg2} 的比值可以不受 C_{lc1}/C_{lc2} 的限制,而可以较为弹性的调整,且可以避免第二存储电极 222 的面积刻意放大所导致的开口率降低。

[0023] 关于本实施例的内嵌式触控显示面板的像素结构的形成方法,再以增加另一次像素为例说明如下。请参考图 5。图 5 绘示了本发明第一优选实施例的形成内嵌式触控显示面板的像素结构的增加另一次像素的方法的流程示意图。如图 5 所示,首先,步骤 50 在基板 200 上定义第三次像素区 203,并在第三次像素区 203 内,预计设置第三次像素 P3。随后,步骤 52 在 $0 < C_{lc1}/C_{lc3} < 1$ 的条件下,调整 C_{lc3} 、 C_{gd3} 、 C_{st3} 、 C_{pg3} 其中至少一个,使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第三次像素的电容比值 $(C_{pg3}+C_{gd3})/(C_{st3}+C_{lc3}+C_{gd3}+C_{pg3})$ 大体上相同,其中 C_{lc3} 为第三次像素的第三液晶电容值、 C_{st3} 为第三次像素的第三存储电容值、 C_{gd3} 为第三次像素的第三栅极与漏极间电容值、以及 C_{pg3} 为第三次像素的第三像素电极与栅极间电容值。之后,步骤 54 根据调整后的参数 C_{lc3} 、 C_{gd3} 、 C_{st3} 、 C_{pg3} ,在第三次像素区 203 内,形成具有第三液晶电容值 C_{lc3} 的第三液晶电容、具有第三存储电容值 C_{st3} 的第三存储电容、以及具有第三栅极与漏极间电容值 C_{gd3} 与具有第三像素电极与栅极间电容值 C_{pg3} 的第三薄膜晶体管 233。同理,第三存储电容值 C_{st3} 的调整方式可以通过控制第三存储电极 223 的面积来进行调整,但不以此为限。并且,第三栅极与漏极间电容值 C_{gd3} 的调整方式通过控制第三薄膜晶体管 233 的尺寸与形状来进行调整。再者,第三像素电极与栅极间电容值 C_{pg3} 的调整方式可以通过控制第三像素电极 213 与栅极间的面积及距离来进行调整。

[0024] 同样的,在图 5 中,有关步骤 52 的调整 C_{lc3} 、 C_{gd3} 、 C_{st3} 、 C_{pg3} 其中至少一个的方式,至少可以有以下两种方式,但不以此为限。第一种方式可以包括下列步骤。首先,选定第三液晶电容值 C_{lc3} 。接着,计算出 C_{lc1}/C_{lc3} 的比值。随后,调整第三存储电容值 C_{st3} ,使 C_{st1}/C_{st3} 的比值大体上等于 C_{lc1}/C_{lc3} 。之后,调整第三栅极与漏极间电容值 C_{gd3} ,使 C_{gd1}/C_{gd3} 的比值大体上等于 C_{lc1}/C_{lc3} 。然后,调整第三像素电极与栅极间电容值 C_{pg3} ,使 C_{pg1}/C_{pg3} 的比值大体上等于 C_{lc1}/C_{lc3} 。从另一个角度来看,第一种方式可以选定第一次像素为基础,等比例放大或缩小第三次像素的 C_{lc3} 、 C_{gd3} 、 C_{st3} 、 C_{pg3} ,来使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第三次像素的电容比值 $(C_{pg3}+C_{gd3})/(C_{st3}+C_{lc3}+C_{gd3}+C_{pg3})$ 大体上相同。另外,第二种方式,则是分别调整 C_{lc3} 、 C_{gd3} 、 C_{st3} 、以及 C_{pg3} ,来使第一次像素的电容比值 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 与第三次像素的电容比值 $(C_{pg3}+C_{gd3})/(C_{st3}+C_{lc3}+C_{gd3}+C_{pg3})$ 大体上相同。同理,第二种方式可以不局限于 C_{lc1}/C_{lc3} 的比值,也就是说 C_{st1}/C_{st3} 的比值、 C_{gd1}/C_{gd3} 的比值、以及 C_{pg1}/C_{pg2} 的比值可以不受 C_{lc1}/C_{lc3} 的限制,而可以较为弹性的调整,来避免第三存储电极 223 的面积刻意放大所导致的开口率降低。值得注意的是,本发明并不局限于形成三个次像素,而可以类似于第三次像素的形成方法,进一步形成第四次像素。换句话说,可以依此类推,形成多个次像素。

[0025] 以下将利用三个次像素分别用来显示红色、绿色、与蓝色,并且搭配上述步骤 44 与步骤 52 中调整电容值的第一种方式来做说明。在本实施例中,第一次像素 P1 可以用来显示红色,第二次像素 P2 可以用来显示绿色,而第三次像素 P3 可以用来显示蓝色。由色彩学公式计算结果,如果以第二次像素电极 212 面积为标准并且定义为 1,则第一次像素电极 212 面积可以在 0.25~1 之间变化,且第三次像素电极 213 面积可以在 0.74~1 之间变化。据此,计算出混成的白光,其色彩 CIE 座标 W_x 和 W_y 差异皆不会超过 0.26,可被产品规格接受,其中 W_x 和 W_y 差异是与同样条件同样工艺的红色、绿色、与蓝色次像素面积皆相同的产品比较得来。而在相同液晶材质、相同的共通电极、以及相同的像素电极与共通电极的间距下,各像素电极面积可以决定各液晶电容的大小。接着,即可依照步骤 44 与步骤 52 中调整电容值的第一种方式,将 C_{lc2} 、 C_{gd2} 、 C_{st2} 、与 C_{pg2} 缩小为 C_{lc1} 、 C_{gd1} 、 C_{st1} 、与 C_{pg1} 的比例可在 0.25~1 之间变化,而将 C_{lc3} 、 C_{gd3} 、 C_{st3} 、以及 C_{pg3} 缩小为 C_{lc1} 、 C_{gd1} 、 C_{st1} 、以及 C_{pg1} 的比例可在 0.74~1 之间变化,使其满足 $(C_{pg1}+C_{gd1})/(C_{st1}+C_{lc1}+C_{gd1}+C_{pg1})$ 、 $(C_{pg2}+C_{gd2})/(C_{st2}+C_{lc2}+C_{gd2}+C_{pg2})$ 、以及 $(C_{pg3}+C_{gd3})/(C_{st3}+C_{lc3}+C_{gd3}+C_{pg3})$ 三个比值大体上相同。

[0026] 值得注意的是,在第一优选实施例中,液晶电容的像素电极覆盖至薄膜晶体管的栅极电极上方,则电容比值定义中的 C_{pg} 不能忽略。然而,如果液晶电容的像素电极与薄膜晶体管的栅极电极之间具有够大的距离,则 C_{pg} 的值将会够小而得以在电容比值定义中忽略。请参考图 6 与图 7。图 6 绘示了本发明第二优选实施例的内嵌式触控显示面板的像素结构的部分等效电路示意图,而图 7 绘示了本发明第二优选实施例的内嵌式触控显示面板的像素结构的部分配置示意图。其中,前者以等效电路图来表示,后者以配置示意图来表示,并且相同元件沿用相同于第一优选实施例的符号来标示。如图 6 与图 7 所示,在第二优选实施例中,由于液晶电容的像素电极与薄膜晶体管的栅极电极之间具有一定的距离,使得 C_{pg} 的值较小。故在此实施例中,电容比值定义中的 C_{pg} 可以省略,使得各像素的电容比值定成为 $C_{gd}/(C_{st}+C_{lc}+C_{gd})$ 。据此,此优选实施例的内嵌式触控显示面板的像素结构及其形成方法,相似于第一优选实施例,差别仅在忽略 C_{pg} 。

[0027] 综上所述,本发明不但可以适当调整红色次像素、绿色次像素、蓝色次像素三个次像素的开口率比例,来使亮度减少情况降到最轻微,又达到均匀混色的效果,并且可以避免在各次像素具有不同开口率比例下,可能衍生的额外次像素电性问题。更明确的说,各次像素在具有不同开口率比例的情况下,可能使红色次像素、绿色次像素、蓝色次像素的馈通电压 ΔV_p (feedthrough voltage)差距太大,共通电压(V_{com})再怎么调整,还是无法同时使红色次像素、绿色次像素、蓝色次像素三个次像素的正负极性的液晶跨压相等,换句话说,如果调整 V_{com} 电压使其中一个次像素的正负极性的液晶跨压相等,而另外两个次像素的正负极性的液晶跨压可能仍有明显差异,因而产生画面闪烁问题。而本发明的内嵌式触控显示面板的像素结构及其形成方法,利用调整各像素的电容比值 $(C_{pg}+C_{gd})/(C_{st}+C_{lc}+C_{gd}+C_{pg})$,使各次像素的电容比值大体上相同,可有效避免次像素的电性问题,而可获得较佳的画面效果。此外,本发明中对应不同次像素电极面积的薄膜晶体管可以有不同的尺寸大小,来有效的降低栅极线负载以及减小漏电流。

[0028] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等修改与变型,皆应属本发明的涵盖范围。

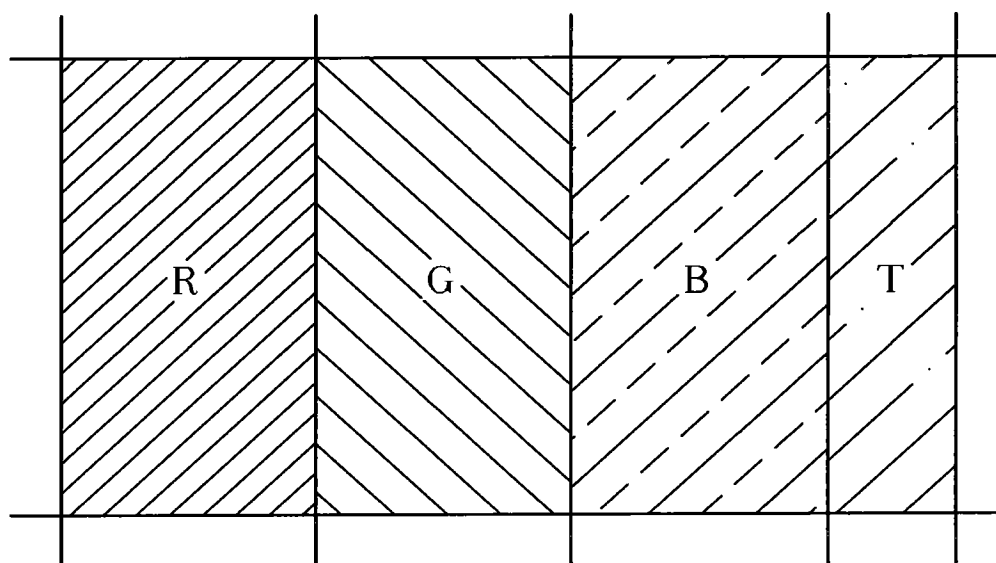


图 1

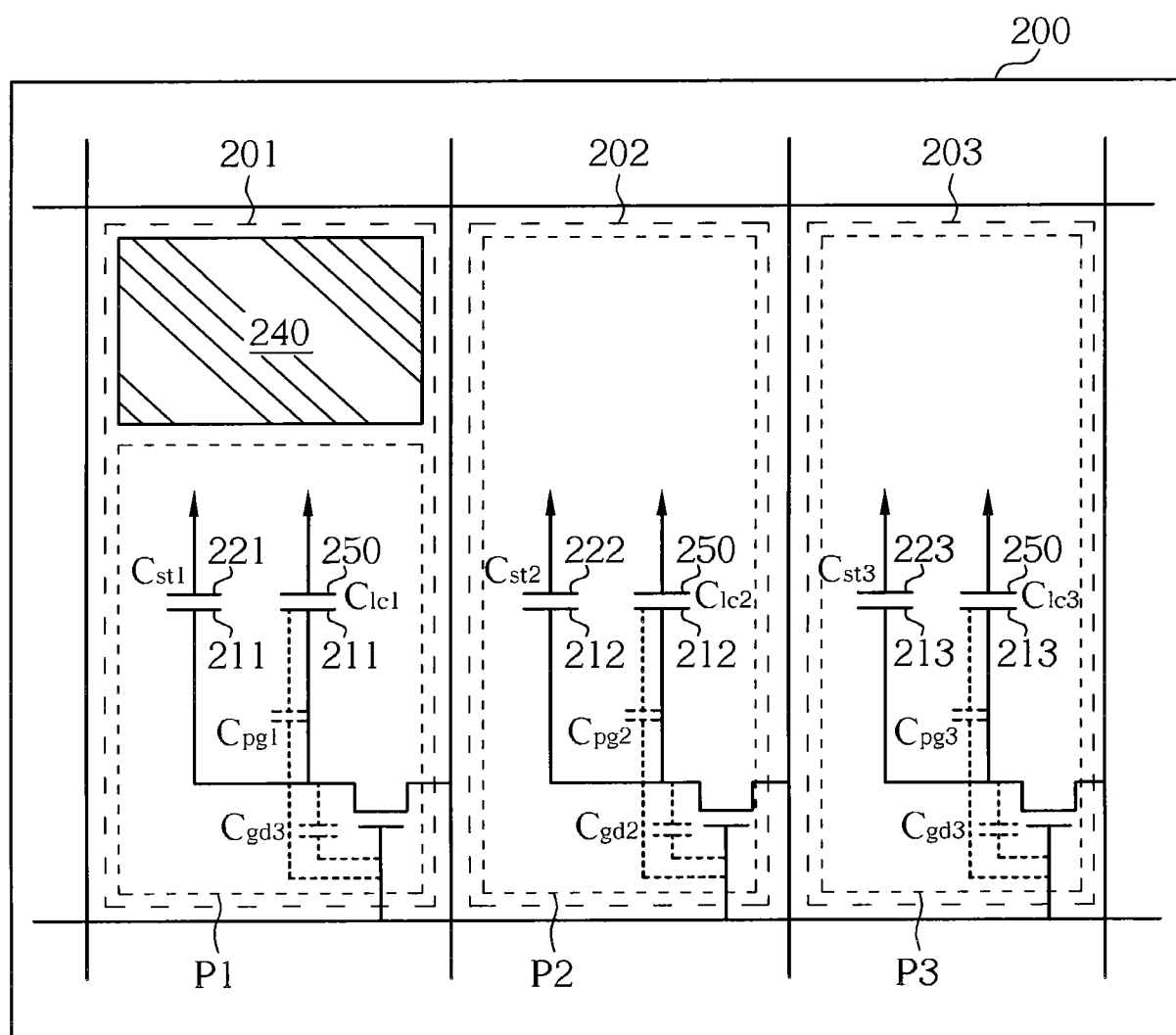


图 2

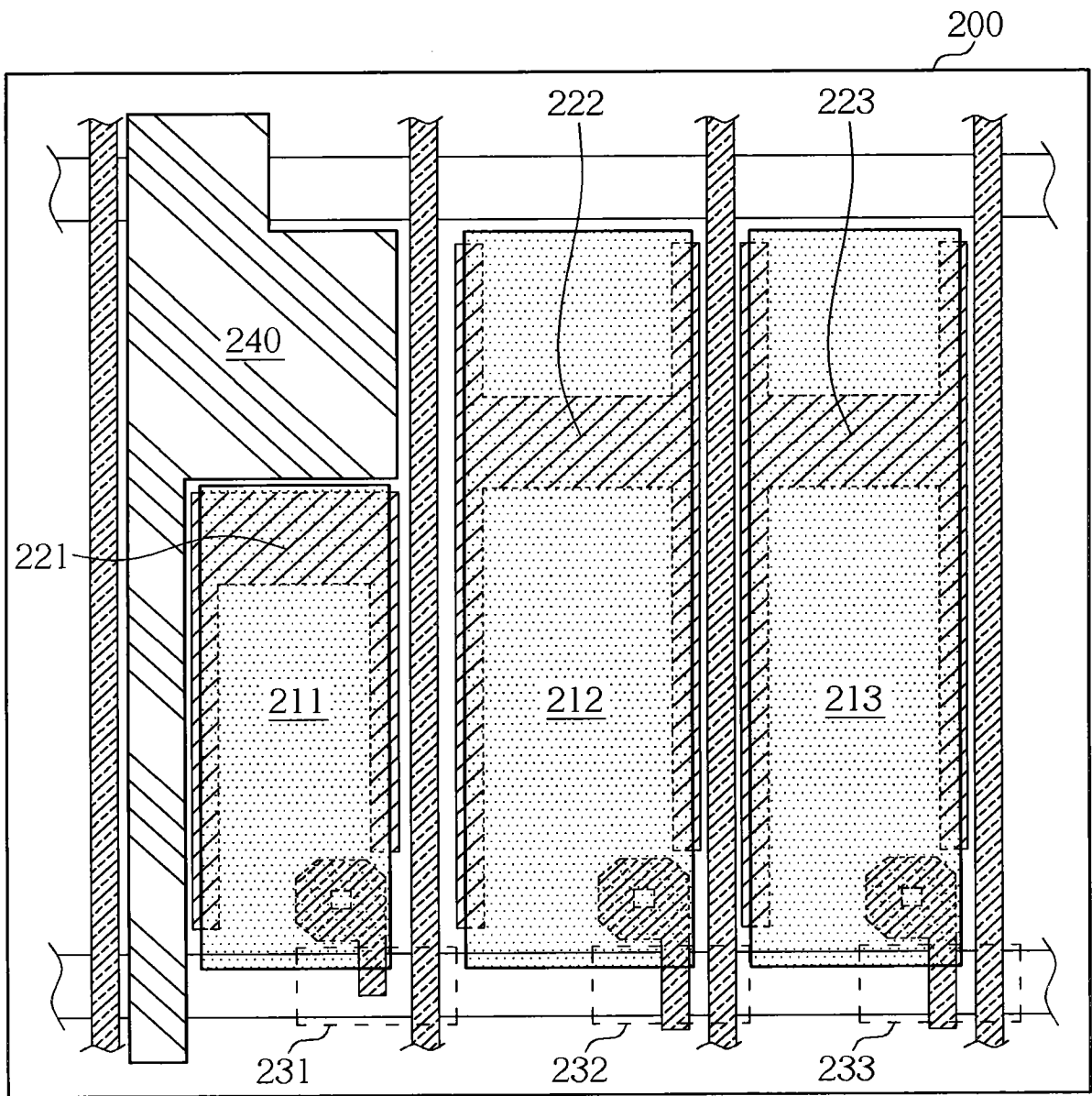


图 3

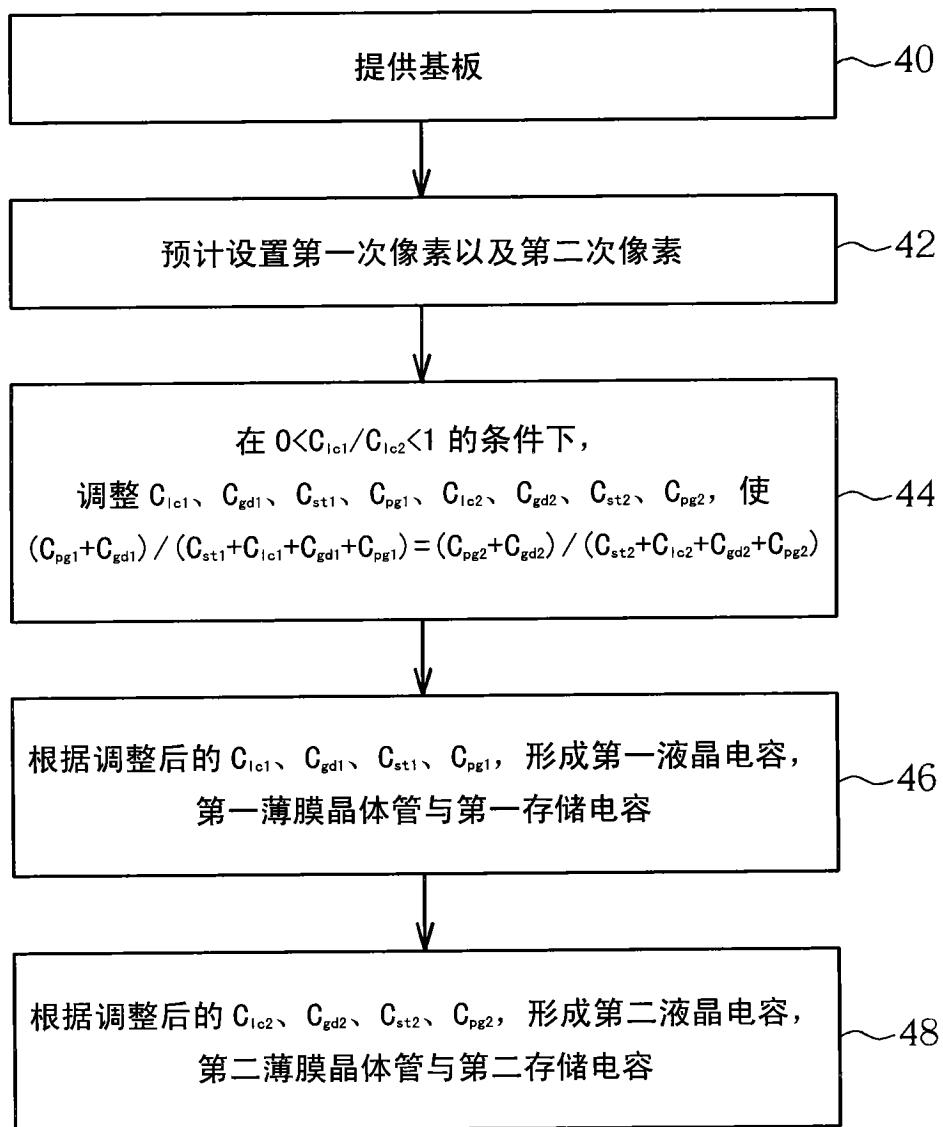


图 4

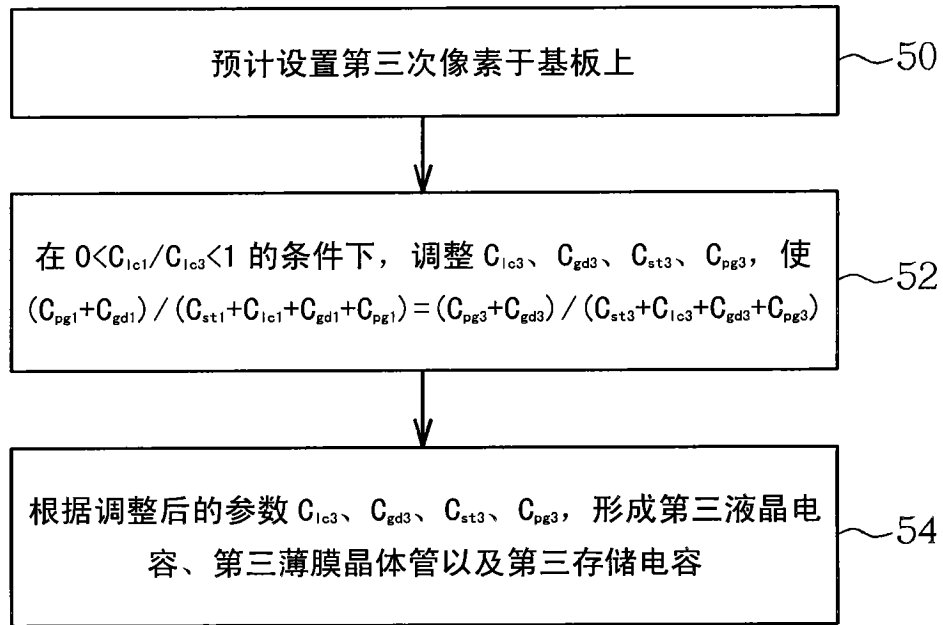


图 5

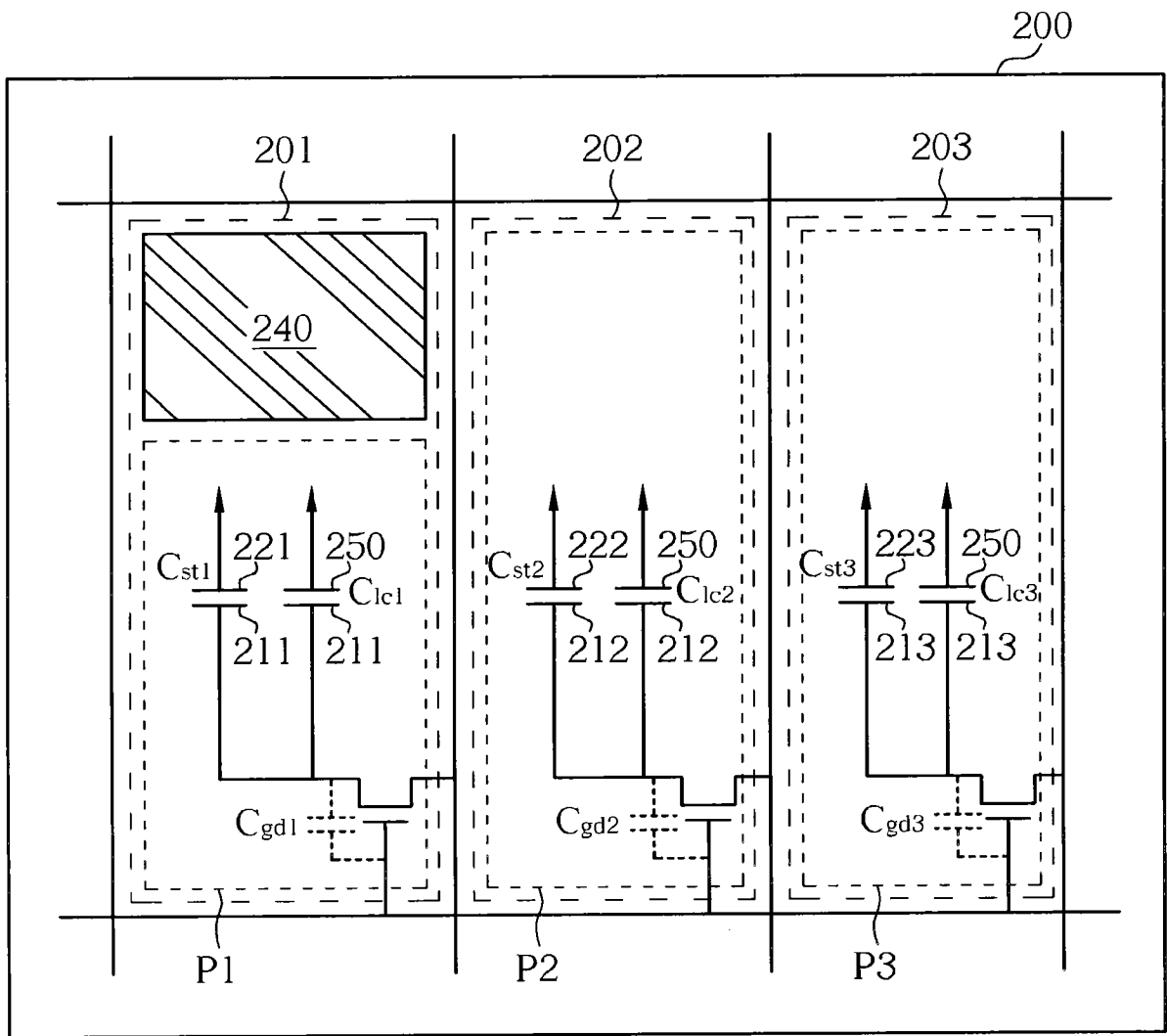


图 6

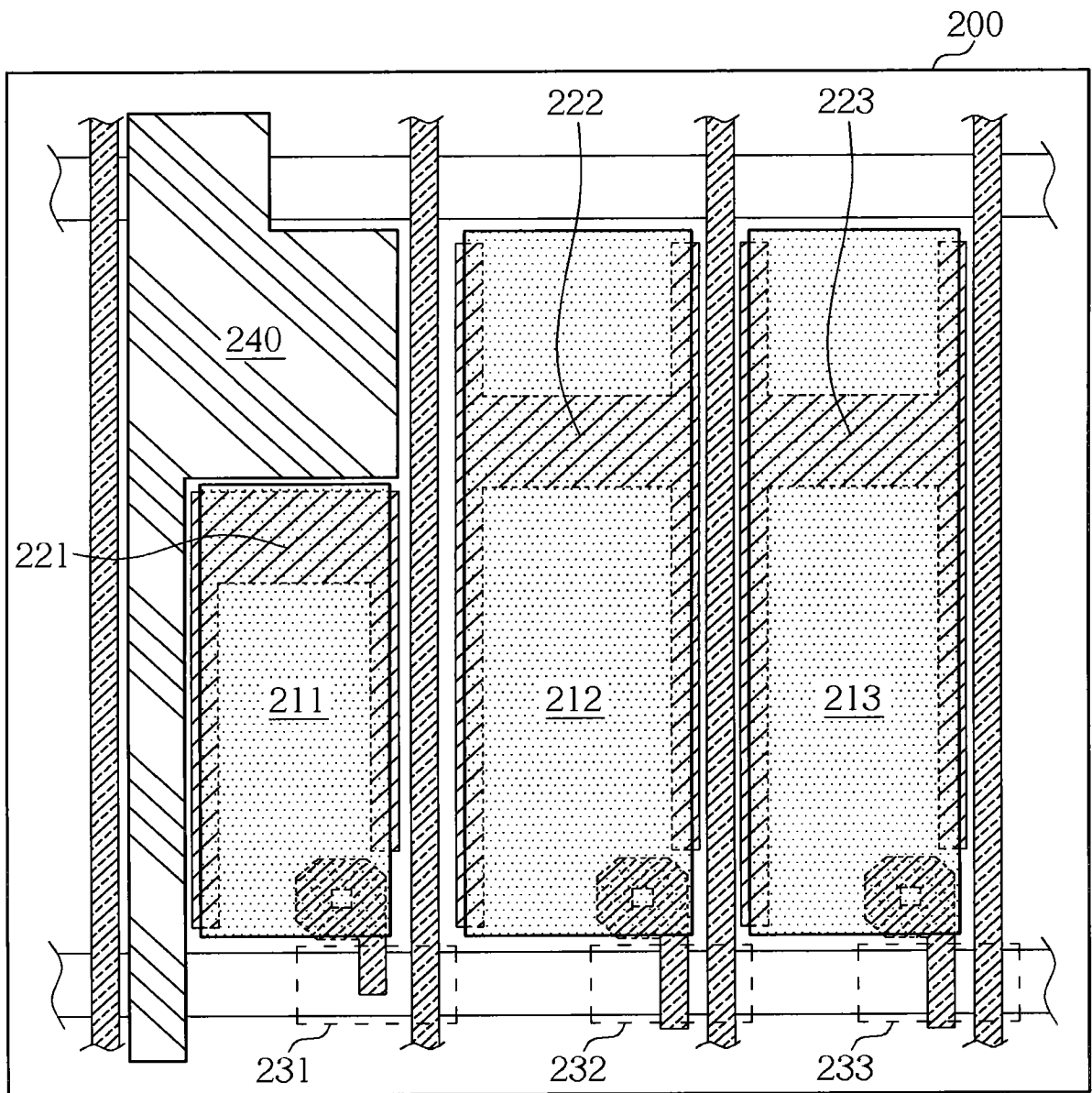


图 7

专利名称(译)	内嵌式触控显示面板的像素结构及其形成方法		
公开(公告)号	CN102298227B	公开(公告)日	2013-11-06
申请号	CN201010216363.0	申请日	2010-06-23
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	任珂锐 张弘昌 吴昭慧		
发明人	任珂锐 张弘昌 吴昭慧		
IPC分类号	G02F1/133 G02F1/1362 G06F3/041		
代理人(译)	陈松涛 夏青		
审查员(译)	郭栋		
其他公开文献	CN102298227A		
外部链接	Espacenet SIPO		

摘要(译)

本发明的内嵌式触控显示面板的像素结构，包括定义有多个次像素区的基板以及多个次像素。各次像素分别设置于各次像素区，且至少有一个次像素的透光面积与其余次像素的透光面积大小不同。其中，各次像素包括具有液晶电容值 C_{lc} 的液晶电容、具有存储电容值 C_{st} 的存储电容、以及具有栅极与漏极间电容值 C_{gd} 与栅极与像素电极间电容值 C_{pg} 的薄膜晶体管。并且，各次像素分别具有电容比值，电容比值定义为 $(C_{pg}+C_{gd})/(C_{st}+C_{lc}+C_{gd}+C_{pg})$ ，且各次像素的电容比值大体上相同。

