



(12) 发明专利

(10) 授权公告号 CN 102290023 B

(45) 授权公告日 2013. 11. 06

(21) 申请号 201110154245. 6

CN 1800930 A, 2006. 07. 12, 说明书第 1-2、图 3-5.

(22) 申请日 2011. 06. 02

CN 1357870 A, 2002. 07. 10, 全文.

(30) 优先权数据

CN 1731256 A, 2006. 02. 08, 全文.

12/856, 228 2010. 08. 13 US

CN 101162304 A, 2008. 04. 16, 全文.

(73) 专利权人 友达光电股份有限公司

CN 1782799 A, 2006. 06. 07, 全文.

地址 中国台湾新竹科学工业园区新竹市力行二路 1 号

审查员 刘燕

(72) 发明人 刘育荣 李宇轩 陈忠君 郭俊宏 李纯怀

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 王颖

(51) Int. Cl.

G09G 3/20 (2006. 01)

(56) 对比文件

TW 548625 B, 2003. 08. 21, 说明书第 2-22 页、图 1-12.

TW 548625 B, 2003. 08. 21, 说明书第 2-22 页、图 1-12.

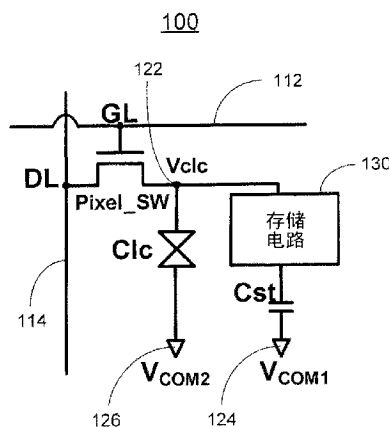
权利要求书3页 说明书9页 附图3页

(54) 发明名称

存储电路、具有像素存储器的显示装置及其驱动方法

(57) 摘要

本发明公开一种存储电路及具有像素存储器的显示装置及其驱动方法, 存储电路整合于显示装置的各像素中, 存储电路包含切换电路与存储单元。切换控制信号通过设定, 使在正常模式时, 切换电路中的第一晶体管关闭, 第二晶体管开启, 使储存电容并联电性耦接至液晶电容, 且旁路存储单元。在静态模式时, 切换电路中的第一晶体管开启, 第二晶体管关闭, 使储存电容控制存储单元提供储存数据给液晶电容。



1. 一种存储电路,其特征在于,整合于一显示装置的每一像素中,其中每一像素包含一像素开关、一液晶电容以及一储存电容,该液晶电容电性耦接至该像素开关,且该像素能够交替操作于一正常模式以及一静态模式,操作于该正常模式时,该像素开关为开启,操作于该静态模式时,该像素开关为关闭,该存储电路包含:

一切换电路,包含:一第一晶体管以及一第二晶体管,该第一晶体管具有一栅极、一源极以及一漏极,该栅极用以接收一切换控制信号,该漏极电性耦接至该液晶电容;该第二晶体管,具有一栅极、一源极以及一漏极,该栅极用以接收该切换控制信号,该源极电性耦接至该储存电容,该漏极电性耦接至该液晶电容;以及

一存储单元,电性耦接于该切换电路的该第一晶体管的该源极以及该储存电容之间,

其中该切换控制信号通过设定,使在该正常模式时,该第一晶体管为关闭,同时该第二晶体管为开启,使该储存电容并联电性耦接至该液晶电容,并且该存储单元被旁路,在该静态模式时,该第一晶体管为开启,同时该第二晶体管为关闭,使该储存电容控制该存储单元提供一储存数据给该液晶电容;

该存储单元包含:一第四晶体管,具有一栅极、一源极以及一漏极,该栅极电性耦接至该储存电容,该源极用以接收一第一储存信号,该漏极电性耦接至该第一晶体管的该源极;以及

一第五晶体管,具有一栅极、一源极以及一漏极,该栅极电性耦接至该第四晶体管的该栅极,该源极用以接收一第二储存信号,该漏极电性耦接至该第四晶体管的该漏极。

2. 根据权利要求1所述的存储电路,其特征在于,该第四晶体管以及该第五晶体管中的一者为一n型薄膜晶体管,该第四晶体管以及该第五晶体管中其余的另一者为一p型薄膜晶体管。

3. 根据权利要求1所述的存储电路,其特征在于,该第一晶体管以及该第二晶体管中的一者为一n型薄膜晶体管,该第一晶体管以及该第二晶体管中其余的另一者为一p型薄膜晶体管。

4. 根据权利要求3所述的存储电路,其特征在于,该切换电路更包含一第三晶体管,该第三晶体管具有一栅极、一源极以及一漏极,该栅极用以接收该切换控制信号,该源极电性耦接至该第四晶体管的该栅极,该漏极电性耦接至该储存电容。

5. 根据权利要求4所述的存储电路,其特征在于,该第三晶体管与第一晶体管为同型的薄膜晶体管。

6. 根据权利要求1所述的存储电路,其特征在于,该显示装置包含一半穿透半反射式显示器,每一像素具有一穿透区以及一反射区,其中该存储电路形成于该反射区之下,在该正常模式时,该穿透区传递一背光源的光以作为显示器光源,以及在该静态模式时,该反射区反射外部光以作为显示器光源。

7. 根据权利要求1所述的存储电路,其特征在于,该显示装置包含一反射式显示器。

8. 一种显示装置,其特征在于,包含多个栅极线、多个数据线以及多个像素配置成一矩阵的形式,每一像素形成于两个相邻的这些栅极线之间,以及两个相邻的这些数据线之间,两个相邻的这些数据线交错于两个相邻的这些栅极线上,每一像素包含:

一像素开关,具有一栅极、一源极以及一漏极,该栅极电性耦接至相对应的栅极线,该源极电性耦接至相对应的数据线;

一液晶电容,具有一第一端点以及一第二端点,该第一端点电性耦接至该像素开关的该漏极,该第二端点用以接收一第二共用电压;

一储存电容,具有一第一端点以及一第二端点,该第二端点用以接收一第一共用电压;以及

一存储电路,电性耦接于该液晶电容的该第一端点与该储存电容的该第一端点之间,

其中在操作时,一栅极选择信号通过相对应的该栅极线提供,用以开启该像素开关,使该像素操作于正常模式,其中一数据信号通过相对应的该数据线提供给该液晶电容,并且该存储电路介于该液晶电容的该第一端点以及该储存电容的该第一端点之间而被旁路,或者该栅极选择信号用以关闭该像素开关,使该像素操作于静态模式,其中该存储电路提供一相对应的储存数据信号给该液晶电容;

该存储电路包含:

一切换电路,包含:一第一晶体管以及一第二晶体管,该第一晶体管具有一栅极、一源极以及一漏极,该栅极用以接收一切换控制信号,该漏极电性耦接至该液晶电容的该第一端点;以及该第二晶体管具有一栅极、一源极以及一漏极,该栅极用以接收该切换控制信号,该源极电性耦接至该储存电容的该第一端点,该漏极电性耦接至该液晶电容的该第一端点,

一存储单元,电性耦接于该切换电路的该第一晶体管的该源极以及该储存电容的该第一端点之间,当操作于该静态模式时,该存储单元用以提供相对应的该储存数据信号给该液晶电容;

该存储单元包含:

一第四晶体管,具有一栅极、一源极以及一漏极,该栅极电性耦接至该储存电容的该第一端点,该源极用以接收一第一储存信号,该漏极电性耦接至该第一晶体管的该源极;以及

一第五晶体管,具有一栅极、一源极以及一漏极,该栅极电性耦接至该第四晶体管的该栅极,该源极用以接收一第二储存信号,该漏极电性耦接至第四晶体管的漏极。

9. 根据权利要求 8 所述的显示装置,其特征在于,该第四晶体管以及该第五晶体管中的一者为一 n 型薄膜晶体管,该第四晶体管以及该第五晶体管中其余的另一者为一 p 型薄膜晶体管。

10. 根据权利要求 8 所述的显示装置,其特征在于,该第一晶体管为一 n 型薄膜晶体管以及该第二晶体管为一 p 型薄膜晶体管。

11. 根据权利要求 10 所述的显示装置,其特征在于,该切换开关更包含一第三晶体管,该第三晶体管具有一栅极、一源极以及一漏极,该栅极用以接收该切换控制信号,该源极电性耦接至该第四晶体管的该栅极,该漏极电性耦接至该储存电容的该第一端点,其中该第三晶体管为一 n 型薄膜晶体管。

12. 根据权利要求 11 所述的显示装置,其特征在于,该切换控制信号操作于该正常模式以及该静态模式时,分别为一低电压电位以及一高电压电位。

13. 根据权利要求 8 所述的显示装置,其特征在于,该第一晶体管为一 p 型薄膜晶体管,该第二晶体管为一 n 型薄膜晶体管。

14. 根据权利要求 13 所述的显示装置,其特征在于,该存储电路更包含一第三晶体管,该第三晶体管具有一栅极、一源极以及一漏极,该栅极用以接收该切换控制信号,该源极电

性耦接至该第四晶体管的该栅极,该漏极电性耦接至该储存电容的该第一端点,其中该第三晶体管为一 p 型薄膜晶体管。

15. 根据权利要求 14 所述的显示装置,其特征在于,该切换控制信号操作于该正常模式以及该静态模式时,分别为一高电压电位以及一低电压电位。

16. 根据权利要求 8 所述的显示装置,其特征在于,当操作于该正常模式时,该第一共用电压以及该第二共用电压的每一者均为交流信号,且具有与一更新频率相同的频率,操作于该静态模式时,该第一共用电压为一直流信号,该第二共用电压为一交流信号,该交流信号具有与该更新频率相同的频率。

17. 根据权利要求 16 所述的显示装置,其特征在于,当操作于该静态模式时,该第一储存信号与该第二储存信号中的一者与该第二共用电压为同相,该第一储存信号与该第二储存信号中其余的另一者与第二共用电压为异相。

18. 一种用以驱动根据权利要求 8 所述的显示装置的方法,其特征在于,包含:

提供该切换控制信号的设定,使在该正常模式时,该第一晶体管为关闭,同时该第二晶体管为开启,使该储存电容并联电性耦接至该液晶电容,并且该存储单元为被旁路,在该静态模式时,该第一晶体管为开启,同时该第二晶体管为关闭,使该储存电容控制该存储单元提供一该储存数据给该液晶电容。

19. 根据权利要求 18 所述的方法,其特征在于,更包含:

提供该第一共用电压以及该第二共用电压,使操作于该正常模式时,该第一共用电压以及该第二共用电压两者皆为交流信号,且具有与一更新频率相同的频率,操作于该静态模式时,该第一共用电压为一直流信号,该第二共用电压为一交流信号,该交流信号具有与该更新频率相同的频率。

20. 根据权利要求 19 所述的方法,其特征在于,更包含:

提供该第一储存信号以及该第二储存信号中的一者与该第二共用电压为同相,该第一储存信号以及该第二储存信号中其余的另一者与该第二共用电压为异相。

存储电路、具有像素存储器的显示装置及其驱动方法

技术领域

[0001] 本发明涉及一种显示器,特别是一种显示装置其中的每一像素与存储电路整合。

背景技术

[0002] 目前多功能的可携式产品已经被广泛地运用于各种不同的领域中。举例来说,在市场上大多数移动电话整合了多媒体播放、无线网络及个人导航等功能。随着新科技的进步,移动电话的显示面板尺寸愈来愈大,且移动电话的显示面板解析度也愈来愈高。于是移动电话所需要的电力供应也随之增加,其中显示面板的电力消耗通常占了相当大的比例。由于移动电话通常都采用电池供电的模式,因此降低电力消耗是非常必要的。

[0003] 若能减少待机时间的电力的消耗,或是降低静态影像(still/static image)下集成电路(IC)的更新频率而又不影响影像显示品质前提下,这对于显示面板的电力消耗会有显著的帮助。目前像电泳式材料的电子书装置(E-book)或是胆固醇液晶显示器在静态影像显示模式下皆具有极低的耗电,原因是像素的存储器功能在数据写入后不需更新影像。然而,因为动态影像与色彩饱和度不佳,所以一般只作电子书显示之用。传统液晶显示器(LCD)面板不论是在静态或动态影像的显示,集成电路的更新频率为60Hz或更高的频率。若是影像数据显示的更新频率小于60Hz,如此可以降低集成电路电力消耗。因此,显示面板的整体电力消耗得以降低。

[0004] 静态存储器(SARM)的优点是低功耗与稳定度高,然而,因为需要的晶体管个数较多,所以会牺牲掉像素的开口率。若是在高解析度显示面板中,就变得很难将静态存储器整合在像素中。动态存储器(DRAM)具有面积小以及高整合度的优点。动态存储器通常采用电容来储存数据。因为电容无法持续地储存电荷,为了保持储存的数据,通常通过驱动集成电路来更新数据,这造成高功率损耗以及较差的稳定度。

[0005] 因此,迄今为止,本领域技术人员无不穷其努力寻找解决之道,以改善上述的问题症结。

发明内容

[0006] 本发明的目的在于提出一种与像素电路整合的存储电路,此存储电路不但具有静态存储器电路的自动影像更新与低电力消耗的优点,同时还具有和动态存储器电路同样面积以及整合度高的优势。因此像素存储器电路可整合于高解析度的显示面板。像这种显示面板,当显示影像在静态模式时,亦即影像不需更新,显示面板本身能利用整合在像素中的存储电路进行显示影像数据的自动储存与更新。在本例中,几乎显示面板中的所有集成电路都能够被关闭。此外,当显示影像以较低的频率更新时,显示面板的集成电路也可用较低的更新频率来做更新。于是,显示面板的电力消耗得以显著地降低。

[0007] 本发明的一态样是有关于一种存储电路,其整合于显示装置的每个像素中。每个像素包含像素开关Pixel_SW、液晶电容C_{lc}以及储存电容C_{st}。液晶电容C_{lc}电性耦接至像素开关Pixel_SW,而且像素能够交替操作于正常模式以及静态模式。操作于正常模式时,

像素开关 Pixel_SW 为开启。操作于静态模式时,像素开关 Pixel_SW 为关闭。在一实施例中,显示装置包含半穿透半反射式显示器,其每个像素具有穿透区以及反射区,其中存储电路形成于反射区之下,使在正常模式时,穿透区得以传递背光源的光以作为显示器光源,以及在静态模式时,反射区反射外部光以作为显示器光源。在另一实施例中,显示装置包含反射式显示器。

[0008] 在一实施例中,存储电路包含切换电路以及存储单元。切换电路包含第一晶体管 SW1 以及第二晶体管 SW2。第一晶体管 SW1 具有栅极、源极以及漏极。第一晶体管 SW1 的栅极用以接收一切换控制信号 EN/EN_P,第一晶体管 SW1 的漏极电性耦接至液晶电容 Clc。第二晶体管 SW2 具有栅极、源极以及漏极。第二晶体管 SW2 的栅极用以接收切换控制信号 EN/EN_P,第二晶体管 SW2 的源极电性耦接至储存电容 Cst,第二晶体管的漏极电性耦接至液晶电容 Clc。存储单元电性耦接于切换电路的第一晶体管 SW1 的源极与储存电容 Cst 之间。切换控制信号 EN/EN_P 通过设定,使在正常模式时,第一晶体管 SW1 为关闭,同时第二晶体管 SW2 为开启,使储存电容 Cst 并联电性耦接至液晶电容 Clc,而且存储单元被旁路。在静态模式时,第一晶体管 SW1 为开启,同时第二晶体管 SW2 为关闭,使储存电容 Cst 控制存储单元提供储存数据给液晶电容 Clc。

[0009] 在一实施例中,切换电路更包含第三晶体管 SW3,其具有栅极、源极以及漏极。第三晶体管 SW3 的栅极用以接收切换控制信号 EN/EN_P,第三晶体管 SW3 的源极电性耦接至第四晶体管 SW4 的栅极,第三晶体管 SW3 的漏极电性耦接至储存电容 Cst。

[0010] 在一实施例中,第一晶体管 SW1 以及第二晶体管 SW2 中的一者为 n 型薄膜晶体管。第一晶体管 SW1 以及第二晶体管 SW2 中其余的另一者为 p 型薄膜晶体管。第三晶体管 SW3 与第一晶体管 SW1 为同型的薄膜晶体管。

[0011] 在一实施例中,存储单元包含第四晶体管 SW4 以及第五晶体管 SW5。第四晶体管 SW4 具有栅极、源极以及漏极。第四晶体管 SW4 的栅极电性耦接至储存电容 Cst,第四晶体管 SW4 的源极用以接收第一储存信号 Vw,第四晶体管 SW4 的漏极电性耦接至第一晶体管 SW1 的源极。第五晶体管 SW5 具有栅极、源极以及漏极。第五晶体管 SW5 的栅极电性耦接至第四晶体管 SW4 的栅极,第五晶体管 SW5 的源极用以接收第二储存信号 Vb,第五晶体管 SW5 的漏极电性耦接至第四晶体管 SW4 的漏极。其中第四晶体管 SW4 以及第五晶体管 SW5 中的一者为 n 型薄膜晶体管。第四晶体管 SW4 以及第五晶体管 SW5 中其余的另一者为 p 型薄膜晶体管。

[0012] 本发明的另一态样是有关于一种显示装置,其包含多个栅极线、多个数据线以及多个像素配置成一矩阵的形式。每个像素形成于两个相邻的栅极线之间以及两个相邻的数据线之间,其中两个相邻的数据线交错于两个相邻的栅极线上。

[0013] 每个像素包含像素开关 Pixel_SW、液晶电容 Clc、储存电容 Cst 以及存储电路。像素开关 Pixel_SW 具有栅极、源极以及漏极。栅极电性耦接至相对应的栅极线,源极电性耦接至相对应的数据线。液晶电容 Clc 具有第一端点以及第二端点。液晶电容 Clc 的第一端点电性耦接至像素开关 Pixel_SW 的漏极,液晶电容 Clc 的第二端点用以接收第二共用电压 Vcom2。储存电容 Cst 具有第一端点以及第二端点。储存电容 Cst 的第二端点用以接收第一共用电压 Vcom1。存储电路电性耦接于液晶电容 Clc 的第一端点与储存电容 Cst 的第一端点之间。

[0014] 在操作时,栅极选择信号 GL 通过相对应的栅极线提供,用以开启像素开关 Pixel_SW,使像素操作于正常模式,其中数据信号通过相对应的数据线 DL 提供给液晶电容 Clc,并且存储器电路被液晶电容 Clc 的第一端点与储存电容 Cst 的第一端点所旁路,或者用以关闭像素开关 Pixel_SW,使像素操作于静态模式,其中存储电路提供相对应的储存数据信号给液晶电容 Clc。

[0015] 存储电路包含切换电路以及存储单元。切换电路包含第一晶体管 SW1 以及第二晶体管 SW2。第一晶体管 SW1 具有栅极、源极以及漏极。第一晶体管 SW1 的栅极用以接收切换控制信号,第一晶体管 SW1 的漏极电性耦接至液晶电容 Clc 的第一端点。第二晶体管具有栅极、源极以及漏极。第二晶体管 SW2 的栅极用以接收一切换控制信号,第二晶体管 SW2 的源极电性耦接至储存电容 Cst 的第一端点,第二晶体管 SW2 的漏极电性耦接至液晶电容 Clc 的第一端点。存储单元电性耦接于切换电路的第一端点的第一晶体管 SW1 的源极与储存电容 Cst 之间。当操作于静态模式时,存储单元用以提供相对应的储存数据信号给液晶电容 Clc。

[0016] 存储单元包含第四晶体管 SW4 以及第五晶体管 SW5。第四晶体管 SW4 具有栅极、源极以及漏极。第四晶体管 SW4 的栅极电性耦接至储存电容 Cst 的第一端点,第四晶体管 SW4 的源极用以接收第一储存信号 Vw,第四晶体管 SW4 的漏极电性耦接至第一晶体管 SW1 的源极。第五晶体管 SW5 具有栅极、源极以及漏极。第五晶体管 SW5 的栅极电性耦接至第四晶体管 SW4 的栅极,第五晶体管 SW5 的源极用以接收第二储存信号 Vb,第五晶体管 SW5 的漏极电性耦接至第四晶体管 SW4 的漏极。其中,第四晶体管 SW4 以及第五晶体管 SW5 中的一者为 n 型薄膜晶体管,第四晶体管 SW4 以及第五晶体管 SW5 中其余的另一者为 p 型薄膜晶体管。

[0017] 在一实施例中,第一晶体管 SW1 为 n 型薄膜晶体管,第二晶体管 SW2 为 p 型薄膜晶体管。切换电路更包含第三晶体管 SW3,其具有栅极、源极以及漏极。第三晶体管 SW3 的栅极用以接收切换控制信号 EN,第三晶体管 SW3 的源极电性耦接至第四晶体管 SW4 的栅极,第三晶体管 SW3 漏极电性耦接至储存电容 Cst 的第一端点。其中第三晶体管 SW3 为 n 型薄膜晶体管。切换控制信号 EN 操作于正常模式以及静态模式时,分别为低电压电位以及高电压电位。

[0018] 在另一实施例中,第一晶体管 SW1 为 p 型薄膜晶体管,第二晶体管 SW2 为 n 型薄膜晶体管。存储电路更包含第三晶体管 SW3,其具有栅极、源极以及漏极。第三晶体管 SW3 的栅极用以接收切换控制信号 EN_P,第三晶体管 SW3 的源极电性耦接至第四晶体管 SW4 的栅极,第三晶体管 SW3 的漏极电性耦接至储存电容 Cst 的第一端点,其中第三晶体管 SW3 为 p 型薄膜晶体管。切换控制信号 EN P 操作于正常模式以及静态模式时,分别为高电压电位以及低电压电位。

[0019] 在一实施例中,当操作于正常模式时,第一共用电压 Vcom1 以及第二共用电压 Vcom2 均为交流信号,并且此交流信号具有与更新频率相同的频率。当操作于静态模式时,第一共用电压 Vcom1 为直流信号,第二共用电压 Vcom2 为一交流信号,并且此交流信号具有与更新频率相同的频率。

[0020] 在一实施例中,第一储存信号 Vw 与第二储存信号 Vb 中的一者与第二共用电压 Vcom2 为同相。第一储存信号 Vw 与第二储存信号 Vb 中其余的另一者与第二共用电压 Vcom2

[0041] 230 :存储电路

具体实施方式

[0042] 为了使本发明的叙述更加详尽与完备,以让本领域技术人员将能清楚明白其中的差异与变化,可参照以下所述的实施例。在下列段落中,对于本发明的各种实施方式予以详细叙述。所附的附图中,相同的号码代表相同或相似的元件。另外,在实施方式与申请专利范围中,除非内文中对于冠词有所特别限定,否则“一”与“该”可泛指单一个或多个。并且,于实施方式与申请专利范围中,除非本文中有所特别限定,否则所提及的“在...中”也包含“在...里”与“在...上”的涵义。

[0043] 于本文中通篇所使用的词汇一般代表其通常的意涵,至于一些特殊词汇会在下文具体定义。于说明书中所举的例子、实施例仅为例示,并非用以限制本发明,本发明也并不局限于说明书所举的实施例。

[0044] 关于本文中所使用的“约”、“大约”或“大致约”一般通常指数值的误差或范围于百分之二十以内,较好地是于百分之十以内,而更佳地则是于百分五之以内。文中若无明确说明,其所提及的数值皆视作为近似值,即如“约”、“大约”或“大致约”所表示的误差或范围。

[0045] 然而,至于本文中所使用的“包含”、“包括”、“具有”及相似词汇,皆认定为开放式连接词。例如,“包含”表示元件、成分或步骤的组合中不排除请求项未记载的元件、成分或步骤。

[0046] 下列将对于本发明的实施方式及所对应的图1至图7,予以详细说明。根据本公开的目的,以更具体且广泛地来阐述本发明的一种态样,即为关于一种存储电路以及具有整合存储电路于每个像素中的一种显示装置。

[0047] 存储电路整合了动态存储器(DRAM)以及静态存储器(SRAM)两者的电路架构设计,因此不只具有静态存储器电路的自动影像更新以及低电力损耗的优点,而且具有跟动态存储器电路相同的面积以及高整合度的优点。存储电路具有较少的薄膜晶体管(TFT)以及较小的布局(layout)面积,使其非常适用于高解析度的显示面板。

[0048] 因为整合了存储电路于显示面板中,使其具有自动更新以及储存影像数据的功能。当操作于存储/静态(memory/still)模式时,例如,在影像不需更新时,显示面板本身能利用此整合于像素中的存储电路进行显示影像数据的自动储存与更新,而且显示面板的集成电路可以非常低的频率来做更新,例如,低于60Hz,进而达到节省电力消耗的目的。此外,显示面板能够而且自由地在正常模式以及存储模式之间切换,以利各种不同功能的应用。并可进一步将太阳能模块与显示面板整合在一起。由于存储电路本身具有低电力消耗的特点,因此在存储模式下,可以不损耗额外的电力。

[0049] 请参照图1,其绘示根据本发明的一实施例的一种存储电路130,其整合于显示装置的每个像素中。显示装置具有多个栅极线112、多个数据线114以及多个像素配置成一矩阵的形式。每个像素形成于两个相邻的栅极线之间与两个相邻的数据线之间,两个相邻的数据线交错于两个相邻的栅极线上。为了便于阐述本发明,图1仅绘示一个像素100。

[0050] 像素100包含像素开关Pixel_SW,其具有栅极、源极以及漏极。栅极电性耦接至相对应的栅极线112用以接收栅极选择信号GL,源极电性耦接至相对应的数据线114用以接收影像数据DL作为显示之用,漏极电性耦接至节点122。此节点122相当于像素电极。

[0051] 像素 100 亦包含液晶电容 C_{lc} 以及储存电容 C_{st} 。液晶电容 C_{lc} 具有第一端点以及第二端点。液晶电容 C_{lc} 的第一端点电性耦接至节点 122, 亦即电性耦接至像素开关 Pixel_SW 的漏极。液晶电容 C_{lc} 的第二端点电性耦接至第二共同电极 126, 用以接收第二共用电压 V_{com2} 。储存电容 C_{st} 具有第一端点以及第二端点。储存电容 C_{st} 的第二端点电性耦接至第一共同电极 124, 用以接收第一共用电压 V_{com1} 。在本实施例中, 液晶电容 C_{lc} 相当于液晶层。

[0052] 像素 100 更包含存储电路 130, 其电性耦接于液晶电容 C_{lc} 的第一端点与储存电容 C_{st} 的第一端点之间。

[0053] 在操作时, 栅极选择信号 GL 通过相对应的栅极线 112 所提供, 用以开启或关闭像素开关 Pixel_SW。当像素开关 Pixel_SW 开启时, 像素 100 操作于正常模式, 其中影像数据信号 DL 通过相对应的数据线 114 所提供, 再传递给液晶电容 C_{lc} , 而且存储电路 130 被介于液晶电容 C_{lc} 的第一端点与储存电容 C_{st} 的第一端点所旁路。操作于正常模式时, 像素电极 122, 亦即液晶电容 C_{lc} 的第一端点与储存电容 C_{st} 的第一端点皆通过影像数据信号 DL 充电至电压 V_{clc} , 换言之, 影像数据信号 DL 被写入像素 100 作为显示之用。当像素开关 Pixel_SW 关闭时, 像素 100 操作于静态模式, 其中存储电路 130 提供相对应的储存数据信号给液晶电容 C_{lc} , 此储存数据信号通过储存电容 C_{st} 的第一端点的电压所控制。在本例中, 显示的影像能够通过储存数据信号所更新。

[0054] 当操作于正常模式时, 第一共用电压 V_{com1} 以及第二共用电压 V_{com2} 均为交流信号, 并且此交流信号具有与更新频率相同的频率。操作于静态模式时, 第一共用电压 V_{com1} 为直流信号, 第二共用电压 V_{com2} 为一交流信号, 并且此交流信号具有与更新频率相同的频率。

[0055] 具体而言, 如图 2 所示的一实施例中, 存储电路 230 具有切换电路 232 以及存储单元 234。切换电路 232 包含第一晶体管 SW1 以及第二晶体管 SW2。第一晶体管 SW1 具有栅极、源极以及漏极。第一晶体管 SW1 的栅极用以接收一切换控制信号 EN, 第一晶体管 SW1 的漏极电性耦接至液晶电容 C_{lc} 的第一端点。第二晶体管 SW2 具有栅极、源极以及漏极。第二晶体管 SW2 的栅极用以接收切换控制信号 EN, 第二晶体管 SW2 的源极电性耦接至储存电容 C_{st} 的第一端点, 第二晶体管 SW2 的漏极电性耦接至液晶电容 C_{lc} 的第一端点。第一晶体管 SW1 为 n 型薄膜晶体管, 第二晶体管 SW2 为 p 型薄膜晶体管。

[0056] 存储单元 234 包含第四晶体管 SW4 以及第五晶体管 SW5。第四晶体管 SW4 具有栅极、源极以及漏极。第四晶体管 SW4 的栅极电性耦接至储存电容 C_{st} 的第一端点, 第四晶体管 SW4 的源极用以接收第一储存信号 V_w , 第四晶体管 SW4 的漏极电性耦接至第一晶体管 SW1 的源极。第五晶体管 SW5 具有栅极、源极以及漏极。第五晶体管 SW5 的栅极电性耦接至第四晶体管 SW4 的栅极, 第五晶体管 SW5 的源极用以接收第二储存信号 V_b , 第五晶体管 SW5 的漏极电性耦接至第四晶体管 SW4 的漏极。第四晶体管 SW4 为 n 型薄膜晶体管或 p 型薄膜晶体管, 同时第五晶体管 SW5 为 p 型薄膜晶体管或 n 型薄膜晶体管。第一储存信号 V_w 与第二储存信号 V_b 皆具有与第二共用电压 V_{com2} 相同的频率。更进一步来说, 第一储存信号 V_w 与第二储存信号 V_b 中其一者与第二共用电压 V_{com2} 为同相, 第一储存信号 V_w 与第二储存信号 V_b 中其余的另一者与第二共用电压 V_{com2} 为异相。

[0057] 如图 3 所示的另一实施例中, 存储电路 330 具有切换电路 332 以及存储单元 334。

存储单元 334 与图 2 中的存储单元 234 相同。除了在图 2 中切换电路 232 的第一晶体管 SW1 以及第二晶体管 SW2 之外,切换开关 332 更包含第三晶体管 SW3。第三晶体管 SW3 具有栅极、源极以及漏极。第三晶体管 SW3 的栅极用以接收切换控制信号 EN,第三晶体管 SW3 的源极电性耦接至第四晶体管 SW4 的栅极,第三晶体管 SW3 的漏极电性耦接至储存电容 Cst 的第一端点。第三晶体管 SW3 为一 n 型薄膜晶体管。

[0058] 切换控制信号 EN 设定于低电压电位以操作于正常模式以及设定于高电压电位以操作于静态模式。操作于正常模式时,第二晶体管 SW2 为开启,同时第一晶体管 SW1 以及第三晶体管 SW3 皆为关闭。因此,存储电路 230/330 被旁路,其中液晶电容的第一端点以及储存电容的第一端点皆电性耦接至像素电极,并通过影像数据 DL 充电至电压 V_{clc} 。操作于存储/静态模式时,第二晶体管 SW2 为关闭,同时第一晶体管 SW1 以及第三晶体管 SW3 皆为开启。因此,通过储存电容 Cst 的第一端点的电位,使第四晶体管 SW4 以及第五晶体管 SW5 中的一者被开启,借此对应的第一储存信号 V_w 与第二储存信号 V_b 中的一者得以通过第一晶体管 SW1 供应给像素电极。亦即液晶电容 C_{lc} 的第一端点,借以显示所储存的影像数据。

[0059] 如图 4 所示为图 2 与图 3 中像素存储器电路的时序图。

[0060] 操作于正常模式时,亦即在时间周期 (t_0-t_1),栅极选择信号 GL 为一序列式 SR 脉冲信号 (sequential SR pulse signal) 并开启像素开关 Pixel_SW。切换控制信号 EN 位于低电压电位,此低电压电位分别开启第二晶体管 SW2 并关闭第一晶体管 SW1 以及第三晶体管 SW3。存储电路 230/330 被液晶电容 C_{lc} 的第一端点与储存电容 Cst 的第一端点所旁路,其中液晶电容 C_{lc} 的第一端点以及储存电容 Cst 的第一端点皆电性耦接至像素电极。因此,影像数据 DL (8 比特或更多比特) 被写入储存电容 Cst。操作于正常模式时,第一储存信号 V_w 以及第二储存信号 V_b 皆对像素电极的电压 V_{clc} 没有影响。第一储存信号 V_w 以及第二储存信号 V_b 为低电压电位。第一共用电压 V_{com1} 以及第二共用电压 V_{com2} 皆对应于传统线反转信号、图框反转信号或点反转信号。

[0061] 当操作进入存储/静态模式时,例如,在时间周期 (t_1-t_2) 中,1 比特的数据被写入第一图框之中。在这个时间周期之中,切换控制信号 EN 位于低电压电位。第二晶体管 SW2 为开启,同时第一晶体管 SW1 以及第三晶体管 SW3 为关闭。像素开关 Pixel_SW 通过序列式 SR 脉冲信号 GL 而开启,且影像数据 (1 比特) 被写入储存电容 Cst 之中。当第一储存信号 V_w 在下一个图框改变成高电压电位时,同时第二储存信号 V_b 在下一个图框仍然维持在低电压电位。第一共用电压 V_{com1} 为一直流信号,同时第二共用电压 V_{com2} 相对应于传统线反转信号、图框反转信号或点反转信号。

[0062] 在时间周期 (t_2-t_3),第二图框完全进入静态模式。显示器的集成电路仅提供第一共用电压 V_{com1} 、第二共用电压 V_{com2} 、第一储存信号 V_w 、第二储存信号 V_b 以及切换控制信号 EN,其余集成电路的功能则可以被关闭。在此时间周期中,切换控制信号 EN 位于高电压电位,其分别关闭第二晶体管 SW2 以及开启第一晶体管与第三晶体管。栅极选择信号 GL 以及影像数据信号 DL 皆为直流信号或浮接信号。第一储存信号 V_w 以及第二储存信号 V_b 根据第二共用电压 V_{com2} 的频率,交互改变其电压电位介于高电压电位以及低电压电位之间。此频率根据显示器的更新时间而决定。第二共用电压 V_{com2} 相对应于传统线反转信号、图框反转信号或点反转信号。

[0063] 在时间周期 (t_3-t_4),操作进入正常模式。栅极选择信号 GL 的序列式 SR 脉冲信

号,开启像素开关 Pixel_SW。此时切换控制信号 EN 位于低电压电位,并且分别开启第二晶体管 SW2,以及关闭第一晶体管 SW1 与第三晶体管 SW3。存储电路 230/330 被液晶电容 Clc 的第一端点以及储存电容 Cst 的第一端点所旁路,其中液晶电容 Clc 的第一端点以及储存电容 Cst 的第一端点皆电性耦接至像素电极。因此,影像数据 DL (8 比特或更多比特) 被写入储存电容 Cst。操作于正常模式时,第一储存信号 Vw 以及第二储存信号 Vb 皆对于像素电极的电压 Vclc 没有影响。第一储存信号 Vw 以及第二储存信号 Vb 为低电压电位。第一共用电压 Vcom1 以及第二共用电压 Vcom2 皆对应于传统线反转信号、图框反转信号或点反转信号。

[0064] 上述的程序可被反复执行以显示影像数据。

[0065] 图 5 与图 6 所示为存储电路 530/630 的另二个实施例,除了第一晶体管 SW1 以及第三晶体管 SW3 皆为 p 型薄膜晶体管,同时第二晶体管 SW2 为 n 型薄膜晶体管之外,存储电路 530/630 在结构上分别与图 2 以及图 3 的存储电路 230/330 相同。切换控制信号 EN_P 被设定于高电压电位以操作于正常模式,切换控制信号 EN_P 被设定于低电压电位以操作于静态模式。

[0066] 如图 7 所示为图 5 与图 6 中像素存储器电路的时序图,其类似于图 4 所示的时序图。操作于正常模式时,第二晶体管 SW2 为开启,同时第一晶体管 SW1 与第三晶体管 SW3 皆为关闭。因此,存储电路 530/630 被旁路,其中液晶电容 Clc 的第一端点以及储存电容 Cst 的第一端点皆电性耦接至像素电极,并通过影像数据 DL 充电至电压 Vclc。操作于存储/静态模式时,第二晶体管 SW2 为关闭,同时第一晶体管 SW1 与第三晶体管 SW3 皆为开启。因此,通过充电于储存电容 Cst 的第一端点的电位,使第四晶体管 SW4 与第五晶体管 SW5 中的一者被开启,借此对应的第一储存信号 Vw 与第二储存信号 Vb 中的一者得以通过第一晶体管 SW1 供应给像素电极,亦即液晶电容 Clc 的第一端点,借以显示储存影像数据。

[0067] 依据本发明,显示装置可为每个像素皆具有穿透区与反射区的半穿透半反射式显示器。存储电路形成于反射区之下,使在正常模式时,穿透区得以传递背光源的光以作为显示器光源。在静态模式时,反射区反射外部光以作为显示器光源。显示装置可包含一反射式显示器。

[0068] 本发明的一态样,有关于驱动上述所公开的显示装置的一种方法。此方法的一实施例中,包含了提供切换控制信号 EN/EN_P 的设定,使在正常模式时,第一晶体管 SW1 为关闭,同时第二晶体管 SW2 为开启,使储存电容 Cst 与液晶电容 Clc 并联电性耦接在一起,且存储单元被旁路。在静态模式时,第一晶体管 SW1 为开启,同时第二晶体管 SW2 为关闭,使储存电容 Cst 控制存储单元提供储存数据给液晶电容 Clc。

[0069] 此方法更包含了提供第一共用电压 Vcom1 以及第二共用电压 Vcom2,使操作于正常模式时,第一共用电压 Vcom1 以及第二共用电压 Vcom2 均为交流信号,此交流信号具有与一更新频率相同的频率。操作于静态模式时,第一共用电压 Vcom1 为一直流信号,第二共用电压为一交流信号,此交流信号具有与更新频率相同的频率。

[0070] 此外,本方法更包含提供第一储存信号 Vw 与第二储存信号 Vb 中的一者与第二共用电压 Vcom2 为同相。第一储存信号 Vw 与第二储存信号 Vb 中其余的另一者与第二共用电压 Vcom2 为异相。

[0071] 简而言之,本发明详尽叙述了一种存储电路以及具有整合存储电路于每个像素中

的一种显示装置,其操作于正常模式或存储/静态模式。操作于正常模式时,存储电路旁路其他元件,像素与传统像素相同,亦即像素开关 Pixel_SW 为开启以及储存电容 Cst 维持电压位能在电压 Vclc,借以控制液晶电容 Clc。操作于存储模式时,存储电路提供一相对应的储存数据信号给液晶电容 Clc,存储电路通过储存电容 Cst 的电压所控制。在本例中,显示影像得以根据储存数据信号更新,而且大多数集成电路的输出能够被关闭。因此,电力消耗基本上得以减少。

[0072] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

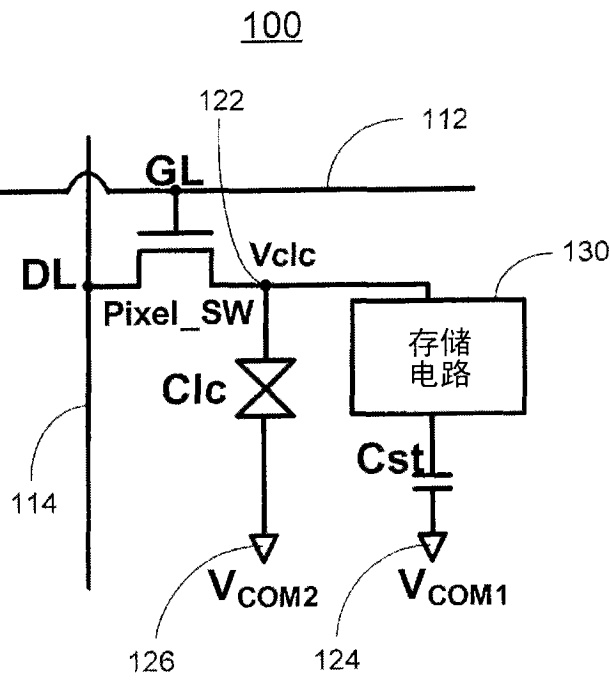


图 1

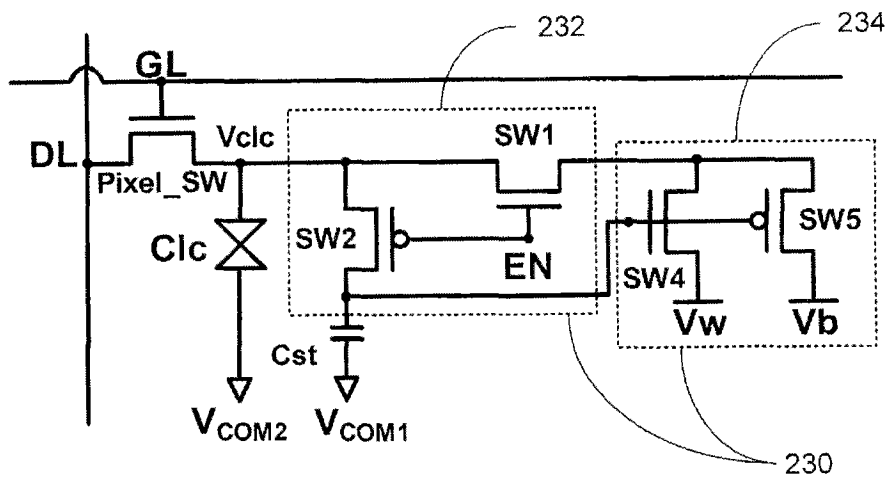


图 2

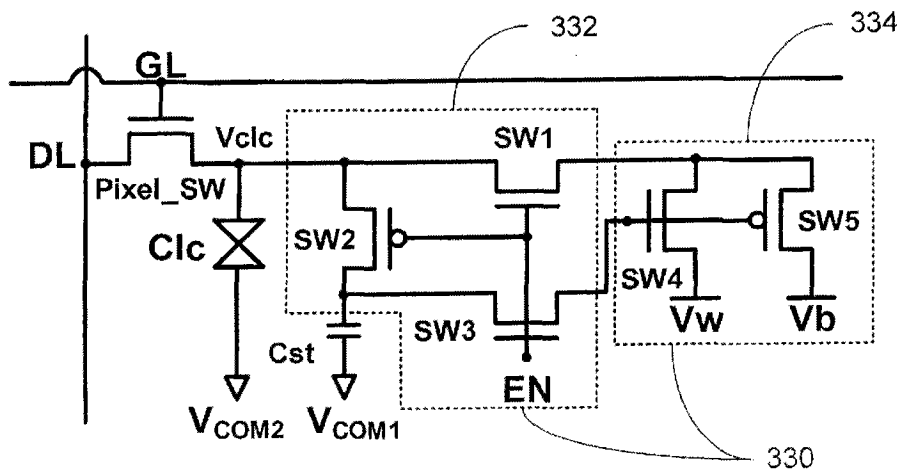


图 3

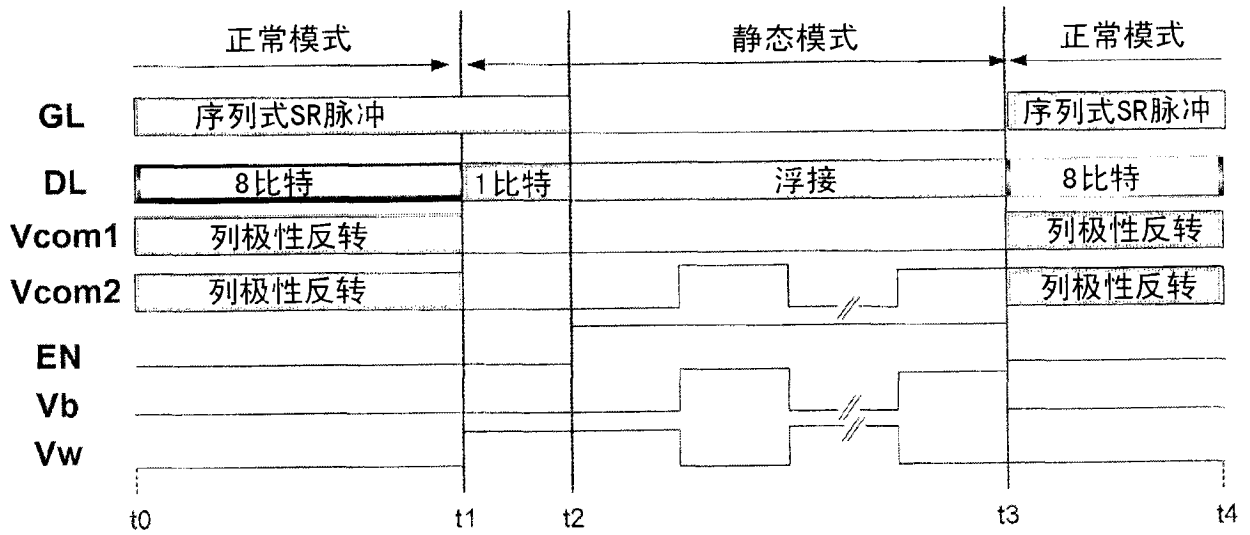


图 4

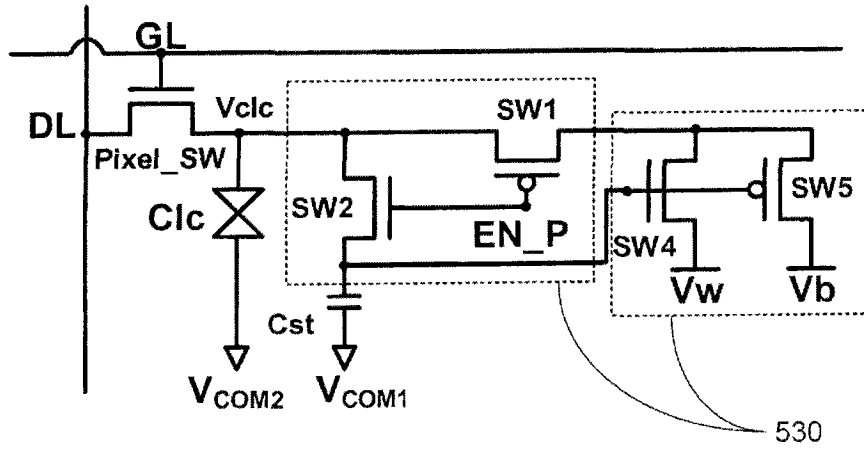


图 5

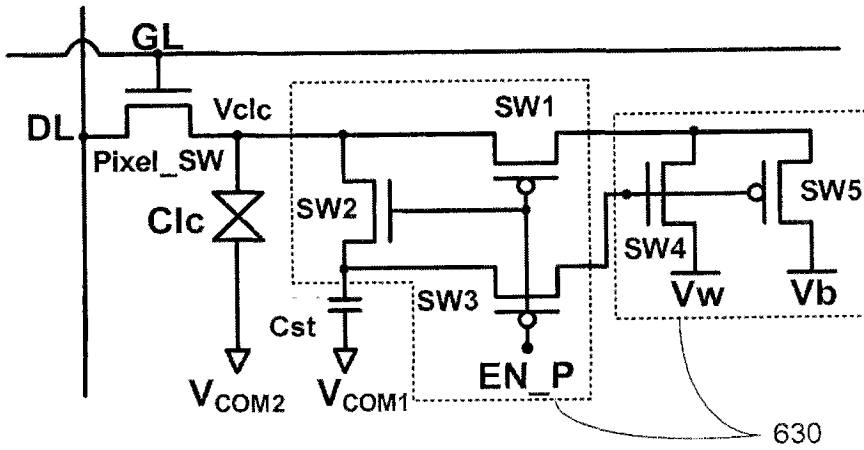


图 6

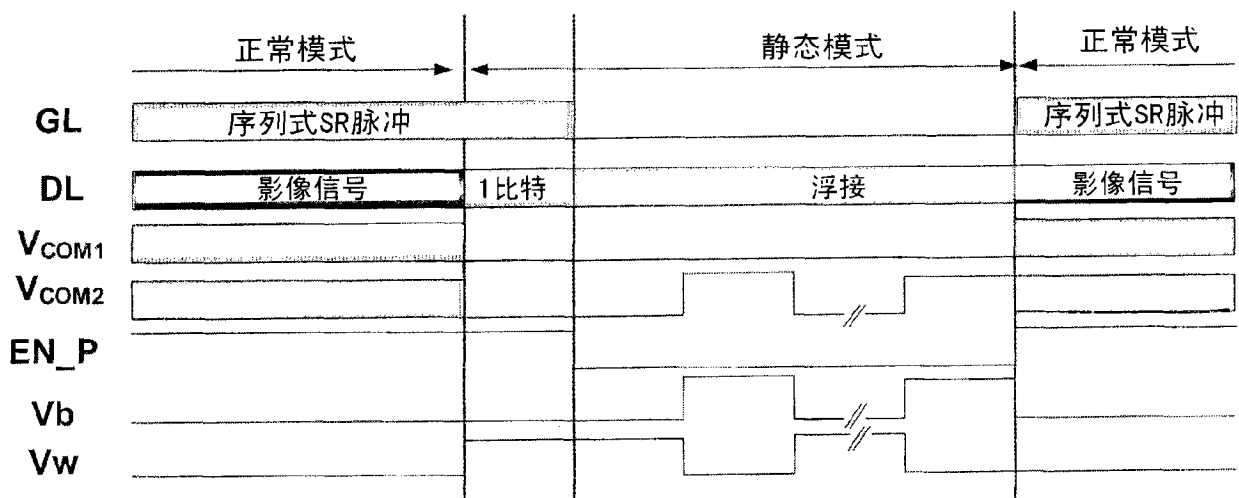


图 7

专利名称(译)	存储电路、具有像素存储器的显示装置及其驱动方法		
公开(公告)号	CN102290023B	公开(公告)日	2013-11-06
申请号	CN201110154245.6	申请日	2011-06-02
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	刘育荣 李宇轩 陈忠君 郭俊宏 李纯怀		
发明人	刘育荣 李宇轩 陈忠君 郭俊宏 李纯怀		
IPC分类号	G09G3/20		
CPC分类号	G09G2310/04 G09G2330/022 G09G2340/0428 G09G3/3659 G09G3/3648 G09G2300/0842		
代理人(译)	王颖		
审查员(译)	刘燕		
优先权	12/856228 2010-08-13 US		
其他公开文献	CN102290023A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种存储电路及具有像素存储器的显示装置及其驱动方法，存储电路整合于显示装置的各像素中，存储电路包含切换电路与存储单元。切换控制信号通过设定，使在正常模式时，切换电路中的第一晶体管关闭，第二晶体管开启，使储存电容并联电性耦接至液晶电容，且旁路存储单元。在静态模式时，切换电路中的第一晶体管开启，第二晶体管关闭，使储存电容控制存储单元提供储存数据给液晶电容。

