

1. 一种液晶显示器,包括彩膜基板和阵列基板,所述彩膜基板上形成有公共电极,所述阵列基板上形成有存储电容电极线和与扫描驱动电路连接的栅线,其特征在于,

所述存储电容电极线连接有助于控制存储电容电极电位的控制电路;所述控制电路在所述扫描驱动电路向栅线施加方形行扫描信号、且所述行扫描信号的上升沿到来时,向存储电容电极线施加第一电压,并在所述行扫描信号的下降沿到来时,向该存储电容电极线施加第二电压;所述第一电压小于施加在所述彩膜基板公共电极上的公共电极电压,且所述第二电压大于所述公共电极电压。

2. 根据权利要求1所述的液晶显示器,其特征在于,所述存储电容电极电位的控制电路包括:

输出所述第一电压的第一电压信号线;

输出所述第二电压的第二电压信号线;

多个开关单元,所述开关单元的个数与所述栅线的行数相同,且每个开关单元包括第一开关和第二开关;所述第一开关分别与所述第一电压信号线和扫描驱动电路连接,用于在行扫描信号的上升沿到来时,向存储电容电极线施加第一电压;所述第二开关分别与所述第二电压信号线和扫描驱动电路连接,用于在行扫描信号的下降沿到来时,向存储电容电极线施加第二电压。

3. 根据权利要求2所述的液晶显示器,其特征在于,

所述第一开关为n型掺杂的第一薄膜晶体管,所述第一薄膜晶体管的栅极与所述栅线连接,所述第一薄膜晶体管的源极与所述第一电压信号线和存储电容电极线其中之一线连接,且所述第一薄膜晶体管的漏极与所述第一电压信号线和存储电容电极线其中另一线连接;

所述第二开关为p型掺杂的第二薄膜晶体管,所述第二薄膜晶体管的栅极与所述栅线连接,所述第二薄膜晶体管的源极与所述第二电压信号线和存储电容电极线其中之一线连接,且所述第二薄膜晶体管的漏极与所述第二电压信号线和存储电容电极线其中另一线连接。

4. 根据权利要求1~3所述的任一液晶显示器,其特征在于,所述公共电极电压与所述第一电压的差值为 $0.01\text{V} \sim 2\text{V}$ 。

5. 根据权利要求1~3所述的任一液晶显示器,其特征在于,所述第二电压与所述公共电极电压的差值为 $0.01\text{V} \sim 2\text{V}$ 。

6. 根据权利要求1~3所述的任一液晶显示器,其特征在于,所述控制电路设计在扫描驱动芯片中。

7. 根据权利要求1~3所述的任一液晶显示器,其特征在于,所述控制电路形成在所述阵列基板的衬底基板上。

8. 一种液晶显示器控制方法,其特征在于,包括:

通过扫描驱动电路向栅线施加方形行扫描信号;

在所述行扫描信号的上升沿到来时,向存储电容电极线施加第一电压,并在所述行扫描信号的下降沿到来时,向该存储电容电极线施加第二电压;所述第一电压小于施加在彩膜基板公共电极上的公共电极电压,且所述第二电压大于所述公共电极电压。

9. 根据权利要求8所述的液晶显示器控制方法,其特征在于,所述公共电极电压与所

述第一电压的差值为 $0.01\text{V} \sim 2\text{V}$ 。

10. 根据权利要求 8 或 9 所述的液晶显示器控制方法,其特征在于,所述第二电压与所述公共电极电压的差值为 $0.01\text{V} \sim 2\text{V}$ 。

液晶显示器及其控制方法

技术领域

[0001] 本发明涉及显示技术,特别是涉及一种液晶显示器及其控制方法。

背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 主要包括:彩膜基板 (Color Filter Panel)、阵列基板 (Array Panel) 以及填充在这二个基板之间的液晶层。阵列基板 (arraypanel) 主要包括多个平行的栅线 (gate line), 以及与栅线绝缘且垂直交叉的数据线 (data line), 由栅线和数据线限定的区域称作一个像素 (pixel), 每个像素包括一个像素电极以及控制该像素电极充电与否的薄膜晶体管 TFT。

[0003] 图 1 为现有技术 TFT-LCD 单位像素的等效电路图。如图 1 所示, 薄膜晶体管 TFT 的栅极 g、源极 s 和漏极 d, 分别与栅线 G_i 、数据线 D_j 和像素电极 P_{ij} 连接。像素电极 P_{ij} 与彩膜基板上的公共电极之间充满了液晶材料, 可把其等效地用液晶电容 C_{LC} 表示; 液晶电容 C_{LC} 控制了液晶分子的偏转。栅极 g 与漏极 d 之间形成寄生电容 C_{GD} 。为了实现对阵列基板公共电极电压的单独调整, 现有技术在阵列基板上形成与栅线平行并数量相同的存储电容电极线 C_i , 并给存储电容电极线施加与彩膜基板公共电极 V_{com} (CF) 相同的公共电极电压 V_{com} , 这样在像素电极 P_{ij} 和存储电容电极线 C_i 之间就形成了存储电容 C_{st} , 存储电容 C_{st} 与液晶电容 C_{LC} 并联; 存储电容 C_{st} 的作用是最大程度的保持像素电极的电荷量, 减缓像素电极的电荷流失速度, 从而维持液晶层间的压差。

[0004] 理想状态下, 在薄膜晶体管 TFT 处于开启状态、且像素电极 P_{ij} 上的电压 V_p 达到该像素显示灰度充电率时, 应与薄膜晶体管 TFT 处于关闭状态时, 保持像素电极 P_{ij} 上的电压 V_p 不变, 这样才能保证显示图像的质量。但从图 1 所示的 TFT-LCD 单位像素的等效电路可知, 由于薄膜晶体管 TFT 的栅极 g 与漏极 d 之间存在寄生电容 C_{GD} , 因而当薄膜晶体管 TFT 由开启状态转化到关闭状态的瞬时, 即行扫描信号由 V_{ON} 下降到 V_{OFF} 时刻, 根据关断前后 TFT 电荷守恒原理, 等效电路中电容上的电荷要重新分配, 像素电压 V_p 会有一定程度的降低, 称为跳变 (kick Back) 电压。

[0005] 在薄膜晶体管 TFT 关断前后, 根据电荷守恒定律, 存在如下关系:

$$[0006] \quad (V_{P1} - V_{ON}) \times C_{GD} + (V_{P1} - V_{COM}) \times (C_{LC} + C_{ST}) = (V_{P2} - V_{OFF}) \times C_{GD} + (V_{P2} - V_{COM}) \times (C_{LC} + C_{ST})$$

[0007] 由此推导出公式 (1):

$$[0008] \quad \Delta V_p = V_{P2} - V_{P1} = (V_{ON} - V_{OFF}) \times C_{GD} / (C_{GD} + C_{LC} + C_{ST}) \quad (1)$$

[0009] 其中 V_{P1} 和 V_{P2} 分别表示薄膜晶体管 TFT 开启和关闭状态下像素电极 P_{ij} 的电压值, V_{ON} 和 V_{OFF} 分别表示栅极的开启电压和关闭电压, ΔV_p 表示像素电极 P_{ij} 的跳变电压。

[0010] 由公式 (1) 可知, 现有技术对彩膜基板公共电极和阵列基板存储电容电极线施加相同的公共电极电压, 在 TFT 从开启状态转化到关闭状态的瞬间, 像素电极存在着跳变电压 ΔV_p , 易产生闪烁 (flicker)、残像 (image sticking) 等显示问题, 从而影响 TFT-LCD 的显示画面品质。

[0011] 发明内容

[0012] 本发明的目的是提供一种液晶显示器及其控制方法,使得液晶显示器在行扫描信号发生变化时,通过减小像素电极的跳变电压,来补偿液晶层之间的电势差,从而有利于提高液晶显示器的显示画面品质。

[0013] 为实现上述目的,本发明提供了一种液晶显示器,包括彩膜基板和阵列基板,所述彩膜基板上形成有公共电极,所述阵列基板上形成有存储电容电极线和与扫描驱动电路连接的栅线,所述存储电容电极线连接有用于控制存储电容电极电位的控制电路;所述控制电路在所述扫描驱动电路向栅线施加方形行扫描信号、且所述行扫描信号的上升沿到来时,向存储电容电极线施加第一电压,并在所述行扫描信号的下降沿到来时,向该存储电容电极线施加第二电压;所述第一电压小于施加在所述彩膜基板公共电极上的公共电极电压,且所述第二电压大于所述公共电极电压。

[0014] 在上述技术方案的基础上,所述存储电容电极电位的控制电路包括:

[0015] 输出所述第一电压的第一电压信号线;

[0016] 输出所述第二电压的第二电压信号线;

[0017] 多个开关单元,所述开关单元的个数与所述栅线的行数相同,且每个开关单元包括第一开关和第二开关;所述第一开关分别与所述第一电压信号线和扫描驱动电路连接,用于在行扫描信号的上升沿到来时,向存储电容电极线施加第一电压;所述第二开关分别与所述第二电压信号线和扫描驱动电路连接,用于在行扫描信号的下降沿到来时,向存储电容电极线施加第二电压。

[0018] 进一步的,所述第一开关为 n 型掺杂的第一薄膜晶体管,所述第一薄膜晶体管的栅极与所述栅线连接,所述第一薄膜晶体管的源极与所述第一电压信号线和存储电容电极线其中之一线连接,且所述第一薄膜晶体管的漏极与所述第一电压信号线和存储电容电极线其中另一线连接;所述第二开关为 p 型掺杂的第二薄膜晶体管,所述第二薄膜晶体管的栅极与所述栅线连接,所述第二薄膜晶体管的源极与所述第二电压信号线和存储电容电极线其中之一线连接,且所述第二薄膜晶体管的漏极与所述第二电压信号线和存储电容电极线其中另一线连接。

[0019] 为实现上述目的,本发明还提供了一种液晶显示器控制方法,包括:

[0020] 通过扫描驱动电路向栅线施加方形行扫描信号;

[0021] 在所述行扫描信号的上升沿到来时,向存储电容电极线施加第一电压,并在所述行扫描信号的下降沿到来时,向该存储电容电极线施加第二电压;所述第一电压小于施加在彩膜基板公共电极上的公共电极电压,且所述第二电压大于所述公共电极电压。

[0022] 在上述技术方案的基础上,所述公共电极电压与所述第一电压的差值为 $0.01V \sim 2V$;所述第二电压与所述公共电极电压的差值为 $0.01V \sim 2V$ 。

[0023] 通过上述技术方案可知,本发明提供的液晶显示器及其控制方法中,在扫描驱动电路向栅线施加方形行扫描信号的同时,对阵列基板存储电容电极线上的电位进行同步控制,实现在存储电容电极线上输出脉冲电压,可有效减小像素电极在行扫描信号反转前后存在的跳变电压,减缓像素电极上电荷的流失速度,对液晶层的电势差进行了补偿,从而有利于缓解显示画面闪烁、残像等显示问题,因此提升了液晶显示器显示的画面品质。

附图说明

- [0024] 图 1 为现有技术 TFT-LCD 单位像素的等效电路图；
- [0025] 图 2 为本发明液晶显示器实现存储电容电极线脉冲电压信号的等效电路图；
- [0026] 图 3 为本发明控制单位像素的等效电路图；
- [0027] 图 4 为本发明存储电容电极电压信号波形图。
- [0028] 附图标记说明：
- [0029] 3- 控制电路； 31- 第一电压信号线； 32- 第二电压信号线；
- [0030] 33- 开关单元； 4- 扫描驱动电路； 5- 栅线；
- [0031] 6- 存储电容电极线； 7- 数据驱动电路； 8- 数据线。

具体实施方式

[0032] 下面通过附图和实施例，对本发明的技术方案做进一步的详细描述。

[0033] 本发明液晶显示器包括彩膜基板、阵列基板以及处于彩膜基板和阵列基板之间的液晶层。彩膜基板上形成有公共电极。阵列基板上形成有多个平行的栅线、存储电容电极线以及与其绝缘垂直交叉的数据线，由各栅线和数据线围成若干个像素，每个像素包括一个像素电极和用于控制该像素电极充电与否的薄膜晶体管；存储电容电极线连接有用用于控制存储电容电极电位的控制电路；栅线连接有用用于输入行扫描信号的扫描驱动电路；数据线连接有用用于输入视频数据信号的数据驱动电路。

[0034] 在控制本发明液晶显示器显示过程中，向彩膜基板公共电极施加公共电极电压 V_{com} ，通过数据驱动电路向数据线施加视频数据信号；通过扫描驱动电路向栅线施加方形行扫描信号，通过控制电路输出与方形行扫描信号同步变化的存储电容电极线的脉冲电压信号，具体的，控制电路在扫描驱动电路向栅线施加方形行扫描信号、且行扫描信号的上升沿到来时，向存储电容电极线施加第一电压 V_1 ，并在行扫描信号的下降沿到来时，向该存储电容电极线施加第二电压 V_2 ，以使像素电极 P_{NM} 在行扫描信号反转时获得电位补偿；其中，第一电压 V_1 小于施加在彩膜基板公共电极上的公共电极电压 V_{com} ，而第二电压 V_2 大于公共电极电压 V_{com} 。

[0035] 发明人在实现本发明过程中发现，在减缓像素电极电荷流失方面，可采用两种方法，一种是通常所用的通过增加存储电容的方法，另一种是保持存储电容不变，通过增加存储电容之间的电势差的方法，对液晶层电势差进行补偿，来增加存储电容二端的电荷量，从而减缓像素电极的电荷流失，维持液晶层之间的压差，使得像素在 TFT 处于关闭状态时像素灰度显示的稳定性。为了减小跳变电压 ΔV_p ，同时降低像素电极电荷流失量，通常有效的做法即为增加存储电容 C_{st} 。由于 C_{st} 满足以下关系：

[0036]
$$C_{st} = (\epsilon \times S) / d = Q / U \quad (2)$$

[0037] 因而，如果增加存储电容的面积 S ， C_{st} 的值也将相应增加，但这样会降低像素的开口率。如果保持 C_{st} 大小不变的同时，为了在控制像素电极充电的薄膜晶体管 TFT 处于关闭状态时，能够最大程度地保持液晶层像素电极的电荷量，由公式 (2) 可知，可通过加大液晶层之间电势差 U 的方法，来维持存储电容二端的电荷总量，从而降低像素电极上电荷的流失速度。

[0038] 为了在没有降低像素开口率的同时，减缓像素电极在非充电状态下的电荷流失速

度,本发明液晶显示器在扫描驱动电路向栅线逐行输出行扫描信号时,用于控制存储电容电极电位的控制电路同步向像素电容电极线输出脉冲电压,对液晶层的电势差进行补偿。这样,控制电路随着扫描驱动电路逐行 输出行扫描信号,而逐行对存储电容电极线施加脉冲电压,实现当行扫描信号电压发生反转、且在像素的薄膜晶体管从开启状态变为关闭状态时,减小像素电极存在的跳变电压,减缓像素电极上的电荷流失速度,从而对液晶层间的电势差进行补偿,有利于缓解显示画面闪烁、残像等显示问题,因此提升了液晶显示器显示的画面品质。由于本发明液晶显示器每行存储电容电极线的电位与行号相同的行扫描信号电位同步变化,因而不同行的存储电容电极线之间的脉冲电压没有发生相互干扰,从而本发明还有利于提高液晶显示器阵列基板故障检测的方便性和准确性。

[0039] 图 2 为本发明液晶显示器实现存储电容电极线脉冲电压信号的等效电路图。图 3 为本发明控制单位像素的等效电路图。传统结构中的彩膜基板上公共电极和阵列基板公共电极是连通的,二者施加有相同的电压。区别于现有技术的是,本发明对彩膜基板公共电极施加直流电压,在不影响显示效果的基础上,可将阵列基板上每个栅线所控制的全部像素电极的存储电容端相连接,即用存储电容电极线将每条栅线所控制的全部像素电极的存储电容端连接,在对栅线施加方形行扫描电压的同时,通过控制电路对存储电容电极线施加与方形行扫描电压同步变化的脉冲电压,实现对控制阵列基板存储电容电极电位的独立控制。

[0040] 如图 2 和图 3 所示,本发明用于控制存储电容电极电位的控制电路 3 可包括:第一电压信号线 31、第二电压信号线 32 和多个开关单元 33;开关单元 33 的数量与栅线 5 或存储电容电极线 6 的行数相同,每个开关单元 33 用于在扫描驱动电路 4 输入一行栅线 5 的行扫描信号时,控制行号相同的存储电容电极线 6 的脉冲电压的输出。

[0041] 每个开关单元 33 包括第一开关和第二开关。第一开关分别与扫描驱动电路 4、第一电压信号线 31 以及存储电容电极线 6 连接,用于在扫描驱动电路 4 输出的行扫描信号的上升沿到来时,向存储电容电极线 6 施加第一电压 V_1 。第二开关分别与扫描驱动电路 4、第二电压信号线 32 和存储电容电极线 6 连接,用于在扫描驱动电路 4 输出的行扫描信号的下降沿到来时,向存储电容电极线 6 施加第二电压 V_2 。

[0042] 具体的,第一开关可为 n 型掺杂的第一薄膜晶体管 TFT1。第一薄膜晶体管 TFT1 的栅极与栅线 5 连接,第一薄膜晶体管 TFT1 的源极与第一电压信号线 31 和存储电容电极线 6 其中之一连接,且第一薄膜晶体管 TFT1 的漏极与第一电压信号线 31 和存储电容电极线 6 其中的另一线连接。

[0043] 第二开关可为 p 型掺杂的第二薄膜晶体管 TFT2。第二薄膜晶体管 TFT2 的栅极与栅线 5 连接,第二薄膜晶体管 TFT2 的源极与第二电压信号线 32 和存储电容电极线 6 其中之一连接,且第二薄膜晶体管 TFT2 的漏极与第二电压信号线 32 和存储电容电极线 6 其中的另一线连接。

[0044] 根据非晶硅薄膜晶体管的关断特性可知,控制非晶硅薄膜晶体管关断的电压 V_{OFF} 小于 0。当扫描驱动电路向栅线输入方形行扫描信号时,对于采用非晶硅形成 TFT 沟道层,为了使得用于控制像素电极充电与否的薄膜晶体管 TFT 在关断时尽可能的减少漏电流 I_{OFF} ,可将方形行扫描信号的负压信号的电压取值范围设置在 $-8 \sim -6V$ 之间,而将方形行扫描信号的正压信号的电压取值范围设置在 $22 \sim 26V$ 之间。在图 3 所示电路结构中,第一薄

膜晶体管 TFT1 和第二薄膜晶体管 TFT2 构成一个 CMOS 结构。由于第一薄膜晶体管 TFT1 是 n 型掺杂薄膜晶体管,因此,第一薄膜晶体管 TFT1 可采用高电平控制其开启;而第二薄膜晶体管 TFT2 是 p 型掺杂薄膜晶体管,因此,第二薄膜晶体管 TFT2 可采用低电平控制其开启,即:方形行扫描信号的正压信号 V_{ON} 可用于控制 n 型掺杂的第一薄膜晶体管 TFT1 的开启,而方形行扫描信号的负压信号 V_{OFF} 可用于控制 p 型掺杂的第二薄膜晶体管 TFT2 的开启。

[0045] 在进行第一薄膜晶体管 TFT1 和第二薄膜晶体管 TFT2 的尺寸设计时,由于方形行扫描信号的负压信号和正压信号的电压绝对值并不相等,采用正压信号控制的第一薄膜晶体管 TFT1 和采用负压信号控制的第二薄膜晶体管 TFT2 的宽长比 (W/L) 不同,其中,第一薄膜晶体管 TFT1 的宽长比小于第二薄膜晶体管 TFT2 的宽长比。为了使得第一电压 V_1 信号能够通过第一薄膜晶体管 TFT1 无失真的传输给像素电容电极线,以及第二电压 V_2 信号能够通过第二薄膜晶体管 TFT2 无失真的传输给像素电容电极线,可根据现有技术对第一薄膜晶体管 TFT1 的宽长比以及第二薄膜晶体管 TFT2 的宽长比进行匹配,通过匹配二者各自的宽长比,可实现第一薄膜晶体管 TFT1 和第二薄膜晶体管 TFT2 的完全开启充电,即通过宽长比匹配的第一薄膜晶体管 TFT1 和第二薄膜晶体管 TFT2 分别将第一电压 V_1 和第二电压 V_2 施加到存储电容电极线 6 上。

[0046] 通过上述分析可知,图 2 和图 3 所示的电路结构可实现存储电容电极脉冲电压的输出,具有电路简单、易实现等优点。

[0047] 该电路结构可设计在扫描驱动芯片中;还可将上述电路结构直接形成在阵列基板的衬底基板上,如:在采用多晶硅、单晶硅等半导体材料并利用 TFT 构图工艺制备阵列基板的同时,将上述用于控制存储电容电极电位的控制电路,形成在该阵列基板的衬底基板(如:玻璃基板)上。

[0048] 下面说明通过图 2 和图 3 所示的电路结构的工作原理:

[0049] 假设:在扫描驱动电路中输出第 i 行栅线 G_i 的行扫描信号;第 i 个开关单元用于扫描驱动电路输入第 i 行栅线 G_i 的行扫描信号时,控制第 i 行存储电容电极线 C_i 的脉冲电压的输出。

[0050] 当施加在栅线 G_i 上的行扫描信号为正压信号 V_{ON} 时,正压信号 V_{ON} 同时施加到与栅线 G_i 连接的第一薄膜晶体管 TFT1 的栅极,使得第一薄膜晶体管 TFT1 开启,将第一电压信号线 31 输出的第一电压 V_1 通过第一薄膜晶体管 TFT1 传输给第 i 行像素电容电极线 C_i ,这样,像素中的薄膜晶体管 TFT 开启,将数据驱动电路 7 向数据线 8 输入的数据信号传输给第 i 行像素的像素电极 P_{ij} ,使得第 i 行像素电极 P_{ij} 开始充电。

[0051] 当扫描驱动电路 4 向栅线 G_i 输出的行扫描信号从正压信号 V_{ON} 反转为负压信号 V_{OFF} 。扫描驱动电路将负压信号 V_{OFF} 施加到栅线 G_i 上,使得栅线 G_i 上连接的同行像素中的薄膜晶体管 TFT 关闭,该行像素的像素电极充电结束;同时,负压信号 V_{OFF} 通过施加到第二薄膜晶体管 TFT2 的栅极,使得第二薄膜晶体管 TFT2 开启,第二电压信号线输出的第二电压 V_2 通过第二薄膜晶体管 TFT2 施加到第 i 行像素电容电极线 C_i 上。由于当薄膜晶体管 TFT 从开启状态改变为关闭状态时,施加在同行存储电容电极线 C_i 连接的存储电容电极上的电压信号由第一电压 V_1 改变为第二电压 V_2 ,且在薄膜晶体管 TFT 处于关闭状态时,存储电容电极一直处于一个高压状态(即第二电压 V_2)。

[0052] 通过上述控制,可在行扫描信号中正压信号 V_{ON} 和负压信号 V_{OFF} 的反转变换过程

中,实现分别控制施加到存储电容电极脉冲电压在第一电压 V_1 和第二电压 V_2 的同步变化。此外,由于每行存储电容电极线的电位与行号相同的行扫描信号电位同步变化,因而不同行的存储电容电极线之间的脉冲电压没有发生相互干扰,从而本发明还有利于提高液晶显示器阵列基板故障检测的方便性和准确性。

[0053] 图 4 为本发明存储电容电极电压信号波形图。如图 4 所示,彩膜基板公共电极 V_{com} (CF) 上施加有直流公共电极电压 V_{com} 。当施加在第 i 行栅线 G_i 的行扫描信号上升沿到来时,即当行扫描信号由 V_{OFF} 上升到 V_{ON} 时,控制电路向第 i 行存储电容电极线 C_i 输出第一电压 V_1 ;当施加在第 i 行栅线 G_i 的行扫描信号下降沿到来时,即当行扫描信号由 V_{ON} 下降为 V_{OFF} 时,控制电路向第 i 行存储电容电极线 C_i 输出第二电压 V_2 ,在薄膜晶体管 TFT 关断前后,根据电荷守恒定律,存在如下关系:

$$[0054] \quad (V_{P1}-V_{ON}) \times C_{GD} + (V_{P1}-V_{COM}) \times C_{LC} + (V_{P1}-V_1) \times C_{st}$$

$$[0055] \quad = (V_{P2}-V_{OFF}) \times C_{GD} + (V_{P2}-V_{COM}) \times C_{LC} + (V_{P1}-V_2) \times C_{st}$$

[0056] 由此推导出公式 (3):

$$[0057] \quad \Delta V'_p = V_{P2}-V_{P1} = [(V_{ON}-V_{OFF}) \times C_{GD} - (V_2-V_1) \times C_{st}] / (C_{GD}+C_{LC}+C_{st}) \quad (3)$$

[0058] 其中 V_{P1} 和 V_{P2} 分别表示薄膜晶体管 TFT 开启和关闭状态下像素电极 P_{ij} 的电压值, V_{ON} 和 V_{OFF} 分别表示栅极的开启电压和关闭电压, $\Delta V'_p$ 为像素电极 P_{ij} 的跳变电压。

[0059] 通过对比公式 (3) 和公式 (1) 可得:

$$[0060] \quad \Delta V'_p < \Delta V_p$$

[0061] 可见,本实施例通过存储电容电极线输出脉冲电压,在像素中薄膜晶体管 TFT 从开启状态变为关闭状态时,可有效减小像素电极存在的跳变电压,减缓像素电极上电荷的流失速度,对液晶层的电势差进行了补偿,从而有利于缓解显示画面闪烁、残像等问题,因此提升了液晶显示器显示的画面品质。

[0062] 同理,第 $i+1$ 行栅线 G_{i+1} 上施加的行扫描信号与第 $i+1$ 行存储电容电极线 C_{i+1} 同步变化,第 $i+2$ 行栅线 G_{i+2} 上施加的行扫描信号与第 $i+2$ 行存储电容电极线 C_{i+2} 同步变化,其他行栅线施加的行扫描信号与行号相同的存储电容电极线施加的存储电容电极电压信号的变化规律相同,从而实现在扫描驱动电路向栅线逐行输出行扫描信号,控制电路随着扫描驱动电路逐行对存储电容电极线施加同步变化的脉冲电压。

[0063] 在图 4 所示的波形图中,存储电容电极线上输出的第一电压 V_1 小于公共电极电压 V_{com} ,且第二电压 V_2 大于公共电极电压 V_{com} 。为了保证像素电极电压小于通过数据线施加的数据信号电压,第一电压 V_1 或第二电压 V_2 与公共电极电压 V_{com} 之间的差值,应控制在一定的范围内。

[0064] 如果第二电压 V_2 远大于公共电极电压 V_{com} ,则一方面可能造成高驱动电压,增加液晶显示器的功耗;另一方面,由于液晶层之间的电势差过大,可能造成像素电极在薄膜晶体管处于关闭状态下时,像素电极电压反而大于充电电压,即像素电极电压大于数据信号电压,使得薄膜晶体管处于关闭状态下时,由于像素电极电压过大,从而引起画面的错误显示。

[0065] 如果第二电压 V_2 远小于公共电极电压 V_{com} ,也有可能造成像素电极在薄膜晶体管处于关闭状态下时,像素电极电压仍大于充电电压,即像素电极电压大于数据信号电压,使得薄膜晶体管处于关闭状态下时,像素电极电压过大,从而引起画面的错误显示。

[0066] 通过上述分析可知,控制电路向存储电容电极线输出的第一电压 V_1 和第二电压 V_2 ,相对于彩膜基板公共电极上施加的公共电极电压 V_{com} 之间的差值,应控制在一定的范围内。为了保证像素电极电压小于、接近于数据驱动芯片通过数据线施加的数据信号电压,公共电极电压 V_{com} 与第一电压 V_1 之间的差值应小于 2V,优选的,公共电极电压 V_{com} 与第一电压 V_1 之间的差值为 $0.01V \sim 2V$;而第二电压 V_2 与公共电极电压 V_{com} 之间的差值应小于 2V,优选的,第二电压 V_2 与公共电极电压 V_{com} 之间的差值为 $0.01V \sim 2V$ 。

[0067] 此外,本发明还提供了一种液晶显示器控制方法,该方法包括:

[0068] 步骤 1、通过扫描驱动电路向栅线施加方形行扫描信号;

[0069] 步骤 2、在所述行扫描信号的上升沿到来时,向存储电容电极线施加第一电压,并在所述行扫描信号的下降沿到来时,向该存储电容电极线施加第二电压;所述第一电压小于施加在彩膜基板公共电极上的公共电极电压,且所述第二电压大于所述公共电极电压。

[0070] 上述液晶显示器控制方法步骤 2 中,公共电极电压与第一电压的差值为 $0.01V \sim 2V$;第二电压与公共电极电压的差值为 $0.01V \sim 2V$ 。

[0071] 通过上述分析可知,本发明提供的液晶显示器及其控制方法中,在扫描驱动电路向栅线施加方形行扫描信号的同时,对阵列基板存储电容电极线上的电位进行同步控制,实现在存储电容电极线上输出脉冲电压,由此可有效减小像素电极在薄膜晶体管关断前后存在的跳变电压,减缓像素电极上电荷的流失速度,对液晶层的电势差进行了补偿,从而有利于缓解显示画面闪烁、残像等显示问题,因此提升了液晶显示器显示的画面品质。

[0072] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明实施例技术方案的精神和范围。

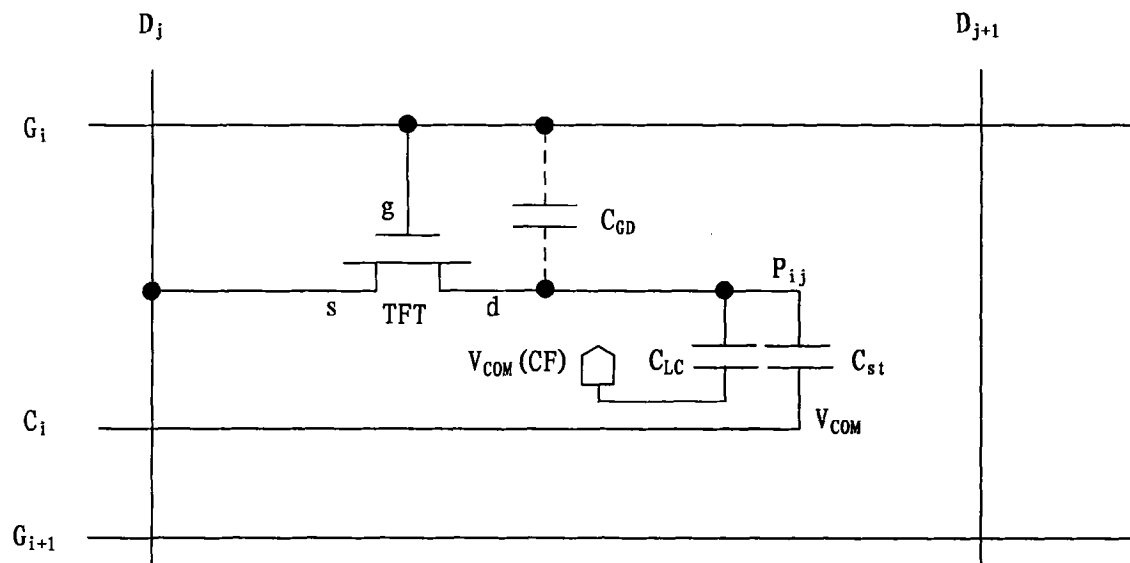


图 1

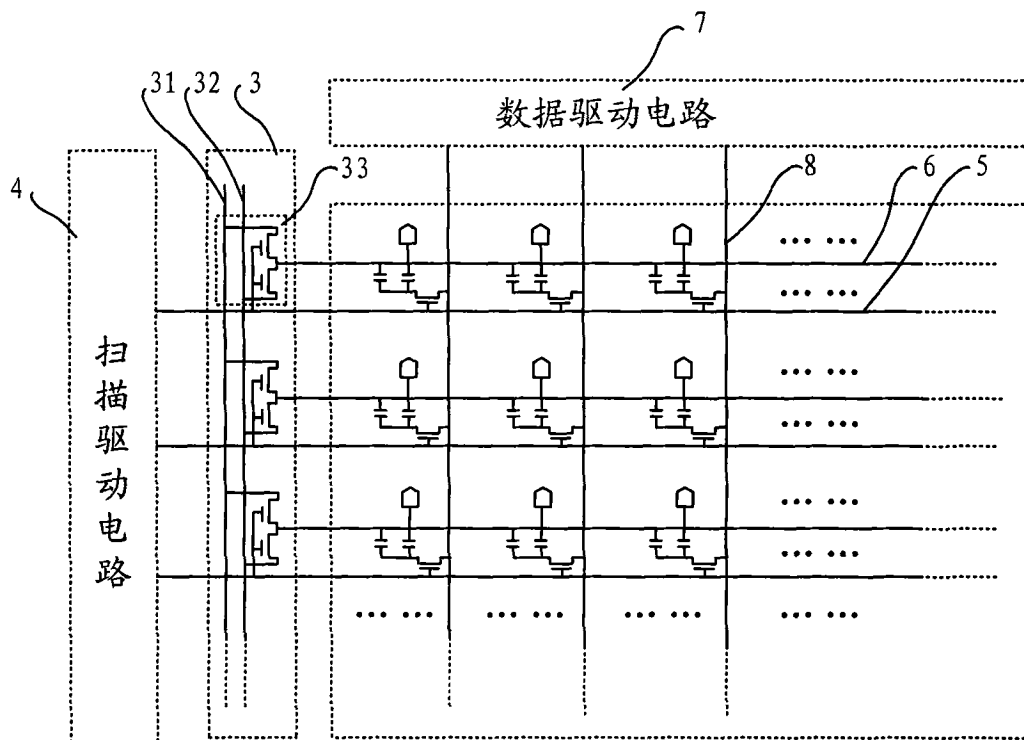


图 2

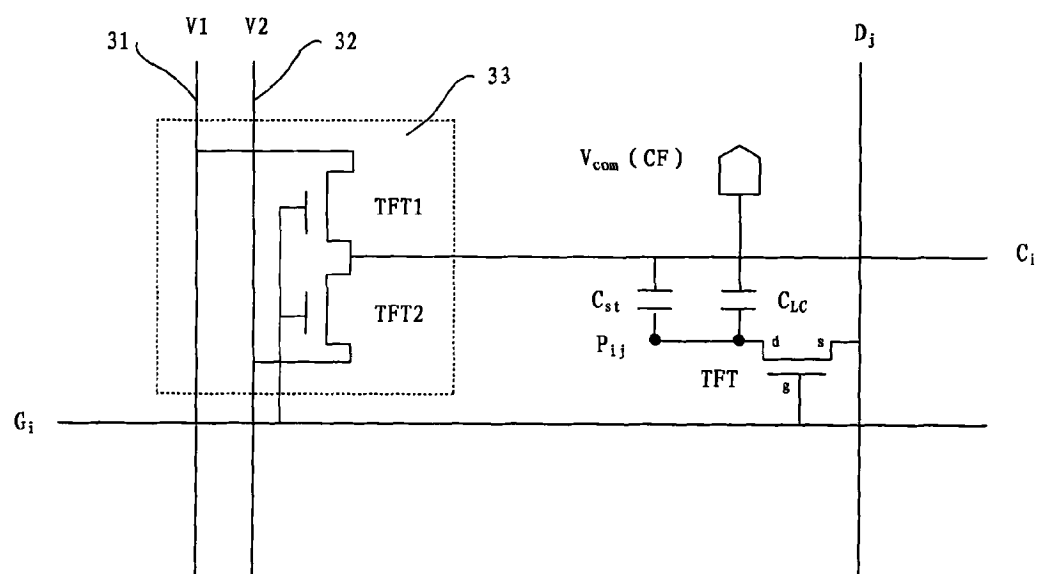


图 3

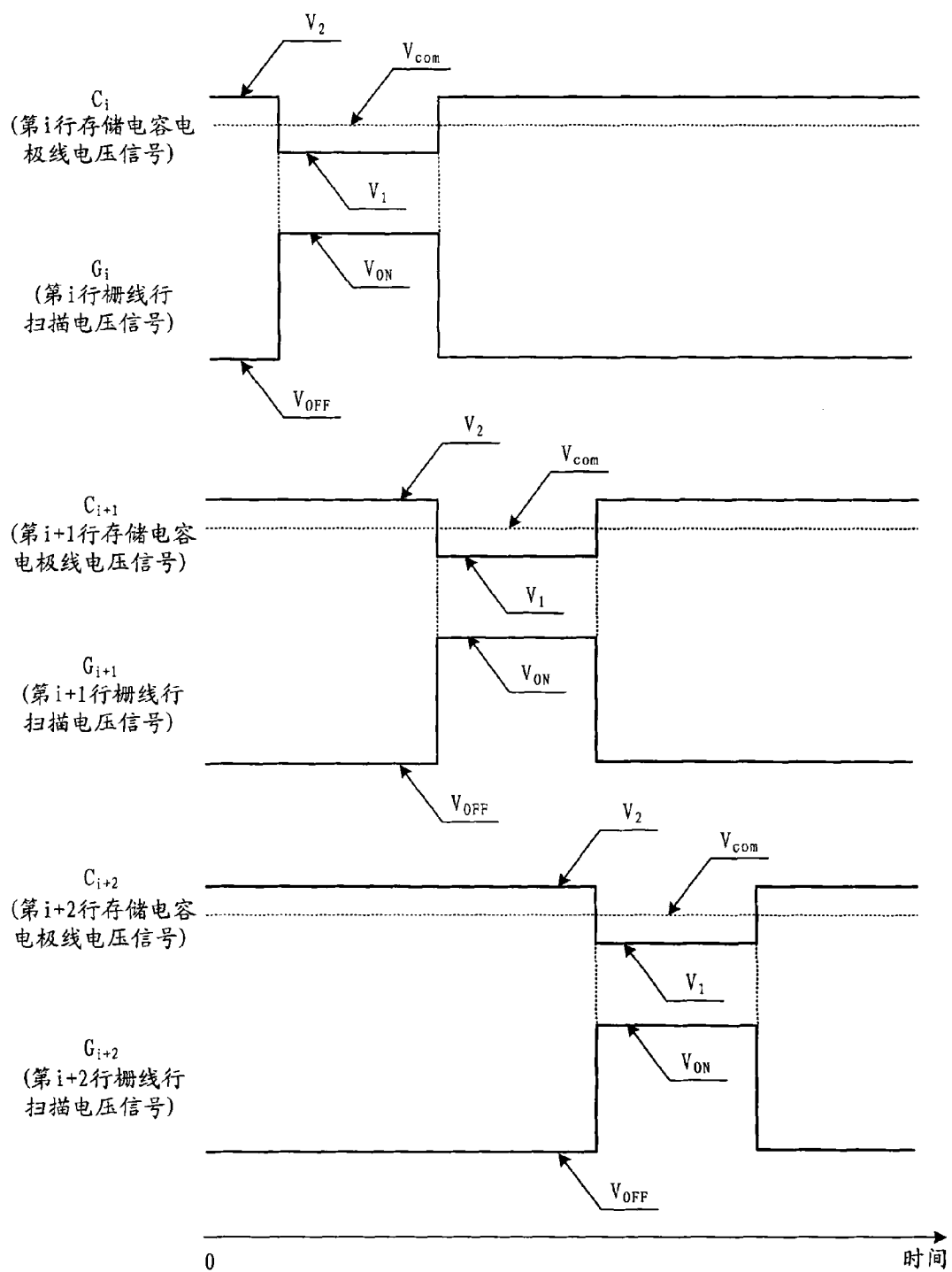


图 4

