



(12) 发明专利

(10) 授权公告号 CN 101504500 B

(45) 授权公告日 2011. 08. 31

(21) 申请号 200810057694. 7

US 6515644 B1, 2003. 02. 04, 全文.

(22) 申请日 2008. 02. 04

审查员 韩旭

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中  
路 8 号

(72) 发明人 何祥飞 王威

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

JP 7-175082 A, 1995. 07. 14, 全文.

CN 1472569 A, 2004. 02. 04, 全文.

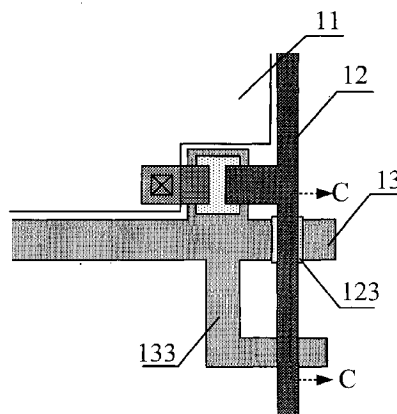
权利要求书 1 页 说明书 4 页 附图 6 页

(54) 发明名称

薄膜晶体管液晶显示器阵列基板的像素结构

(57) 摘要

本发明的涉及一种薄膜晶体管液晶显示器阵列基板的像素结构,包括像素电极、栅线和数据线,所述栅线和数据线的交叠处形成有寄生电容,其中,所述栅线上还设置有延伸部,所述延伸部与所述数据线形成有保护电容,与所述寄生电容并联设置,所述保护电容的两极间距离小于所述寄生电容的两极间距离。通过本发明,由于为像素结构设置了保护电容,从而有效降低了因 ESD 引起的线不良比率,提高了成品率,降低了生产成本,尤其对于液晶电视产品能够发挥更大的作用。另外,这种结构设计简单,占用显示区域小,基于现有工艺条件即可实现,并且在新产品开发中不会增加成本。



1. 一种薄膜晶体管液晶显示器阵列基板的像素结构,包括像素电极、栅线和数据线,所述栅线和数据线的交叠处形成有寄生电容,其特征在于:

所述栅线上还设置有分支部,所述分支部与所述数据线形成有保护电容,所述保护电容与所述寄生电容并联设置,所述保护电容的两极间距离小于所述寄生电容的两极间距离。

2. 根据权利要求1所述的像素结构,其特征在于:所述分支部与所述栅线位于同一布线层,所述分支部与所述栅线一体连接,并与所述数据线交叠形成所述保护电容。

3. 根据权利要求1所述的像素结构,其特征在于:所述分支部包括延伸部和导线部,所述延伸部的一端与所述栅线一体连接,另一端与所述导线部电连接,所述导线部与所述数据线交叠形成所述保护电容。

4. 根据权利要求3所述的像素结构,其特征在于:所述导线部的材料与所述像素电极的材料相同。

5. 根据权利要求4所述的像素结构,其特征在于:所述导线部通过过孔与所述栅线电连接。

6. 根据权利要求5所述的像素结构,其特征在于:所述导线部位于所述像素电极的所在层内。

7. 根据权利要求书1-6任一所述的像素结构,其特征在于:所述保护电容有多个,均与所述寄生电容并联设置,多个保护电容是由多个分支部实现的。

## 薄膜晶体管液晶显示器阵列基板的像素结构

### 技术领域

[0001] 本发明涉及一种像素结构,尤其涉及薄膜晶体管液晶显示器(简称:TFT-LCD)阵列基板的像素结构,属于液晶面板的阵列技术。

### 背景技术

[0002] 在现有的薄膜晶体管液晶显示器的生产条件下,在栅线(Gate Line)和数据线(Data Line)的交叠部位(Cross)经常会发生静电击穿,从而导致产生数据线栅线短路不良(简称:DGS线不良)。

[0003] 如图1A所示,为现有采用五次掩模工艺的像素结构示意图,图1B为图1A中沿A-A方向的截面图。从图中可以看出,该像素结构具有像素电极11,在基板00和第二保护层15之间的层结构中,布设有数据线12和栅线13。在有源区123的位置处,数据线12和栅线13交叠形成寄生电容。当该寄生电容发生静电击穿时,会导致DGS线不良。

[0004] 如图2A所示,为现有采用四次掩模工艺的像素结构示意图,图2B为图2A中沿B-B方向的截面图。从图中可以看出,该像素结构具有像素电极21,在基板00和第二保护层25之间的层结构中,布设有数据线22和栅线23。在有源区223的位置处,数据线22和栅线23交叠形成寄生电容。当该寄生电容发生静电击穿时,会导致DGS线不良。

[0005] 现有技术的缺陷在于:现有技术中,针对上述容易发生静电击穿的寄生电容部分没有提供任何保护措施,一旦被击穿便难以修复,从而会影响产生质量和良品率。

### 发明内容

[0006] 本发明要解决的问题是:现有像素电极上的寄生电容发生静电击穿后难以修复。

[0007] 为了解决上述问题,本发明的一个实施例是提供了一种像素结构,包括像素电极、栅线和数据线,所述栅线和数据线的交叠处形成有寄生电容,其中,所述栅线上还设置有延伸部,所述延伸部与所述数据线形成有保护电容,与所述寄生电容并联设置,所述保护电容的两极间距离小于所述寄生电容的两极间距离。

[0008] 通过本发明,由于为像素结构设置了保护电容,从而有效降低了因静电放电(简称:ESD)引起的线不良比率,提高了成品率,降低了生产成本,尤其对于液晶电视产品能够发挥更大的作用。另外,这种结构设计简单,占用显示区域小,基于现有工艺条件即可实现,并且在新产品开发中不会增加成本。

[0009] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

### 附图说明

[0010] 图1A为现有采用五次掩模工艺的像素结构示意图;

[0011] 图1B为图1A中沿A-A方向的截面图;

[0012] 图2A为现有采用四次掩模工艺的像素结构示意图;

[0013] 图2B为图2A中沿B-B方向的截面图;

- [0014] 图 3A 为本发明实施例 1 所述像素结构的示意图；
- [0015] 图 3B 为图 3A 中沿 C-C 方向的截面图；
- [0016] 图 3C 为本发明实施例 1 所述保护电容与寄生电容的等效电路图；
- [0017] 图 3D 为本发明实施例 1 所述具有两个保护电容的像素结构的示意图；
- [0018] 图 4A 为本发明实施例 2 所述像素结构的示意图；
- [0019] 图 4B 为图 4A 中沿 D-D 方向的截面图；
- [0020] 图 4C 为图 4A 中沿 E-E 方向的截面图；
- [0021] 图 4D 为本发明实施例 2 所述具有两个保护电容的像素结构的示意图。

## 具体实施方式

### [0022] 实施例 1

[0023] 本实施例提供了一种 TFT-LCD 阵列基板的像素单元,该像素结构采用五次掩模工艺制造。其中的五次掩模工艺是现有的一种像素结构制造方法。其主要过程包括:

- [0024] 1、在基板 00 上通过成膜、曝光、刻蚀工艺形成栅线、栅线分支部和栅极；
- [0025] 2、直接沉积第一保护层,通过成膜、曝光、刻蚀工艺形成有源层图形；
- [0026] 3、通过成膜、曝光、刻蚀工艺形成数据线、源极和漏极；
- [0027] 4、再通过成膜、曝光、刻蚀工艺形成过孔；
- [0028] 5、通过成膜、曝光、刻蚀工艺形成像素电极,该像素电极通过过孔与源极导通。

[0029] 如图 3A 所示,本实施例所述的像素结构包括像素电极 11、数据线 12 和栅线 13。其中,栅线 13 和数据线 12 的交叠处形成有寄生电容,如图 3B 所示为图 3A 中沿 C-C 方向的截面图。寄生电容的上电极由数据线 12 形成,下电极由栅线 13 形成。寄生电容的两极间距离为图中箭头所示的距离 D1。

[0030] 在栅线 13 上还设置有分支部 133。该分支部 133 与数据线 12 形成有保护电容。分支部 133 与栅线 13 位于同一布线层。分支部 133 的与栅线 13 一体连接,并与数据线 12 交叠形成保护电容。在本实施例中,分支部 133 与栅线 13 位于同一布线层并且是一体的,因此可以在通过掩模工艺生成栅线 13 的同时,也生成分支部 133。

[0031] 如图 3B 所示,保护电容的上电极由数据线 12 形成,下电极由分支部 133 形成。保护电容的两极间距离为图中箭头所示的距离 D2。从图中可以看出,寄生电容的两极间距离 D1 包括第一保护层 14 及有源区 123 的厚度;保护电容的两极间距离 D2 仅包括第一保护层 14 的厚度。由于保护电容的两极之间不包含有源区 123,因此,保护电容的两极间距离 D2 小于寄生电容的两极间距离 D1。

[0032] 如图 3C 所示为保护电容和寄生电容的等效电路图。可见,保护电容与寄生电容并联设置。两个电容两端的电压 V 是一致的,根据电场强度  $E = \text{电压} V / \text{两极间距离} D$  的公式,在电容中介质材料相同的情况下,两极间距离 D 越小,电场 E 越大,电容越容易被击穿。因此,当发生静电击穿时,保护电容比寄生电容更容易被击穿。当栅线 13 和数据线 12 上存在静电时,保护电容先被击穿,从而释放了静电,保护了寄生电容的正常工作。而被击穿后的保护电容可以通过激光切割等方法进行维修,使分支部 133 脱离栅线 13,从而保证整个像素结构的正常工作。

[0033] 此处需要说明的是,保护电容不仅可以设置一个,还可以设置多个。如图 3D 所示,

分别有两个分支部 133 和 134 与数据线 12 交叠形成两个保护电容,且均与寄生电容并联设置。其他个数的保护电容设置方式与两个保护电容的设置方式类似,此处不再赘述。

[0034] 另外,通过控制膜厚、面积以及介电常数等参数将保护电容的电容值控制在合理的范围内,以避免由于电容过小而造成过于频繁地被击穿,从而增加维修成本。并且通过将不同的保护电容设置为不同电容值,可以为像素结构提供多级保护。

[0035] 通过本实施例所述结构,针对五次掩模工艺的像素结构设置了保护电容。有效降低了因 ESD 引起的线不良比率,提高了成品率,降低了生产成本,尤其对于液晶电视产品能够发挥更大的作用。另外,这种结构设计简单,占用显示区域小,基于现有工艺条件即可实现,并且在新产品开发中不会增加成本。

[0036] 实施例 2

[0037] 本实施例提供了另一种 TFT-LCD 阵列基板的像素结构,该像素结构采用四次掩模工艺制造。其中的四次掩模工艺也是现有的一种像素结构制造方法。其主要过程包括:

[0038] 1、在基板 00 上通过成膜、曝光、刻蚀工艺形成栅极导线和栅极导线的延伸部和栅极;

[0039] 2、直接沉积第一保护层,通过成膜、曝光、刻蚀工艺形成有源层图形、数据线,源极以及漏极;

[0040] 3、通过成膜、曝光、刻蚀工艺形成过孔;

[0041] 4、通过成膜、曝光、刻蚀工艺形成像素电极和导线部,其中,像素电极通过过孔与源极导通,导线部通过过孔与栅线的延伸部连接。

[0042] 如图 4A 所示,本实施例所述的像素结构包括像素电极 21、数据线 22 和栅线 23。其中,栅线 23 和数据线 22 的交叠处形成有寄生电容,如图 4B 所示为图 4A 中沿 D-D 方向的截面图。寄生电容的上电极由数据线 22 形成,下电极由栅线 23 形成。寄生电容的两极间距离为图中箭头所示的距离 D1。

[0043] 在本实施例中,由于像素结构是采用四次掩模工艺制造的。从图 4B 中可以看出,在这种工艺下,由于有源区 223 不仅限于栅线 23 所对应的范围内,而且还沿数据线 22 延伸扩展,因此如果采用实施例 1 所述的与栅线 13 一体形成的分支部 133,不能保证保护电容的两极间距离小于寄生电容的两极间距离,也就达不到保护寄生电容的目的。

[0044] 为了解决这一问题,本实施例所采用的分支部并不直接与数据线 22 交叠形成保护电容,而是将分支部分为延伸部 233 和导线部 235。其中,延伸部 233 的一端与栅线 23 一体连接,另一端与导线部 235 电连接,再间接由导线部 235 与数据线 22 交叠形成保护电容。具体地,如图 4C 所示,导线部 235 的材料可以与像素电极 21 的材料相同,通过过孔 234 与延伸部 233 电连接。此时,导线部 235 并不与栅线 23 位于同一布线层,而是位于像素电极 21 的所在层内,并与像素电极 21 在同一次成膜、曝光和刻蚀形成。

[0045] 从图 4B 中可以看出,寄生电容的两极间距离 D1 包括第一保护层 24 及有源层 223 的厚度;保护电容的两极间距离 D3 仅包括第二保护层 25,因此,通过膜厚控制容易实现保护电容的两极间距离 D3 小于寄生电容的两极间距离 D1。

[0046] 同样,如图 3C 所示,本实施例中所述的保护电容与寄生电容也是并联设置。两极间距离 D 越小,电场 E 越大,电容越容易被击穿。因此,当发生静电击穿时,保护电容也同样能够起到保护寄生电容的目的。

[0047] 此处需要说明的是,本实施例中的保护电容也可以设置多个。如图 4D 所示,栅线 23 的延伸部分别通过两个导线部 235 和 236 与数据线 22 交叠形成两个保护电容,且均与寄生电容并联设置。另外,也可以通过控制膜厚、面积以及介电常数等参数将保护电容的电容值控制在合理的范围内,以避免由于电容过小而造成过于频繁地被击穿,从而增加维修成本。通过将不同的保护电容设置为不同电容值,可以为像素结构提供多级保护。

[0048] 通过本实施例所述结构,针对四次掩模工艺的像素结构设置了保护电容。有效降低了因 ESD 引起的线不良比率,提高了成品率,降低了生产成本,尤其对于液晶电视产品能够发挥更大的作用。另外,这种结构设计简单,占用显示区域小,基于现有工艺条件即可实现,并且在新产品开发中不会增加成本。

[0049] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

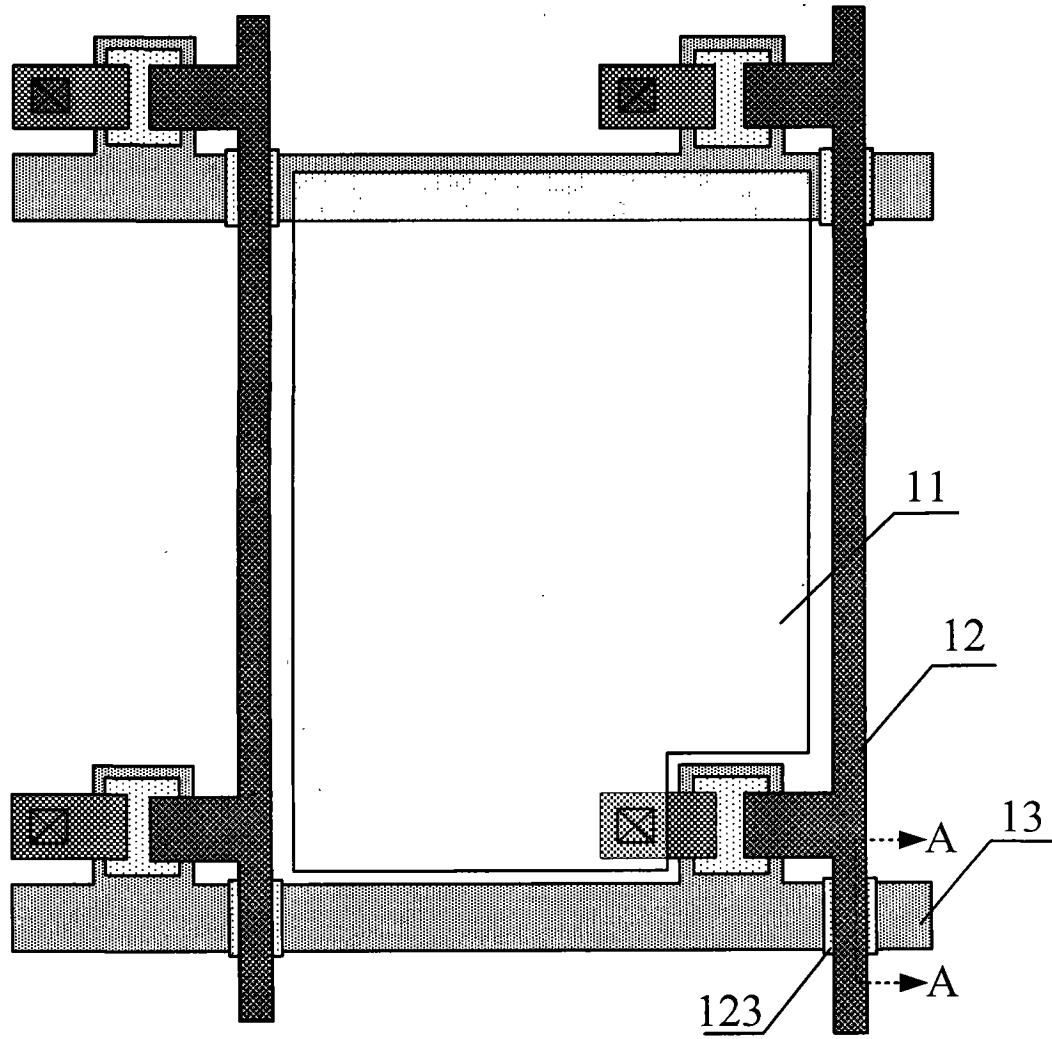


图 1A

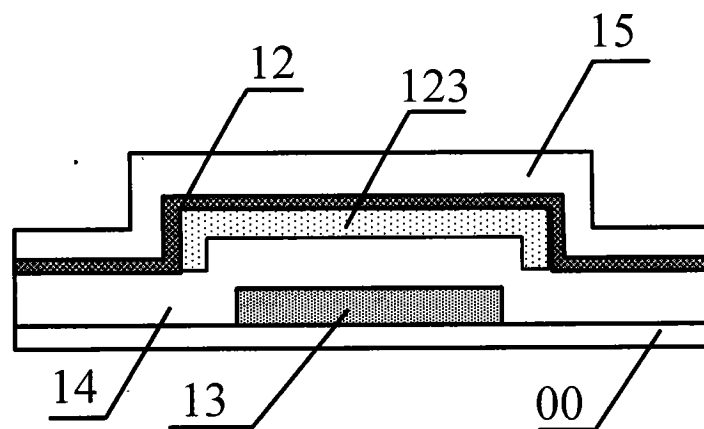


图 1B

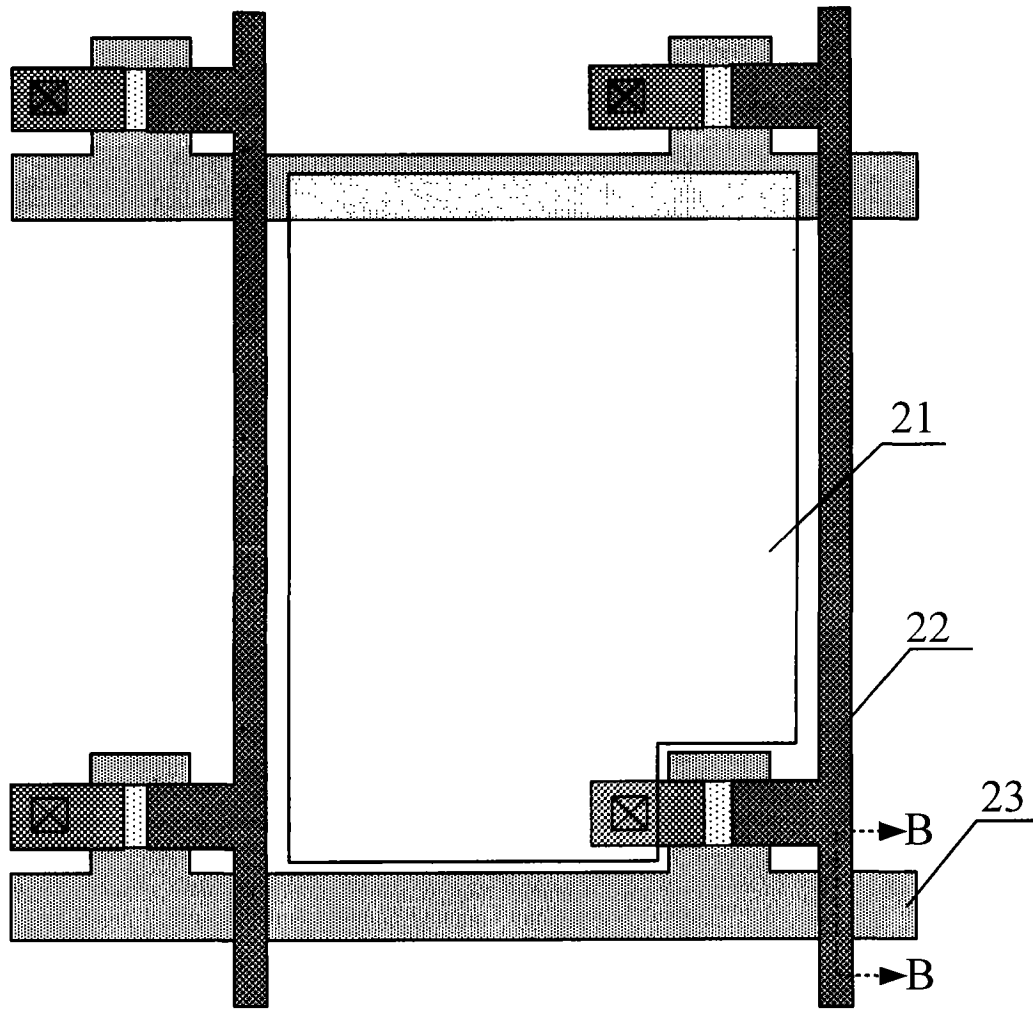


图 2A

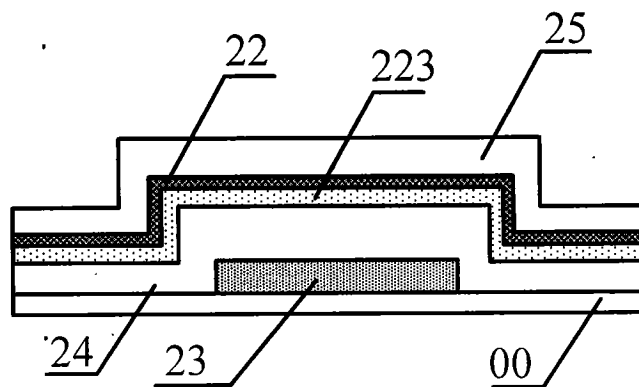


图 2B

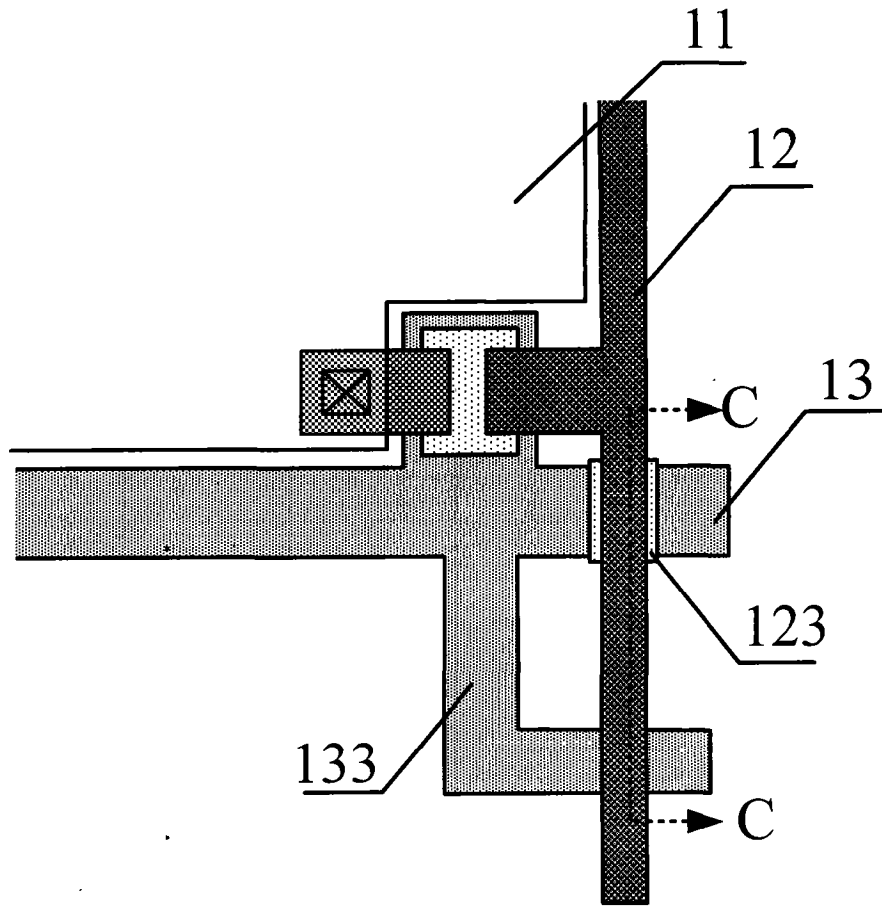


图 3A

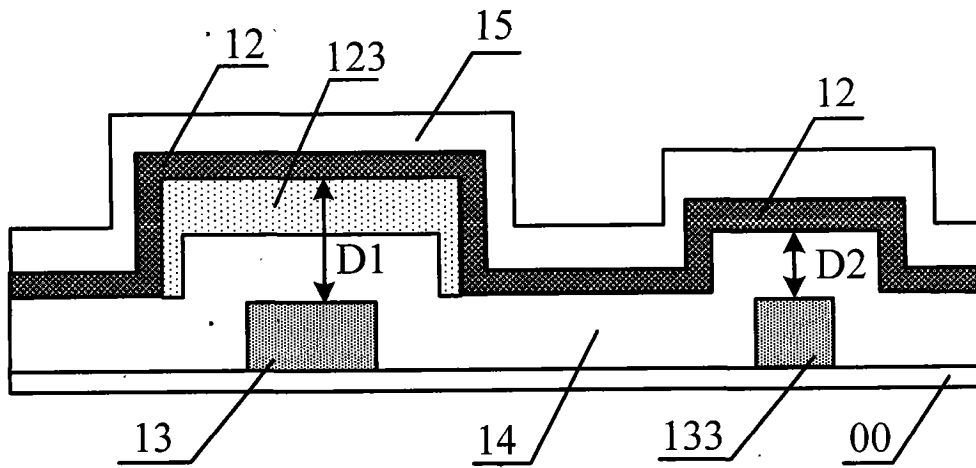


图 3B

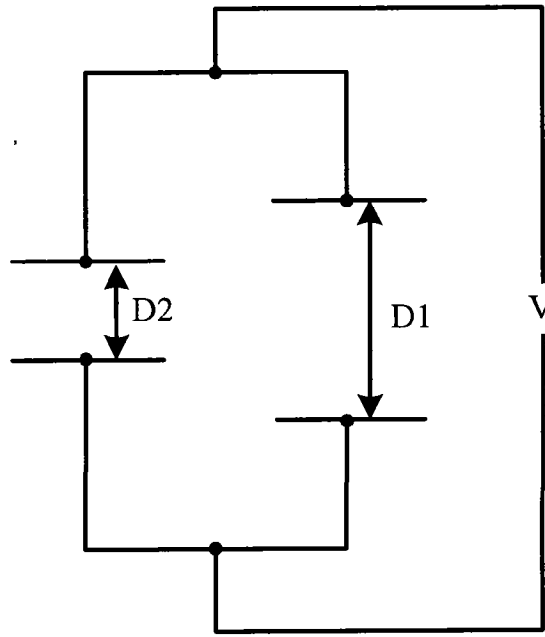


图 3C

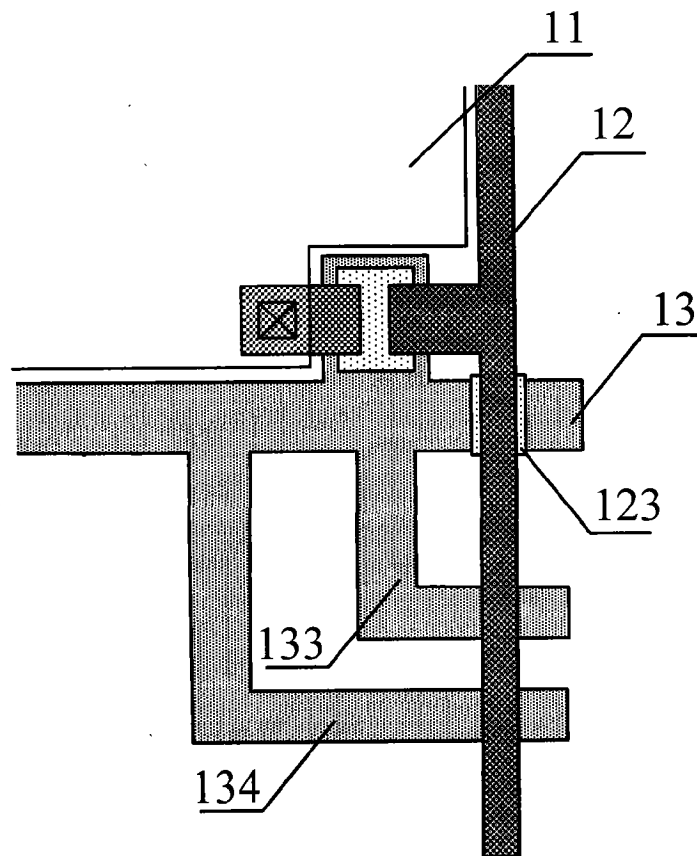


图 3D

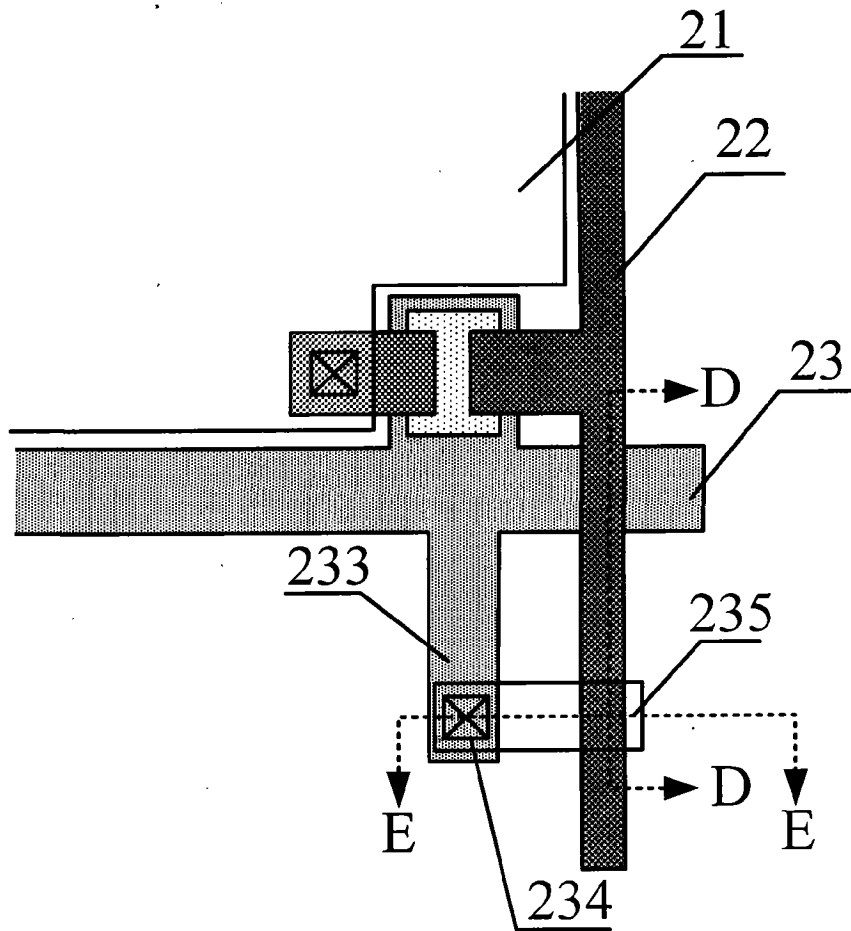


图 4A

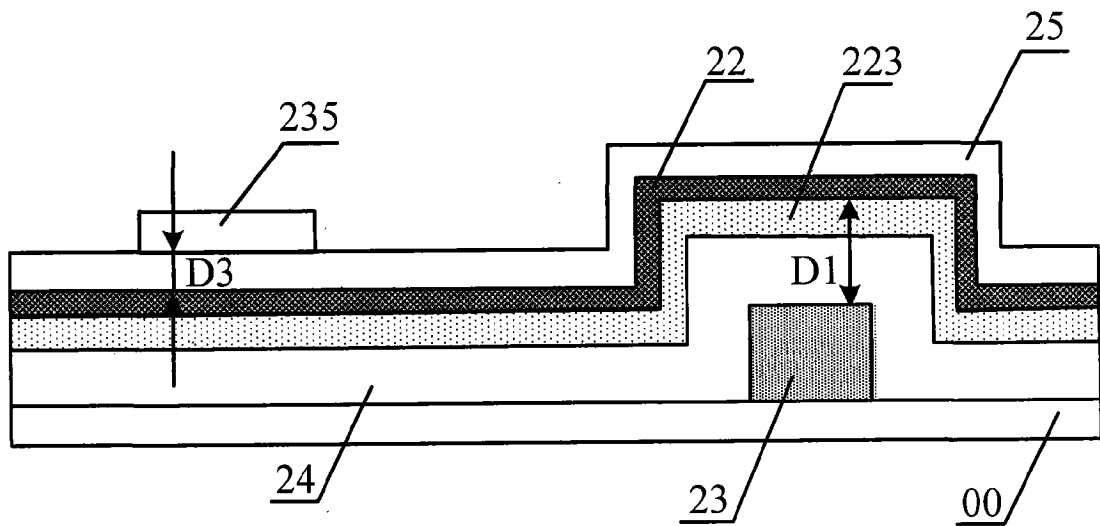


图 4B

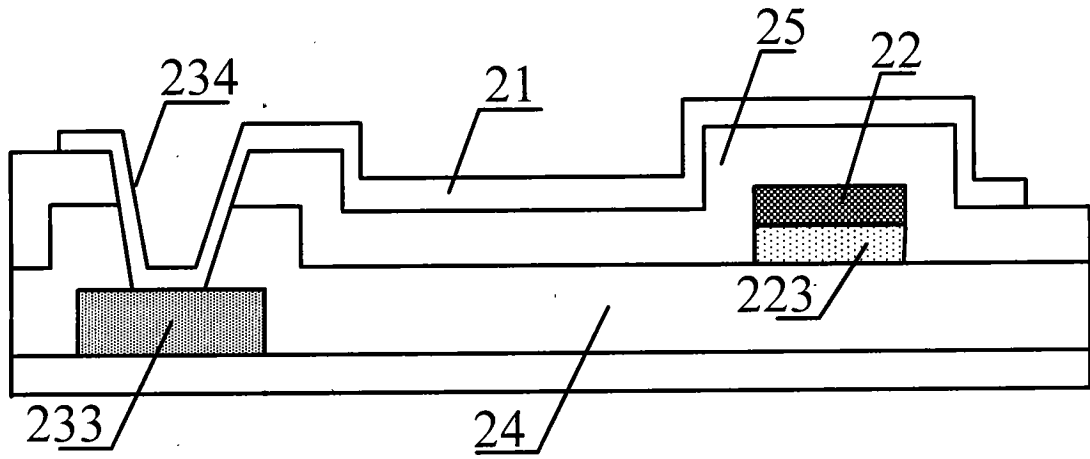


图 4C

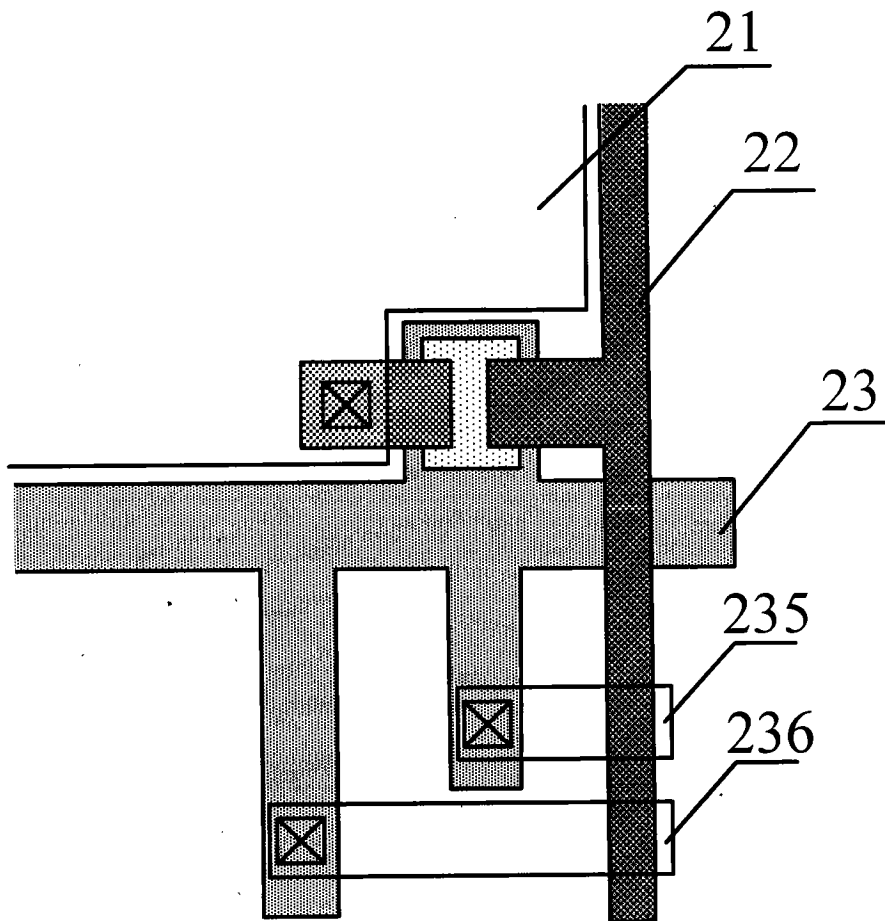


图 4D

专利名称(译)	薄膜晶体管液晶显示器阵列基板的像素结构		
公开(公告)号	<a href="#">CN101504500B</a>	公开(公告)日	2011-08-31
申请号	CN200810057694.7	申请日	2008-02-04
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	何祥飞 王威		
发明人	何祥飞 王威		
IPC分类号	G02F1/1362 H01L27/12		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/13606		
代理人(译)	刘芳		
审查员(译)	韩旭		
其他公开文献	CN101504500A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明的涉及一种薄膜晶体管液晶显示器阵列基板的像素结构，包括像素电极、栅线和数据线，所述栅线和数据线的交叠处形成有寄生电容，其中，所述栅线上还设置有延伸部，所述延伸部与所述数据线形成有保护电容，与所述寄生电容并联设置，所述保护电容的两极间距离小于所述寄生电容的两极间距离。通过本发明，由于为像素结构设置了保护电容，从而有效降低了因ESD引起的线不良比率，提高了成品率，降低了生产成本，尤其对于液晶电视产品能够发挥更大的作用。另外，这种结构设计简单，占用显示区域小，基于现有工艺条件即可实现，并且在新产品开发中不会增加成本。

