

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710188247.0

[51] Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)

[43] 公开日 2008年5月28日

[11] 公开号 CN 101187766A

[22] 申请日 2007.11.23

[21] 申请号 200710188247.0

[30] 优先权

[32] 2006.11.23 [33] KR [31] 116487/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金希骏 朴贞恩 李庸羽

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽

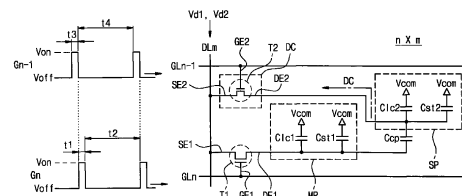
权利要求书 4 页 说明书 10 页 附图 8 页

[54] 发明名称

显示面板

[57] 摘要

在包括多个像素的显示面板中，每个像素包括：第一薄膜晶体管、第一液晶电容器和第二液晶电容器、耦合电容器、以及放电电路。所述第一液晶电容器通过所述第一薄膜晶体管连接到数据线。所述第二液晶电容器通过耦合电容器而并联地连接到第一液晶电容器。放电电路连接在耦合电容器和第二液晶电容器之间，并且其对存储在第二液晶电容器中的电荷进行放电。



1. 一种显示面板，包括：
多条栅极线，用以接收包括栅极导通电压和栅极截止电压的栅极脉冲；
多条数据线，与栅极线交叉并与其绝缘，所述数据线用以接收第一数据电压；以及
多个像素，分别配置在通过栅极线和数据线定义的多个像素区域中；
其中，像素包括：
第一薄膜晶体管，连接到第 n 条栅极线和第 m 条数据线，用以响应于具有栅极导通电压的栅极脉冲而输出第一数据电压， n 和 m 是自然数；
第一液晶电容器，连接到第一薄膜晶体管，用以充电第一数据电压作为主像素电压；
耦合电容器，并联地连接到第一液晶电容器，用以接收第一数据电压；
第二液晶电容器，串联地连接到耦合电容器，用以充电第二数据电压作为子像素电压，所述第二数据电压低于第一数据电压；以及
放电电路，连接在耦合电容器和第二液晶电容器之间，用以形成存储在第二液晶电容器中的电荷的放电路径。
2. 根据权利要求 1 的显示面板，其中所述放电电路包括第二薄膜晶体管。
3. 根据权利要求 2 的显示面板，其中所述第一薄膜晶体管包括：
第一栅极电极，连接到第 n 条栅极线；
第一源极电极，连接到第 m 条数据线；以及
第一漏极电极，
其中，所述第二薄膜晶体管包括：
第二栅极电极，连接到第 $(n-1)$ 条栅极线；
第二源极电极，连接到第 m 条数据线；以及
第二漏极电极，连接在耦合电容器和第二液晶电容器之间。
4. 根据权利要求 3 的显示面板，其中所述放电路径包括第二薄膜晶体管和第 m 条数据线。
5. 根据权利要求 3 的显示面板，其中当第一薄膜晶体管响应于具有栅极截止电压的栅极脉冲而截止时，开始存储在第二液晶电容器中的电荷的放

电。

6. 根据权利要求2的显示面板，其中所述第一薄膜晶体管包括：

第一栅极电极，连接到第 n 条栅极线；

第一源极电极，连接到第 m 条数据线；以及

第一漏极电极，

其中，所述第二薄膜晶体管包括：

第二栅极电极，连接到第 $(n-1)$ 条栅极线；

第二源极电极，连接到第 $(m+1)$ 条数据线；以及

第二漏极电极，连接在耦合电容器和第二液晶电容器之间。

7. 根据权利要求6的显示面板，其中所述放电路径包括第二薄膜晶体管和第 $(m+1)$ 条数据线。

8. 根据权利要求2的显示面板，其中第二薄膜晶体管的 W/L 是第一薄膜晶体管的 W/L 的 20% 或更少， W 是薄膜晶体管的沟道宽度， L 是其沟道长度。

9. 根据权利要求1的显示面板，其中所述像素还包括：

第一存储电容器，与第一液晶电容器并联地连接；以及

第二存储电容器，与第二液晶电容器并联地连接。

10. 一种显示面板，包括：

阵列基底，包括用以接收栅极脉冲的多条栅极线、与所述栅极线交叉并与其绝缘的多条数据线、以及分别配置在由所述栅极线和数据线定义的多个像素区域中的多个像素，其中所述栅极脉冲包括栅极导通电压和栅极截止电压，并且所述数据线接收第一数据电压；

相对的基底，在面对所述阵列基底的同时与所述阵列基底耦接，所述相对的基底包括公共电极；以及

液晶层，插入在所述阵列基底和所述相对的基底之间，

其中像素包括：

第一薄膜晶体管，连接到第 n 条栅极线和第 m 条数据线，用以响应于具有栅极导通电压的栅极脉冲而输出第一数据电压；

主像素电极，连接到第一薄膜晶体管的第一漏极电极，用以接收作为主像素电压的第一数据电压；

子像素电极，与所述主像素电极分隔开并与所述第一漏极电极部分重

叠，用以接收比第一数据电压低的、作为子像素电压的第二数据电压；以及第二薄膜晶体管，连接到所述子像素电极，用以形成子像素电极的电压的放电路径。

11. 根据权利要求 10 的显示面板，其中所述第一薄膜晶体管包括：第一栅极电极，从第 n 条栅极线分支；以及第一源极电极，配置在第一栅极电极上，并且所述第一源极电极从第 m 条数据线分支，

其中，所述第二薄膜晶体管包括：

第二栅极电极，从第 $(n-1)$ 条栅极线分支；

第二源极电极，配置在第二栅极电极上，并且所述第二源极电极从第 m 条数据线分支；以及

第二漏极电极，与第二源极电极分隔开并连接到所述子像素电极。

12. 根据权利要求 11 的显示面板，其中所述放电路径包括第二薄膜晶体管和第 m 条数据线。

13. 根据权利要求 10 的显示面板，其中所述第一薄膜晶体管包括：

第一栅极电极，从第 n 条栅极线分支；以及

第一源极电极，配置在第一栅极电极上，所述第一源极电极从第 m 条数据线分支，

其中，所述第二薄膜晶体管包括：

第二栅极电极，从第 $(n-1)$ 条栅极线分支；

第二源极电极，配置在第二栅极电极上，所述第二源极电极从第 $(m+1)$ 条数据线分支；以及

第二漏极电极，与第二源极电极分隔开并连接到所述子像素电极。

14. 根据权利要求 13 的显示面板，其中所述放电路径包括第二薄膜晶体管和第 $(m+1)$ 条数据线。

15. 根据权利要求 10 的显示面板，其中所述像素还包括：

主存储电极，与主像素电极的边沿部分地重叠；以及

子存储电极，与子像素电极的边沿部分地重叠。

16. 根据权利要求 15 的显示面板，其中所述主存储电极与子存储电极整体形成。

17. 根据权利要求 10 的显示面板，其中所述第一薄膜晶体管和第二薄

膜晶体管基本上同时通过相同的处理来形成。

18. 根据权利要求 17 的显示面板，其中第二薄膜晶体管的 W/L 是第一薄膜晶体管的 W/L 的 20% 或更少， W 是薄膜晶体管的沟道宽度， L 是薄膜晶体管的沟道长度。

显示面板

技术领域

本发明涉及显示面板。更具体地，本发明涉及可以能够有效地对存储在像素中的电荷进行放电的显示面板。

背景技术

通常，液晶显示器（LCD）包括 LCD 面板。LCD 面板包括在其上形成薄膜晶体管的薄膜晶体管基底、在其上形成滤色器的滤色器基底、以及在薄膜晶体管基底和滤色器基底之间的液晶层。由于 LCD 面板不是自发射性的（self-emissive），它可包括排列在薄膜晶体管基底后面的背光单元，以便将光辐射到其中。根据液晶层的对准状态来调整从背光单元辐射的光的透射率。

LCD 可以是薄的、重量轻的、并且消耗很少的功率，但是大的 LCD 难以制造，可以改善其对比率（contrast ratio），并且可以加宽其视角。

为了加宽 LCD 的视角，已经开发了图案化垂直对准（PVA: Patterned Vertically Aligned）模式的 LCD。根据该 PVA LCD，在像素电极和公共电极二者中形成切割图案，并使用通过切割图案形成的边缘场（fringe field）来调整液晶微粒（molecule）的倾斜方向，从而改善视角。

在 PVA LCD 中，通过液晶微粒传输的光的相位延迟可取决于 LCD 的前面和侧面之间的视角而显著地改变。因此，低灰度级的亮度可以在 LCD 的侧面显著地增加，从而恶化了可见度（visibility）并降低了对比率。为了解决这个问题，已经开发了超 PVA（SPVA）LCD。根据 SPVA LCD，将像素电极划分为其上直接施加数据电压的第一部分以及相对于第一部分电浮置的第二部分。

当 LCD 面板关断时，通过栅极线将接地电压施加到其中。这样，接地电压也被施加到薄膜晶体管的栅极电极。在这个情况中，由于在薄膜晶体管中可以流动大约 10pA 到 1nA 的电流，所以可以通过数据线在几百毫秒中将存储在像素中的电荷放电到外部。

然而，由于在 SPVA LCD 中的像素电极的第二部分是电浮置的（即，第二部分与第一部分、薄膜晶体管、和数据线电隔离），所以不能适当地将在像素电极的第二部分中存储的电荷放电。

由于不能轻易地将这些电荷放电，所以可以将具有相同极性的电压同时施加到液晶上。这样，即使在 LCD 面板关断时，也可能在 LCD 面板上保留后像（after image），并且可以在 LCD 面板的操作期间发生闪烁。

发明内容

本发明提供了能够改善亮度和侧面可见度的显示面板。

本发明的附加特征将在接下来的描述中陈述，并且将部分地从所述描述中显现，或者可通过实践本发明而获知。

本发明公开一种显示面板，其包括：多条栅极线，用以接收具有栅极导通电压和栅极截止电压的栅极脉冲；多条数据线，与栅极线交叉并与其绝缘，所述数据线用以接收第一数据电压；以及多个像素，分别配置在通过栅极线和数据线定义的多个像素区域中。像素包括第一薄膜晶体管、第一液晶电容器、耦合电容器、第二液晶电容器和放电电路。所述第一薄膜晶体管连接到第 n 条栅极线和第 m 条数据线，用以响应于具有栅极导通电压的栅极脉冲而输出第一数据电压，其中 n 和 m 是自然数。第一液晶电容器连接到第一薄膜晶体管，用以充电作为主像素电压的第一数据电压，所述耦合电容器并联地连接到第一液晶电容器，用以接收第一数据电压，以及第二液晶电容器串联地连接到耦合电容器，用以充电作为子像素电压的第二数据电压。所述第二数据电压低于第一数据电压。所述放电电路，连接在耦合电容器和第二液晶电容器之间，用以形成存储在第二液晶电容器中的电荷的放电路径。

本发明还公开了一种显示面板，其包括：阵列基底，具有用以接收栅极脉冲的多条栅极线、与所述栅极线交叉并与其绝缘的多条数据线、以及分别配置在由所述栅极线和数据线定义的多个像素区域中的多个像素。所述栅极脉冲具有栅极导通电压和栅极截止电压，并且所述数据线接收第一数据电压。相对的基底在与所述阵列基底面对的同时与其耦接。所述相对的基底包括公共电极、以及插入在所述阵列基底和所述相对的基底之间的液晶层。像素包括：第一薄膜晶体管、主像素电极、子像素电极、和第二薄膜晶体管。第一薄膜晶体管连接到第 n 条栅极线和第 m 条数据线，用以响应于具有栅极

导通电压的栅极脉冲而输出第一数据电压。主像素电极连接到第一薄膜晶体管的第一漏极电极，用以接收作为主像素电压的第一数据电压，以及子像素电极与所述主像素电极分隔开并与所述第一漏极电极部分重叠，用以接收比第一数据电压低的、作为子像素电压的第二数据电压。第二薄膜晶体管连接到所述子像素电极，用以形成子像素电极的电压的放电路径。

应该理解，前面的概括描述和接下来的详细描述二者都是示范性和说明性的，并意欲提供如权利要求所保护的本发明的进一步说明。

附图说明

附图图示了本发明的实施例，并与说明书一起用于说明本发明的原理，其中包括附图是为了提供本发明的进一步理解，且附图被合并并构成了本说明书的一部分。

图1是根据本发明的示范实施例、包括在显示面板中的第 $(n \times m)$ 像素的等效电路图；

图2和图3示出了图1的等效电路的波形的图；

图4示出了图1的像素的布局；

图5是沿图4的线I-I'的横截面视图；

图6是沿图4的线II-II'的横截面视图；

图7是沿图4的线III-III'的横截面视图；

图8是根据本发明的又一示范实施例、包括在显示面板中的第 $(n \times m)$ 像素的等效电路图；

图9示出了图8的像素的布局。

具体实施方式

下文中，将参考示出了本发明的实施例的附图来更全面地描述本发明。然而，本发明可以以许多不同的形式来实现，并不应该理解为限于这里陈述的实施例。而是，提供这些实施例，以便使本公开彻底，并且本公开将向本领域的技术人员全面地传达本发明的范围。在附图中，可以为了清楚而放大层和区域的尺寸和相对尺寸。在附图中，相同的附图标记指的是相同的元件。

将理解的是，当元件或层被称为是“在”另一个元件或层“上”或“连接到”另一个元件或层时，其可以直接地或间接地“在”其它元件或层“上”、

或者直接地或间接地“连接到”其它元件或层。相反地，当元件被称为是“直接”在另一个元件或层“上”或“直接连接到”另一个元件或层时，没有居间元件或层存在。

图1是根据本发明的示范实施例、包括在显示面板中的第 $(n \times m)$ 像素的等效电路图，以及图2是示出了图1的等效电路的波形的图。

参考图1和图2，该第 $(n \times m)$ 像素包括第 n 条栅极线 GL_n 、第 m 条数据线 DL_m 、第一薄膜晶体管T1、以及放电电路DC。第一薄膜晶体管T1连接到第 n 条栅极线 GL_n 和第 m 条数据线 DL_m 。

具体地，第一薄膜晶体管T1的第一栅极电极GE1连接到第 n 条栅极线 GL_n ，而其第一源极电极SE1连接到第 m 条数据线 DL_m 。第一薄膜晶体管T1还包括第一漏极电极DE1。

当将栅极脉冲 G_{ni} 施加到第 n 条栅极线 GL_n 时，将数据电压 V_{d1} 施加到了第 m 条数据线 DL_m 。栅极脉冲 G_{ni} 包括被维持于第一时间间隔 $t1$ 的栅极导通电压 V_{on} 和被维持于第二时间间隔 $t2$ 的栅极截止电压 V_{off} 。第二时间间隔 $t2$ 跟随在第一时间间隔 $t1$ 后。

在第一薄膜晶体管T1响应于栅极脉冲 G_{ni} 而在第一时间间隔 $t1$ 导通时，被施加到第一源极电极SE1的数据电压 V_{d1} 被输出到第一漏极电极DE1。

在第一时间间隔 $t1$ 之后，第一薄膜晶体管T1响应于栅极脉冲 G_{ni} 而在与第二时间间隔 $t2$ 对应的栅极截止电压 V_{off} 的状态中截止。

放电电路DC连接到第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ 和第 m 条数据线 $DL_{(m)}$ 。

具体地，放电电路DC包括第二薄膜晶体管T2，其具有的第二栅极电极GE2连接到第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ ，而第二源极电极SE2连接到第 m 条数据线 DL_m 。第二薄膜晶体管T2还包括第二漏极电极DE2。

当栅极脉冲 G_{n-1i} 被施加到第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ 上时，数据电压 V_{d2} 被施加到第 m 条数据线 DL_m 。栅极脉冲 G_{n-1i} 包括被维持于第三时间间隔 $t3$ 的栅极导通电压 V_{on} 和被维持于第四时间间隔 $t4$ 的栅极截止电压 V_{off} 。第四时间间隔 $t4$ 跟随在第三时间间隔 $t3$ 后。

当第二薄膜晶体管T2响应于栅极脉冲 $G_{(n-1)i}$ 而在第三时间间隔 $t3$ 导通时，被施加到第二源极电极SE2的数据电压 V_{d2} 被输出到第二漏极电极DE2。

在第三时间间隔 $t3$ 之后，在第四时间间隔 $t4$ 中第二薄膜晶体管T2截止。

第 $(n \times m)$ 像素还包括主像素MP、耦合电容器 C_{cp} 、和子像素SP。主

像素 MP 通过第一薄膜晶体管 T1 的第一漏极电极 DE1 而并联地连接到耦合电容器 C_{cp} ，并且耦合电容器 C_{cp} 串联连接到子像素 SP。

主像素 MP 包括第一液晶电容器 C_{lc1} 和第一存储电容器 C_{st1} ，它们并联地连接到第一漏极电极 DE1。

具体地，第一液晶电容器 C_{lc1} 的第一端连接到第一薄膜晶体管 T1 的第一漏极电极 DE1，而其第二端连接到施加了公共电压 V_{com} 的公共电极。第一存储电容器 C_{st1} 的第一端连接到第一液晶电容器 C_{lc1} 的第一端，而其第二端连接到公共电极。

耦合电容器 C_{cp} 连接在主像素 MP 和子像素 SP 之间。也就是说，耦合电容器 C_{cp} 的第一端连接到第一漏极电极 DE1，而其第二端连接到子像素 SP。

子像素 SP 包括第二液晶电容器 C_{lc2} 和第二存储电容器 C_{st2} ，它们彼此并联地连接到耦合电容器 C_{cp} 的第二端。

具体地，第二液晶电容器 C_{lc2} 的第一端连接到耦合电容器 C_{cp} 的第二端，而第二液晶电容器 C_{lc2} 的第二端连接到公共电极。第二存储电容器 C_{st2} 的第一端连接到耦合电容器 C_{cp} 的第二端，而第二存储电容器 C_{st2} 的第二端连接到公共电极。此外，第二液晶电容器 C_{lc2} 的第一端和第二存储电容器 C_{st2} 的第一端也连接到包括在放电电路 DC 中的第二薄膜晶体管 T2 的第二漏极电极 DE2。

当将栅极导通电压 V_{on} 施加到第 n 条栅极线 GL_n 时，第一薄膜晶体管 T1 导通，使得施加到数据线 DL_m 的数据电压 V_{d1} 被输出到第一漏极电极 DE1。输出到第一漏极电极 DE1 的数据电压 V_{d1} 在主像素 MP 的第一液晶电容器 C_{lc1} 和子像素 SP 的第二液晶电容器 C_{lc2} 中充电。然而，在子像素 SP 的第二液晶电容器 C_{lc2} 中充电的电压由于耦合电容器 C_{cp} 而小于在主像素 MP 的第一液晶电容器 C_{lc1} 中充电的电压。

第二液晶电容器 C_{lc2} 的液晶微粒由于在第一液晶电容器 C_{lc1} 和第二液晶电容器 C_{lc2} 中的充电的电压的差异，而被倾斜小于第一液晶电容器 C_{lc1} 的液晶微粒。当组合传输通过主像素 MP 和子像素 SP 的光时，可以在不降低 LCD 前面的亮度的情况下改善侧面视角。

与图 1 的显示面板不同，在传统的显示面板中，由于处于栅极截止电压的状态中的栅极脉冲 G_{ni} 被施加到第 n 条栅极线 GL_n ，所以第一薄膜晶体管 T1 截止并用作电阻器。这样，第一液晶电容器 C_{lc1} 可由于第一薄膜晶体管

T1 而通过第 m 条数据线 DL_m 对外部放电。然而，由于通过耦合电容器 C_{cp} 而第二液晶电容器 C_{lc2} 被浮置，所以第二液晶电容器 C_{lc2} 可能没有对外部放电。

然而，根据图 1 的显示面板，第二液晶电容器 C_{lc2} 的第一端连接到放电电路 DC 的第二薄膜晶体管 T2，从而为第二液晶电容器 C_{lc2} 提供了放电路径。

更具体地，当将处于栅极截止电压 V_{off} 状态中的栅极脉冲 G_{ni} 施加到第 n 条栅极线 GL_n 时，第一薄膜晶体管 T1 截止。在这个情况中，由于第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ 也维持在栅极截止电压 V_{off} ，所以在放电电路 DC 中的第二薄膜晶体管 T2 被截止。

因此，第二薄膜晶体管 T2 也用作将第二液晶电容器 C_{lc2} 的第一端连接到第 m 条数据线 DL_m 的电阻器。结果，第二液晶电容器 C_{lc2} 也可由于第二薄膜晶体管 T2 而对外部放电。

当处于栅极导通电压 V_{on} 状态的栅极脉冲 $G_{(n-1)i}$ 被施加到第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ 时，放电电路 DC 中的第二薄膜晶体管 T2 导通。因此，由于数据电压 V_{d2} 而在第二液晶电容器 C_{lc2} 中预先充电预定量电荷。如果预先在第二液晶电容器 C_{lc2} 中充电过多的电荷，则在短时间间隔 t_2 可能不足以执行放电，该短时间间隔 t_2 是维持第 n 条栅极线 GL_n 的栅极截止电压 V_{off} 的期间。为了使可存储在第二液晶电容器 C_{lc2} 中的电荷量最小化，可以调整尺寸，即第二薄膜晶体管 T2 的驱动性能。具体地，第二薄膜晶体管 T2 可以设计为具有为第一薄膜晶体管 T1 的尺寸的 20% 或更小的尺寸。例如，当晶体管的尺寸被定义为 W/L (W 和 L 分别表示沟道宽度和沟道长度) 时，第二薄膜晶体管 T2 可被设计为具有第一薄膜晶体管 T1 的尺寸的 20% 或更小的尺寸。

图 2 和图 3 示出了根据本发明的示范性实施例的、包括在显示面板中的主像素 MP 和子像素 SP 的电压波形的图。图 2 示出了主像素电压 V_{mp} 和子像素电压 V_{sp} 在没有放电电路的第 $(n \times m)$ 像素的正常操作期间的波形。图 2 还示出了主像素电压 $V_{mp'}$ 和子像素电压 $V_{sp'}$ 在具有第二薄膜晶体管 T2 的放电电路的第 $(n \times m)$ 像素的正常操作期间的波形，其中第二薄膜晶体管 T2 的小大是第一薄膜晶体管 T1 的尺寸的 20% 或更小。图 3 示出了主像素电压 V_{mp} 和子像素电压 V_{sp} 在没有放电电路的第 $(n \times m)$ 像素的正常操作期间的波形。图 3 还示出了主像素电压 $V_{mp'}$ 和子像素电压 $V_{sp'}$ 在具有第二薄膜晶体管 T2 的放电电路的第 $(n \times m)$ 像素的正常操作期间的波形，其中第二

薄膜晶体管 T2 的小大是第一薄膜晶体管 T1 的尺寸的 20% 或更小。

如图 2 所示, 尽管每个像素具有包括第二薄膜晶体管 T2 的放电电路, 在正常操作时没有问题出现。然而, 当第二薄膜晶体管 T2 具有比第一薄膜晶体管 T1 的尺寸的 20% 更大的尺寸时, 可以在子像素电压 V_{sp} 和 V_{sp} 之间出现电压差, 如图 3 所示。因此, 如上所述, 第二薄膜晶体管 T2 可设计为具有为第一薄膜晶体管 T1 的尺寸的 20% 或更小的尺寸。

图 4 是图 1 的第 $(n \times m)$ 像素的布局, 图 5 是沿图 4 的线 I-I' 的横截面视图, 图 6 是沿图 4 的线 II-II' 的横截面视图, 以及图 7 是沿图 4 的线 III-III' 的横截面视图。

参考图 4 和图 5, 显示面板 100 包括阵列基底 110、在面对阵列基底 110 的同时耦接到阵列基底 110 的相对的基底 120、以及插入在阵列基底 110 和相对的基底 120 之间的液晶层 130。

阵列基底 110 包括第一基础基底 111, 和形成在第一基础基底上的栅极线 GL_n 、 GL_{n-1} 、... 以及数据线 DL_m 、 DL_{m+1} 、...。栅极线 GL_n 、 GL_{n-1} 、... 在第一方向 D1 上延伸, 而数据线 DL_m 、 DL_{m+1} 、... 在第二方向 D2 上延伸, 该第二方向 D2 实际上垂直于第一方向 D1。此外, 数据线 DL_m 、 DL_{m+1} 、... 与栅极线 GL_n 、 GL_{n-1} 、... 交叉, 并与其绝缘, 从而通过栅极线 GL_n 、 GL_{n-1} 、... 和数据线 DL_m 、 DL_{m+1} 、... 定义了多个像素区域。

在第一基础基底 111 上排列栅极绝缘层 112、半导体岛 (island) 113、和欧姆触点岛 114。

半导体岛 113 可以是氢化非晶硅或多晶硅, 以及欧姆触点岛 114 可以是掺杂有高浓度杂质的非晶硅、多晶硅或硅化物。欧姆触点岛 114 成对地配置在半导体岛 113 上。

每个像素区域可包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、主像素 MP 和子像素 SP。

参考图 5, 第一薄膜晶体管 T1 连接到栅极线 GL_n 和数据线 DL_m 。第一薄膜晶体管 T1 的栅极电极 GE 从栅极线 GL_n 分支, 而其源极电极 SE 从数据线 DL_m 分支。第一薄膜晶体管 T1 的第一漏极电极 DE1 连接到主像素 MP。

第一薄膜晶体管 T1 响应于通过栅极线 GL_n 施加的栅极脉冲, 而向第一漏极电极 DE1 输出通过数据线 DL_m 施加的数据电压。

主像素 MP 包括主像素电极 MPE 和主存储电极 MSE, 而子像素 SP 包

括子像素电极 SPE 和子存储电极 SSE。主像素电极 MPE 和子像素电极 SPE 具有彼此不同的尺寸。与数据线 DL_m 平行的主像素电极 MPE 和子像素电极 SPE 的横侧可以在第一方向 $D1$ ，即栅极线 GL_n 的延伸方向上弯曲。

主像素电极 MPE 通过第一接触孔 $C1$ 而连接到第一薄膜晶体管 $T1$ 的第一漏极电极 $DE1$ ，并且其接收数据电压。

子像素电极 SPE 与第一漏极电极 $DE1$ 的延伸部分 A 重叠，以形成耦合电容器 C_{cp} 。

主像素电极 MPE 与子像素电极 SPE 分隔开。因此，主像素电极 MPE 在第一时间间隔 $t1$ 期间电容性地耦接到子像素电极 SPE（见图 1），在第一时间间隔 $t1$ 期间处于栅极导通电压 V_{on} 状态的栅极脉冲 G_{ni} 被施加到第一薄膜晶体管 $T1$ 。在第一时间间隔 $t1$ 之后，由于在第二时间间隔 $t2$ 期间第一薄膜晶体管 $T1$ 截止，所以主像素电极 MPE 与子像素电极 SPE 电绝缘。在本示范实施例中，在一个像素区域中位于主像素电极 MPE 和子像素电极 SPE 之间的区域对应于没有像素电极的区域，并将定义为第一开口（opening） $O1$ 。

主存储电极 MSE 和子存储电极 SSE 彼此整体地形成，并分别与主像素电极 MPE 和子像素电极 SPE 重叠。详细地说，主存储电极 MSE 在第一方向 $D1$ 方向延伸，并与主像素电极 MPE 部分重叠。主像素电极 MPE 与主存储电极 MSE 部分地重叠，以形成第一存储电容器 C_{st1} 。

子存储电极 SSE 在插入主存储电极 MSE 的同时在第二方向 $D2$ 上延伸，并部分地与子像素电极 SPE 重叠。子像素电极 SPE 与子存储电极 SSE 重叠，以形成第二存储电容器 C_{st2} 。公共电压 V_{com} 被施加到主存储电极 MSE 和子存储电极 SSE。

参考图 4、图 6 和图 7，第二薄膜晶体管 $T2$ 连接到第 $(n-1)$ 条栅极线 GL_{n-1} 和第 m 条数据线 DL_m 。

第二薄膜晶体管 $T2$ 的栅极电极 $GE_{(n-1)}$ 从第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ 分支，而其源极电极 $SE_{(n-1)}$ 从数据线 DL_m 分支。第二薄膜晶体管 $T2$ 的第二漏极电极 $DE2$ 与源极电极 $SE_{(n-1)}$ 分隔开预定的距离。此外，第二漏极电极 $DE2$ 部分地延伸，以便通过第二接触孔 $C2$ 连接到子像素电极 SPE。因此，包括子像素电极 SPE 的第二液晶电容器 C_{lc2} 连接到第二薄膜晶体管 $T2$ ，从而为第二液晶电容器 C_{lc2} 提供了放电路径。

第二薄膜晶体管 T2 共享连接到第 $(n-1)$ 条栅极线 $GL_{(n-1)}$ 的第一薄膜晶体管 T1 的栅极电极 $GE_{(n-1)}$ 、以及源极电极 $SE_{(n-1)}$ 和半导体层 113。因此，由于第二薄膜晶体管 T2 和第一薄膜晶体管 T1 实际上可以同时通过相同的处理来形成，所以不需要形成第二薄膜晶体管 T2 的附加处理。

参考图 5，相对的基底 120 包括第二基础基底 121、黑矩阵 (black matrix) 122、滤色器层 123、和公共电极 124。

黑矩阵 122 包括阻光 (light blocking) 材料，并形成在第二基础基底 121 上。在一个像素的非有效 (non-effective) 区域中形成黑矩阵 122 以便防止光泄漏。

滤色器层 123 包括红色、绿色、和蓝色滤色器，并形成在一个像素的有效区域中。

公共电极 124 形成在黑色矩阵 122 的整个区域以及滤色器层 123 之上。可以通过图案化处理而在公共电极 124 上形成多个第二开口 O2。第二开口 O2 形成在与第一开口 O1 不同的位置上。此外，每个第一开口 O1 位于两个相邻的第二开口 O2 之间。

在一个像素区域中，第一开口 O1 和第二开口 O2 形成其中液晶微粒在不同的方向上对准的多个域 (domain)。如上所述，液晶微粒在不同的域中在不同的方向上对准，从而减少了由于域之间的相互补偿效果导致的可见度根据视角的改变。因此，显示设备可具有更宽的视角。

图 8 是根据本发明的又一示范实施例、包括在显示面板中的第 $(n \times m)$ 像素的等效电路图，而图 9 是图 8 的像素的布局。

在图 8 和图 9 中，相同的附图标记指的是与图 1 和图 4 中相同的元件，并因此将省略相同元件的详细描述。

参考图 8 和图 9，第 $(n \times m)$ 像素包括第 n 条栅极线 GL_n 和第 m 条数据线 DL_m 、第一薄膜晶体管 T1、和放电电路 DC。第一薄膜晶体管 T1 连接到第 n 条栅极线 GL_n 和第 m 条数据线 DL_m 。放电电路 DC 包括第二薄膜晶体管 T2。

图 8 和图 9 的显示面板为第二液晶电容器 C_{lc2} 提供了与在前实施例不同的放电路径。

详细地说，通过连接到第 $(n-1)$ 条栅极线和第 $(m+1)$ 条数据线的第二薄膜晶体管 T2 形成了第二液晶电容器 C_{lc2} 的放电路径。也就是说，当第

一薄膜晶体管 T1 响应于处于栅极截止电压 V_{off} 状态中的栅极脉冲 G_{ni} 而截止时，通过第 $(m+1)$ 条数据线开始在第二液晶电容器 C_{lc2} 中存储的电荷的放电。

如上所述，在显示面板中形成电浮置的第二液晶电容器的放电路径，从而可以有效地对存储在第二液晶电容器中的电荷进行放电。

这样，显示面板可以防止由存储在第二液晶电容器中的电荷导致的显示屏幕上的后像，从而改善了显示面板的显示质量。

对于本领域的技术人员显然的是，可以在不脱离本发明的精神或范围的情况下，在本发明中进行各种修改和变化。因此，本发明意欲覆盖本发明的所述修改和变化，只要它们落入所附权利要求以及它们的等同物的范围内即可。

相关申请的交叉引用

本申请要求 2006 年 11 月 23 提交的韩国专利申请 No.10-2006-116487 的优先权权益，为了所有目的而通过参考将其合并于此，就像是在这里陈述一样。

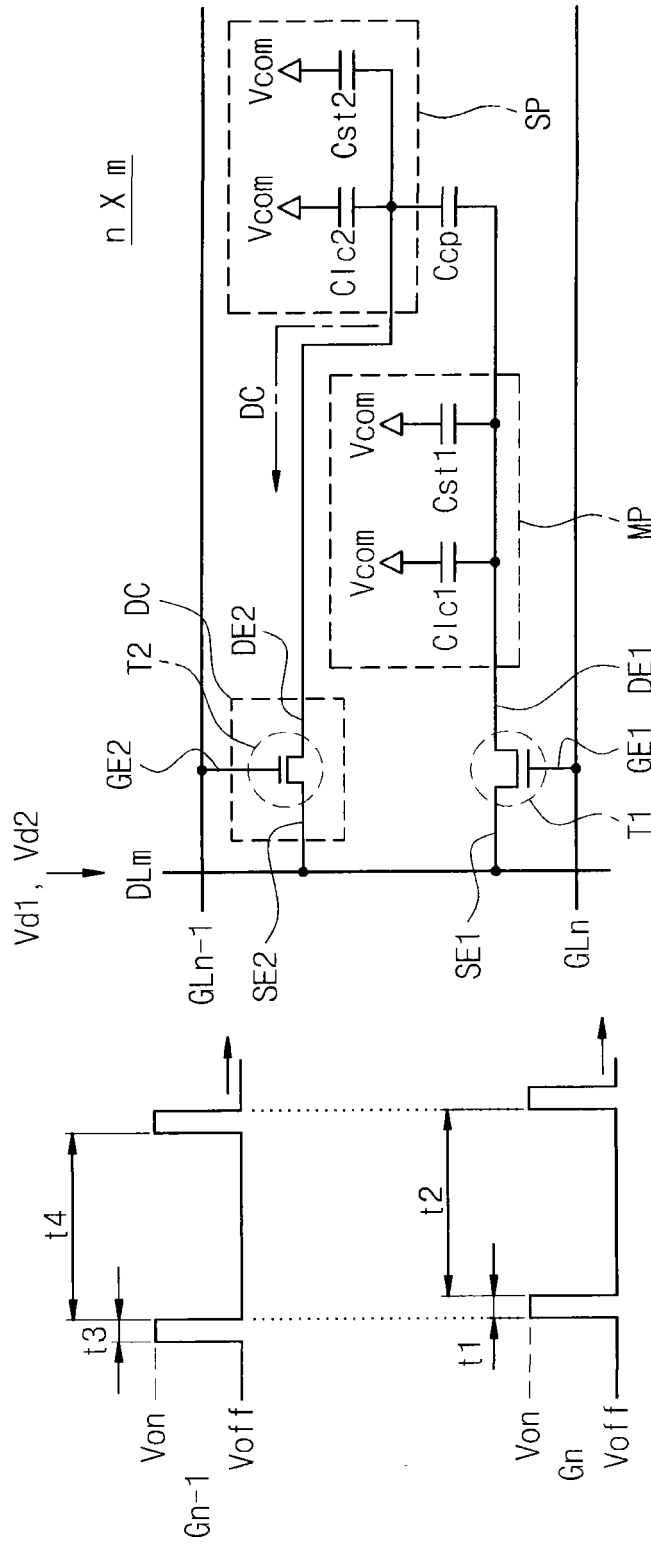


图 1

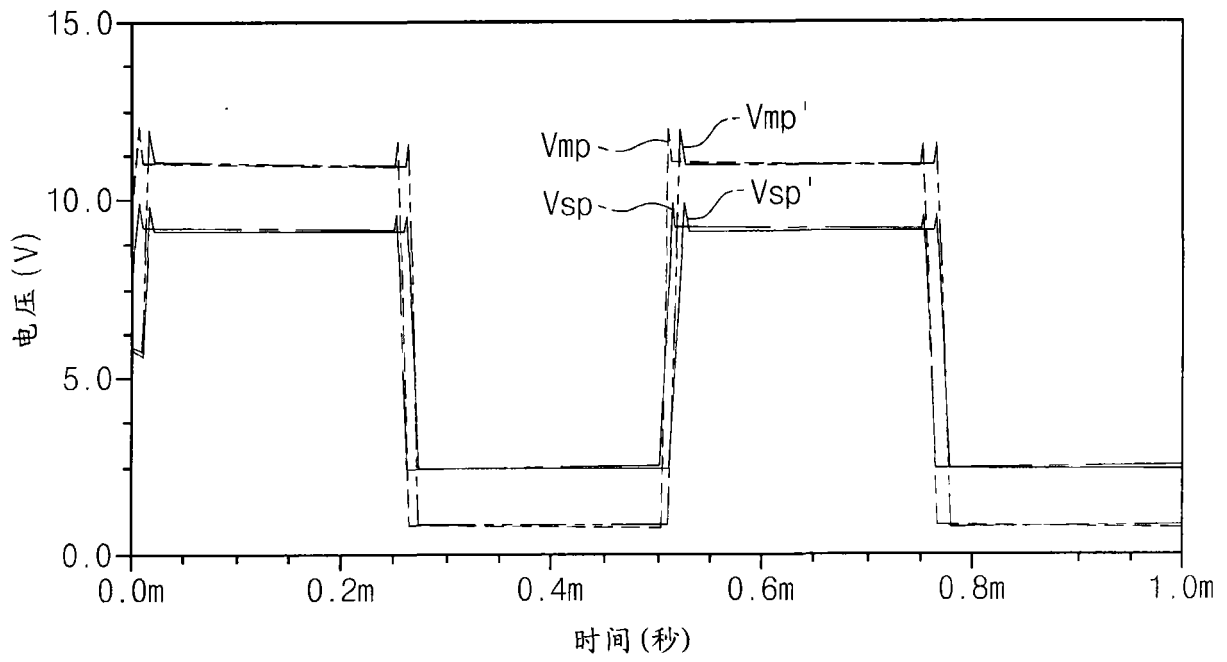


图 2

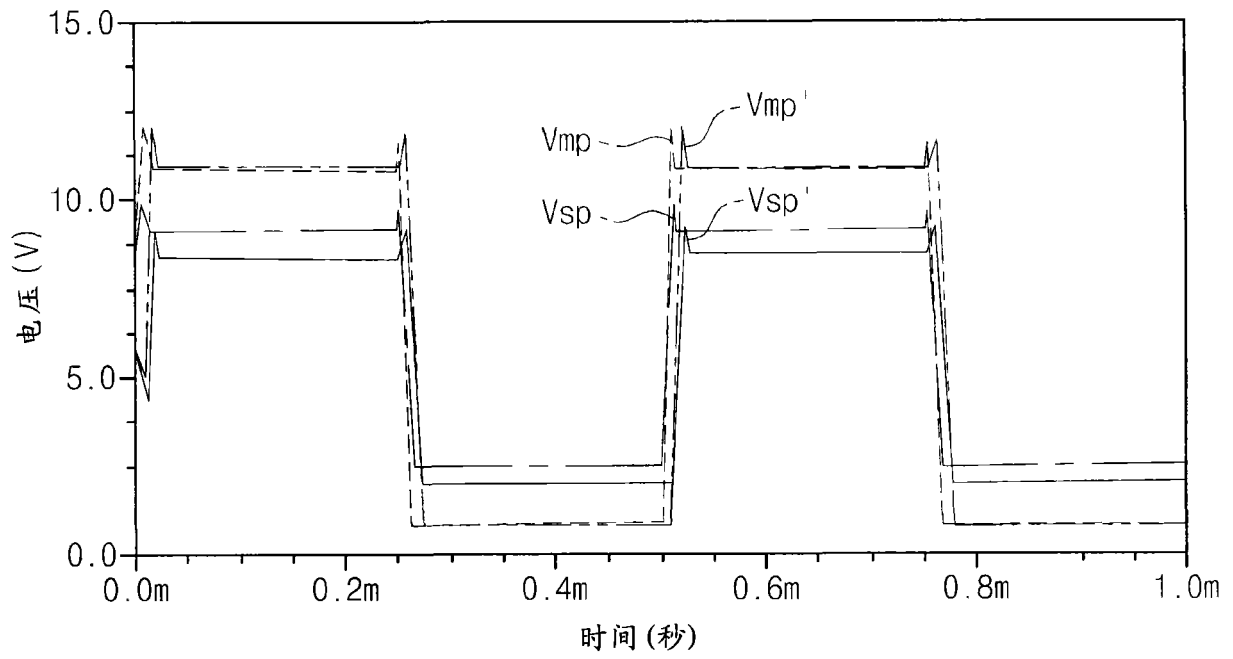


图 3

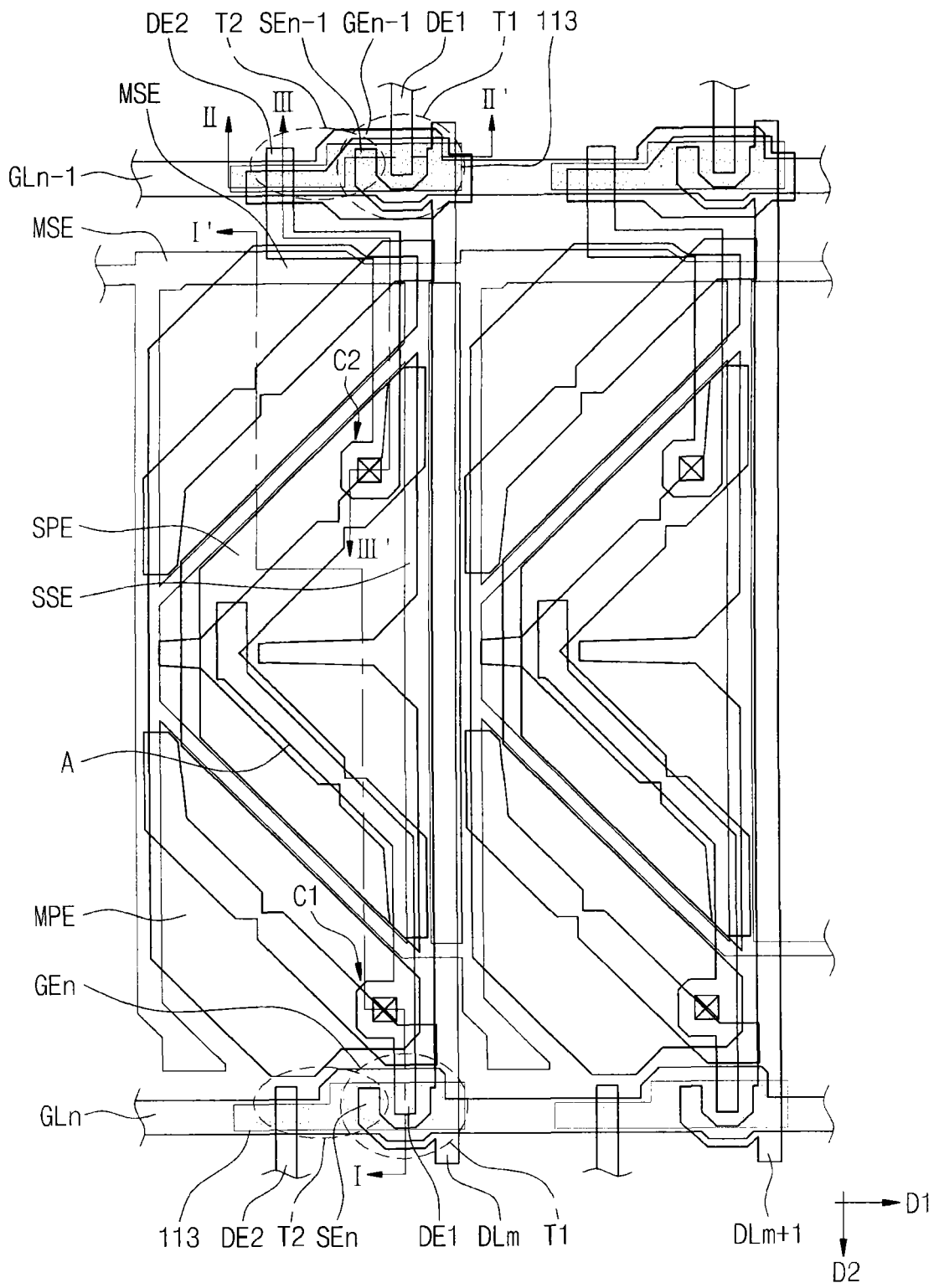


图 4

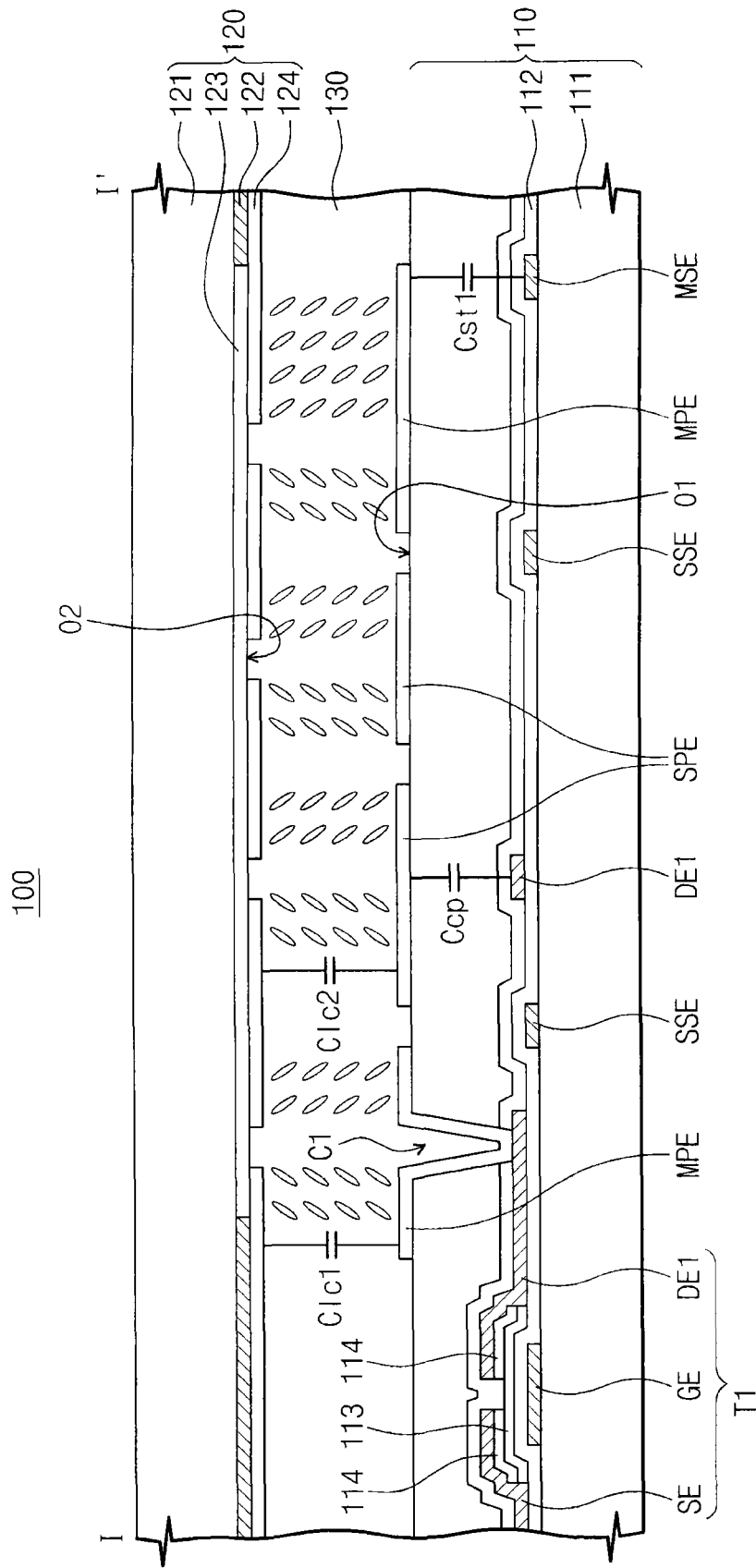


图 5

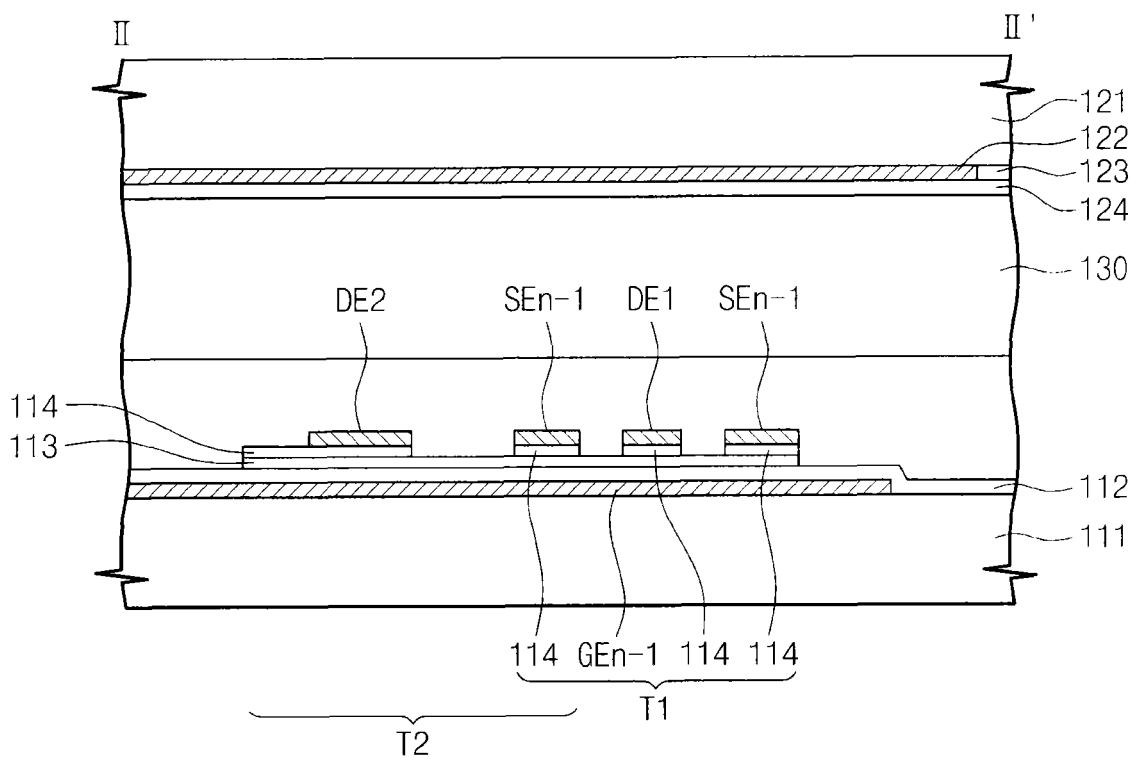


图 6

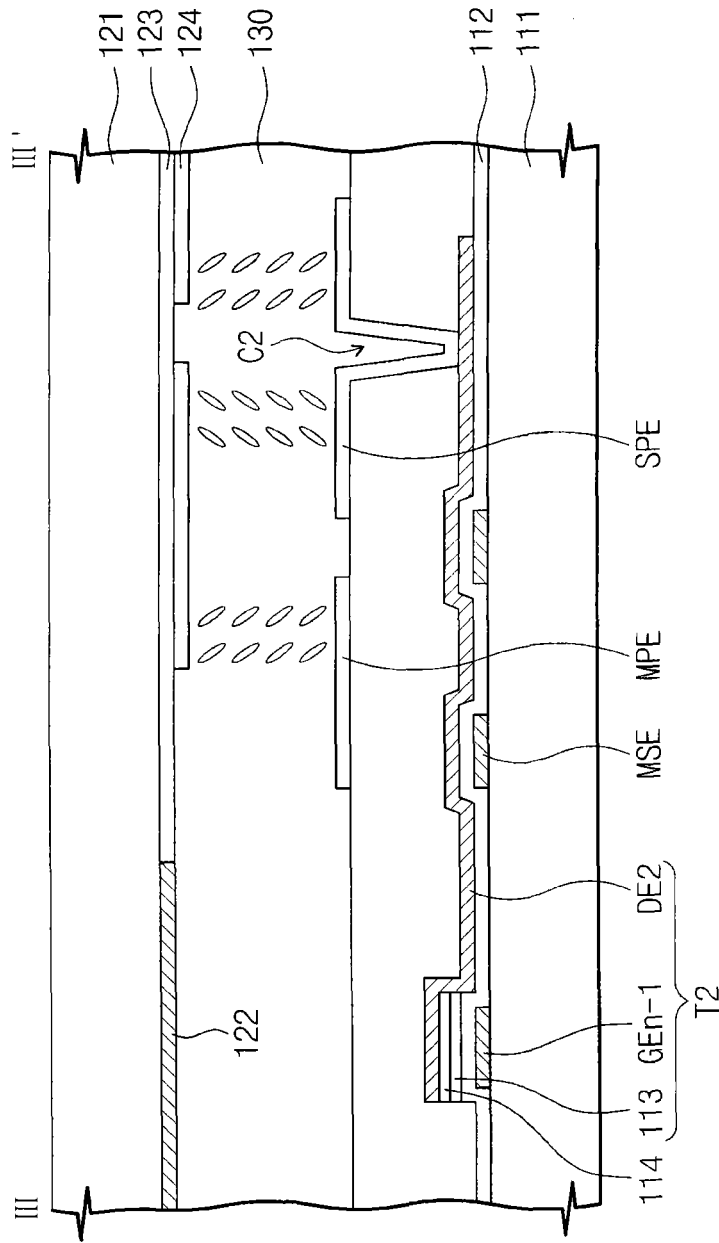


图 7

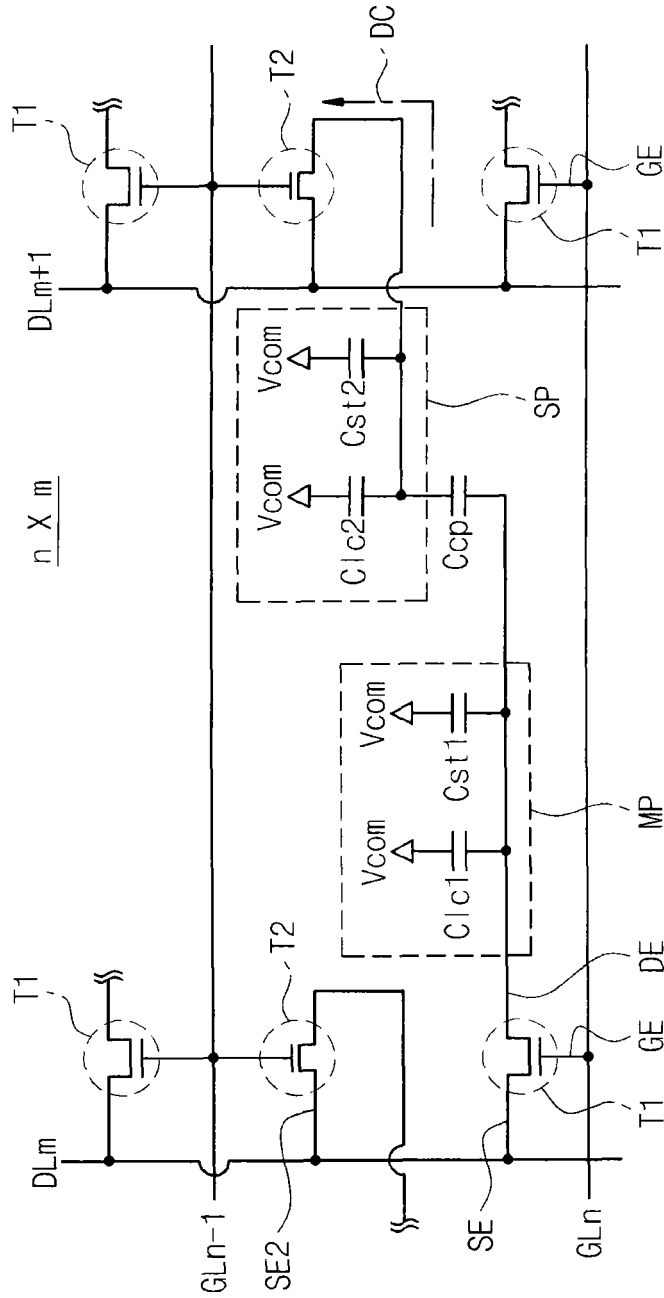


图 8

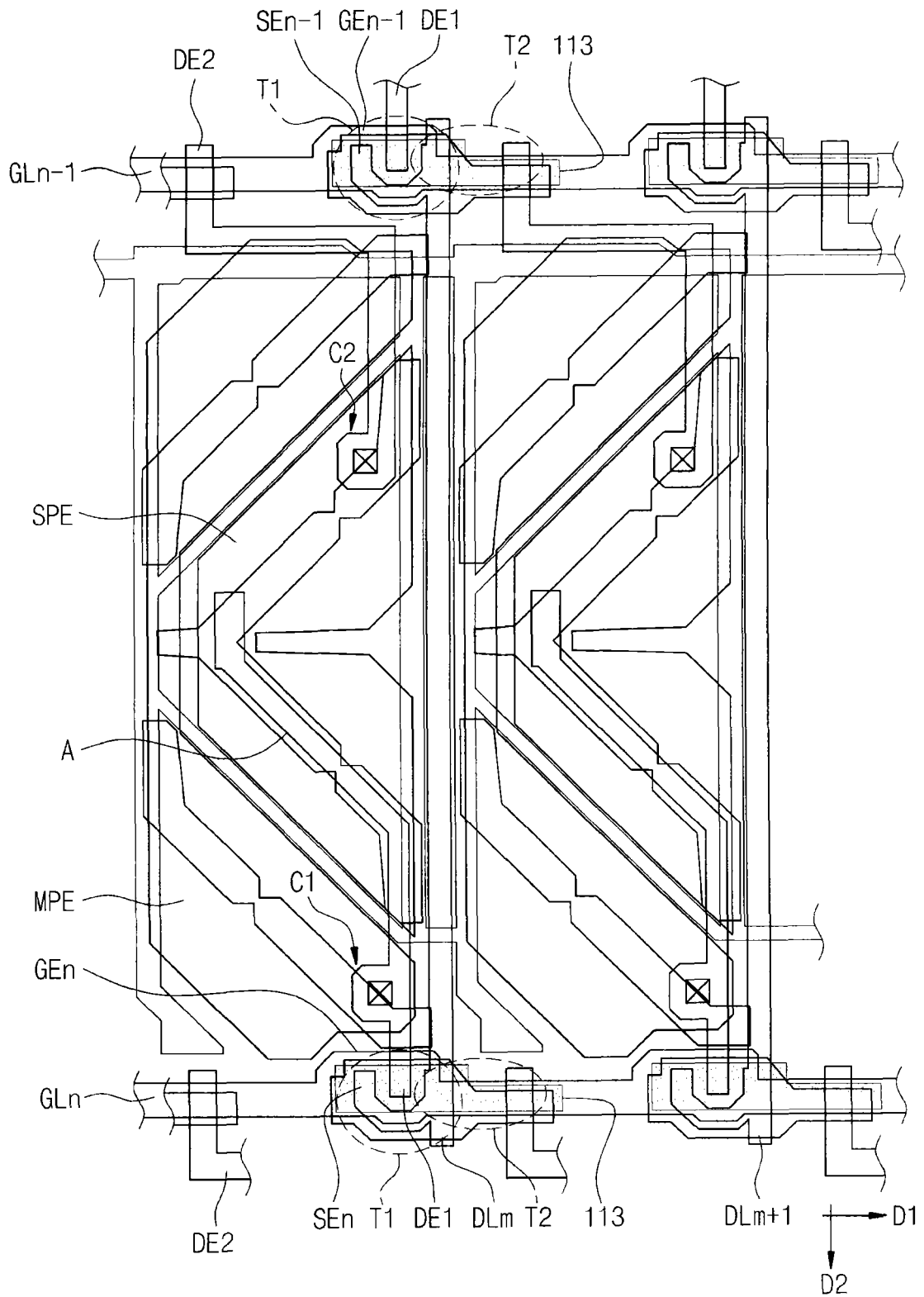


图 9

专利名称(译)	显示面板		
公开(公告)号	CN101187766A	公开(公告)日	2008-05-28
申请号	CN200710188247.0	申请日	2007-11-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金希骏 朴贞恩 李庸羽		
发明人	金希骏 朴贞恩 李庸羽		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36 H01L27/12 H01L29/786		
CPC分类号	G09G2300/0443 G09G3/3648 G09G2310/0251 G09G2320/028 G09G2320/0209 G09G2300/0447		
代理人(译)	邵亚丽		
优先权	1020060116487 2006-11-23 KR		
外部链接	Espacenet SIPO		

摘要(译)

在包括多个像素的显示面板中，每个像素包括：第一薄膜晶体管、第一液晶电容器和第二液晶电容器、耦合电容器、以及放电电路。所述第一液晶电容器通过所述第一薄膜晶体管连接到数据线。所述第二液晶电容器通过耦合电容器而并联地连接到第一液晶电容器。放电电路连接在耦合电容器和第二液晶电容器之间，并且其对存储在第二液晶电容器中的电荷进行放电。

