



(12) 发明专利

(10) 授权公告号 CN 101097383 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200710126867. 1

审查员 韩旭

(22) 申请日 2007. 06. 29

(30) 优先权数据

10-2006-0060413 2006. 06. 30 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416

(72) 发明人 金东奎 白承洙

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 郭鸿禧 谭昌驰

(51) Int. Cl.

G02F 1/1362 (2006. 01)

(56) 对比文件

JP 2003-255371 A, 2003. 09. 10, 说明书第 [0019] — [0029] 段, 图 1, 2.

JP 2003-255371 A, 2003. 09. 10, 说明书第 [0019] — [0029] 段, 图 1, 2.

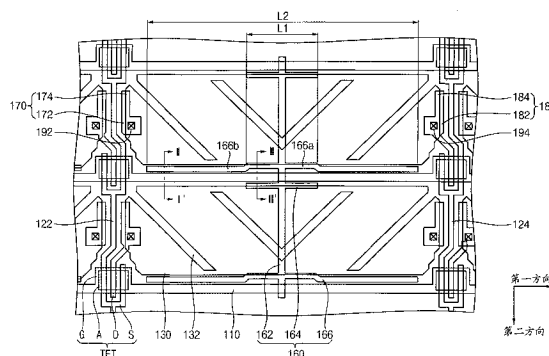
权利要求书 3 页 说明书 11 页 附图 10 页

(54) 发明名称

液晶显示面板阵列基底

(57) 摘要

本发明公开了一种 LCD 阵列基底, 该 LCD 阵列基底包括栅极线、数据线、薄膜晶体管、像素电极和存储线。像素电极形成在由栅极线和数据线限定的单位像素中, 并且电连接到薄膜晶体管。存储线包括主存储线、第一子存储线和第二子存储线。第一子存储线与像素电极的第一边缘部分叠置第一长度。第二子存储线与像素电极的与第一边缘部分相对的第二边缘部分叠置第一长度。这种布置防止由像素电极的错位引起的反冲电压的变化, 从而提高显示图像的质量。



1. 一种阵列基底,包括:
栅极线,形成在第一方向上;
数据线,形成在与所述第一方向交叉的第二方向上;
薄膜晶体管,电连接到所述栅极线和所述数据线;
像素电极,形成在由所述栅极线和所述数据线限定的单位像素中并电连接到所述薄膜晶体管;
- 存储线,包括:
主存储线,形成在所述第二方向上;
第一子存储线,连接到所述主存储线并在所述第一方向上延伸,所述第一子存储线与所述像素电极的第一边缘部分叠置第一长度;
第二子存储线,连接到所述主存储线并且在所述第一方向上延伸,所述第二子存储线与所述像素电极的所述第一边缘部分相对的所述像素电极的第二边缘部分叠置所述第一长度,
- 其中,所述第一子存储线在所述第一方向上延伸所述第一长度,所述第二子存储线在所述第一方向上延伸第二长度,所述第二长度比所述第一长度长。
2. 如权利要求 1 所述的阵列基底,其中,所述第二子存储线具有与所述像素电极的所述第二边缘部分对应的长度。
3. 如权利要求 1 所述的阵列基底,其中,所述第二子存储线包括:
叠置存储电极,与所述像素电极的所述第二边缘部分叠置所述第一长度;
非叠置存储电极,连接到所述叠置存储电极并且不与所述像素电极的所述第二边缘部分叠置。
4. 如权利要求 3 所述的阵列基底,其中,所述叠置存储电极远离所述非叠置存储电极并向着所述像素电极弯曲。
5. 如权利要求 3 所述的阵列基底,其中,所述叠置存储电极的宽度比所述非叠置存储电极的宽度宽。
6. 如权利要求 5 所述的阵列基底,其中,所述非叠置存储电极的宽度在从 $3\mu\text{m}$ 到 $4\mu\text{m}$ 的范围内。
7. 如权利要求 5 所述的阵列基底,其中,所述叠置存储电极的宽度在从 $5\mu\text{m}$ 到 $7\mu\text{m}$ 的范围内。
8. 如权利要求 1 所述的阵列基底,其中,所述像素电极包括:
主像素电极,不与所述第二子存储线叠置;
叠置电极,从所述主像素电极向着所述第二子存储线延伸,从而与所述第二子存储线叠置所述第一长度。
9. 如权利要求 8 所述的阵列基底,其中,所述第二子存储线包括:
叠置存储电极,与所述叠置电极叠置所述第一长度;
非叠置存储电极,连接到所述叠置存储电极并且不与所述像素电极叠置。
10. 如权利要求 9 所述的阵列基底,其中,所述叠置存储电极远离所述非叠置存储电极并向着所述像素电极弯曲。
11. 如权利要求 10 所述的阵列基底,其中,所述叠置存储电极的宽度比所述非叠置存

储电极的宽度宽。

12. 如权利要求 1 所述的阵列基底,其中,所述主存储线穿过所述单位像素的中心。

13. 如权利要求 12 所述的阵列基底,其中,所述第一子存储线和所述第二子存储线从所述主存储线的相对侧向外延伸。

14. 如权利要求 13 所述的阵列基底,其中,所述存储线关于穿过所述单位像素的中心并在所述第二方向上延伸的假想线两侧对称。

15. 如权利要求 1 所述的阵列基底,其中,所述存储线和所述数据线形成在同一层中。

16. 如权利要求 1 所述的阵列基底,其中,所述第二方向与所述第一方向基本垂直,其中,所述单位像素具有基本为矩形的形状,所述矩形具有位于所述第一方向上的长边。

17. 如权利要求 16 所述的阵列基底,所述阵列基底还包括:第一连接电极和第二连接电极,形成在与数据线的层相同的层中并位于所述单位像素的相对的端部,从而与所述像素电极叠置;保护层,分别设置在所述第一连接电极和所述像素电极之间以及所述第二连接电极和所述像素电极之间,

其中,穿过所述保护层形成第一接触孔,以将所述第一连接电极和所述像素电极电连接,穿过所述保护层形成第二接触孔,以将所述第二连接电极和所述像素电极电连接。

18. 如权利要求 17 所述的阵列基底,其中,所述薄膜晶体管的漏电极与所述第一连接电极和所述第二连接电极中的一个电连接。

19. 如权利要求 18 所述的阵列基底,还包括:

多个像素电极,布置为矩阵形状;多个第一连接电极和第二连接电极,与所述像素电极对应;多个薄膜晶体管,与所述像素电极对应,

其中,设置在所述矩阵的奇数行上的薄膜晶体管的漏电极电连接到设置在矩阵的奇数行上的第一连接电极,设置在所述矩阵的偶数行上的薄膜晶体管的漏电极电连接到设置在矩阵的偶数行上的第二连接电极。

20. 如权利要求 19 所述的阵列基底,其中,设置在所述矩阵的奇数行上的薄膜晶体管的漏电极和设置在所述矩阵的偶数行上的薄膜晶体管的漏电极形成在所述数据线的纵向线上。

21. 一种显示面板,包括:

阵列基底,包括:

栅极线,形成在第一方向上;

数据线,形成在与所述第一方向基本垂直的第二方向上;

薄膜晶体管,电连接到所述栅极线和所述数据线;

像素电极,形成在由所述栅极线和所述数据线限定的单位像素中,具有基本为矩形的形状,并且电连接到所述薄膜晶体管;

存储线,包括:主存储线,形成在所述第二方向上;第一子存储线,连接到所述主存储线并且在所述第一方向上延伸,所述第一子存储线与所述像素电极的第一边缘部分叠置第一长度;第二子存储线,连接到所述主存储线并且在所述第一方向延伸,所述第二子存储线与所述像素电极的与所述第一边缘部分相对的第二边缘部分叠置所述第一长度;

相对基底,面对所述阵列基底;

液晶层,设置在所述阵列基底和所述相对基底之间,

其中,所述第一子存储线在所述第一方向上延伸所述第一长度,所述第二子存储线在所述第一方向上延伸第二长度,所述第二长度比所述第一长度长。

22. 如权利要求 21 所述的显示面板,其中,所述相对基底包括:

光阻挡层,覆盖所述第一子存储线和所述第二子存储线;

滤色器,覆盖所述光阻挡层;

共电极,形成在所述滤色器上。

液晶显示面板阵列基底

技术领域

[0001] 本公开总体上涉及液晶显示器 (LCD)，具体地讲，本公开涉及用于改进包括阵列基底的显示面板的图像质量的 LCD 面板的阵列基底。

背景技术

[0002] LCD 通常包括：LCD 面板，利用液晶材料的光学特性来显示图像；背光组件，设置在面板的后面，用于投射穿过面板的光。

[0003] LCD 面板通常包括阵列基底、面对阵列基底的滤色器基底和位于这两个基底之间的液晶材料层。

[0004] 阵列基底包括：栅极线和数据线，基本上彼此垂直地设置，以限定多个矩形的单位像素；以及薄膜晶体管，电连接到栅极线和数据线；像素电极，形成在单位像素中并电连接到薄膜晶体管；存储线，与像素电极叠置。存储线被布置为与像素电极叠置，从而形成在一个图像帧期间保持对每个像素电极施加的电压的存储电容器。

[0005] 阵列基底的元件通常通过光刻工艺形成。例如，像素电极可以通过整个表面沉积形成，或者通过掩模曝光和蚀刻工艺形成。近来，由于与用来生产阵列基底的掩模的尺寸相比，阵列基底的尺寸变大，所以为了使一个基底曝光，必须重复执行掩模曝光工艺。即，掩模必须在多次曝光基底的每次之间移动预定距离。

[0006] 然而，当通过这种多次曝光工艺来形成像素电极时，像素电极相对于栅极线、数据线和存储线会发生轻微地错位。当像素电极相对于存储线错位时，形成在像素电极和存储线之间的存储电容器会发生空间变化，结果，产生变化的反冲电压 (kickback voltage)，这种变化的反冲电压引起劣化显示器的图像质量的闪烁缺陷。

发明内容

[0007] 根据这里描述的本发明的示例性实施例，提供了 LCD 面板阵列基底，该 LCD 面板阵列基底通过防止由于基底的像素电极错位导致基底的存储电容器的不利的改变来提高显示图像的质量。

[0008] 在一个示例性实施例中，LCD 面板阵列基底包括栅极线、数据线、薄膜晶体管、像素电极和存储线。栅极线形成在第一方向上。数据线形成在与所述第一方向交叉的第二方向上。薄膜晶体管电连接到所述栅极线和所述数据线。像素电极形成在由所述栅极线和所述数据线限定的单位像素区域中并电连接到所述薄膜晶体管。

[0009] 存储线包括主存储线、第一子存储线和第二子存储线。主存储线形成在所述第二方向上。第一子存储线连接到所述主存储线并在所述第一方向上延伸。所述第一子存储线与所述像素电极的第一边缘部分叠置第一长度。第二子存储线连接到所述主存储线并且在所述第一方向上延伸。所述第二子存储线与所述像素电极的所述第一边缘部分相对的所述像素电极的第二边缘部分叠置所述第一长度。例如，所述第一子存储线可以在所述第一方向上延伸所述第一长度，所述第二子存储线可以在所述第一方向上延伸第二长度，所述第

二长度比所述第一长度长。

[0010] 当所述第二子存储线包括：叠置存储电极，与所述像素电极的所述第二边缘部分叠置所述第一长度；非叠置存储电极，连接到所述叠置存储电极并且不与所述像素电极的所述第二边缘部分叠置时，所述叠置存储电极可以被偏移(offset)，或者从所述非叠置存储电极向着所述像素电极弯曲，在一个可选实施例中，所述叠置存储电极的宽度可以比所述非叠置存储电极的宽度宽。

[0011] 所述像素电极可以包括：主像素电极，不与所述第二子存储线叠置；叠置电极，从所述主像素电极向着所述第二子存储线延伸，从而与所述第二子存储线叠置所述第一长度。

[0012] 在另一示例性实施例中，LCD 显示面板包括阵列基底、与所述阵列基底面对的相对基底以及设置在所述阵列基底和所述相对基底之间的液晶材料层。

[0013] 所述阵列基底包括：栅极线，形成在第一方向上；数据线，形成在与所述第一方向基本垂直的第二方向上；薄膜晶体管，电连接到所述栅极线和所述数据线；像素电极，形成在由所述栅极线和所述数据线限定的单位像素中，具有基本为矩形的形状，并且电连接到所述薄膜晶体管；存储线，包括：主存储线，形成在所述第二方向上；第一子存储线，连接到所述主存储线并且在所述第一方向上延伸，所述第一子存储线与所述像素电极的第一边缘部分叠置第一长度；第二子存储线，连接到所述主存储线并且在所述第一方向延伸，所述第二子存储线与所述像素电极的与所述第一边缘部分相对的第二边缘部分叠置所述第一长度。

[0014] 在该示例性实施例中，所述第一子存储线和所述像素电极的所述第一边缘部分之间的叠置长度与所述第二子存储线和所述像素电极的所述第二边缘部分之间的叠置长度基本相同，从而防止与所述像素电极和存储线有关的存储电容器由于所述像素电极的错位发生变化，从而提高显示面板的图像质量。

[0015] 具体地讲，如果结合附图进行这种考虑，则可以从以下本发明的一些示例性实施例的详细描述的参考中获得本发明新颖的 LCD 面板阵列基底的上面和一些其它特征及优点的更好的理解，其中，相同的标号用来表示在本发明的一幅附图或多幅附图中示出的相似的元件。

附图说明

[0016] 图 1 是根据本发明的 LCD 显示面板的示例性实施例的剖开透视图；

[0017] 图 2 是图 1 中的示例性显示面板的阵列基底的第一示例性实施例的示意性局部平面图；

[0018] 图 3 是图 2 中的示例性阵列基底的一部分的放大的局部平面图；

[0019] 图 4 是图 3 中由虚线画出的阵列基底的部分“A”的放大平面图；

[0020] 图 5 是在图 4 中截取的沿着剖面 I-I' 观察的阵列基底的局部剖视图；

[0021] 图 6 是根据本发明的显示面板阵列基底的第二示例性实施例的一部分的放大的局部平面图；

[0022] 图 7 是在图 6 中截取的沿着剖面 II-II' 观察的第二示例性阵列基底的剖视图；

[0023] 图 8 是在图 6 中截取的沿着剖面 III-III' 观察的第二示例性阵列基底的剖视

图；

[0024] 图 9 是根据本发明的显示面板阵列基底的第三示例性实施例的一部分的放大的局部平面图；

[0025] 图 10 是根据本发明的显示面板阵列基底的第四示例性实施例的一部分的放大的局部平面图；

[0026] 图 11 是根据本发明的显示面板阵列基底的第五示例性实施例的一部分的放大的局部平面图。

具体实施方式

[0027] 实施例 1 (显示面板)

[0028] 在图 1 的剖开透视图示出了根据本发明的 LCD 显示面板 400 的示例性实施例。如图 1 中所示,显示面板 400 包括阵列基底 100、相对基底 200 和设置在这两个基底之间的液晶材料层 300。如上所述,可以操作面板 400,从而利用透过面板的相对下表面或者后表面的光在面板的上表面或者前表面上显示图像。

[0029] 阵列基底 100 包括:多个像素电极,以矩阵形式布置在阵列基底上;多个薄膜晶体管,向像素电极中的各个像素电极施加驱动电压;多条信号线,电连接到薄膜晶体管中的各个薄膜晶体管。

[0030] 相对基底 200 以一定的间隔与阵列基底 100 的正面相对地设置,并且包括与像素电极面对的透明导电共电极和滤色器。滤色器可以包括例如红色、绿色和蓝色 (RGB) 滤色器。

[0031] 液晶层 300 设置在阵列基底 100 和相对基底 200 之间,根据像素电极和共电极之间产生的电场发生动作,从而液晶层 300 的分子可以被控制地重新布置 (rearrange)。液晶层 300 的重新布置的分子调节穿过面板的光的透光率和穿过滤色器的光的透光率,从而显示图像。

[0032] 图 2 是图 1 中的示例性 LCD 显示面板的阵列基底 100 的第一示例性实施例的示意性局部平面图。如图 2 中所示,示例性阵列基底 100 包括多条栅极线 110、多条数据线 120 和多个像素电极 130。栅极线 110 形成为在第一方向上延伸,如图 2 中的箭头所示,数据线 120 形成为在与第一方向基本垂直的第二方向上延伸,如箭头所示。在图 2 中的具体示例性实施例中,为了示出的目的,示出了九条栅极线 GL1-GL9 和七条数据线 DL1-DL7,当然,完全可以改变这些数量。

[0033] 栅极线 GL1-GL9 电连接到栅极驱动部分 (未示出),以接收栅极信号,数据线 DL1-DL7 电连接到数据驱动部分 (未示出),以接收数据信号。栅极驱动部分包括:左栅极驱动部分 (未示出),电连接到奇数栅极线 GL1...GL9 的左端部;右栅极驱动部分 (未示出),电连接到偶数栅极线 GL2...GL8 的右端部。可选地,栅极驱动部分可以包括电连接到所有栅极线 GL1-GL9 的端部的一个部分。

[0034] 如上所述,栅极线 GL1-GL9 与数据线 DL1-DL7 基本垂直地布置,从而在阵列基底 100 上限定单位像素的矩形阵列。每个像素电极 130 形成在单位像素的对应像素中,因此,多个像素电极 130 以矩阵形式布置在阵列基底 100 上。

[0035] 在一个示例性实施例中,每个单位像素基本上具有其长边在第一方向上延伸的矩

形形状,因此,形成在单位像素中的相应的像素电极 130 同样具有在第一方向上延伸的长边。

[0036] 栅极线 GL1-GL9、数据线 DL1-DL7 和像素电极 130 以下面的方式电互连。栅极线 GL1-GL9 中的每条电连接到像素行中的对应行的所有像素电极 130。相反,数据线 DL1-DL7 中的数据线 DL1(位于图 2 的最左边)在像素的左侧电连接到第一列像素中的奇数行像素的像素电极 130,数据线 D7(位于图 2 的最右边)在像素的右侧电连接到第六列像素中的偶数行像素的像素电极 130。剩余数据线 DL2...DL6 中的每条以类似的方式电连接到数据线的两侧上的两个像素列的像素电极 130,即,在数据线的左侧电连接到偶数像素行中的像素电极 130,在右侧电连接到奇数像素行中的像素电极 130,如图 2 中示意性示出的。

[0037] 在一个示例性实施例中,适于实现面板的“竖直反转”(vertical inversion)的数据信号可以施加到数据线 DL1-DL7。具体地讲,在一帧中,对选择的数据线施加具有正电压的数据信号,对与选择的数据线相邻的数据线施加具有负电压的数据信号。在下一帧,对选择的数据线施加具有负电压的数据信号,对与选择的数据线相邻的数据线施加具有正电压的数据信号。

[0038] 图 3 是图 2 中的示例性阵列基底 100 的一部分的放大的局部平面图,图 4 是图 3 中由虚线画出的阵列基底的部分“A”的放大平面图,图 5 是在图 4 中截取的沿着剖面 I-I' 观察的阵列基底的局部剖视图。

[0039] 如图 3-5 中所示,示例性阵列基底 100 包括第一透明基底 140、栅极线 110、栅极绝缘层 150、数据线 120、存储线 160、薄膜晶体管 TFT、第一连接电极 170、第二连接电极 180、保护层 190 和像素电极 130。

[0040] 例如,第一透明基底 140 具有板形形状,并且由透光材料组成。栅极线 110 形成在第一透明基底 140 上。栅极绝缘层 150 形成在第一透明基底 140 上,从而覆盖栅极线 110。数据线 120、存储线 160、第一连接电极 170 和第二连接电极 180 都形成在栅极绝缘层 150 上。

[0041] 如图 4 和图 5 中所示,薄膜晶体管 TFT 包括栅电极“G”、源电极“S”、漏电极“D”、有源层“A”和欧姆接触层“O”。栅电极 G 与栅极线 110 的一部分对应,有源层 A 形成在栅极绝缘层 150 上,与栅电极 G 对应。源电极 S 与有源层 A 叠置,例如,源电极 S 从数据线 120 延伸为具有 L 形状。漏电极 D 与源电极 S 分开所选择的间隔,并且与有源层 A 部分叠置。如图 5 中所示,欧姆接触层 O 分别形成在有源层 A 和源电极 S 之间以及有源层 A 和漏电极 D 之间。

[0042] 保护层 190 形成在栅极绝缘层 150 上,从而覆盖数据线 120、存储线 160、第一连接电极 170、第二连接电极 180 和薄膜晶体管 TFT。第一接触孔 192 和第二接触孔 194 穿过保护层 190 形成在分别与第一连接电极 170 和第二连接电极 180 对应的位置。像素电极 130 形成在保护层 190 上,并且分别通过第一接触孔 192 和第二接触孔 194 电连接到第一连接电极 170 和第二连接电极 180。如图 3 的平面图所示,像素电极 130 可以具有基本上矩形的形状。

[0043] 还是如图 3 的平面图所示,示例性阵列基底包括在第一方向上延伸的多条栅极线 110 和在第二方向上延伸的多条正交的数据线 120。每个像素电极 130 形成在对应的一个单位像素中,由相邻的成对的栅极线 110 和数据线 120 限定单位像素。

[0044] 对于每个像素电极 130, 相关的栅极线 110 可以形成在像素电极 130 的上部或者下部, 如图 3 中所示, 栅极线 110 可以形成在像素电极 130 的下部。数据线 120 形成在像素电极 130 的左侧和右侧, 并且数据线 120 具有形成在像素电极 130 的左侧的左数据线 122 和形成像素电极 130 的右侧的右数据线 124。

[0045] 第一连接电极 170 和第二连接电极 180 形成在每个单位像素中。如图 3 和图 4 中所示, 第一连接电极 170 向右形成并且与左数据线 122 分隔开, 第二连接电极 180 向左形成并且与右数据线 124 分隔开。于是, 第一连接电极 170 和第二连接电极 180 沿着单位像素的第一方向形成在单位像素的相对端部。第一连接电极 170 和第二连接电极 180 可以关于穿过每个单位像素的中心并且在第二方向上延伸的假想线两侧对称。

[0046] 薄膜晶体管 TFT 电连接到第一连接电极 170 和第二连接电极 180 中的每个。具体地讲, 多个薄膜晶体管 TFT 形成在基底上。每个薄膜晶体管 TFT 与以矩阵形状布置的像素电极 130 中相关的那个像素电极对应。设置在奇数行上的每个薄膜晶体管 TFT 电连接到左数据线 122 和第一连接电极 170, 设置在偶数行上的每个薄膜晶体管 TFT 电连接到右数据线 124 和第二连接电极 180, 如图 3 中所示。可选地, 将第一连接电极 170 和第二连接电极 180 布置为不与薄膜晶体管 TFT 电连接, 于是, 可以省略第一连接电极 170 和第二连接电极 180。

[0047] 如图 3 中所示, 每条存储线 160 包括主存储线 162、第一子 (sub) 存储线 164 和第二子存储线 166。主存储线 162 在第二方向上延伸, 并且可以穿过单位像素的列上的每个单位像素的中心。

[0048] 第一子存储线 164 连接到主存储线 162 并且在第一方向上延伸。第一子存储线 164 被布置为与相邻像素电极 130 的第一边缘部分叠置第一长度 L1。例如, 第一子存储线 164 可以与下面的像素电极 130 的上边缘部分叠置第一长度 L1。

[0049] 在图 3 中, 第一子存储线 164 在第一方向上延伸第一长度 L1。因此, 第一子存储线 164 与像素电极 130 的叠置长度与第一子存储线 164 的长度基本相同。可选地, 第一子存储线 164 的长度可以大于第一子存储线 164 与像素电极 130 的叠置长度。在图 3 中的具体示例性实施例中, 第一子存储线 164 从主存储线 162 向两侧延伸, 即, 远离主存储线 162 的相对侧, 并且具有与第一长度 L1 相等的长度。

[0050] 第二子存储线 166 连接到主存储线 162, 也在第一方向上延伸。第二子存储线 166 与像素电极 130 的与第一边缘部分相对的第二边缘部分叠置第一长度 L1。例如, 第二子存储线 166 形成在每个单位像素中, 与第一子存储线 164 相对, 并且与像素电极 130 叠置与第一子存储线 164 与像素电极 130 之间叠置的长度基本相同的长度。

[0051] 在图 3 中的示例性实施例中, 第二子存储线 166 在第一方向上延伸第二长度 L2, 第二长度 L2 比第一长度 L1 长。例如, 第二子存储线 166 具有与像素电极 130 的第二边缘部分对应的长度。因此, 当形成在像素电极 130 和位于像素电极 130 下面的栅极线 110 之间的第二子存储线 166 接收基准电压时, 第二子存储线 166 用于防止栅极线 110 上的栅极信号对充入在像素电极 130 中的驱动电压产生不利影响。如图 3 中所示, 第二子存储线 166 可以远离主存储线 162 向两侧延伸, 即, 远离主存储线 162 的相对侧, 并且具有与第二长度 L2 相等的总长度。

[0052] 还是如图 3 中所示, 第二子存储线 166 可以包括: 叠置存储电极 166a, 与相关的像

素电极 130 的第二边缘部分叠置第一长度 L1 ;非叠置存储电极 166b, 连接到叠置存储电极 166a 并且不与相关的像素电极 130 的第二边缘部分叠置。例如, 如图 3 中所示, 第二子存储线 166 可以具有这样的形状, 即, 叠置存储电极 166a 远离非叠置存储电极 166b 并且向着像素电极 130 弯曲。

[0053] 如图 5 中所示, 面对阵列基底 100 的相对基底 200 包括第二透明基底 210、光阻挡层 220、多个滤色器 230 和共电极 240。例如, 第二透明基底 210 可以由透光材料组成并且具有与第一透明基底 140 的形状基本相同的板形形状。

[0054] 光阻挡层 220 形成在第二透明基底 210 上, 从而面对阵列基底 100。例如, 光阻挡层 220 可以形成在第二透明基底 210 上, 从而覆盖例如栅极线 110、数据线 120、薄膜晶体管 TFT、第一连接电极 170 和第二连接电极 180。

[0055] 滤色器 230 形成在第二透明基底 210 上, 从而与像素电极 130 中的各个像素电极对应。可以形成滤色器 230, 从而覆盖光阻挡层 220。

[0056] 共电极 240 可以基本上形成在滤色器 230 的整个表面上方。共电极 240 可以包含与像素电极 130 的材料基本相同的透明导电材料。可选地, 平面化层 (未示出) 可以形成在滤色器 230 和共电极 240 之间。

[0057] 在上面的示例性实施例中, 第一子存储线 164 与像素电极 130 的第一边缘部分之间的叠置长度基本上等于第二子存储线 166 与像素电极 130 的第二边缘部分之间的叠置长度。因此, 尽管像素电极 130 会形成相对于栅极线 110 向上或向下错位, 但是在存储线 160 和像素电极 130 之间叠置的面积基本上保持恒定, 即, 不发生变化。因此, 即使像素电极 130 相对于存储线 160 会发生轻微错位, 在存储线 160 和像素电极 130 之间限定的存储电容器的功能特性也保持恒定。

[0058] 实施例 2 (显示面板)

[0059] 图 6 是根据本发明的显示面板阵列基底 100 的第二示例性实施例的一部分的放大的局部平面图。除了阵列基底 100 的特定部分之外, 第二实施例与上面描述的第一实施例基本相似。因此, 用相同的标号表示相同或基本相似的部分, 并且用相同的名称表示相同或基本相似的部分, 为了简洁起见, 下面省略了对这些部分的进一步详细描述。

[0060] 参照图 2 和图 6, 第二示例性阵列基底 100 包括栅极线 110、数据线 120、像素电极 130、第一连接电极 170、第二连接电极 180、薄膜晶体管 TFT 和存储线 160。

[0061] 多条栅极线 110 形成在基底上, 并在第一方向上延伸。多条数据线 120 形成在与第一方向基本垂直的第二方向上延伸。栅极线 110 和数据线 120 彼此交叉来限定多个单位像素, 多个像素电极 130 中的每个形成在对应的单位像素中。每个单位像素可具有例如基本为具有在第一方向上延伸的长边的矩形形状, 如图 6 中所示。

[0062] 如图 6 中所示, 区域划分部分 (domain-division portion) 132 形成在每个像素电极 130 中, 从而将每个单位像素划分为多个区域。在图 6 中, 区域划分部分 132 与通过部分去除像素电极 130 而形成的开口对应。可选地, 区域划分部分 132 可以与形成在像素电极 130 上的突起对应。

[0063] 左数据线 122 形成在像素电极 130 的左侧, 右数据线 124 形成在像素电极 130 的右侧。左数据线 122 和右数据线 124 在第二方向上可交替地向左侧和右侧弯曲, 并且具有例如曲线、U 形形状, 如图 6 中所示。

[0064] 第一连接电极 170 和第二连接电极 180 形成在每个单位像素中。第一连接电极 170 向右形成、与左数据线 122 分隔开,并且通过第一接触孔 192 电连接到相关的像素电极 130。第二连接部分 180 向左形成、与右数据线 124 分隔开,并且通过第二接触孔 194 电连接到相关的像素电极 130。第一连接电极 170 和第二连接电极 180 可以关于穿过像素电极 130 的中心并且在第二方向上延伸的假想线两侧对称。

[0065] 更具体地讲,第一连接电极 170 包括:第一接触部分 172,通过第一接触孔 192 电连接到相关的像素电极 130;第一延伸部分 174,在第二方向上从第一接触部分 172 延伸。第二连接电极 180 包括:第二接触部分 182,通过第二接触孔 194 电连接到相关的像素电极 130;第二延伸部分 184,在第二方向上从第二接触部分 182 延伸。

[0066] 薄膜晶体管 TFT 包括栅电极 G、有源层 A、源电极 S、漏电极 D 和欧姆接触层(未示出)。栅电极 G 与栅极线 110 的一部分对应,有源层 A 形成在栅电极 G 上方。源电极 S 与左数据线 122 或者右数据线 124 的 U 形弯曲部分对应并且与有源层 A 部分叠置。漏电极 D 形成在 U 形的源电极 S 之间,并且与有源层 A 部分叠置。欧姆接触层(未示出)分别形成在有源层 A 和源电极 S 之间以及有源层 A 和漏电极 D 之间。

[0067] 多个薄膜晶体管 TFT 分别与像素电极 130 对应地形成。设置在奇数行上的薄膜晶体管 TFT 的每个漏电极 D 和设置在偶数行上的薄膜晶体管 TFT 的每个漏电极 D 形成在与第二方向基本平行的一条假想线上,可以形成在数据线 120 的纵向线上。

[0068] 薄膜晶体管 TFT 的每个漏电极 D 电连接到形成在同一单位像素中的第一连接电极 170 和第二连接电极 180 中的一个。具体地讲,设置在奇数行上的薄膜晶体管 TFT 中的每个电连接到设置在奇数行上的第一连接电极 170,设置在偶数行上的薄膜晶体管 TFT 的每个电连接到设置在偶数行上的第二连接电极 180。

[0069] 图 7 是在图 6 中截取的沿着剖面 II-II' 观察的第二示例性阵列基底的剖视图,图 8 是在图 6 中截取的沿着剖面 III-III' 观察的第二示例性阵列基底的剖视图。

[0070] 参照图 6、图 7 和图 8,阵列基底包括存储线 160,从外部对其施加基准电压,存储线 160 包括主存储线 162、第一子存储线 164 和第二子存储线 166。

[0071] 主存储线 162 在第二方向上延伸,并且可以穿过像素列的每个单位像素的中心,从而与单位像素的像素电极 130 叠置。

[0072] 第一子存储线 164 连接到主存储线 162 并且在第一方向上延伸第一长度 L1。第一子存储线 164 与像素电极 130 的第一边缘部分叠置第一长度 L1。因此,第一子存储线 164 和像素电极 130 之间的叠置长度与第一子存储线 164 的长度基本相同。可选地,第一子存储线 164 的长度可以大于第一子存储线 164 与像素电极 130 的叠置长度。如图 6 中所示,第一子存储线 164 可以从主存储线 162 的相对侧延伸出来,并且具有与第一长度 L1 相等的总长度。

[0073] 第二子存储线 166 连接到主存储线 162 并且在第一方向上延伸第二长度 L2,第二长度 L2 大于第一长度 L1。例如,第二子存储线 166 可以具有与像素电极 130 的第二边缘部分对应的长度。第二子存储线 166 可以远离主存储线 162 的相对侧延伸,并且具有与第二长度 L2 相等的长度,如图 6 中所示。第二子存储线 166 与像素电极 130 的与其第一边缘部分相对的第二边缘部分叠置第一长度 L1。例如,第二子存储线 166 可以与像素电极 130 叠置与第一子存储线 164 和像素电极 130 之间叠置的长度基本相同的长度。

[0074] 更具体地讲,第二子存储线 166 包括:叠置存储电极 166a,与像素电极 130 的第二边缘部分叠置;非叠置存储电极 166b,连接到叠置存储电极 166a 并且被布置为它不与像素电极 130 的第二边缘部分叠置。

[0075] 例如,第二子存储线 166 可以形成为叠置存储电极 166a 远离非叠置存储电极 166b 并向像素电极 130 弯曲。于是,叠置存储电极 166a 与像素电极 130 的第二边缘部分叠置第一长度 L1。当在平面图上观察时,非叠置存储电极 166b 设置在像素电极 130 和相关的栅极线 110 之间。

[0076] 第二子存储线 166 可以关于穿过像素列的每个单位像素的中心并且在第二方向上延伸的假想线两侧对称。存储线 160 也可以关于这条线两侧对称。

[0077] 根据上面的第二示例性实施例,第一子存储线 164 和像素电极 130 的第一边缘部分之间的叠置长度与第二子存储线 166 和像素电极 130 的第二边缘部分之间的叠置长度基本相同。因此,尽管像素电极 130 相对于栅极线 110 会发生向上或向下错位,但是不管像素电极如何错位,存储线 160 和像素电极 130 之间的叠置面积将保持恒定,即,不发生变化。

[0078] 实施例 3(显示面板)

[0079] 图 9 是根据本发明的显示面板阵列基底的第三示例性实施例的一部分的放大的局部平面图。除了阵列基底的存储线之外,第三示例性阵列基底与上面的第二示例性实施例基本相似。因此,在下面的描述中,用相同的标号表示与第二实施例的部分相同或基本相似的部分,并且用相同的名称表示相同或基本相似的部分,并且省略了对这些部分的进一步详细描述。

[0080] 参照图 9,第三示例性阵列基底包括存储线 160,从外部对其施加基准电压,存储线 160 包括主存储线 162、第一子存储线 164 和第二子存储线 166。主存储线 162 在第二方向上延伸,并且可以穿过像素列中的每个单位像素的中心,从而覆盖单位像素的像素电极 130。

[0081] 第一子存储线 164 连接到主存储线 162,并且在第一方向上延伸第一长度 L1。第一子存储线 164 与像素电极 130 的第一边缘部分叠置第一长度 L1。因此,如图 9 中所示,第一子存储线 164 可以在第一方向上远离主存储线 162 的相对侧延伸,并且具有与第一长度 L1 相等的长度。

[0082] 第二子存储线 166 连接到主存储线 162 并且在第一方向上延伸第二长度 L2,第二长度 L2 比第一长度 L1 长。例如,第二子存储线 166 可以具有与像素电极 130 的第一边缘部分相对的像素电极 130 的第二边缘部分对应的长度。因此,如图 9 中所示,第二子存储线 166 可以在第一方向上从主存储线 162 的相对侧向外延伸,并且具有与第二长度 L2 相等的长度。

[0083] 还是如图 9 中所示,第二子存储线 166 与像素电极 130 的第二边缘部分叠置第一长度 L1。例如,第二子存储线 166 可以和像素电极 130 叠置与第一子存储线 164 和像素电极 130 的第一边缘部分叠置的长度基本相同的长度。

[0084] 更具体地讲,第二子存储线 166 包括:叠置存储电极 166a,与像素电极 130 的第二边缘部分叠置;非叠置存储电极 166b,连接到叠置存储电极 166a 并且不与像素电极 130 的第二边缘部分叠置。如图 9 中所示,当在平面图上观察时,非叠置存储电极 166b 设置在像素电极 130 和栅极线 110 之间。

[0085] 叠置存储电极 166a 具有比非叠置存储电极 166b 的宽度宽的宽度。在一个具体的示例性实施例中,非叠置存储电极 166b 的宽度在从大约 $3\mu\text{m}$ 到大约 $4\mu\text{m}$ 的范围内,而叠置存储电极 166a 的宽度在从大约 $5\mu\text{m}$ 到大约 $7\mu\text{m}$ 的范围内(其中, $1\mu\text{m}=1\times 10^{-6}$ 米)。由于叠置存储电极 166a 的宽度大于非叠置存储电极 166b 的宽度,所以叠置存储电极 166a 与像素电极 130 的第二边缘部分叠置第一长度 $L1$ 。

[0086] 在可选实施例(未示出)中,存储线 160 可以这样形成,即,叠置存储电极 166a 远离非叠置存储电极 166b 并向着像素电极 130 弯曲。

[0087] 在图 9 中示出的具体示例性实施例中,第二子存储线 166 关于穿过单位像素列的每个单位像素的中心并且在第二方向上延伸的假想线两侧对称。存储线 160 也可以关于这条线两侧对称。

[0088] 根据上述的第三示例性实施例,叠置存储电极 166a 具有比非叠置存储电极 166b 的宽度宽的宽度,并且与像素电极 130 的第二边缘部分叠置第一长度 $L1$ 。因此,尽管在像素电极的制造过程中像素电极 130 关于栅极线 110 会发生轻微地向上或向下地错位,但是不管像素电极 130 的这种错位如何,存储线 160 和像素电极 130 之间的叠置面积基本保持恒定。

[0089] 实施例 4(显示面板)

[0090] 图 10 是根据本发明的显示面板阵列基底的第四示例性实施例的一部分的放大的局部平面图。除了阵列基底的存储线和像素电极之外,第四示例性阵列基底与上面的第二示例性实施例基本相似。因此,在下面的描述中,用相同的标号表示与第二实施例的部分相同或基本相似的部分,并且用相同的名称表示相同或基本相似的部分,并且省略了对这些部分的进一步详细描述。

[0091] 参照图 10,第四示例性实施例包括存储线 160,从外部对其施加基准电压;存储线 160 包括主存储线 162、第一子存储线 164 和第二子存储线 166。主存储线 162 在第二方向上延伸,并且可以穿过像素列中的每个单位像素的中心,从而覆盖单位像素的像素电极 130。

[0092] 第一子存储线 164 连接到主存储线 162,并且在第一方向上延伸第一长度 $L1$ 。第一子存储线 164 被布置为与像素电极 130 的第一边缘部分叠置第一长度 $L1$ 。如图 10 中所示,第一子存储线 164 可以在远离主存储线 162 的相对侧向外延伸,并且具有与第一长度 $L1$ 相等的总长度。

[0093] 第二子存储线 166 连接到主存储线 162 并且在第一方向上延伸第二长度 $L2$,第二长度 $L2$ 比第一长度 $L1$ 长。例如,第二子存储线 166 具有与像素电极 130 的第二边缘部分对应的长度。如图 10 中所示,第二子存储线 166 可以在从主存储线 162 的相对侧延伸,并且具有与第二长度 $L2$ 相等的总长度。

[0094] 如图 10 中所示,第二子存储线 166 被布置为与像素电极 130 的第一边缘部分相对的第二边缘部分叠置第一长度 $L1$ 。例如,第二子存储线 166 可以与像素电极 130 叠置与第一子存储线 164 和像素电极 130 之间的叠置长度基本相同的长度。

[0095] 第二子存储线 166 可以关于穿过每个单位像素的中心并且在第二方向上延伸的假想线两侧对称。存储线 160 也可以关于这条线两侧对称。

[0096] 每个像素电极 130 设置在相应的单位像素中,并且包括主像素电极 130a 和叠置电极 130b。

[0097] 主像素电极 130a 与像素电极 130 的较大部分对应并且被布置为主像素电极 130a 不与第二子存储线 166 叠置。当在平面图上观察时,主像素电极 130a 具有例如具有在第一方向上的长边的基本为矩形的形状。

[0098] 叠置电极 130b 从主像素电极 130a 向下并向着第二子存储线 166 延伸,从而与第二子存储线 166 叠置第一长度 L1。

[0099] 区域划分部分 132 形成在每个像素电极 130 中,从而将每个单位像素划分为多个区域。在图 10 中,区域划分部分 132 与通过部分去除像素电极 130 形成的开口对应,但是在一个可能的可选实施例中,区域划分部分 132 可以与形成在像素电极 130 上的突起对应。

[0100] 根据上面描述的第四示例性实施例,像素电极 130 包括与第二子存储线 166 叠置第一长度 L1 的叠置电极 130b。因此,尽管在像素电极的制造过程中像素电极 130 相对于栅极线 110 会向上或向下错位,但是不管像素电极 130 的这种错位如何,存储线 160 和像素电极 130 之间的叠置面积基本保持恒定。

[0101] 实施例 5(显示面板)

[0102] 图 11 是根据本发明的显示面板阵列基底的第五示例性实施例的一部分的放大的局部平面图。除了阵列基底的存储线之外,第五示例性阵列基底与上面的第二示例性实施例基本相似。因此,在下面的描述中,用相同的标号表示与第二实施例的部分相同或基本相似的部分,并且用相同的名称表示相同或基本相似的部分,并且省略了对这些部分的进一步详细描述。

[0103] 参照图 11,第五示例性阵列基底包括存储线 160,从外部对其施加基准电压,存储线 160 包括主存储线 162、第一子存储线 164 和第二子存储线 166。主存储线 162 在第二方向上延伸,并且可以穿过像素列中的每个单位像素的中心,从而覆盖单位像素的像素电极 130。

[0104] 第一子存储线 164 连接到主存储线 162,并且在第一方向上延伸第一长度 L1。第一子存储线 164 被布置为与像素电极 130 的第一边缘部分叠置第一长度 L1。因此,如图 11 中所示,第一子存储线 164 可以从主存储线 162 的相对侧向外延伸,并且具有与第一长度 L1 相等的总长度。

[0105] 第二子存储线 166 连接到主存储线 162 并且在第一方向上延伸第二长度 L2,第二长度 L2 比第一长度 L1 长。例如,第二子存储线 166 可以具有与像素电极 130 的第一边缘部分相对的像素电极 130 的第二边缘部分对应的长度。如图 11 中所示,第二子存储线 166 可以从主存储线 162 的相对侧向外延伸,并且具有与第二长度 L2 相等的总长度。

[0106] 第二子存储线 166 包括:叠置存储电极 166a,与像素电极 130 的第二边缘部分叠置第一长度 L1;非叠置存储电极 166b,连接到叠置存储电极 166a 并且不与像素电极 130 的第二边缘部分叠置。如图 11 中所示,当在平面图上观察时,非叠置存储电极 166b 设置在像素电极 130 和相关的栅极线 110 之间。

[0107] 如图 11 中所示,叠置存储电极 166a 具有这样的形状,即,叠置存储电极 166a 从非叠置存储电极 166b 向上并向着像素电极 130 弯曲。第二子存储线 166 可以关于穿过单位像素列的每个单位像素的中心并在第二方向上延伸的假想线两侧对称。存储线 160 也可以关于这条线两侧对称。

[0108] 每个像素电极 130 设置在对应的单位像素中,并且包括主像素电极 130a 和叠置电

极 130b。

[0109] 主像素电极 130a 与像素电极 130 的较大部分对应并且不与第二子存储线 166 叠置。当在平面图上观察时,主像素电极 130a 具有例如具有在第一方向上延伸的长边的基本为矩形的形状。

[0110] 叠置电极 130b 从主像素电极 130a 向下并向着第二子存储线 166 延伸,从而与第二子存储线 166 叠置第一长度 L1。例如,叠置电极 130b 可以与第二存储线 166 的叠置存储电极 166a 叠置第一长度 L1。

[0111] 区域划分部分 132 形成在每个像素电极 130 中,从而将每个单位像素划分为多个区域。在图 11 中,区域划分部分 132 与通过部分去除像素电极 130 而形成的开口对应,但是在可选实施例中,区域划分部分 132 可以与形成在像素电极 130 上的突起对应。

[0112] 根据上面描述的第五示例性实施例,叠置存储电极 166a 向像素电极 130 弯曲,像素电极 130 包括向下并向着第二子存储线 166 突出的叠置电极 130b。因此,尽管在像素电极 130 的制造过程中像素电极 130 相对于栅极线 110 会向上或向下错位,但是不管像素电极 130 的这种错位如何,存储线 160 和像素电极 130 之间的叠置面积保持恒定,因此,由其限定的存储电容保持恒定。

[0113] 根据这里公开的几个示例性实施例,第一子存储线和像素电极的第一边缘部分之间的叠置长度与第二子存储线和像素电极的第二边缘部分之间的叠置长度基本相同。因此,尽管在像素电极的制造过程中像素电极相对于栅极线会向上或向下轻微错位,但是不管这种像素电极的错位如何,由存储线和像素电极之间的叠置面积限定的存储电容器基本保持恒定。由于存储电容器基本不受像素电极错位的影响,所以由存储电容器提供的反冲电压基本保持不变,从而提高了显示面板的图像质量。

[0114] 现在,本领域技术人员将清楚的是,在不脱离本发明的精神和范围的情况下,可以对本发明的 LCD 面板阵列基底的材料、方法和结构进行许多修改、替换和变型。由此,本发明的范围不应该限于这里示出和描述的具体实施例的范围,因为这些只是实施例的示例,而是应该完全符合权利要求及其功能等同物。

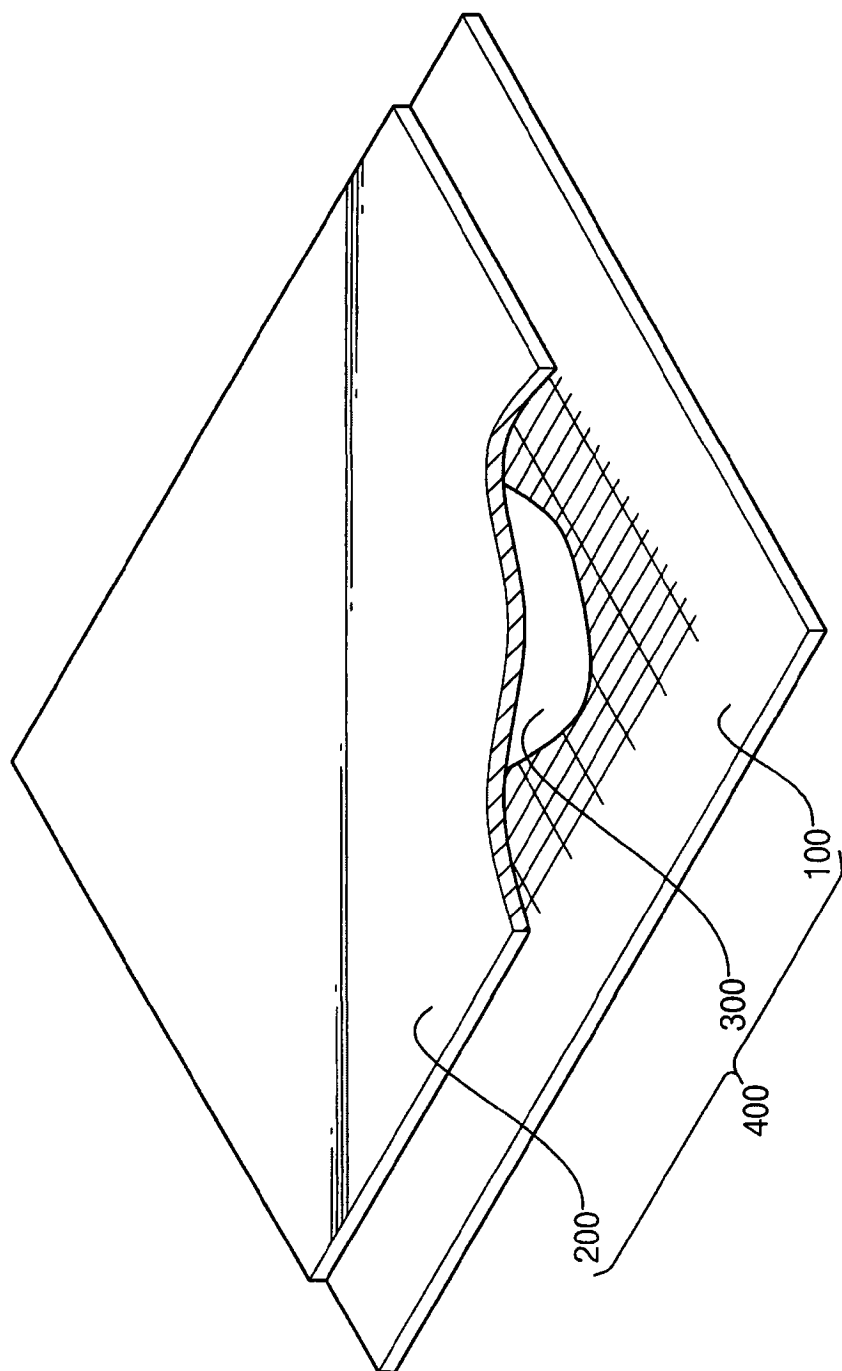


图1

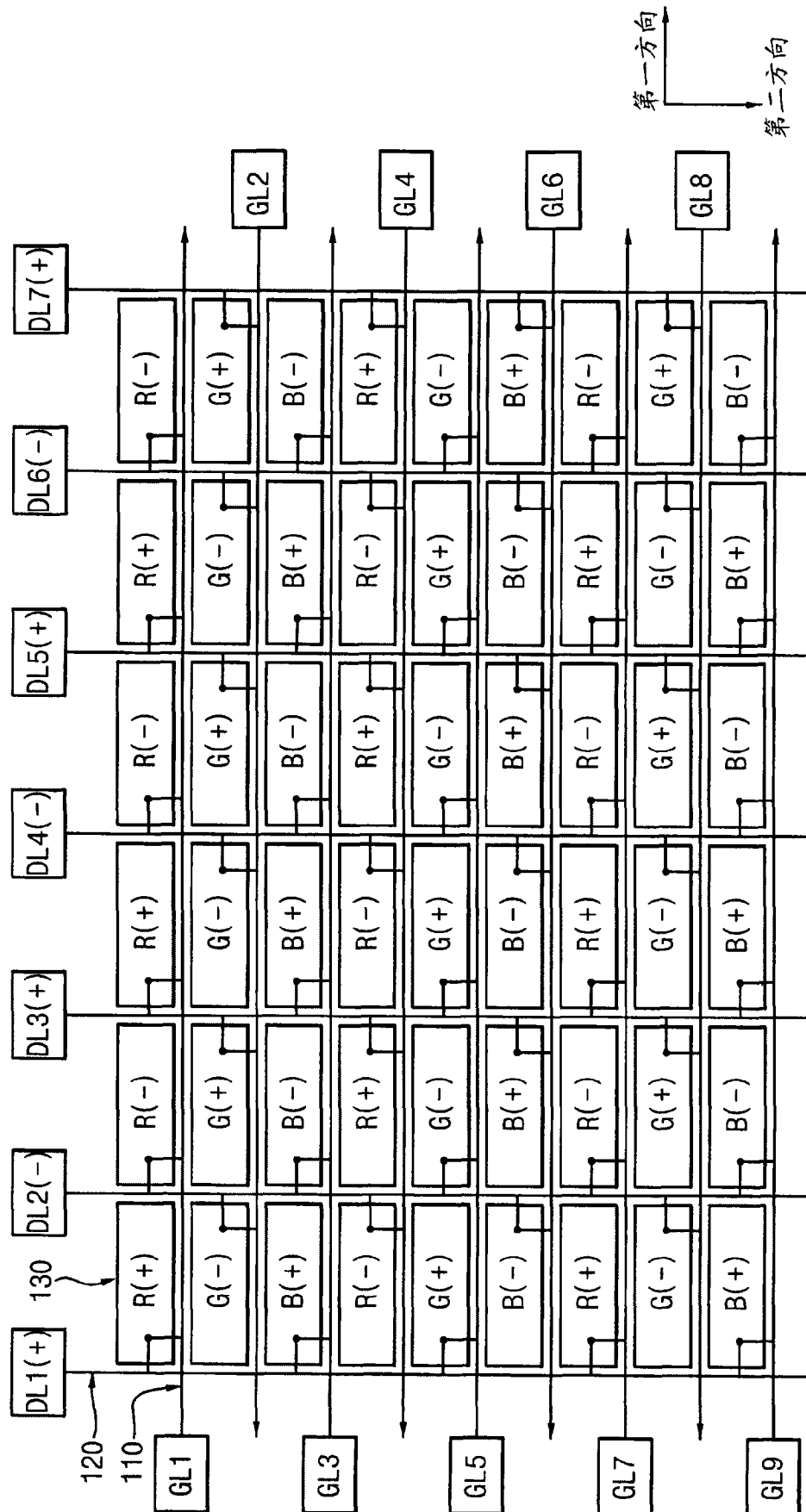


图 2

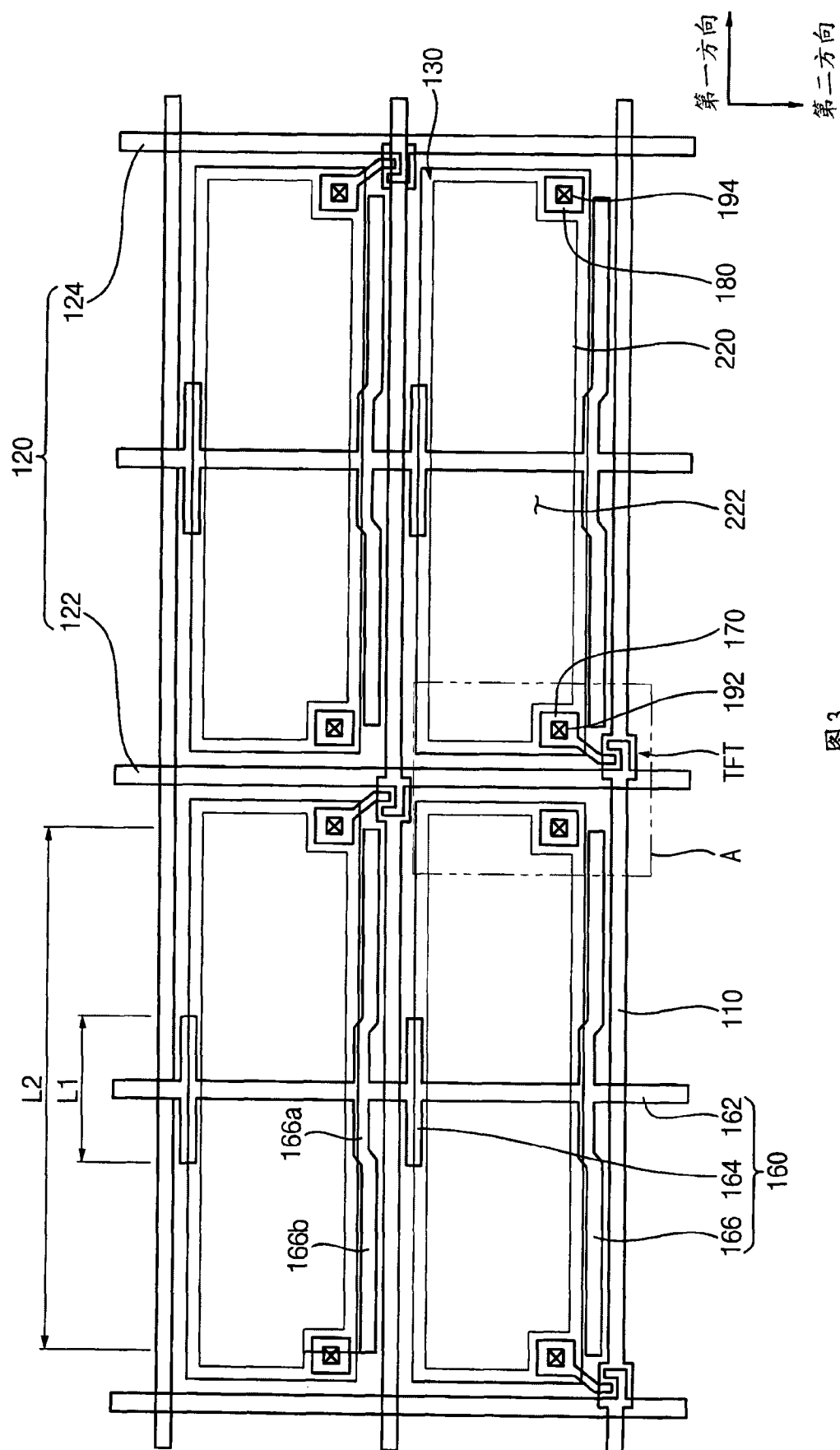


图3

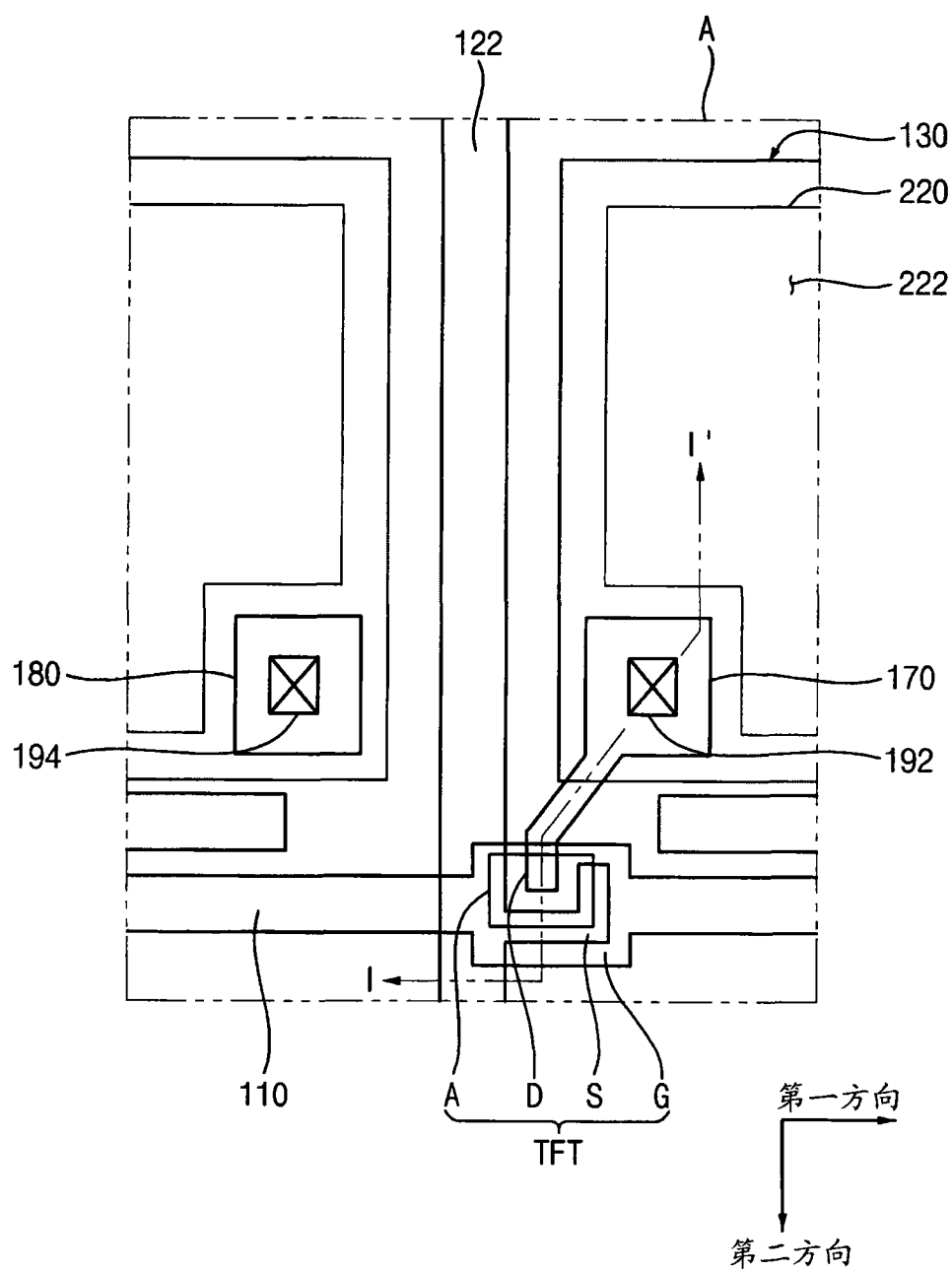


图 4

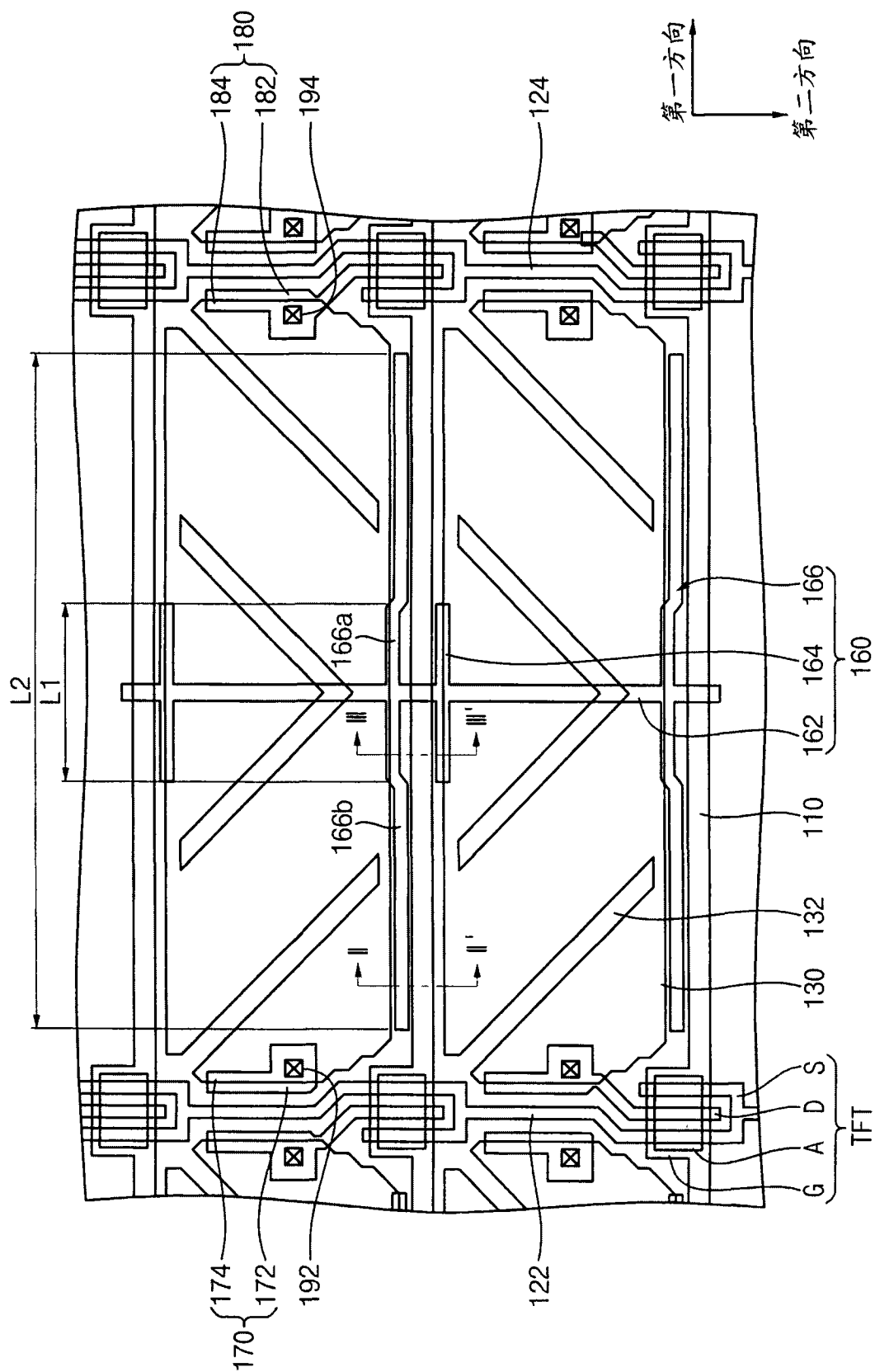


图 6

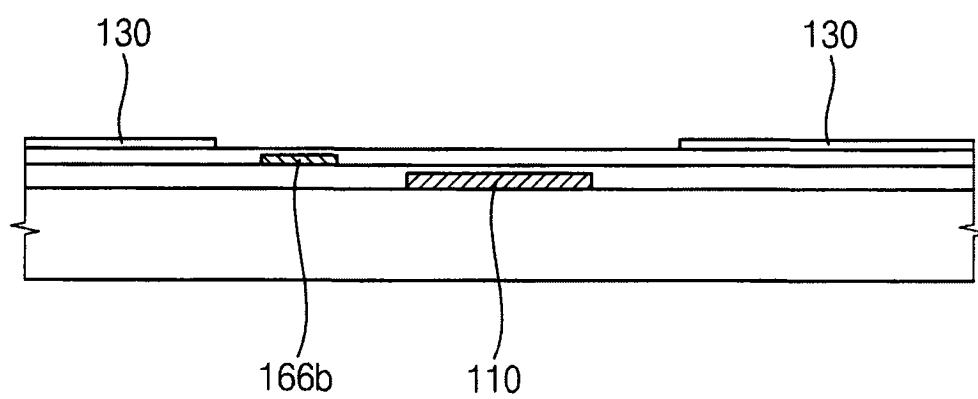


图 7

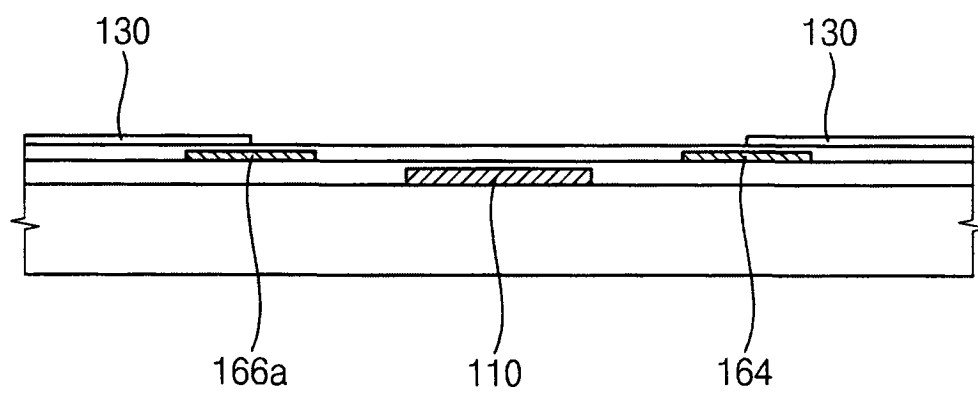


图 8

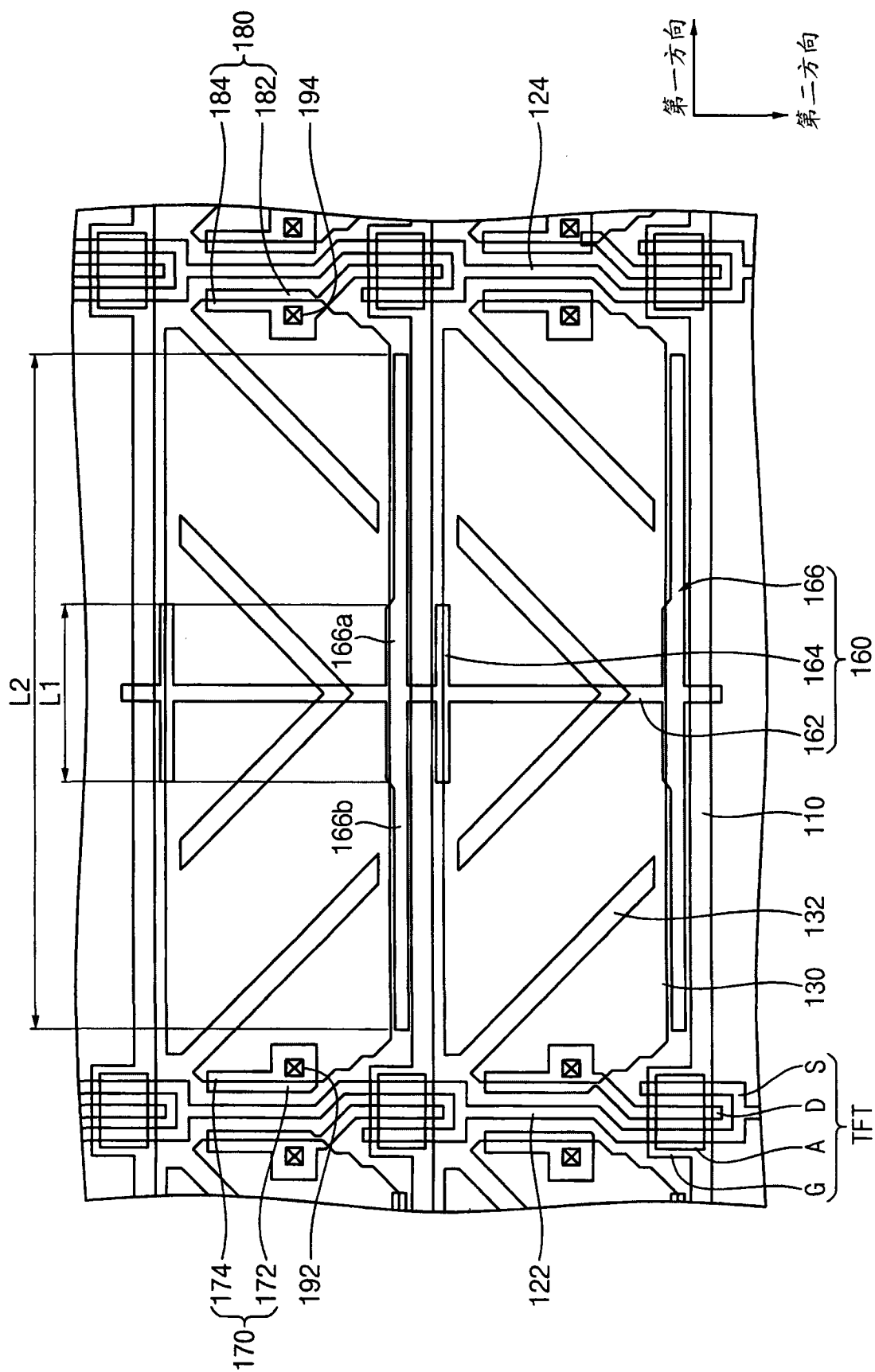


图9

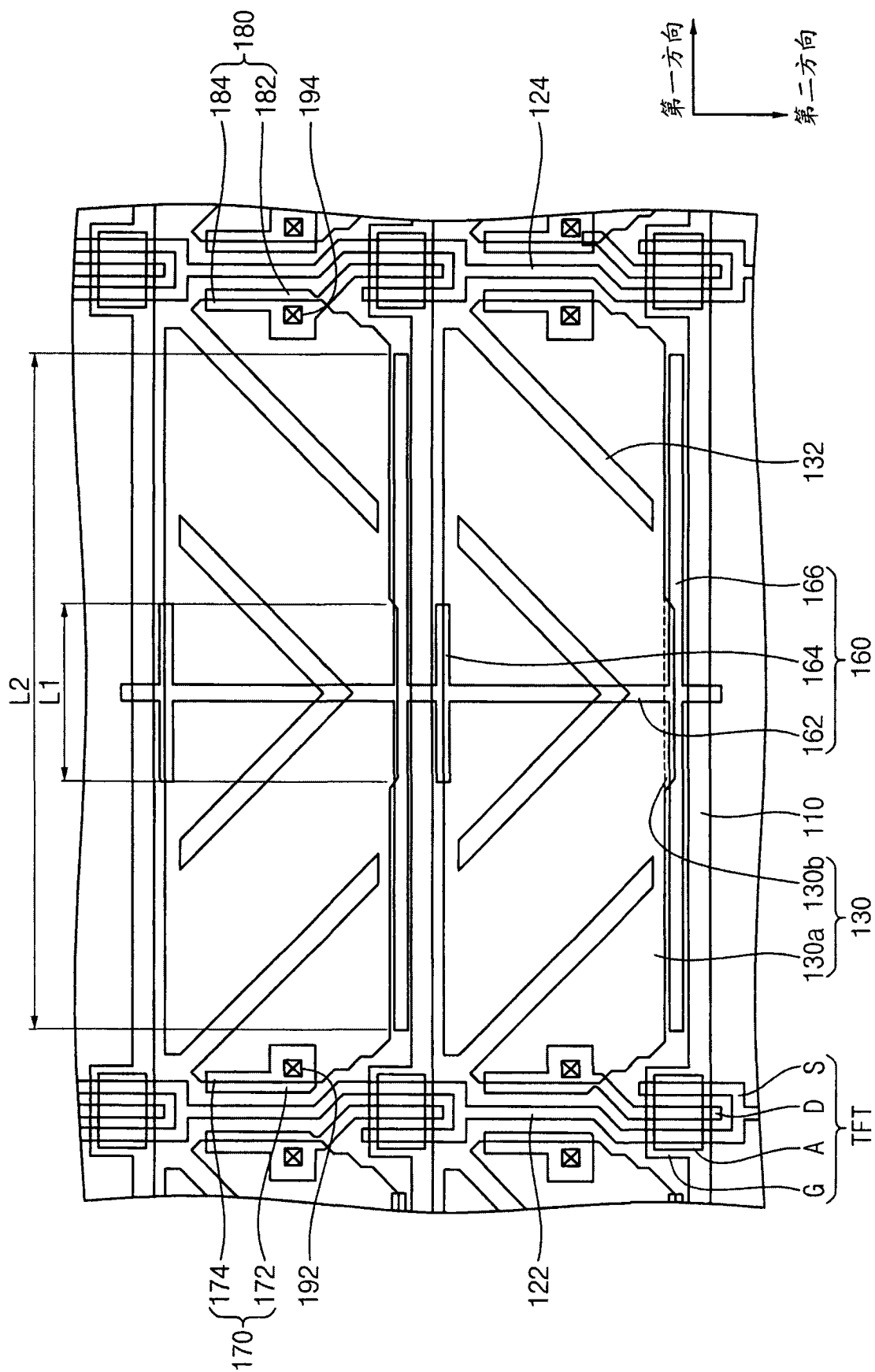
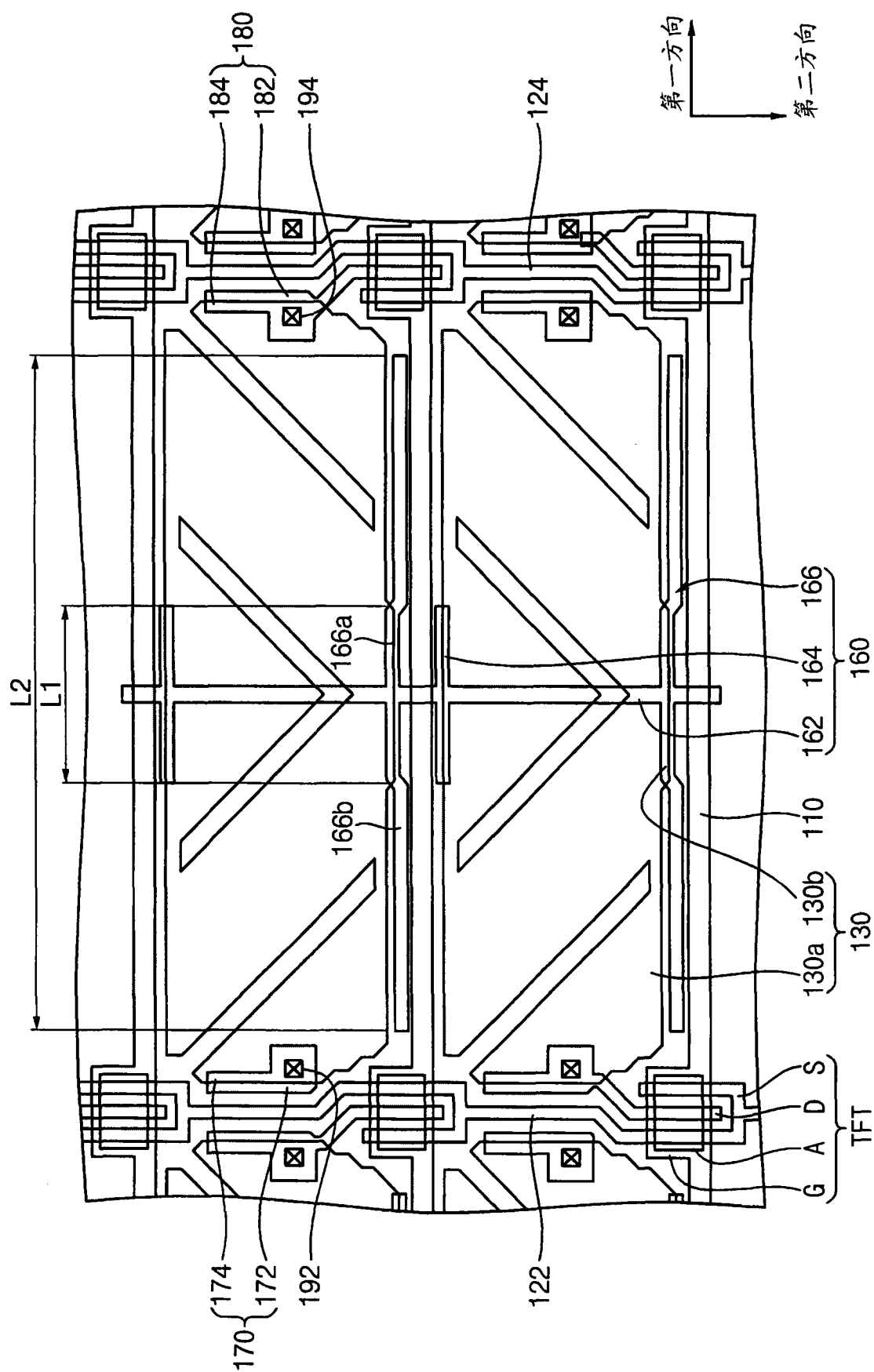


图10



11

专利名称(译)	液晶显示面板阵列基底		
公开(公告)号	CN101097383B	公开(公告)日	2012-07-04
申请号	CN200710126867.1	申请日	2007-06-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金东奎 白承洙		
发明人	金东奎 白承洙		
IPC分类号	G02F1/1362		
CPC分类号	G02F1/136213		
审查员(译)	韩旭		
优先权	1020060060413 2006-06-30 KR		
其他公开文献	CN101097383A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种LCD阵列基底，该LCD阵列基底包括栅极线、数据线、薄膜晶体管、像素电极和存储线。像素电极形成在由栅极线和数据线限定的单位像素中，并且电连接到薄膜晶体管。存储线包括主存储线、第一子存储线和第二子存储线。第一子存储线与像素电极的第一边缘部分叠置第一长度。第二子存储线与像素电极的与第一边缘部分相对的第二边缘部分叠置第一长度。这种布置防止由像素电极的错位引起的反冲电压的变化，从而提高显示图像的质量。

