(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 202075968 U
(45)授权公告日 2011.12.14

(21)申请号 201120184740.7

(22)申请日 2011.06.02

(73)专利权人 北京京东方光电科技有限公司
地址 100176 北京市经济技术开发区西环中路 8 号

(72)发明人 赵卫杰 时哲

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274
代理人 申健

(51)Int.Cl.
G09G 3/36(2006.01)

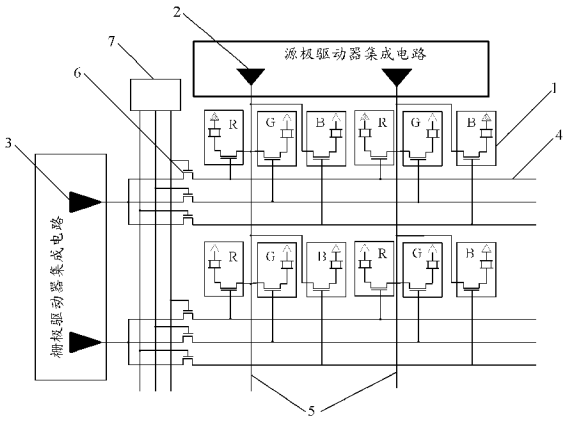
权利要求书 1 页 说明书 3 页 附图 2 页

(54)实用新型名称

液晶显示模块

(57)摘要

本实用新型实施例公开了一种液晶显示模块，涉及液晶显示领域，能够大大减少源极驱动器集成电路和栅极驱动器集成电路的数量。本实用新型实施例的液晶显示模块，包括多个呈矩阵状分布的像素单元、多个栅极驱动器和源极驱动器、多行扫描线与多列数据线，所述源极驱动器与所述数据线相连接，每列所述数据线与至少三列所述像素单元分别相连接，每个所述栅极驱动器分别通过非晶硅薄膜晶体管与至少三行扫描线相连接，所述液晶显示模块还包括用于控制所述非晶硅薄膜晶体管开启和关闭的时钟控制单元，所述时钟控制单元与所述非晶硅薄膜晶体管的栅极相连接。



CN 202075968 U

1. 一种液晶显示模块，包括多个呈矩阵状分布的像素单元、多个栅极驱动器和源极驱动器、多行扫描线与多列数据线，所述源极驱动器与所述数据线相连接，其特征在于，每列所述数据线与至少三列所述像素单元分别相连接，每个所述栅极驱动器分别通过非晶硅薄膜晶体管与至少三行扫描线相连接，所述液晶显示模块还包括用于控制所述非晶硅薄膜晶体管开启和关闭的时钟控制单元，所述时钟控制单元与所述非晶硅薄膜晶体管的栅极相连接。

2. 根据权利要求 1 所述的液晶显示模块，其特征在于，所述像素单元包括第一薄膜晶体管，所述第一薄膜晶体管的栅极与所述扫描线相连接，所述第一薄膜晶体管的源极与所述数据线相连接。

3. 根据权利要求 1 所述的液晶显示模块，其特征在于，所述非晶硅薄膜晶体管的源极与所述栅极驱动器相连接。

4. 根据权利要求 1 所述的液晶显示模块，其特征在于，每行所述像素单元中至少有三个相邻的所述像素单元与同一列所述数据线相连接。

5. 根据权利要求 4 所述的液晶显示模块，其特征在于，每行所述像素单元中与同一列所述数据线相连接的所述像素单元的个数，等于与每个所述栅极驱动器相连接的扫描线行数。

液晶显示模块

技术领域

[0001] 本实用新型涉及液晶显示领域，尤其涉及一种液晶显示模块。

背景技术

[0002] 目前大多数液晶显示模块的结构如图 1 所示，包括多个呈矩阵状分布的像素单元 1、多个栅极驱动器 3 和源极驱动器 2、多行扫描线与多列数据线，为保证每个像素单元能够正常被驱动，每行像素单元通过一行扫描线连接一个栅极驱动器，且每列像素单元通过一列数据线连接一个源极驱动器。

[0003] 由于源极驱动器集成电路 (Source Driver Integrated Circuit，简称 Source Driver IC) 的成本较高，制作工艺复杂、难度较大，且现有技术的液晶显示模块使用了较多的源极驱动器集成电路和栅极驱动器集成电路 (Date Driver Integrated Circuit，简称 Date Driver IC)，因此，相对成本也较高。

实用新型内容

[0004] 本实用新型的实施例所要解决的技术问题在于提供一种液晶显示模块，能够减少源极驱动器集成电路和栅极驱动器集成电路的使用量，从而大大降低液晶显示模块的制作成本。

[0005] 为解决上述技术问题，本实用新型的实施例采用如下技术方案 ：

[0006] 一种液晶显示模块，包括多个呈矩阵状分布的像素单元、多个栅极驱动器和源极驱动器、多行扫描线与多列数据线，所述源极驱动器与所述数据线相连接，每列所述数据线与至少三列所述像素单元分别相连接，每个所述栅极驱动器分别通过非晶硅薄膜晶体管与至少三行扫描线相连接，所述液晶显示模块还包括用于控制所述非晶硅薄膜晶体管开启和关闭的时钟控制单元，所述时钟控制单元与所述非晶硅薄膜晶体管的栅极相连接。

[0007] 所述像素单元包括第一薄膜晶体管，所述第一薄膜晶体管的栅极与所述扫描线相连接，所述第一薄膜晶体管的源极与所述数据线相连接。

[0008] 所述非晶硅薄膜晶体管的源极与所述栅极驱动器相连接。

[0009] 每行所述像素单元中至少有三个相邻的所述像素单元与同一列所述数据线相连接。

[0010] 每行所述像素单元中与同一列所述数据线相连接的所述像素单元的个数，等于与每个所述栅极驱动器相连接的扫描线行数。

[0011] 本实用新型实施例的液晶显示模块，通过时钟控制单元与非晶硅薄膜晶体管来控制信号的输出，能够减少源极驱动器集成电路和栅极驱动器集成电路的使用量，从而大大降低液晶显示模块的制作成本。

附图说明

[0012] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案，下面将对实施例

描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本实用新型的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0013] 图 1 为现有技术中液晶显示模块的结构示意图；

[0014] 图 2 为本实用新型实施例中液晶显示模块的结构示意图；

[0015] 图 3 为本实用新型实施例中液晶显示模块的时序图。

[0016] 附图标记说明：

[0017] 1、像素单元 2、源极驱动器 3、栅极驱动器 4、扫描线 5、数据线 6、非晶硅薄膜晶体管 7、时钟控制单元

具体实施方式

[0018] 本实用新型实施例提供一种液晶显示模块，能够减少源极驱动器集成电路和栅极驱动器集成电路的使用量，从而大大降低液晶显示模块的制作成本。

[0019] 如图 2 所示，本实施例的液晶显示模块，包括多个呈矩阵状分布的像素单元 1、多个栅极驱动器 3 和源极驱动器 2、多行扫描线 4 与多列数据线 5，源极驱动器 2 与数据线 5 相连接，每列数据线 5 与至少三列像素单元 1 分别相连接，每个栅极驱动器 3 分别通过非晶硅薄膜晶体管 6 与至少三行扫描线 4 相连接，液晶显示模块还包括用于控制非晶硅薄膜晶体管 6 开启和关闭的时钟控制单元 7，时钟控制单元 7 与非晶硅薄膜晶体管 6 的栅极相连接。

[0020] 下面以每列数据线与三列像素单元分别相连接为例，详细介绍本实用新型。

[0021] 像素单元 1 分为红色亚像素单元、绿色亚像素单元和蓝色亚像素单元，且红色亚像素单元、绿色亚像素单元和蓝色亚像素单元交错排列。为减少源极驱动器 2 的使用数量，本实施例每列数据线与三列像素单元，即：一列红色亚像素单元、一列绿色亚像素单元和一列蓝色亚像素单元分别相连接，如图 2 所示。本实施例的像素单元 1 包括第一薄膜晶体管，第一薄膜晶体管的源极与数据线 5 相连接，第一薄膜晶体管的栅极与扫描线 4 相连接。

[0022] 为进一步减少栅极驱动器 3 的使用数量，每个栅极驱动器 3 分别通过非晶硅薄膜晶体管 6 与三行扫描线 4 相连接，为保证像素单元 1 能够正常打开并接收数据，本实施例的液晶显示模块还包括用于控制非晶硅薄膜晶体管 6 开启和关闭的时钟控制单元 7，时钟控制单元 7 通过三列连线与非晶硅薄膜晶体管 6 的栅极相连接，非晶硅薄膜晶体管 6 的源极与栅极驱动器 3 相连接。

[0023] 在本实施例的连接方式下，不难得出，每行像素单元 1 中有三个相邻的像素单元 1 与同一列数据线 5 相连接；每行像素单元 1 中与同一列数据线 5 相连接的像素单元 1 的个数，等于与每个栅极驱动器 3 相连接的扫描线 4 的行数。

[0024] 下面对本实用新型实施例的工作过程作进一步介绍，如图 3 所示，其中，Clock_R、Clock_G、Clock_B 分别代表时钟控制单元 7 通过三列连线所输出的时钟信号，且 Clock_R 通过非晶硅薄膜晶体管 6 控制与红色亚像素单元相连的扫描线 4 的输出信号，Clock_G 通过非晶硅薄膜晶体管 6 控制与绿色亚像素单元相连的扫描线 4 的输出信号，Clock_B 通过非晶硅薄膜晶体管 6 控制与蓝色亚像素单元相连的扫描线 4 的输出信号；Gate Driver 1、Gate Driver 2 代表栅极驱动器 3 所输出的信号；Gout11-Gout13、Gout 21-Gout23 代表经时钟控制单元 7 的作用后各行扫描线 4 上的信号。Gate Driver IC 中包括多个栅极驱动器

3 ;Source Driver IC 中包括多个源极驱动器 2。

[0025] 在 T1 时刻,Gate Driver IC 中的栅极驱动器 3 输出为高电平,时钟控制单元 7 输出的 Clock_R 为高电平,Clock_G、Clock_B 为低电平,Gout 11 将对应红色亚像素单元的 Gate 打开,电容充电,Source Driver IC 中的源极驱动器 2 把第一行红色亚像素单元对应的数据写入 ;

[0026] 在 T2 时刻,Gate Driver IC 中的栅极驱动器 3 输出为高电平,时钟控制单元 7 输出的 Clock_G 为高电平,Clock_R、Clock_B 为低电平,Gout 12 将对应红色亚像素单元的 Gate 打开,电容充电,Source Driver IC 中的源极驱动器 2 把第一行绿色亚像素单元对应的数据写入 ;

[0027] 在 T3 时刻,Gate Driver IC 中的栅极驱动器 3 输出为高电平,时钟控制单元 7 输出的 Clock_B 为高电平,Clock_G、Clock_R 为低电平,Gout 13 将对应红色亚像素单元的 Gate 打开,电容充电,Source Driver IC 中的源极驱动器 2 把第一行蓝色亚像素单元对应的数据写入。

[0028] 依次类推,进而实现每帧画面的显示。

[0029] 本实施例的液晶显示模块,通过时钟控制单元与非晶硅薄膜晶体管的巧妙使用,将源极驱动器和栅极驱动器的使用数量均减少为现有技术使用数量的 1/3,从而大大降低液晶显示模块的制作成本。

[0030] 通过以上的实施方式的描述,所属领域的技术人员可以清楚地了解到本实用新型可借助软件加必需的通用硬件的方式来实现,当然也可以通过硬件,但很多情况下前者是更佳的实施方式。基于这样的理解,本实用新型的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品存储在可读取的存储介质中,如计算机的软盘,硬盘或光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本实用新型各个实施例所述的方法。

[0031] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应所述以权利要求的保护范围为准。

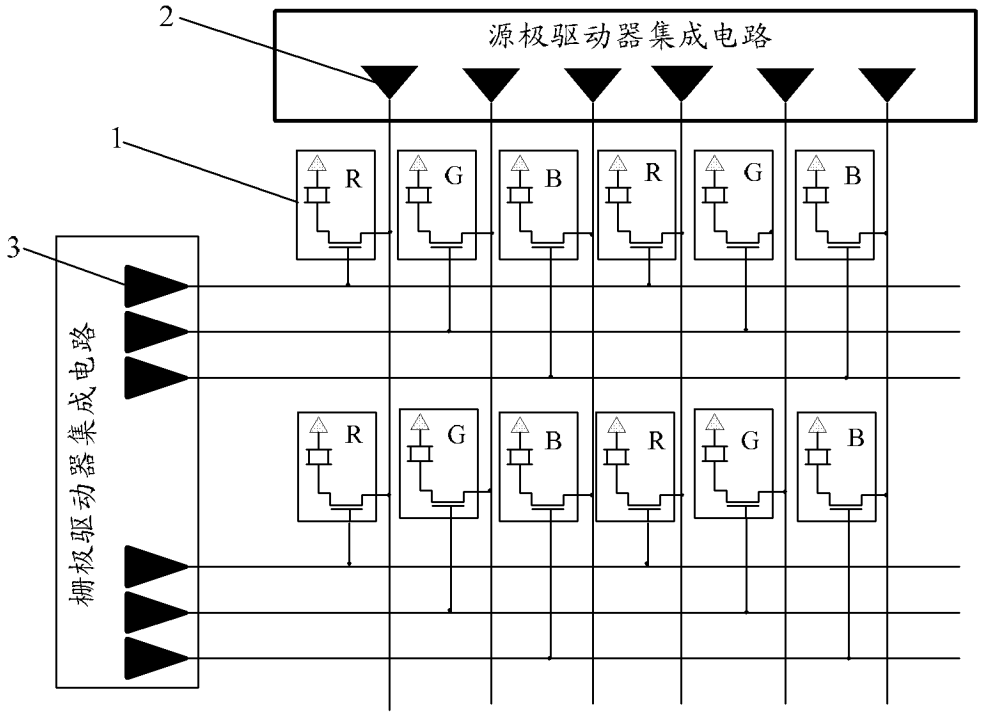

2
源极驱动器集成电路
1
R
G
B
3
栅极驱动器集成电路

图 1

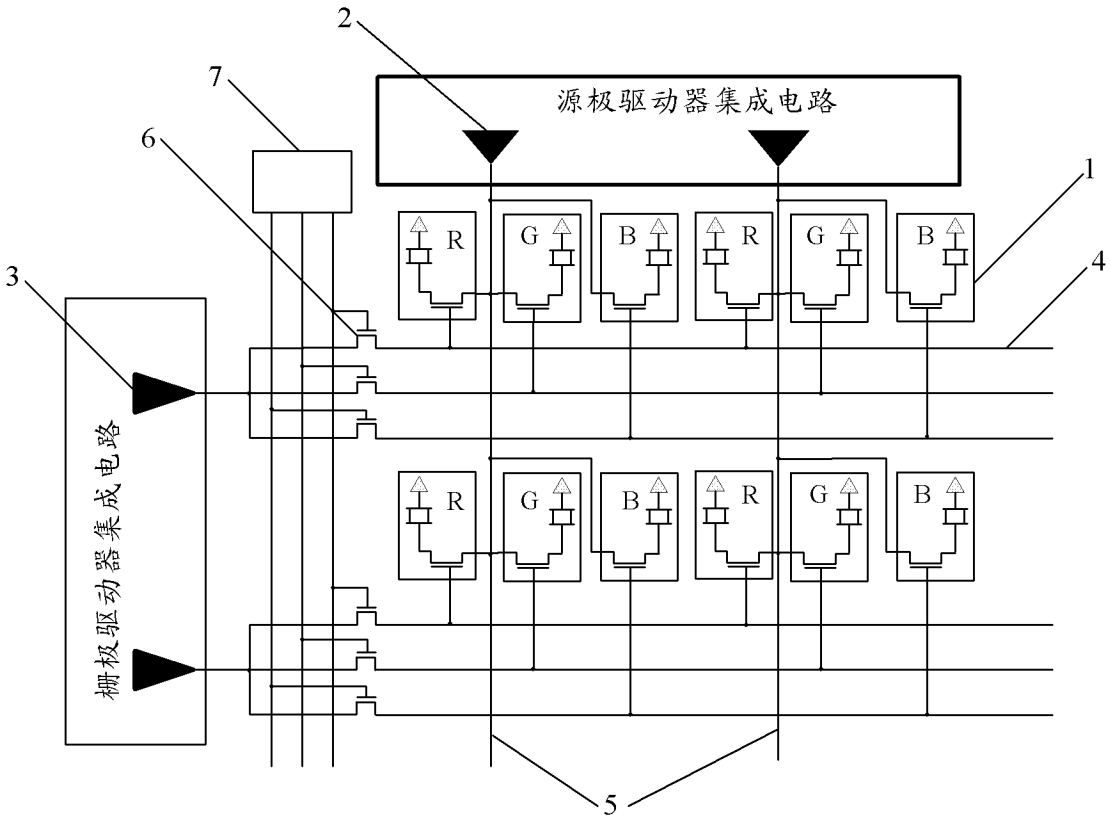

2
7
6
源极驱动器集成电路
1
4
3
R
G
B
栅极驱动器集成电路
5

图 2

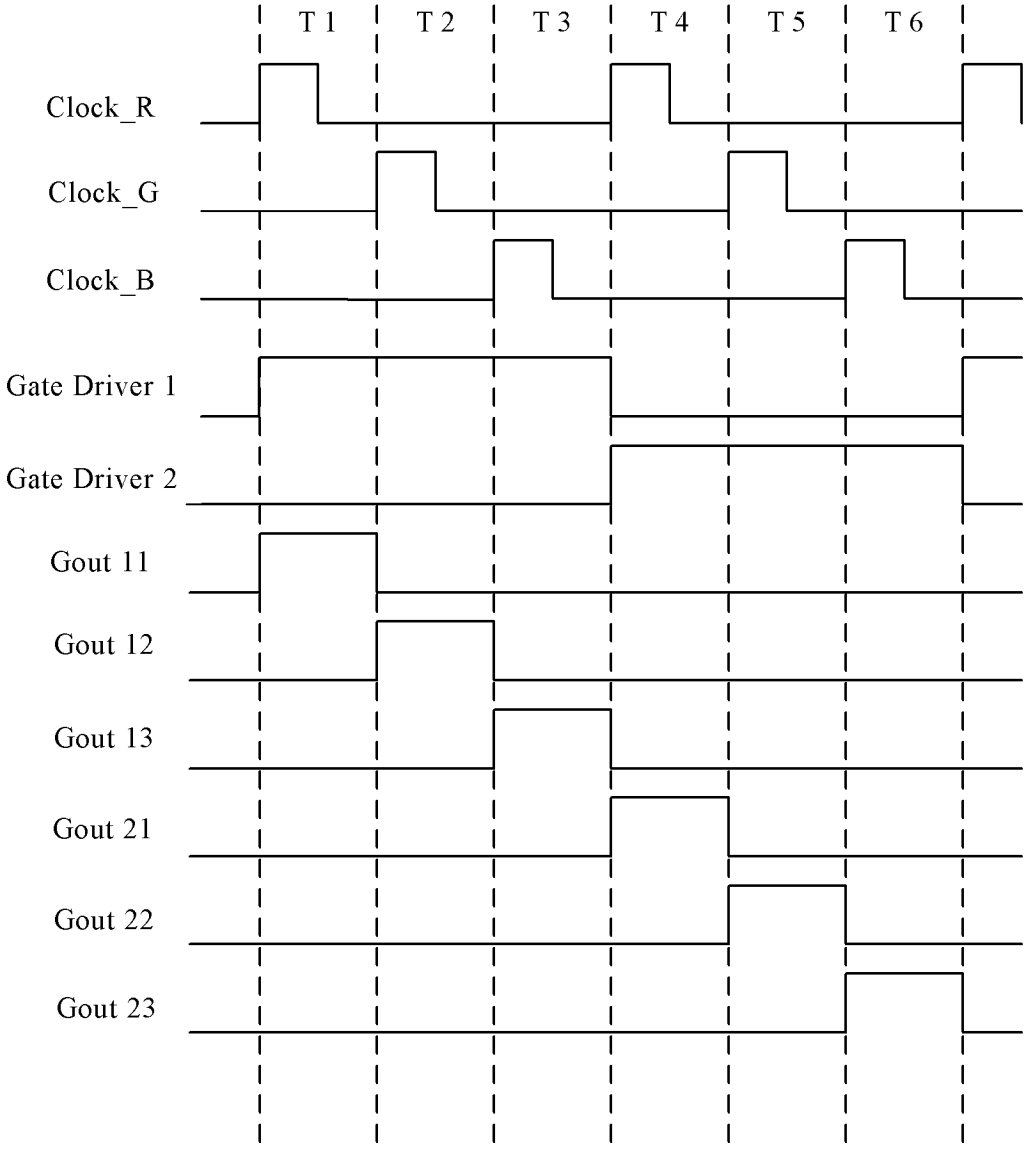
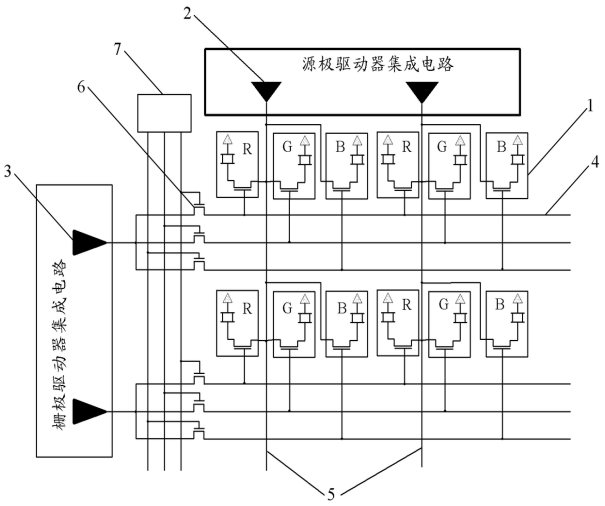

T1
T2
T3
T4
T5
T6
Clock_R
Clock_G
Clock_B
Gate Driver 1
Gate Driver 2
Gout 11
Gout 12
Gout 13
Gout 21
Gout 22
Gout 23

图 3

专利名称(译)	液晶显示模块		
公开(公告)号	CN202075968U	公开(公告)日	2011-12-14
申请号	CN201120184740.7	申请日	2011-06-02
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	赵卫杰 时哲		
发明人	赵卫杰 时哲		
IPC分类号	G09G3/36		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型实施例公开了一种液晶显示模块，涉及液晶显示领域，能够大大减少源极驱动器集成电路和栅极驱动器集成电路的数量。本实用新型实施例的液晶显示模块，包括多个呈矩阵状分布的像素单元、多个栅极驱动器和源极驱动器、多行扫描线与多列数据线，所述源极驱动器与所述数据线相连接，每列所述数据线与至少三列所述像素单元分别相连接，每个所述栅极驱动器分别通过非晶硅薄膜晶体管与至少三行扫描线相连接，所述液晶显示模块还包括用于控制所述非晶硅薄膜晶体管开启和关闭的时钟控制单元，所述时钟控制单元与所述非晶硅薄膜晶体管的栅极相连接。