

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/786

H01L 21/336

G02F 1/1368

G09F 9/00



[12] 发明专利申请公开说明书

[21] 申请号 03820547.5

[43] 公开日 2005 年 10 月 5 日

[11] 公开号 CN 1679171A

[22] 申请日 2003.8.29 [21] 申请号 03820547.5

[30] 优先权

[32] 2002. 8. 30 [33] JP [31] 255538/2002

[32] 2002. 12. 17 [33] JP [31] 365337/2002

[86] 国际申请 PCT/JP2003/011057 2003. 8. 29

[87] 国际公布 WO2004/021447 英 2004. 3. 11

[85] 进入国家阶段日期 2005. 2. 28

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 藤井晓义 中林敬哉 越智久维

原 猛 斋藤裕一

[74] 专利代理机构 中科专利商标代理有限责任公司

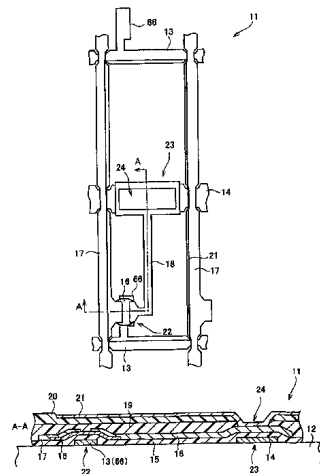
代理人 陈瑞丰

权利要求书 6 页 说明书 51 页 附图 35 页

[54] 发明名称 TFT 阵列基板、液晶显示器件、TFT 阵列基板和液晶显示器件的制造方法以及电子装置

[57] 摘要

一种 TFT 阵列基板包括薄膜晶体管部件，其中栅极形成在基板上，半导体层经栅极绝缘层形成在栅极上。这种 TFT 阵列基板的半导体层具有通过滴落液滴形成的形状。因而，可以通过滴落液滴直接形成半导体层或用于形成半导体层的抗蚀剂层。由此，本发明允许使用喷墨法，因而减少了制造工艺的成本和数量。



I S S N 1 0 0 8 - 4 2 7 4

1、一种 TFT 阵列基板，包括：

5 薄膜晶体管部件，其中栅极形成在基板上，半导体层经栅极绝缘层形成在栅极上，

半导体层具有通过滴落液滴形成的形状。

2、根据权利要求 1 所述的 TFT 阵列基板，其中：

10 薄膜晶体管部件中的栅极是从栅极的主线分支出来的分支电极，该分支电极具有从半导体层的区域突出的开口端。

3、根据权利要求 2 所述的 TFT 阵列基板，其中：

分支电极设置成使得从半导体层的区域突出的部分其宽度比在半导体层的区域内限定的部分的宽度小。

4、根据权利要求 2 所述的 TFT 阵列基板，其中：

15 薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且从半导体层的区域突出的一部分分支电极形成得与源极和漏极之一接触。

5、根据权利要求 2 所述的 TFT 阵列基板，其中：

20 薄膜晶体管部件还包括在半导体层上的源极和漏极，并且沟道部分形成在源极和漏极之间，从半导体层的区域突出的一部分分支电极是根据下列公式（1）形成的，

$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

25 其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落偏离目标位置的第二误差， $L3$ 表示从沟道部分的中心到分支电极的开口端的距离。

6、根据权利要求 2 所述的 TFT 阵列基板，其中：

30 薄膜晶体管部件还包括在半导体层上的源极和漏极，并且沟道部分形成在源极和漏极之间，从半导体层的区域突出的一部分分支电极是根据下列公式（2）形成的，

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$$

其中 $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落偏离目标位置的第二误差， $L2$ 表示从(1)靠近分支电极的开口端的源极和漏极的每个的端部到(2)分支电极的开口端的距离。

7、根据权利要求1所述的TFT阵列基板，其中：

薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且源极和漏极各具有靠近沟道部分设置并在整个宽度上都限定在半导体层的区域内的端部。

8、根据权利要求1所述的TFT阵列基板，其中：

薄膜晶体管部件还包括在半导体层的上层或下层上的光阻挡膜，该光阻挡膜具有通过滴落液滴形成的形状，并且形成在对应半导体层的位置的部分上。

9、根据权利要求1所述的TFT阵列基板，其中：

薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，半导体层是根据下列公式(3)形成的，

$$R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后的液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了滴落位置偏离目标位置的第二误差， R 表示从沟道部分的中心伸出的半导体层的半径。

10、一种液晶显示器件，它包括在权利要求1中所限定的TFT阵列基板。

11、一种TFT阵列基板的制造方法，包括如下步骤：

(a) 在基板上形成栅极；

(b) 在栅极上形成栅极绝缘层；

(c) 在栅极绝缘层上淀积半导体膜；

(d) 通过在半导体膜上滴落抗蚀剂材料的液滴，形成具有液滴形状的抗蚀剂层；和

(e) 在对应抗蚀剂层的形状处理半导体膜以便形成薄膜晶体管部件的

半导体层之后，除去抗蚀剂层。

12、根据权利要求 11 所述的 TFT 阵列基板的制造方法，其中：

在步骤 (a) 中，形成栅极，该栅极包括主线和从主线分支出来的分支电极，该分支电极具有从半导体层的区域突出的开口端。

5 13、根据权利要求 12 所述的 TFT 阵列基板的制造方法，其中：

根据液滴的滴落精度来规定分支电极的长度，以便开口端从半导体层的区域突出。

14、根据权利要求 12 所述的 TFT 阵列基板的制造方法，其中：

10 形成分支电极，使得从半导体层的区域突出的部分在宽度上比在半导体层的区域内限定的部分小。

15、根据权利要求 12 所述的 TFT 阵列基板的制造方法，其中：

从半导体层的区域突出的部分分支电极形成得与薄膜晶体管部件的源极和漏极之一接触。

16、根据权利要求 12 所述的 TFT 阵列基板的制造方法，其中：

15 在步骤 (a) 中，形成分支电极，使得从半导体层的区域突出的部分根据下列公式 (1) 形成，

$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

20 其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落偏离目标位置的第二误差， $L3$ 表示从沟道部分的中心到分支电极的开口端的距离。

17、根据权利要求 13 所述的 TFT 阵列基板的制造方法，其中：

在步骤 (a) 中，形成分支电极，使得从半导体层的区域突出的部分根据下列公式 (2) 形成，

25 $L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$

其中 $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落偏离目标位置的第二误差， $L2$ 表示从 (1) 靠近分支电极的开口端的源极和漏极的每个的端部到 (2) 分支电极的开口端的距离。

30 18、根据权利要求 11 所述的 TFT 阵列基板的制造方法，其中：

在步骤(d)中, 根据下列公式(3)形成抗蚀剂层,

$$R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离, $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后的液滴散布的变化
5 变化的第一误差, $\Delta 2$ 表示考虑了滴落位置偏离目标位置的第二误差, R 表示从沟道部分的中心伸出的半导体层的半径。

19、一种 TFT 阵列基板的制造方法, 包括如下步骤:

(a) 在基板上形成具有分支电极的栅极;

(b) 在栅极上形成栅极绝缘层; 和

10 (c) 通过在分支电极上的栅极绝缘层上滴落半导体材料的液滴, 形成作为薄膜晶体管部件的半导体层的具有液滴形状的半导体层。

20、根据权利要求 19 所述的 TFT 阵列基板的制造方法, 其中:

在步骤(a)中, 形成栅极, 该栅极包括主线和从主线分支出来的分支
15 电极, 该分支电极具有从半导体层的区域突出的开口端。

21、根据权利要求 19 所述的 TFT 阵列基板的制造方法, 其中:

步骤(c)包括下列子步骤:

(i) 在栅极绝缘层上淀积半导体膜;

(ii) 通过在半导体膜上滴落抗蚀剂材料的液滴, 形成具有液滴形状的
20 抗蚀剂层; 和

(iii) 在对应抗蚀剂层的形状处理半导体膜以便形成薄膜晶体管部件
的半导体层之后, 除去抗蚀剂层, 和

在步骤(ii)中, 根据下列公式(3)形成抗蚀剂层,

$$R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离, $\Delta 1$ 表示考
25 虑了用于形成半导体层的液滴的滴落量的变化和滴落之后的液滴散布的变化的第一误差, $\Delta 2$ 表示考虑了滴落位置偏离目标位置的第二误差, R 表示从沟道部分的中心伸出的半导体层的半径。

22、一种 TFT 阵列基板的制造方法, 包括如下步骤:

(a) 在基板上形成栅极;

30 (b) 在栅极上形成栅极绝缘层;

(c) 在栅极绝缘层上形成薄膜晶体管部件的半导体层;

(d) 通过在进行了步骤(c)之后的基板上滴落电极材料的液滴,形成要形成源极的第一区以及至少要形成一个像素电极的第二区;和

5 (e) 通过在进行了步骤(d)之后的基板上滴落电极材料的液滴,在第一区和第二区中形成源极、漏极和像素电极。

23、根据权利要求22所述的TFT阵列基板的制造方法,其中:

第一和第二区是通过形成防止液滴流动的突起导轨来提供的。

24、根据权利要求22所述的TFT阵列基板的制造方法,其中:

10 第一和第二区是通过形成分别具有相对于液滴的亲液性和疏液性的亲液区和疏液区来提供的。

25、一种液晶显示器件的制造方法,它包括权利要求11中所述的TFT阵列基板的制造方法。

26、一种TFT阵列基板,包括:

15 薄膜晶体管部件,其中栅极形成在基板上,半导体层和导体层经栅极绝缘层形成在栅极上,

其中:

导体层形成得与薄膜晶体管部件的半导体层以及源极和漏极之一接触,并具有通过滴落液滴形成的部分,导体层和半导体层在通过滴落液滴形成的部分中具有基本相同的形状。

20 27、根据权利要求26所述的TFT阵列基板的制造方法,其中:

导体层由Mo、W、Ag、Cr、Ta、Ti、主要含有Mo、W、Ag、Cr、Ta、Ti之一的金属材料或氧化铟锡构成。

28、根据权利要求27所述的TFT阵列基板的制造方法,其中:

源极和漏极由Al或主要含有Al的金属材料构成。

25 29、一种液晶显示器件,包括权利要求26中所述的TFT阵列基板。

30、一种TFT阵列基板的制造方法,包括以下步骤:

(a) 在基板上形成栅极;

(b) 在栅极上形成栅极绝缘层;

(c) 在栅极绝缘层上淀积半导体膜;

30 (d) 通过在半导体膜上滴落导电材料的液滴形成具有液滴滴形状的导

体形成层；和

(e) 通过对应导体形成层的形状处理半导体膜，形成薄膜晶体管部件的半导体层。

5 31、根据权利要求 30 所述的 TFT 阵列基板的制造方法，还包括以下步骤：

处理导体形成层，以便形成导体层，

其中：

导体层由 Mo、W、Ag、Cr、Ta、Ti、主要含有 Mo、W、Ag、Cr、Ta、Ti 之一的金属材料或氧化铟锡构成。

10 32、根据权利要求 31 所述的 TFT 阵列基板的制造方法，其中：

源极和漏极由 Al 或主要含有 Al 的金属材料构成。

33、一种液晶显示器件的制造方法，包括权利要求 30 所述的 TFT 基板的制造方法。

34、一种电子装置，包括权利要求 1 所述的 TFT 阵列基板。

15 35、一种电子装置，包括权利要求 26 所述的 TFT 阵列基板。

TFT 阵列基板、液晶显示器件、TFT 阵列基板和
液晶显示器件的制造方法以及电子装置

5

技术领域

本发明涉及一种 TFT 阵列基板；液晶显示器件；TFT 阵列基板和液晶显示器件的制造方法；以及电子装置。

10

背景技术

常规情况下，对于包括 TFT（薄膜晶体管）的液晶显示器件，通过一系列制造步骤来制造 TFT 阵列基板，如图 28 所示。更具体地说，常规 TFT 阵列基板的制造方法是通过如下步骤进行的：淀积用于栅极线的材料；形成栅极线；淀积栅极绝缘层和淀积半导体层；形成半导体层；淀积用于源极线和漏极线的材料；形成源极线和漏极线；处理沟道部分，其中沟道部分位于半导体层上的源极和漏极之间；形成钝化膜；处理钝化膜；淀积像素电极；以及形成像素电极（101 到 111）。

在这些步骤当中，包括光刻和刻蚀的栅极线形成步骤 102、半导体层形成步骤 104、源极线/漏极线形成步骤 106、钝化膜处理步骤 109 和像素电极形成步骤 111 是利用掩模进行的。更具体地说，这些步骤采用光刻和刻蚀，以便处理通过前面的步骤即栅极线淀积步骤 101、栅极绝缘层/半导体层淀积步骤 103、源极/漏极线淀积步骤 105、钝化膜形成步骤 108 以及像素电极淀积步骤 110 形成的膜。

同时，近年来还有人提出一种不采用光刻而利用喷墨法形成布线的技术。在这种技术中，基板在将要形成布线的表面中设有两个区域，这两个区域分别具有相对于布线的液体材料的亲合性和非亲合性；并且通过喷墨法将布线材料的液体滴到亲合区域上，由此形成布线。下面将相对于包括液体布线材料的一般液体具有亲合性和非亲合性的区域分别称为亲液区和疏液区；并将相对于水液体亲合性和非亲合性的区域分别称为亲水区和

30

疏水区。这种技术在文献 1（日本特许公开专利申请 Tokukaihei 11-204529/1999（在 1999 年 7 月 30 日公布））中公开了。

此外，在文献 2（日本特许公开专利申请 Tokukai 2000-353594/2000（在 2000 年 12 月 19 日公布））中公开了一种采用喷墨法的另一种布线形成技术。在这种方法中，布线形成区在各个端部设有堤，以便保持布线材料在该区域内。在这种技术中，堤的上部是疏液区，而布线形成区是亲液区。

此外，在文献 3（SID 01 DIGEST 2001，第 40—43 页，6.1:Invited Paper: All-Polymer Thin Film Transistors Fabricated by High-Resolution Inkjet Printing (by Takeo Kawase and other writers)）中公开了一种采用喷墨法的另一种布线形成技术，其中 TFT 只是通过有机材料形成的。

如上所述，包括光刻的 TFT 阵列基板的常规制造方法至少在下列五个步骤中采用掩模：栅极线形成步骤 102、半导体层形成步骤 104、源极/漏极线形成步骤 106、钝化膜处理步骤 109 以及像素电极形成步骤 111。此外，常规方法在各个淀积步骤中以及在淀积之后的各个处理步骤（形成和处理步骤）中采用真空设备。相应地，为了满足近年来对较大液晶显示器件的市场需求，由于通过这种方式相对于大尺寸基板形成 TFT，因此常规方法消耗了巨大的成本。

另外，较大基板的需求导致抗蚀剂或布线材料的较大消耗。同时，由于还没有实现这些材料的有效再利用方法，因此在用于形成布线等的处理步骤中使用的材料（如抗蚀剂）通过刻蚀或除去方法被除去和丢弃。因而，随着较大基板的需求，用于丢弃的工作和成本日益增长，而且由于丢弃材料造成环境负担。如上所述，主要包括光刻的 TFT 阵列基板的常规制造方法需要更多的制造步骤和更多的成本。

另一方面，如在前面的文献中公开的，采用喷墨法的 TFT 阵列基板的制造方法需要较少量的掩模。因此，需要研制一种喷墨法作为实现减少制造步骤和成本的技术。

发明内容

根据本发明的 TFT 阵列基板包括：薄膜晶体管部分，其中在基板上形成栅极，并且经栅极绝缘层在栅极上形成半导体层，该半导体层具有通过

滴下液滴形成的形状。

利用这种设置，由于半导体层具有滴下的液滴形状（例如，基本上圆形形状，或者由多个重叠圆形构成的形状），因此可以采用喷墨法通过滴下半导体材料的液滴来形成半导体层。或者，可以采用如下方式形成半导体层，使得通过利用喷墨法向半导体膜上滴下抗蚀剂材料的液滴来形成抗蚀剂层，并且该抗蚀剂层用作用于处理半导体膜的掩模。此外，抗蚀剂材料也可以是导电材料，并且可以通过利用喷墨法滴下导电材料的液滴而形成导体形成层，由此用作用于形成半导体层的掩模。

利用这种方法，可以不采用用于形成半导体层的掩模而制造 TFT 阵列基板。相应地，减少了制造中所需的掩模量，由此减少了制造工艺。此外，制造需要较少的采用掩模的光刻工艺，由此减少了用于光刻的设备费用。为此，可以减少制造时间和成本。

应该指出的是，除了前述喷墨法之外，还可以利用通过滴下液滴能直接形成半导体层、抗蚀剂层或导体形成层的任何方法来进行半导体材料、抗蚀剂材料或导电材料的液滴的滴落。

根据本发明的 TFT 阵列基板的制造方法包括如下步骤：(a) 在基板上形成栅极；(b) 在栅极上形成栅极绝缘层；(c) 在栅极绝缘层上淀积半导体膜；(d) 通过在半导体膜上滴落抗蚀剂材料的液滴，形成具有液滴形状的抗蚀剂层；和 (e) 在对应抗蚀剂层的形状处理半导体膜之后，除去抗蚀剂层，以便制造薄膜晶体管部分的半导体层。

通过这种方式，通过滴落抗蚀剂材料的液滴在淀积的半导体膜上形成抗蚀剂层，并通过采用具有液滴形状（通常为圆形）的这个抗蚀剂层作为掩模来形成半导体层。

通过这种方法，可以不用用于形成半导体层的掩模来制造 TFT 阵列基板。因而，减少了制造中所需的掩模数量，由此减少了制造工艺。此外，制造需要较少的采用掩模的光刻工艺，由此减少了用于光刻的设备费用。为此，可以减少制造的时间和成本。

应该指出的是，除了前述喷墨方法之外，还可以利用通过滴落液滴能直接形成抗蚀剂层的任何方法来进行抗蚀剂材料的液滴的滴落。

根据本发明的 TFT 阵列基板的制造方法包括以下步骤：(a) 在基板上

形成具有分支电极的栅极；(b) 在栅极上形成栅极绝缘层；和 (c) 通过在分支电极上滴落抗半导体材料的液滴，形成具有液滴形状的半导体层，作为薄膜晶体管部分的半导体层。

5 在这种方式中，只通过在分支电极的栅极绝缘层上滴落半导体材料的液滴，就可以形成液滴形状（一般为圆形）的半导体层。

利用这种方法，可以不用用于形成半导体层的掩模来制造 TFT 阵列基板。因而，减少了制造中所需的掩模数量，由此减少了制造工艺。此外，制造需要较少的采用掩模的光刻工艺，由此减少了用于光刻的设备费用。为此，可以减少制造的时间和成本，并有效地利用了材料。

10 应该指出的是，除了前述喷墨方法之外，还可以利用通过滴落液滴能直接形成半导体层的任何方法来进行半导体材料的液滴的滴落。

根据本发明的 TFT 阵列基板的制造方法包括如下步骤：(a) 在基板上形成栅极；(b) 在栅极上形成栅极绝缘层；(c) 在栅极绝缘层上形成薄膜晶体管部分的半导体层；(d) 在步骤 (c) 之后，通过在基板上滴落电极材料的液滴，形成要形成源极的第一区和要至少形成像素电极的第二区；
15 和 (e) 在进行步骤 (d) 之后，通过在基板上滴落电极材料的液滴，在第一和第二区中形成源极、漏极和像素电极。

在这种方式中，在用于电极形成步骤的预处理的一个工艺中形成通过滴落电极材料的液滴来形成源极的第一区和通过滴落电极材料的液滴来
20 至少形成像素电极的第二区。因此，与在不同步骤中分开形成第一区和第二区的情况相比，可以减少制造工艺和成本。

根据本发明的液晶显示器的制造方法包括前述的 TFT 阵列基板的制造方法之一。因此，可以至少减少用于制造液晶显示器件的制造工艺，由此降低了成本。

25 根据本发明的 TFT 阵列基板包括：薄膜晶体管部分，其中栅极形成在基板上，半导体层和导体层经栅极绝缘层形成在栅极上，其中：导体层形成得与半导体层以及薄膜晶体管部分的源极和漏极之一接触，并具有通过滴落液滴形成的部分，导体层和半导体层在通过滴落液滴形成的部分中具有基本相同的形状。

30 在这种设置中，通过滴落导电材料的液滴在淀积的半导体膜上形成导

体形成层，并且通过采用具有液滴形状（一般为圆形）的这个导体形成层来形成半导体层。然后处理导体形成层使其完全作为导体层。这个导体形成层用作用于形成半导体层的掩模，但是不需要除去，这与抗蚀剂层不一样；因此，可以省略去除工艺。在这种设置中，可以通过例如喷墨法或者
5 通过能形成具有用于薄膜晶体管部分的半导体层的合适尺寸的液滴的任何方法向半导体层上滴落导电材料的液滴。

利用 TFT 阵列基板的这种设置，可以不用掩模来形成半导体层；因此减少了所需的掩模数量。此外，与抗蚀剂层不一样，不需要除去导体形成层，因此可以省略去除工艺，由此大大减少了制造工艺。此外，可以利用
10 较少数量的采用掩膜的光刻工艺来进行制造，由此减少了用于光刻的设备费用。而且，还可以减少化学物质如显影剂或除去剂的所需量以及抗蚀剂材料灯的浪费量。由此，可以减少制造时间和成本。

此外，导体层可以由 Mo、W、Ag、Cr、Ta、Ti、主要含有 Mo、W、Ag、Cr、Ta、Ti 之一的金属材料或者氧化铟锡构成。

15 这里，主要含有 Mo、W、Ag、Cr、Ta、Ti 之一的金属材料可以是合金材料，或者可以是含有非金属元素如 N、O 或 C 的材料。由于这些材料向半导体层的扩散量很小，因此这里所示的导体层的这些材料例子用作防扩散层。

更具体地说，利用前述设置，设置在导体层和源极或漏极之间的导体
20 层用作防扩散层，用于实际上防止构成源极或漏极的组成元素扩散。此外，作为导体层的在先状态的导体形成层也作为防扩散层。这里，实际防止扩散指的是即使在热处理之后材料的扩散量也很小的效果，即热处理对向半导体层的扩散有很少的实际影响。

利用这种设置，与在半导体层之后按照从玻璃基板的顺序形成防扩散
25 层的常规方法相比，例如源极和漏极分别由防扩散层和低电阻层构成的方法，可以大大减少制造工艺。

近年来，对较大 TFT 阵列基板的需求要求源极或漏极的更多的低电阻，因此源极或漏极通常由 Al、Cu 等构成，当该材料直接与半导体层接触时，这些金属可能扩散到半导体层中。本发明的前述结构可以应付这种情况。
30 因此，本发明的结构具有用于构成源极或漏极的更宽的选择范围，同时几

乎不增加制造工艺的数量。

在具有前述结构的根据本发明的 TFT 阵列基板中，通过利用前述方法构成导体层，作为导体层的在先状态的导体形成层可以作为用于形成半导体层的构图掩模来工作，而且还用作防止向半导体层中扩散的防扩散层。此外，由导体形成层形成的导体层也具有防扩散层。因而，当源极等由如 Al、Cu 等材料构成时，其中这些材料趋于扩散到半导体层中，可以大大减少制造工艺，由此提高了 TFT 阵列基板的生产率。

源极和漏极优选由 Al 或主要含有 Al 的金属材料构成。

这里，主要含有 Al 的金属材料可以是 Al 合金材料，如 Al-Ti 或者 Al-Nd，或者可以是含有非金属元素如 N、O 或 C 的材料。

本发明的导体形成层通过采用源极和漏极的图形的部分刻蚀而被分割成导电层。需要这种工艺来电分割 TFT 的源极和漏极。

利用前述设置，可以对导体形成层进行湿刻蚀，同时几乎不损伤源极和漏极的区域。

这种湿刻蚀采用 Al 或主要含有 Al 的金属材料的特性，它们不可能被氧化性酸如硝酸损坏。

这里，导体形成层优选由 Ag、Mo、W 或主要含有 Ag、Mo、W 的合金构成，这些材料可被氧化性酸如硝酸可溶解的。利用这种设置，可以利用氧化性酸如具有所需选择率的硝酸对导体形成层进行湿刻蚀，由此获得导体形成层，同时几乎不损伤由 Al 或主要含有 Al 的金属材料构成的源极等。

具有前述结构的根据本发明的 TFT 阵列基板包括由 Al 或主要含有 Al 的金属材料构成的低电阻源极等。因此 TFT 阵列基板可以与近来大尺寸 TFT 阵列基板相容。

根据本发明的 TFT 阵列基板特别有用，因为它具有具备两个特性的前述结构：低电阻和能刻蚀导体形成层以制造具有所希望的选择性的导体层的制造工艺的适当性。

应该指出的是，除了前述喷墨法之外，还可以通过能通过滴落液滴直接形成导体形成层的任何方法来进行导电材料的液滴的滴落。

此外，根据本发明的液晶显示器件包括前述 TFT 阵列基板。因而，液

晶显示器件的制造需要较少的 TFT 阵列基板的制造步骤，由此减少了制造的时间和成本。

这种 TFT 阵列基板可以例如通过如下方法来制造。

根据本发明的 TFT 阵列基板的制造方法包括以下步骤：(a) 在基板上
5 形成栅极；(b) 在栅极上形成栅极绝缘层；(c) 在栅极绝缘层上淀积半导体膜；(d) 通过在半导体膜上滴落导电材料的液滴形成具有液滴形状的导体形成层；和 (e) 通过对应导体形成层的形状处理半导体膜，形成薄膜晶体管部分的半导体层。

在这种设置中，通过滴下导电材料的液滴在淀积的半导体膜上形成导
10 体形成层，并且通过采用具有液滴形状（一般为圆形）的这个导体形成层作掩模，形成半导体层。与抗蚀剂层不一样，不需要除去这个导体形成层，可以省略去除工艺。

利用 TFT 阵列基板的这种设置，可以不用掩模而形成半导体层；因此
减少了所需的掩模数量，由此减少制造工艺。此外，可以利用少量的采用
15 掩模的光刻工艺来进行制造，由此减少了用于光刻的设备费用。此外，还可以减少如显影剂或除去剂等化学物质的所需量以及抗蚀剂材料等的浪费量。由此，可以减少制造时间和成本。

应该指出的是，除了前述喷墨法之外，还可以利用通过滴落液滴能直接
形成导体形成层的任何方法来进行导电材料的液滴的滴落。

此外，导体层可以由 Mo、W、Ag、Cr、Ta、Ti、主要含有 Mo、W、
20 Ag、Cr、Ta、Ti 之一的金属材料或者氧化铟锡构成。

此外，源极和漏极可以由 Al 或主要含有 Al 的金属材料构成。

根据本发明的液晶显示器件的制造方法包括前述的 TFT 阵列基板的制
造方法之一。因此，可以至少减少用于制造液晶显示器件的制造工艺。

此外，本发明的 TFT 阵列基板与各种电子装置以及液晶显示器件相容。
25 各种电子装置可以是此阿勇 TFT 阵列基板的一些不同类型的电子装置；
例如，显示器件，如有机 EL 面板或无机 EL 面板；或者二维图像输入装
置，如指纹传感器或 X 射线成像装置。

本发明的附加目的、特征和强度通过下面的说明将更明显。此外，本
30 发明的优点将从下面参照附图的说明中容易看出。

附图说明

图 1 (a) 是表示根据本发明一个实施例的在液晶显示器件中的 TFT 阵列基板的像素的示意结构的平面图。

5 图 1 (b) 是沿着图 1 (a) 的线 A-A 截取的剖面图。

图 2 是表示根据本发明一个实施例的采用喷墨法的图形形成设备的示意透视图，并用于制造液晶显示器件。

图 3 是表示图 1 中所示的 TFT 阵列基板的制造步骤的流程图。

10 图 4 (a) 是用于解释图 3 中所示的栅极线预处理步骤的 TFT 阵列基板的平面图。

图 4 (b) 是用于解释图 3 中所示的栅极线施加/形成步骤的 TFT 阵列基板的平面图。

图 4 (c) 是沿着图 4 (b) 的线 B-B 截取的剖面图。

15 图 5 (a) -5 (c) 是对应沿着图 4 (b) 的线 B-B 截取的部分的剖面图，图 5 (a) 表示栅极绝缘层/半导体层淀积步骤，图 5 (b) 表示如何在图 3 所示的半导体层形成步骤中在半导体层上形成热固树脂，图 5 (c) 表示在同一步骤中的 a-Si 形成层和 n⁺形成层的刻蚀工艺，图 5 (d) 是沿着图 5 (e) 的线 C-C 截取的剖面图，表示在同一步骤中的抗蚀剂去除工艺，图 5 (e) 是表示在半导体层形成步骤之后的 TFT 阵列基板的平面图。

20 图 6 (a) 是用于解释图 3 中所示的源极/漏极线预处理步骤的 TFT 阵列基板的平面图。

图 6 (b) 是用于解释源极/漏极线施加/形成步骤的 TFT 阵列基板的平面图。

图 6 (c) 是沿着图 6 (b) 的线 D-D 截取的剖面图。

25 图 7 是表示图 1 (a) 中所示的 TFT 阵列基板中的 TFT 部件的平面图。

图 8 (a) 和 8 (b) 是对应沿着图 6 (b) 的线 D-D 截取的部分的剖面图，图 8 (a) 表示图 3 中所示的沟道部分处理步骤中的布线导轨的去除工艺，图 8 (b) 表示同一步骤中的 n⁺层的氧化处理。

30 图 9 (a) 是用于解释图 3 中所示的钝化膜形成步骤和钝化膜处理步骤的 TFT 阵列基板的平面图。

图 9 (b) 是沿着图 9 (a) 的线 E-E 截取的剖面图。

图 10 (a) 是用于解释图 3 中所示的像素电极形成步骤的 TFT 阵列基板的平面图。

图 10 (b) 是沿着图 10 (a) 的线 F-F 截取的剖面图。

5 图 11 (a) 和 11 (b) 是表示图 1 (a) 中所示的 TFT 部件中产生的漏电流的原理的示意图, 图 11 (a) 是表示具有穿透半导体图形的栅极的 TFT 部件的平面图, 图 11 (b) 是沿着图 11 (a) 的线 G-G 截取的剖面图。

图 12 (a) 是与图 11 (a) 的结构相反栅极不穿透半导体图形的 TFT 部件的平面图, 用于表示产生漏电流的机理。

10 图 12 (b) 是沿着图 12 (a) 的线 H-H 截取的剖面图。

图 13 是表示在 a-Si 层相对于栅极不平衡时图 1 (a) 中所示的 TFT 部件的平面图。

图 14 (a) 是用于解释除了下部光阻挡膜之外还具有上部光阻挡膜的 TFT 阵列基板的制造方法的垂直剖面图, 表示在完成沟道部分的部分氧化
15 处理时 TFT 阵列基板的状态。

图 14 (b) 是表示用于形成上部光阻挡膜的步骤的 TFT 阵列基板的垂直剖面图。

图 14 (c) 是沿着图 14 (d) 的线 M-M 截取的剖面图。

20 图 14 (d) 是表示完成像素电极的形成的状态的 TFT 阵列基板的平面图。

图 15 (a) 是表示根据本发明另一实施例的液晶显示器件中的 TFT 阵列基板的像素的示意结构的平面图。

图 15 (b) 是沿着图 15 (a) 的线 I-I 截取的剖面图。

25 图 16 是表示图 15 (a) 和 15 (b) 中所示的 TFT 阵列基板的制造步骤的流程图。

图 17 是用于解释图 16 中所示的源极和漏极/像素电极预处理步骤的 TFT 阵列基板的平面图。

图 18 (a) 是用于解释图 16 中所示的源基线施加/形成步骤的 TFT 阵列基板的平面图。

30 图 18 (b) 是沿着图 18 (a) 的线 J-J 截取的剖面图。

图 19 (a) 是用于解释图 16 中所示的漏极/像素电极施加/形成步骤的
脾平面图。

图 19 (b) 是沿着图 19 (a) 截取的剖面图。

图 20 (a) 和 20 (b) 是对应沿着图 19 (a) 的线 K-K 截取的部分的剖
5 面图, 图 20 (a) 表示图 16 中所示的沟道部分处理步骤中的布线导轨的
去除工艺, 图 20 (b) 表示同一步骤中的 n^+ 层的氧化处理。

图 21 是对应沿着图 19 (a) 的线 K-K 截取的部分的剖面图, 用于解释
图 16 中所示的钝化膜形成步骤。

图 22 (a) 是表示根据本发明另一实施例的 TFT 阵列基板的剖面图,
10 并表示在设有半导体层之前的 TFT 阵列基板的状态。

图 22 (b) 是沿着图 22 (c) 的线 L-L 截取的剖面图, 表示设有半导体
层的 TFT 阵列基板。

图 22 (c) 是表示设有半导体层的 TFT 阵列基板的平面图。

图 23 是表示根据本发明再一实施例的液晶显示器件中的 TFT 阵列基
15 板的像素的示意结构的平面图。

图 24 是表示作为从图 2 所示的图形形成设备滴下的液滴的的形状的例子
的具有基本上圆形形状的液滴的示意图。

图 25 (a) 是表示作为图 24 所示的液滴的的形状的例子具有的通过从圆
形变形形成的基本上圆形形状的液滴的示意图。

20 图 25 (b) 是表示具有凹部的形状的示意图。

图 25 (c) 是表示部分地包括凸部的形状的示意图。

图 26 (a) 表示由两个液滴形成不规则椭圆形形状的情况。

图 26 (b) 是表示由三个液滴形成的形状的示意图。

图 27 (a) 是表示本发明中不希望的状态的示意图, 其中滴下多个极
25 小的液滴。

图 27 (b) 是表示由图 27 (a) 的状态形成的形状的示意图。

图 28 是表示用于常规液晶显示器件的 TFT 阵列基板的制造步骤的流
程图。

图 29 是表示根据本发明的 TFT 阵列基板的 TFT 特性的曲线。

30 图 30 是 TFT 阵列基板的 TFT 部件的放大图, 其中栅极具有不穿透半

导体层的开口端。

图 31 是 TFT 阵列基板的 TFT 部件的放大图，其中栅极具有穿透半导体层的开口端。

5 图 32 是 TFT 阵列基板的 TFT 部件的放大图，其中栅极具有穿透半导体层的开口端。

图 33 是表示根据本发明另一实施例的液晶显示器件中的 TFT 阵列基板的像素的示意结构的平面图。

图 34 是表示根据本发明再一实施例的液晶显示器件中的 TFT 阵列基板的像素的示意结构的平面图。

10 图 35 是图 33 所示的 TFT 阵列基板中的像素的主要部分的放大图。

图 36 是图 34 所示的 TFT 阵列基板中的像素的主要部分的放大图。

图 37 是用于调整 TFT 部件中的栅极的开口端和半导体层的边界线之间的关系的关系的示意图。

15 图 38 是用于调整 TFT 部件中的栅极的开口端和半导体层的边界线之间的关系的关系的另一示意图。

图 39 (a) 是表示根据本发明又一实施例的液晶显示器件中的 TFT 阵列基板的像素的示意结构的平面图。

图 39 (b) 是沿着图 39 (a) 的线 M-M 截取的剖面图。

20 图 40 是表示图 39 (a) 和 39 (b) 所示的 TFT 阵列基板的制造步骤的流程图。

图 41 (a) 是对应沿着图 41 (d) 的线 N-N 截取的部分的剖面图，表示准备图 40 中所示的栅极绝缘层/半导体层淀积步骤的条件。

图 41 (b) 是对应沿着图 41 (d) 的线 N-N 截取的部分的剖面图，表示图 40 中所示的半导体层形成步骤期间的条件。

25 图 41 (c) 是沿着图 41 (d) 的线 N-N 截取的剖面图，表示图 40 中所示的栅极绝缘层/半导体层淀积步骤的完成。

图 41 (d) 是在半导体层形成步骤之后的玻璃基板的平面图。

图 42 (a) 是用于解释图 40 所示的源极/漏极线预处理步骤的 TFT 阵列基板的平面图。

30 图 42 (b) 是用于解释源极和漏极线施加/形成步骤的 TFT 阵列基板的

平面图。

图 42 (c) 是沿着图 42 (b) 的线 O-O 截取的剖面图。

图 43 (a) —43 (c) 是对应图 42 (b) 的线 O-O 截取的部分的剖面图，图 43 (a) 表示图 40 所示的沟道部分处理步骤中的布线导轨的去除工艺，
5 图 43 (b) 表示在同一步骤中的导体形成层的部分刻蚀工艺，图 43 (c) 表示在同一步骤中的 n^+ 层的部分氧化处理。

具体实施方式

[第一实施例]

10 下面参照图 1—13 介绍本发明的一个实施例。

根据本发明的液晶显示器件包括图 1 (a) 所示的像素。应该指出的是，图 1 (a) 是表示液晶显示器件中的 TFT 阵列基板的像素的示意结构的平面图。此外，图 1 (b) 是沿着图 1 (a) 的线 A-A 截取的剖面图。

15 如图 1 (a) 和 1 (b) 所示，TFT 阵列基板 11 由玻璃基板 12 构成，其中栅极 13 和源极 17 按照矩阵方式在玻璃基板 12 上对准。存储电容器电极 14 设置在两个相邻栅极 13 之间。

如图 1 (b) 所示，在 TFT 阵列基板 11 中，栅极 13 和存储电容器电极 14 设置在玻璃基板 12 上的 TFT 部件 22 和存储电容器部分 23 之间的区域中；并且栅极绝缘层 15 也设置在其上。

20 此外，在栅极 13 上经栅极绝缘层 15 形成包括 a-Si 层的半导体层 16，并且进一步在其上形成源极 17 和漏极 18。漏极 18 的一端通过具有在其下的栅极绝缘层 15 而延伸到存储电容器电极 14 上的，并且在这个区域上形成接触孔 24。在源极 17 和漏极 18 上形成钝化膜 19，并且进一步在其上按照这个顺序形成光敏丙烯酸树脂层 20 和像素电极 21。

25 在本实施例中，利用图形形成设备执行 TFT 阵列基板 11 的制造。这个图形形成设备例如利用喷墨法排放或滴落层材料。如图 2 所示，图形形成设备包括在其上放置基板 31 (对应玻璃基板 12) 的支撑台 32。图形形成设备包括：喷墨头 33，作为用于相对于放在支撑台 32 上的基板 31 的表面排放例如含有布线材料的流体墨的液滴排放装置；用于在 X 方向移动喷墨头 33 的 X 方向驱动部件 34，如图所示；以及用于在图中的 Y 方
30

向移动喷墨头 33 的 Y 方向驱动部件 35。

此外，图形形成设备包括用于向喷墨头 33 输送墨的墨输送系统 36，并且还包括控制单元 37。控制单元 37 进行各种控制，包括用于 X 方向驱动部件 34 和 Y 方向驱动部件 35 的驱动控制以及用于喷墨头 33 的排放控制。控制单元 37 输送表示相对于 X 和 Y 方向驱动部件 34 和 35 的施加墨的位置的信息，并将排放信息输送给喷墨头 33 的头驱动器（未示出）。利用这种设置，喷墨头 33 由 X 方向驱动部件 34 和 Y 方向驱动部件 35 移动，从而基板 31 在其表面上的目标位置上设有所希望量的液滴。

喷墨头 33 可以是使用压电激励器的压电型的、在头中包括加热器的气泡型的，等等。喷墨头 33 的排放量可以根据施加电压来控制。此外，液滴排放装置可以是能输送液滴的任何装置；因此，喷墨头 33 也可以是例如只有液滴滴落功能的装置。

接下来，下面将介绍根据本发明的用于液晶显示器件的 TFT 阵列基板 11 的制造方法。

在本实施例中，TFT 阵列基板 11 是通过如图 3 所示的如下步骤制造的：栅极线预处理步骤 41、栅极施加/形成步骤 42、栅极绝缘层/半导体层淀积步骤 43、半导体层形成步骤 44、源极/漏极线预处理步骤 45、源极/漏极线施加/形成步骤 46、沟道部分处理步骤 47、钝化膜形成步骤 48、钝化膜处理步骤 49 和像素电极形成步骤 50。

[栅极线预处理步骤 41]

栅极线预处理步骤 41 作为栅极线施加/形成步骤 42 的预处理进行的。作为下一步骤的栅极线施加/形成步骤 42 是利用图形形成设备通过滴下液体布线材料而用于形成栅极 13、存储电容器电极 14 等进行的。因此，这个步骤进行用于适当的液体布线材料施加的准备，即相对于栅极线形成区 61 和存储电容器电极形成区 63 从图形形成设备适当地排放（滴下）液体布线材料，如图 4 (a) 所示。注意，图 4 (a) 是在 TFT 阵列基板 11 中包括的玻璃基板 12 的平面图。

这个步骤粗分为两个工艺。在作为第一工艺的亲水/疏水处理（亲液/疏液处理）中，基板具有相对于液体布线材料的亲液性或疏液性，以便将亲水（亲液）区构图成用于形成栅极线 61 等的区域，将疏水（疏液）区

构图成用于形成这些电极的区域。在作为第二步骤的导轨形成工艺中，基板沿着栅极线形成区 61 等具有用于控制液体流的导轨。

5 第一步骤即亲水/疏水处理通常通过含有氧化钛的光催化剂来进行。第二步骤，即导轨形成是通过使用抗蚀剂材料的光刻来进行的。有时候，导轨或基板的表面可以暴露于 CF_4/O_2 等离子体，以便获得亲水/疏水性。在形成布线之后去除抗蚀剂。

在本实施例中，亲水/疏水处理是通过使用氧化钛的光催化剂来进行的，如下所述。

10 用 ZONYL FSN（产品名：由 Dupont-TORAY 公司制造）涂覆 TFT 阵列基板 11 的玻璃基板 12，其中上述 ZONYL FSN 是与异丙醇混合的含氟化合物非离子表面活性剂。此外，通过利用含有二氧化钛颗粒分散元素和乙醇的混合物对掩模进行旋涂，然后在 150° 下焙烧掩模，用于栅极 13 等的图形的掩模设有光催化剂。接着，利用掩模将玻璃基板 12 暴露于紫外光。这个曝光是在 $70\text{mW}/\text{cm}^2$ 的条件下使用 365nm 的紫外光在两分钟内进行的。

20 这里，当预知将玻璃基板 12 上的半导体层 16 暴露于强光时，可以预先形成光阻挡膜 62，如图 4 (a) 所示，以便防止半导体层 16 受到光照射。光阻挡膜 62 是通过利用图形形成设备相对于形成 a-Si 层的位置滴落膜材料，然后焙烧滴下的材料而形成的。这种膜材料可以是与黑色材料如碳黑或 TiN 混合的光敏树脂或热固树脂。

应该指出的是，为了容易说明，在图 4 和后面附图的上部电极中省略了从栅极分支的用于形成 TFT 的电极。

[栅极线施加/形成步骤 42]

25 图 4 (b) 和 4 (c) 表示栅极线施加/形成步骤 42。图 4 (b) 是设有栅极 13 的玻璃基板 12，图 4 (c) 是沿着图 4 (b) 的线 B-B 截取的剖面图。

30 在这个步骤中，如图 4 (b) 和图 4 (c) 所示，利用图形形成设备将布线材料施加于玻璃基板 12 上的栅极线形成区 61 和存储电容器电极形成区 63 上。在本实施例中，其中分散了用有机膜涂覆的 Ag 颗粒的有机溶剂用作布线材料。将布线宽度调整到大约 $50\mu\text{m}$ ，并且从喷墨头 33 排放的布线材料的排放量调整到 80pl 。

在被处理成键亲水/疏水性的区域中，从喷墨头 33 排放的布线材料沿着栅极线形成区 61 喷洒，因此每次布线材料排放之间的间隔调整为大约 $500\mu\text{m}$ 。排放之后，利用 350°C 的焙烧温度焙烧材料一小时，以便完成栅极 13 的布线。

5 应该指出，本例中 350°C 的焙烧温度是考虑了下一个半导体层形成步骤 44 而确定的，其中在下一半导体层形成步骤 44 中将增加大约 300°C 的处理加热。因此，焙烧温度不限于这个温度。例如，在形成有机半导体的情况下，如果退火温度设置为 $100-200^\circ\text{C}$ ，则焙烧温度可以降低到 $200-250^\circ\text{C}$ 的范围。

10 此外，除了 Ag 之外，布线材料还可以是 Ag-Pd、Ag-Au、Ag-Cu、Cu、Cu-Ni 等。这些材料可以单独采用，或者以合金材料的颗粒形式采用，或者作为溶解在有机溶剂中的膏采用。此外，颗粒表面上的涂层以及溶解在溶剂中的有机材料的每个分解温度可以根据所需的焙烧温度来控制，以便布线材料具有所希望的电阻值和表面条件。注意，分解温度表示使表面上的
15 涂层和溶剂汽化的温度。

[栅极绝缘层/半导体层淀积步骤 43]

图 5 (a) 表示栅极绝缘层/半导体层淀积步骤 43。在这个步骤中，在已经经过了栅极线施加/形成步骤 42 的玻璃基板 12 上连续依次形成栅极绝缘层 15、a-Si 形成层 64、和 n^+ 形成层 65。在本实施例中，a-Si 形成层
20 64 是通过 CVD 法制造的。栅极绝缘层 15、a-Si 形成层 64 以及 n^+ 形成层 65 的厚度分别设置为 $0.3\mu\text{m}$ 、 $0.15\mu\text{m}$ 和 $0.04\mu\text{m}$ ，在不用将基板从真空设备中取出的情况下连续形成每层。淀积温度为 300°C 。

[半导体层形成步骤 44]

图 5 (b) - 5 (e) 表示半导体层形成步骤 44。图 5 (e) 是表示半导体层形成步骤 44 之后的玻璃基板 12 的平面图，图 5 (d) 是沿着图 5 (e) 的线 C-C 截取的剖面图，图 5 (c) 和 5 (d) 是表示图 5 (d) 的部分中的
25 各个处理的剖面图。

在这个步骤中，如图 5 (b) 所示，从图像形成设备将作为抗蚀剂材料的热固树脂向正好位于 TFT 部件栅极（分支电极）66 上方的部分中的 n^+
30 形成层 65 上滴下，其中栅极 66 是从栅极 13 的主线分支出来的。然后将

通过滴下而如此施加的树脂形成为抗蚀剂层 67，它用作处理图形。抗蚀剂材料的排放量是 10pl 滴。结果是，在 TFT 部件栅极 66 上方的预定位置上形成直径为 30 μm 的圆形图形。然后用 150 $^{\circ}\text{C}$ 的焙烧温度焙烧该图形。关于用于形成抗蚀剂层 67 的热固树脂，本实施例采用 TEF 系列的抗蚀剂
5 （由 Tokyo Ohka Kogyo 公司提供），其粘度已经预先调整为可用于喷墨法。

注意，除了热固树脂之外，UV 树脂或光刻胶也可以用作抗蚀剂层 67 的材料。此外，尽管不是所需的条件，但是透明抗蚀剂层 67 可以在形成时更容易定位。此外，优选抗蚀剂层 67 在刻蚀时是耐热的、耐干刻蚀气
10 体的，并具有对于刻蚀材料的良好选择性。

接下来，如图 5 (c) 所示，采用气体（如 SF_6+HCl ）对 n^+ 形成层 65 和 a-Si 形成层 64 进行干刻蚀，以便形成 n^+ 层 69 和 a-Si 层 68。之后，通过有机溶剂清洗玻璃基板 12，并除去抗蚀剂层 67，如图 5 (d) 所示。

如上所述，在半导体层形成步骤 44 中，从图形形成设备排出的树脂图
15 形（抗蚀剂层 67 的图形）确定由 n^+ 层 69 和 a-Si 层 68 构成的半导体层 16 的形状。即，根据从喷墨头 33 滴在玻璃基板 12 上的抗蚀剂层 67 的材料形状，半导体层 16 形成为由曲线构成的圆形或者基本上圆形图形。

尽管本实施例的抗蚀剂层 67 是利用图形形成设备通过单个液滴形成的，但是抗蚀剂层 67 也可以通过多个液滴来形成。然而，应该指出的是，
20 当抗蚀剂层 67 通过多个极小的液滴形成时，半导体层 16 的形成将花费很长的时间，并且随着需要的液滴数量越多，喷墨头 33 的寿命将缩短。

当通过利用喷墨头 33 滴落液滴来形成所希望尺寸的层（膜）时，以最少量的发射次数滴下合适量的液滴是很重要的。通过这种方式，可以在喷墨头 33 的寿命期间进行最大量的处理，由此使器件成本最低。

此外，作为半导体层形成步骤 44 的另一个值得注意的特性，对于被输送以从喷墨头 33 排放的液滴的表面来说不需要特别的处理。更具体地说，如果被输送以液滴的表面是明显的亲水性的，则排放的液滴将以无限的形式喷散，除非构图该表面。在这个条件下，不能进行膜形成。然而，由于它含有大量 Si 悬挂键，因此 a-Si 形成层 64 基本上是疏水的。因此，利用
25 一定大程度的接触角在 a-Si 形成层 64 上施加液滴，并且最终形成基本圆
30

形的形状。因而，不需要对基板（a-Si 形成层 64）进行特殊处理。

此外，已经在气体（干刻蚀）等中进行焙烧或处理的基板通常在其表面上具有短分子形式的物质。因此，即使采用除了 a-Si 以外的其它半导体，如有机半导体层，排放的液滴也可能形成一定大程度的接触角。

5 通常情况下，半导体层的构图需要掩模和光刻处理。然而，在半导体层形成步骤 44 中，利用从喷墨头 33 滴下的液滴直接绘制掩模图形，由此不需要掩模和光刻处理。因此，通过采用这个步骤，可以大大降低制造成本。

[源极线/漏极线预处理步骤 45]

10 图 6 (a) 表示源极线/漏极线预处理步骤 45。图 6 (a) 是表示已经经过了半导体层形成步骤 44 并设有用于形成源极 17 和漏极 18 的布线导轨 71 的玻璃基板 12。

在这个步骤中，布线导轨 71 形成在其上将要形成源极 17 和漏极 18 的区域（源极/漏极形成区 73）上。在本实施例中，布线导轨 71 是通过光刻
15 胶材料形成的。更具体地说，用光刻胶涂覆半导体层形成步骤 44 之后的玻璃基板 12，进行预焙烧，采用光掩模曝光、显影，然后进行后焙烧。如此形成的布线导轨 71 具有 10 μm 的宽度，并且用布线导轨 71 形成的沟槽的宽度（布线形成区的宽度）大约为 15 μm 。注意，源极和漏极之间的间隔，即沟道部分 72 设置为 4 μm 。

20 注意，这里，玻璃基板 12 可以设置成，通过氧等离子体将 SiN_x 表面（栅极绝缘层 15 的上表面）处理成具有亲水性，并且通过暴露于 CF₄ 等离子体将布线导轨 71 处理成具有水排斥性，从而可以将来自图形形成设备的布线材料平滑地施加于基底表面上。

此外，代替形成布线导轨 71，可以根据布线电极的图形使用光催化剂
25 对玻璃基板 12 进行亲水/疏水处理，如利用前述栅极形成步骤那样。

[源极线/漏极线施加/形成步骤 46]

图 6 (b) 和 6 (c) 表示源极线/漏极线施加/形成步骤 46。图 6 (b) 是表示沿着布线导轨 71 形成的源极 17 和漏极 18 的平面图，图 6 (c) 是沿着图 6 (b) 的线 D-D 截取的剖面图。

30 如图 6 (b) 和 6 (c) 所示，在这个源极线/漏极线施加/形成步骤 46 中，

通过使用图形形成设备用布线材料涂覆源极/漏极形成区 73 来形成源极 17 和漏极 18, 其中源极/漏极形成区 73 是通过布线导轨 71 形成的。这里, 从喷墨头 33 排出的布线材料的排放量设置为 2pl。此外, Ag 颗粒用作布线材料, 并且电极的厚度调整为 0.3 μm 。此外, 焙烧温度为 200 $^{\circ}\text{C}$, 并且在焙烧之后, 通过有机溶剂除去布线导轨 71。

注意, 在这个步骤中, 相同的布线材料可以用作栅极 13 的材料; 然而, 由于 a-Si 是在 300 $^{\circ}\text{C}$ 左右形成的, 因此要求焙烧温度为 300 $^{\circ}\text{C}$ 或低于 300 $^{\circ}\text{C}$ 。

然后, 通过如此经过栅极线预处理步骤 41 到源极线/漏极线施加/形成步骤 46, 几乎完成了 TFT 的基本结构。

这里, 在 TFT 部件 22 中, 重要的是: 栅极 13 的 TFT 栅极 66 穿透具有基本上圆形形状的半导体图形 (半导体层 16), 如图 7 所示。在 TFT 部件栅极 66 形成在半导体图形内的设置中, 即使栅极是截止的, 漏电流也会经半导体区在源极和漏极之间流动, 其中来自 TFT 部件栅极 66 的电场不会明显地所述半导体区。这种现象将在后面详细说明。注意, 在 TFT 的实际使用中, 即使半导体图形伸出 TFT 部件栅极 66、源极 17 和漏极 18, 前述结构也会产生所希望的光导体。

[沟道部分处理步骤 47]

进行这个步骤是为了处理沟道部分 72, 如图 8 (a) 和 8 (b) 所示。图 8 (a) 和 8 (b) 是对应沿着图 6 (b) 的线 D-D 截取的部分的剖面图。首先, 如图 8 (a) 所示, 通过有机溶剂或通过灰化除去沟道部分 72 的布线导轨 71。然后, 如图 8 (b) 所示, 通过灰化或通过使用激光器对 n^+ 层 69 进行氧化处理, 使其成为非导体。

[钝化膜形成步骤 48, 钝化膜处理步骤 49]

图 9 (a) 和 9 (b) 表示完成钝化膜处理步骤 49 的状态。

在这个步骤中, 如图 9 (a) 和 9 (b) 所示, 通过 CVD 在已经设有源极和漏极的玻璃基板 12 上形成作为钝化膜 19 的 SiO_2 膜。

接着, 用丙烯酸抗蚀剂材料涂覆 SiO_2 膜, 以便产生光敏丙烯酸树脂层 20, 然后在这个抗蚀剂层中形成像素电极形成图形 (见图 9 (b)) 和端子处理图形。

像素电极图形和端子处理图形是在显影之后通过用于形成完全除去抗蚀剂层的部分以及除去抗蚀剂层的一半厚度的部分的掩模而形成的。后部分

5 是用于中间色曝光的区域，掩模的透射率为 50%。更具体地说，通过对钝化膜 19 和栅极绝缘层 15 进行刻蚀，在用于形成端子的部分中完全除去抗蚀剂层，同时，在用于形成像素电极 21 的部分中除去一半厚度的抗蚀剂层，以便在像素电极图形的周边中利用光敏丙烯酸树脂层 20 形成导轨。接着，通过使用抗蚀剂层作掩模，除去端子部分中的钝化膜 19 和栅极绝缘层 15，并且通过刻蚀部分地除去用于形成像素电极 21 的部分中的钝化膜 19。

10 [像素电极形成步骤 50]

如图 10 (a) 和 10 (b) 所示，通过使用图形形成设备，利用用于形成像素电极的 ITO 颗粒材料涂覆光敏丙烯酸树脂层 20 上的像素电极形成图形，然后利用 200°C 的温度进行焙烧，以便形成像素电极 21。这里，完成 TFT 了阵列基板 11。

15 常规光刻分别在钝化膜处理和 ITO 处理中需要掩模。另一方面，通过利用光敏丙烯酸树脂进行中间色曝光，可以利用一个掩模进行这些处理，由此减少了制造成本。

这里，参照图 11 (a) 和 11 (b) 以及图 12 (a) 12 (b)，下面将介绍在源极线/漏极线施加/形成步骤 46 中提到过的漏电流的产生机理。

20 图 11 (a) 是表示具有穿透半导体图形（半导体层 16）的 TFT 部件栅极 66 的 TFT 部件的平面图，图 11 (b) 是沿着图 11 (a) 截取的 G-G 的剖面图。图 12 (a) 是表示具有不穿透半导体图形并设置在半导体图形区内的 TFT 部件栅极 66 的 TFT 部件的平面图。图 12 (b) 是沿着图 12 (a) 的线 H-H 截取的剖面图。此外，图 11 (a) 和 12 (a) 表示给栅极 13 施加负电位的状态。如图 11 (b) 和 12 (b) 所示，TFT 部件栅极 66 和 a-Si 层 68 彼此相对，并且栅极绝缘层 15 位于其间。这里，n⁺层 69 是向 a-Si 层 68 注入载流子的层，并通过如磷 (P) 的掺杂而具有过量电子。

对于图 11 (a) 和 11 (b) (TFT 部件栅极 66 穿透半导体图形) 以及图 12 (a) 和 12 (b) (TFT 部件栅极 66 不穿透半导体图形) 所示的各个 TFT，

30 -4V 的电压施加于栅极，并且测量源极和漏极之间的漏电流。该测量结果

如下：穿透半导体图形的 TFT 部件栅极 66 中的漏电流大约为 1pA。同时，部穿透半导体图形的 TFT 部件栅极 66 的漏电流增加到 30—50pA。

在暗环境下进行测量，并且在存在背景光辐射的情况下，穿透半导体图形的 TFT 部件栅极 66 中的漏电流增加到 20pA。同时，不穿透半导体图形的 TFT 部件栅极 66 中的漏电流大大增加到大约 2000—3000pA。这些结果表明在具有不穿透半导体图形的 TFT 部件栅极的设置中 TFT 特性退化。此外，这些结果的原因可以解释如下。

首先，下面将解释负电位施加于栅极 13 的情况。当给栅极输送负电位时，由于负电荷和负电荷之间的排斥力，载流子（电子）总是来自 TFT 部件栅极 66，如图 11 (a) 所示。因而，电子大部分存在于源极和漏极附近，并且极少电子存在于沟道部分的 a-Si 层 68 中。因此，在这个状态下 TFT 是截止的。即使电子从栅极向漏极运动，它们必须通过 TFT 部件栅极 66。在这种情况下，由于给 TFT 部件栅极 66 输送负电位，因此由于负电荷负电荷之间的排斥力使电子不能通过栅极。因而，在这种设置中漏电流很小。

同时，在图 12 (a) 所示的设置中，其中 a-Si 层 68 延伸到 TFT 部件栅极 66 的前端部分以外，即使栅极具有负电位，电子也可以沿着 a-Si 层 68 的周边移动而不通过 TFT 部件栅极 66。这允许漏电流很容易地流动。此外，存在背景光辐射的情况下，由于受到背景光的激励而产生载流子。由于上述相同的原因，产生的这些载流子也可以沿着 a-Si 层 68 的周边流动。因此，背景光辐射之后，漏电流的增加量在具有穿透半导体图形的 TFT 部件栅极的图 11 (a) 的设置和具有不穿透半导体图形的 TFT 部件栅极的图 12 (a) 的设置之间很大地变化。

如从上面的解释中看出的，在 TFT 部件中 TFT 部件栅极 66 的前端必须延伸到 a-Si 层 68 之外。

接着，下面解释给栅极 13 施加正电位的情况。当给栅极 13 输送正电位时，n+层 69 中的电子被吸引到 TFT 部件栅极 66 的电位上，因此载流子存在于沟道部分中。因此，电流可以很容易地在源极和漏极之间流动，并且 TFT 导通。作为这种情况的一个例子，给栅极施加 10V 的电压。结果是，大约 1 μ A 的电流在源极和漏极之间流动。这里，在源极和漏极之

间施加的电压为 10V。当 TFT 导通时，由于电子具有在源极和漏极之间的最短路线中流动的行为，因此 TFT 部件栅极 66 不需要穿透半导体图形。

然而，在 a-Si 层 68 相对于 TFT 部件栅极 66 不平衡时，出现了问题，如图 13 所示。特别是，在图 13 中所示的状态中，漏电极 18 只与宽度方向上的部分中的 a-Si 层 68 重叠。在这种情况下，在源极 17 中不会充分地获得电子流，因此 ON 电流相对于与 a-Si 层 68 重叠的漏极 18 的部分的宽度成比例地增加或减少。当具有多个这种 TFT 时，液晶面板具有每个像素的带电条件的变化，由此引起图像不均匀。为此，要求源极 17 和漏极 18 在它们的整个宽度上与 a-Si 层 68 重叠。

鉴于此，在提供用于处理 a-Si 层 68 的抗蚀剂层 67 的步骤中，通过从图形形成设备的喷墨头 33 滴下抗蚀剂材料，必须考虑发射误差（在向目标滴落位置滴落时的滴落误差）即滴落精度，以便实现 a-Si 层 68 完全与沟道部分 72 中的源极 17 和逻辑 18 重叠并且 TFT 部件栅极 66 的前端部分伸出 a-Si 层 68 的这种设置。

此外，为了形成这种设置，必须考虑在从图形形成设备的喷墨头 33 滴落抗蚀剂材料时的发射误差（滴落精度），或者更具体地说，图像形成设备相对于抗蚀剂层 67 的直径（例如， $30\mu\text{m}$ ）的滴落精度（例如， $\pm 10\mu\text{m}$ ），以便给 TFT 部件栅极 66 提供足够的长度，使前端部分伸出 a-Si 层 68。

应该指出，在上述例子中，光阻挡膜（光阻挡层）62 形成在部件 22 的下部（在比半导体层 16 低的层中）；然而，光阻挡膜 62 可以形成在部件 22 的上部（比半导体层 16 高的层中）。这里，下面将参照图 14 (a) -14 (d) 解释光阻挡膜 62 形成在 TFT 部件 22 的上部的情况。图 14 (a) 是表示在完成沟道部分 72 的部分氧化处理之后的 TFT 阵列基板 11 的垂直剖面图，图 14 (b) 是表示在上部形成光阻挡膜 62 的步骤的 TFT 阵列基板 11 的垂直剖面图，图 14 (c) 是沿着图 14 (d) 的线 M-M 截取的剖面图，图 14 (d) 是具有上部光阻挡膜 62 的 TFT 阵列基板 11 的平面图并表示完成像素电极 21 的形成的状态。

如在栅极线预处理步骤 41 中所述的，光阻挡膜 62 是任选的。对于特殊例子，形成在比沟道部分 72 高的层上的光阻挡膜 62 可以防止由来自沟道部分 72 的不希望的光引起的 TFT 特性退化。在下列例子中，光阻挡膜

形成在 TFT 部件 22 的下部和上部。作为环境要求, TFT 部件 22 可包括上部和下部光阻挡膜 62 中的一个或两个。

如图 14 (a) 所示完成沟道部分 72 的部分氧化处理之后, 通过利用图形形成设备滴落光阻挡膜材料的液滴而形成上部光阻挡膜 62, 如图 14(b) 所示。之后, 形成光敏丙烯酸树脂层 20, 此外, 形成像素电极 21, 如图 14 (c) 所示。

上部光阻挡膜 62 的材料可以是与 TiN 混合的树脂, 如形成在栅极 13 (TFT 部件栅极 66) 下面的下部光阻挡膜 62 一样。应该指出, 在本例中, 由于光阻挡膜 62 形成在电极上, 因此优选光阻挡膜 62 由绝缘材料构成, 并且不包括通过在半导体层 16 中扩散引起半导体层 16 的性能退化的成分。

此外, 光阻挡膜 62 可以形成在 TFT 上的保护层 (未示出) 和光敏丙烯酸树脂层 20 之间。这种结构提供如下优点: 由于层间绝缘层设置在源极 17 和漏极 18 与光阻挡膜 62 之间, 因此光阻挡膜 62 的材料不需要是绝缘体, 或者不需要考虑半导体层中的成分的扩散来决定, 因此材料的选择很宽。此外, 在这种情况下, 由于用于形成像素电极 21 (ITO 电极) 的光敏丙烯酸树脂层 20 是在光阻挡膜 62 之后形成的, 因此通过在其上提供光敏丙烯酸树脂层 20 可以整平在形成光阻挡膜 62 时产生的水平差。因此, 液晶层的厚度变得均匀, 并且防止了显示器的不均匀性的发生。此外, 可以在为了形成像素电极 21 而施加 ITO 之前形成光阻挡膜 62, 即, 光阻挡膜 62 可以在光敏丙烯酸树脂层 20 和像素电极 21 之间形成。

如上所述, 与没有喷墨型图形形成设备的常规制造方法相比, 根据本发明的 TFT 阵列基板 11 的制造方法可以将掩模的数量从 5 减少到 3, 由此减少了光刻工艺和真空淀积装置的数量。为此, 也大大减少了设备费用。

[第二实施例]

下面将参照图 15-21 介绍本发明的另一实施例。

根据本实施例的液晶显示器件包括图 15 (a) 中所示的像素。应该指出的是, 图 15 (a) 是表示 TFT 阵列基板的像素的示意结构的平面图。此外, 图 15 (b) 是沿着图 15 (a) 的线 I-I 截取的剖面图。

在图 1 (a) 和 1 (b) 所示的 TFT 阵列基板 11 中, 在源极 17 和漏极

18 之后形成钝化膜 19，之后，通过光敏丙烯酸树脂层 20 形成用于像素电极的导轨。

5 在根据本实施例的用于液晶显示器件的 TFT 阵列基板 81 的制造中，使用光催化剂在导轨形成工艺或亲水/疏水工艺中在同一层上形成源极 17 和漏极/像素电极 82，这是作为一个制造步骤进行的。注意，在 TFT 阵列基板 81 中，一个漏极和像素电极由一个连续电极构成，因此被称为漏极/像素电极 82。此外，基本上只在 TFT 部件 22 上形成钝化膜 83。

10 由于结构和制造方法中的这些差异，一方面，TFT 阵列基板 11 在形成光敏丙烯酸树脂层 20 的制造中需要掩模；另一方面，TFT 阵列基板 81 在相同步骤中不需要掩模，因此需要较少的掩模数量。然而，在 TFT 阵列基板 81 的制造中，在用于形成源极 17 的导轨的相同步骤中形成用于像素电极（漏极/像素电极 82）的导轨或者亲水/疏水区。这样，TFT 阵列基板 81 具有比 TFT 阵列基板 11 小的孔径比。

15 此外，在 TFT 阵列基板 11 中，像素电极 21 和存储电容器电极 14 形成为分开的层。因此，漏极 18 延伸到存储电容器部件 23 上，并且在存储电容器部件 23 上方形成接触孔 24，以便将漏极 18 导通到像素电极 21。另一方面，在 TFT 阵列基板 81 中，漏极/像素电极 82 也作为延伸到存储电容器部件 23 的电极而提供。

20 在 TFT 阵列基板 11 和 81 中，为了防止呀和像素电极的材料溅到沟道部分 72，通过从喷墨头 33 向远离沟道部分 72 的部分滴落电极材料来形成源极和漏极。而且，用于源极和漏极的区域形成为向沟道部分 72 变得更宽的锥形，从而电极材料流向沟道部分 72。这种形状的例子清楚地示于图 1 (a) 的漏极 18 和源极中的沟道附近。

25 此外，可以利用即通过使用由单个（一次发射）液滴形成的抗蚀剂层，通过掩模处理 a-Si 形成层 64，形成 a-Si 层 68；然而，对于包括平行于源极 17 延伸的长 TFT，抗蚀剂层 67 可以通过材料的两个或更多个液滴（两次或更多次发射）来形成。

接着，下面将介绍根据本实施例的用于液晶显示器件的包括 TFT 的 TFT 阵列基板 81 的制造方法。

30 在本实施例中，TFT 阵列基板 81 是通过如图 16 所示的如下步骤制造

的：栅极线预处理步骤 41、栅极线施加/形成步骤 42、栅极绝缘层/半导体层淀积步骤 43、半导体层形成步骤 44、源极和漏极/像素电极预处理步骤 91、源极线施加/形成步骤 92、漏极/像素电极施加/形成步骤 93、沟道部分处理步骤 94、钝化膜形成步骤 95。栅极线预处理步骤 41 到半导体层形成步骤 44 与 TFT 阵列基板 11 的制造相同，因此这里将省略其说明。

[源极和漏极/像素电极预处理步骤 91]

图 17 表示源极和漏极/像素电极预处理步骤 91。图 17 是表示半导体层形成步骤之后的玻璃基板 12 的平面图，即设有用于形成源极 17 的布线导轨 84 和用于形成漏极/像素电极 82 的布线导轨 85 的玻璃基板 12。

在这个步骤中，布线导轨 84 形成在用于形成源极 17 的区域（源极形成区 86）上，布线导轨 85 形成在用于形成漏极/像素电极 82 的区域（漏极/像素电极形成区 87）中。在本例中，布线导轨 84 和 85 是通过光刻胶材料形成的。更具体地说，用光刻胶涂覆半导体层形成步骤 44 之后的玻璃基板 12，并进行预焙烧，然后使用光掩模通过曝光进行显影，并进而焙烧。如此形成的每个布线导轨 84 和 85 具有 $10\mu\text{m}$ 的宽度，并且用布线导轨 84 形成的沟槽的宽度（布线形成区的宽度）大约为 $15\mu\text{m}$ 。注意，源极和漏极之间的间隔，即沟道部分 72 设置为 $4\mu\text{m}$ 。

注意，这里，玻璃基板 12 可以设置成利用氧等离子体将 SiN_x 表面（栅极绝缘层 15 的上表面）处理成具有亲水性，并且通过输送 CF_4 等离子体将布线导轨 84 和 85 处理成具有水-排斥性，从而来自图形形成设备的布线材料可以平滑地施加于基底表面。

此外，代替形成布线导轨 84 和 85，可以根据布线电极的图形使用光催化剂对玻璃基板 12 进行亲水/疏水处理，这与前面的栅极形成步骤一样。注意，在这种情况下，需要特别小心防止源极的材料溅到像素电极上。

[源极线施加/形成步骤 92]

图 18 (a) 和 18 (b) 表示源极线施加/形成步骤 92。图 18 (a) 是表示沿着布线导轨 84 形成的源极 17 的平面图。图 18 (b) 是沿着图 18 (a) 的线 J-J 截取的剖面图。

如图 18 (a) 和 18 (b) 所示，在这个源极线施加/形成步骤 92 中，利用图形形成设备通过用布线材料涂覆源极形成区 86 而形成源极 17，其中

源极形成区 86 是由布线导轨 84 形成的。这里，来自喷墨头 33 的布线材料的排放量设置为 2pl。此外，Ag 颗粒用作布线材料，并且电极的厚度调整为 $0.3\mu\text{m}$ 。此外，焙烧温度为 200°C ，并在焙烧之后，通过有机溶剂除去布线导轨 84。

- 5 注意，在这个步骤中，相同的布线材料可以用作栅极 13 的材料；然而，要求焙烧温度为 300°C 或低于 300°C ，这是因为 a-Si 是在 300°C 左右形成的。

[漏极/像素电极施加/形成步骤 93]

- 10 图 19 (a) 和 19 (b) 表示漏极/像素电极施加/形成步骤 93。图 19 (a) 是表示沿着布线导轨 85 形成的漏极/像素电极 82 的平面图。图 19 (b) 是沿着图 19 (a) 的线 K-K 截取的剖面图。在这个漏极/像素电极施加/形成步骤 93 中，通过利用图形形成设备向布线导轨 85 施加 ITO 颗粒材料，然后利用 200°C 的焙烧温度进行焙烧，形成漏极/像素电极 82 漏极/像素电极 82。

- 15 通过这种方式，源极/漏极形成步骤和 ITO 处理步骤只需要一个掩模，这与这些步骤使用各自掩模的常规方法不一样。此外，使用喷墨型图形形成设备允许利用分开的喷墨头 33 相对每个图形分开施加电极材料和像素电极材料。因而，本方法需要更简单的装置系统和提高了材料使用的效率，由此实现了成本降低。

- 20 [沟道部分处理步骤 94]

- 执行这个步骤是为了处理 TFT 的沟道部分 72。图 20 (a) 和 20 (b) 是对应沿着图 19 (a) 的线 K-K 截取的部分的剖面图。首先，如图 20 (a) 所示，通过有机溶剂或通过灰化除去沟道部分 72 的布线导轨 84 和 85。接着，如图 20 (b) 所示，通过灰化或通过使用激光器对 n^+ 层 69 进行氧化处理，以便使其成为非导体。
- 25

[钝化膜形成步骤 95]

- 图 21 表示钝化膜形成步骤 95。图 19 (a) 是对应沿着图 19 (a) 的线 K-K 截取的剖面图。在这个步骤中，通过图形形成设备在已经设有源极 17 和漏极/像素电极 82 的玻璃基板 12 上形成钝化膜 83。为了形成钝化膜 83，在 TFT 部件 22 上施加透明无机材料，如乙氧基硅烷材料，然后，利
- 30

用大约 150°C 的焙烧温度进行焙烧。钝化膜 83 的材料也可以是光敏树脂的抗蚀剂材料。此外，光阻挡膜 62 可以用做阻挡外部光的材料并且还作为滤色器上的黑体工作。即，透明材料和不透明材料都可以用做钝化膜 83 的材料。这里，完成了 TFT 阵列基板 81。

5 与不用喷墨法的常规制造相比，在本实施例的制造步骤中可以将掩模数量从 5 减少到 2，并且源极 17 和漏极/像素电极 82 可以通过一个导轨形成步骤来形成。因此，掩模的数量可以进一步减少到比 TFT 阵列基板 11 的制造还少。此外，与 TFT 阵列基板 11 的制造相同，可以减少真空淀积设备的数量。

10 注意，前面的例子使用用于半导体层的 a-Si；然而，也可以使用有机半导体或颗粒型半导体材料。在这种情况下，执行从图形形成设备直接施加半导体材料的步骤，而不是 TFT 阵列基板的 a-Si 的处理步骤。因而，抗蚀剂层或树脂材料的施加、干刻蚀、和抗蚀剂或树脂材料的去除工艺可以省略，由此进一步简化了制造。

15 图 22 (a) -22 (c) 表示根据前述方式的半导体层 16 的制造方法。

在这种方式中，形成栅极绝缘层 15 之后，从图形形成设备向 TFT 部件 22 中的栅极绝缘层 15 上直接滴下半导体材料，然后焙烧该材料，从而形成半导体层 16，如图 22 (b) 和 22 (c) 所示。在本例中，有机半导体材料如聚乙烯咔唑 (PVK) 或聚亚苯基 1,2-亚乙烯基 (PPV) 可用做半导体材料。

20 与通过 CVD 形成的 a-Si 相反，由于它们可以利用来自图形形成设备的液滴 (1 次发射) 而形成成为半导体层 16，因此不需要对前述材料进行刻蚀工艺。这样，在这种情况下，在用于形成半导体层 16 的区域中不需要进行亲水/疏水处理。

25 实施例 1 和 2 中所述的 TFT 阵列基板 11 和 18 设置成使得栅极 13 包括 TFT 部件栅极 66，它是从栅极 13 的主线分支出来的；TFT 形成在这个 TFT 部件栅极 66 上。在本例中，栅极 13 不包括分支电极 (TFT 部件栅极 66)。

30 如图 23 所示，半导体层 16 形成在栅极 13 (栅极线) 上，分支电极 17a 从源极 17 延伸到沟道部分 72 (TFT 部件 72)。同时，漏极 18 线性地从构

成存储电容器的存储电容器部件 23 伸出，并到达沟道部分 72。注意，作为与图 1 所示的第一实施例相容的设置介绍了本例；然而，本例还可以用于图 15 中所示的第二实施例。

5 在本例的 TFT 阵列基板 11 中，由于栅极 13 不包括分支电极，因此不需要具有穿透半导体图形的分支电极（TFT 部件栅极 66）的前述设置。

TFT 阵列基板 11 的这种设置对于下列结构是有效的：栅极 13 具有相对窄的宽度，例如在 $10\mu\text{m}$ 和 $20\mu\text{m}$ 之间的范围内。在对角屏幕测量值为 10-15 英寸的范围内或更小的显示面板中，栅极 13 形成有相对窄的宽度和短的长度。另一方面，在 20 英寸或更大的显示面板中，为了减小电阻而使栅极 13 的宽度变宽。如果在这种情况下采用本例，则 TFT 形成区中的栅极的宽度必须很窄。即，本设置在 TFT 的长度基本上与栅极的宽度相同的情况下有效。

应该注意，由于还有材料电阻和其它设计参数的影响，因此屏幕的尺寸和栅极的宽度之间的前述关系不总是成立的。

15 此外，在前面的说明中，液滴的形状指的是从图形形成设备滴下时的液滴的状态。这种形状的轮廓具有曲率。因此，如果只滴下一个液滴，或者向相同位置滴下多个液滴，则液滴的形状变为圆形或基本上圆形，如图 24 所示。

此外，液滴的形状不总是圆形或基本圆形，而是可以为变形的圆形形状（塌陷或歪曲的圆形）。例如，其形状可以是如图 25 (a) 所示的由圆形变形的大致圆形形状、如图 25 (b) 所示的具有凹部的形状、如图 25 (c) 所示的部分地包括凸部的形状。假设由于其上滴下液滴的基板的表面条件的精细差异或者由于液滴飞溅时的空气阻力产生具有曲率轮廓的这种形状。前述形状都满足本发明的液滴形状的规则，因为它们分别被看作是由滴落产生的即刻形状。

此外，液滴的形状不必由单个液滴产生，而是可以由多个液滴产生。图 26 (a) 表示由两个液滴形成变形的椭圆形的情况。作为滴落的结果，各个液滴合并在一起或者在滴落之后合并成一个轮廓，最终产生具有曲率轮廓的形状。图 26 (b) 表示由三个液滴形成的例子。

30 应该注意的是，本例不趋于图 27 (a) 所示的状态，其中施加了多个

无限小的液滴，产生如图 27 (b) 所示的形状。

如前面参照图 1 (a) 和 15 (a) 所述的，根据本发明的液晶显示器件具有 TFT 部件 22，它具有穿透具有基本圆形形状的半导体图形（半导体层 16）的 TFT 部件栅极 66，以便防止栅极截止时源极和漏极之间流过漏

5 电流。

更具体地说，本发明的液晶显示器件的 TFT 部件 22 的特性可以表示为如图 29 所示的漏极电流 (I_d) 和栅极电压 (V_g) 之间的关系。注意，图 29 中的曲线使用 TFT（如图 30 所示）作为比较例，其中由于在形成半导体层时液滴的发射错误，栅极 13 的 TFT 部件栅极 66 不穿透半导体层

10 16。

如从图 29 中所看到的，当栅极电压具有负值时，即栅极截止时，在本发明的 TFT 中漏极电流很少流动；相反，在图 30 所示的 TFT 中漏极电流稍微流动。具体而言，当栅极截止时，在本发明的 TFT 中漏极电流（漏

15 电流）很少流动，但是在图 30 所示的 TFT 中漏极电流稍微流动。

应该指出的是，不限制 TFT 部件栅极 66 穿透半导体层 16 的方向。例如，TFT 部件栅极 66 可以沿着源极 17 穿透，如图 31 所示，或者可以沿着漏极 18 穿透，如图 32 所示。

在具有穿透半导体层 16 以便在栅极截止时防止源极和漏极之间的漏电流的 TFT 部件栅极 66 的前述设置中，当考虑到发射错误时，穿透量较大是优选的，因为在形成半导体层 16 时更容易适当地发射液滴，因而可以防止漏电流。然而，当采用该 TFT 用于液晶显示器件时，特别是在透射型液晶显示器件中，将出现孔径比减小的问题。应该注意到，在反射型液晶显示器件的情况下不会发生孔径比减小。

20

鉴于上述问题，下面将介绍半导体层的制造的例子，其中在某个位置

25 施加液滴，以便形成不引起漏电流同时也能防止孔径比减小的半导体层。

[第三实施例]

下面参照图 33-36 介绍本发明的另一实施例。

根据本实施例的液晶显示器件包括如图 33 所示的像素。图 30 是表示 TFT 阵列基板的像素的示意结构的平面图。此外，这个像素与图 1 (a)

30 所示的相同，它是用于透射型液晶显示器件的。为了便于说明，具有与图

1 (a) 所示的部件等效功能的材料用相同的参考标记表示, 并且这里将省略其说明。

如图 33 所示, 根据本实施例的 TFT 阵列基板 201 具有与图 1 (a) 所示的 TFT 阵列基板 11 基本相同的结构, 除了突起电极 202 从 TFT 部件栅极 66 的端部伸出并设置成与源极 17 接触之外。

突起电极 202 具有比 TFT 部件栅极 66 的宽度更窄的宽度并设置成与源极 17 接触。

利用这种结构, 即使在半导体层 16 具有在栅极截止时可防止源极和漏极之间的漏电流的结构的情况下, TFT 阵列基板 201 的孔径比不会减小。

此外, 图 34 表示作为另一可能的例子的 TFT 阵列基板 211, 其中从 TFT 部件栅极 66 的端部伸出的突起电极 212 设置成与漏极 18 接触。

与上述情况相同, 即使在半导体层 16 具有在栅极截止时可防止源极和漏极之间的漏电流的结构的情况下, 这种结构也不会使 TFT 阵列基板 211 的孔径比减小。

这里, 下面将参照图 35 和 36 介绍 TFT 部件 22 附近的结构。

图 35 是在图 33 所示的 TFT 阵列基板 201 的 TFT 部件 22 附近的放大图, 其中突起电极 202 沿着源极 17 延伸。此外, 图 36 是图 34 所示的 TFT 阵列基板 211 的 TFT 部件 22 附近的放大图, 其中突起电极 212 沿着漏极 18 延伸。

如图 35 所示, 突起电极 202 从 TFT 部件栅极 66 的端部 66a 伸出, 并且突起电极 202 的宽度设置成比端部 66a 的宽度窄。

应该指出的是, 本实施例中, TFT 部件栅极 66 的端部 66a 的宽度设置为 $10\mu\text{m}$, 突起电极 202 的宽度设置为 $5\mu\text{m}$, 源极 17 和漏极 18 之间的距离, 即 TFT 的沟道长度 CH 设置为 $5\mu\text{m}$ 。

此外, TFT 部件栅极 66 一般具有比 TFT 长度 CH 的宽度更宽的宽度, 并且设有部分 OV, 在该部分 OV 中源极 17 和漏极 18 彼此交叠。因此, 如本实施例那样, $5\mu\text{m}$ 的 TFT 的沟道长度 CH 需要 TFT 部件栅极 66 的宽度大约为 $10\mu\text{m}$ 。

应该指出的是, 这里特定的值只是一个例子, 本发明不限于这个值。

此外, 突起电极 202 的端部必须在半导体层 16 (a-Si 层) 的外部; 然

而，突起电极 202 的端部的宽度不受 TFT 长度 CH 的限制。

更具体地说，突起电极 202 的端部延伸出半导体层 16，以便在通过输送电压而使 TFT 部件栅极 66 变为截止状态时，漏电流不会从源极 17 流到漏极 18。因此，突起电极 202 的端部不需要具有与 TFT 部件栅极 66 的端部 66a 相同的宽度。

因而，由于突起电极 202 的端部可以具有比 TFT 部件栅极 66 的端部 66a 的宽度窄得空宽度，因此突起电极 202 可以紧密地沿着源极 17 设置，如图 33 和 35 所示，由此防止 TFT 阵列基板 201 的孔径比减小。

然而，应该注意的是，优选突起电极 202 不与源极 17 交叠。如果突起电极 202 和源极 17 彼此交叠，则在突起电极 202 和源极 17 之间经栅极绝缘层（未示出）产生新的电容，并且引起在源极 17 中流动的信号延迟或变迟钝。

这里，如图 35 所示的半导体层 16 是通过施加在图中比目标位置（源极和漏极的中心）高的部分上的液滴形成的。

顺便提及，当半导体层 16 的边界线（圆弧的轮廓线）向源极 17 的端面 17a 的更上方偏移时，TFT 的有效宽度变得更窄。因而，当半导体层 16 形成有在比图 35 更上方的上部边界线时，TFT 的特性下降。

这样，半导体层 16 的边界线优选低于源极 17 的端面 17a。

同时，半导体层 16 的上端（TFT 部件栅极 66 的端部 66a 附近的边界区域）伸出 TFT 部件栅极 66 的端部 66a 之外，并设置在图中的上方。这里，如果突起电极 202 不设置在 TFT 部件栅极 66 的端部 66a 上，则延伸到 TFT 部件栅极 66 的端部 66a 之外的半导体层 16 在源极和漏极之间产生漏电流。更具体地说，引起 TFT 部件 22 的特性下降。

在这种情况下，TFT 部件栅极 66 的端部 66a 必须得更远；然而，当端部 66a 以相同的宽度在图中向上延伸时，将侵扰 TFT 阵列基板 201 的像素区域。

由此，如图 35 所示，突起电极 202 以比 TFT 部件栅极 66 的端部 66a 窄的宽度沿着源极 17 延伸，由此防止 TFT 部件栅极 66 中的像素部分的孔径比的减小。

此外，在图 35 的例子中，突起电极 202 的上端远在半导体层 16 的边

界区之外，因此不会产生漏电流。通过这种方式，可以防止 TFT 部件 22 的特性的下降。此外，可以进一步提高 TFT 部件的特性。

此外，与图 36 所示的突起电极 212 一样，可以沿着漏极 18 通过从 TFT 部件栅极 66 的端部 66a 伸出形成。突起电极 212 不是向图中的上方延伸，
5 即不是沿着源极 17，而是沿着漏极 18。与突起电极 202 一样，突起电极 212 的宽度比 TFT 部件栅极 66 的端部 66a 的宽度窄。

图 36 表示向图的右侧偏移的半导体层 16。在本例中，源极 17 的端面 17a 可以正好位于半导体层 16 的边界上，因此不再允许半导体层 16 向上或向图的右侧偏移。这里，突起电极 212 的上端部必须在半导体层 16 的
10 外部。

由于突起电极 212 沿着漏极 18 延伸，因此可以防止 TFT 阵列基板 211 中的像素部分的孔径比减小。然而，突起电极 212 应该不与漏极 18 交叠，以便防止产生向像素部分牵引电荷的电容和引起充电不足。

应该注意的是，优选突起电极 202 和突起电极 212 不与源极 17 或漏极
15 18 交叠；然而，当发生交叠时，可以考虑电容而通过控制流到每个电极的信号来调整像素部分的充电。

本例已经解释了如图 33 所示的沿着源极 17 提供突起电极 202 的例子、以及如图 34 所示的沿着漏极 18 提供突起电极 212 的例子。当通过输送电压而使 TFT 部件 22 中的 TFT 部件栅极 66 截止时，这种结构可以防止源
20 极 17 和漏极 18 之间的漏电流，同时防止 TFT 阵列基板中的像素部分的孔径比的减小。

换言之，第三实施例已经解释了从 TFT 部件栅极 66 的端部 66a 伸出的突起电极 202 和突起电极 212 的形成方向。

下面的第四实施例将介绍 TFT 部件栅极 66 的端部 66a 从半导体层 16
25 突出的程度。

[第四实施例]

下面参照图 37 和 38 介绍本发明的另一实施例。

本实施例解释通过喷墨法形成 TFT 同时考虑液滴的发射错误的例子。

首先，下面将讨论液滴的发射错误。发射错误的发生取决于液滴滴落
30 的位置和液滴如何散布。这里，鉴于这两个因素讨论发射错误。第一是排

放之后液滴的占据面积，它取决于液体的量和它散布的方式。第二是离开目标位置。

根据液滴的排放量的均匀性，或者基板的表面条件（亲水或疏水），第一个因素可能包括液滴面积形状的不可预知性。

- 5 这里，液滴面积的形状的不可预知性指的是施加的液滴的轮廓的变化。这种变化源自于因滴落条件的差异产生的液体散布的非均匀性。即使在考虑了基板的湿润性而为了产生所希望尺寸的施加面积而以预定量液体进行排放时，也能发生不可预知性，这取决于排放表面的处理和液滴材料。

第二个因素包括如机械误差，即工作台的定位精度、喷墨头喷嘴处理
10 误差、多个喷嘴的尺寸或形状的变化、基板和喷嘴之间的距离的差异、由喷墨头的热膨胀引起的误差。此外，还涉及由喷嘴中的沉积物引起的墨的排放方向的变化，其中喷嘴中的沉积物改变了具有墨对喷嘴表面的湿润条件。

15 喷墨的滴落精度还涉及很多其它复杂因素；然而，本实施例将基于前面两个因素进行解释。

在图 37 所示的 TFT 中，目标滴落位置是沟道部分 72 的中心。滴落误差的范围由圆 301 表示，其半径为 $\Delta 2$ ，这等于到目标位置的距离。这里， $\Delta 2$ 表示由于偏离目标位置产生的误差（工作台误差+机械处理误差+滴落角误差+热膨胀+...）。更具体地说，滴落之后的液滴的中心将在半径为 $\Delta 2$
20 的圆内，如图 37 所示，其中 $\Delta 2$ 表示偏离目标滴落位置的误差，这是由喷嘴的机械误差或条件产生的（第二个误差考虑了偏离目标位置）。

此外，需要被 a-Si 区域（半导体层 16）覆盖的区域的最小范围由 TFT 的沟道部分中的宽度 W 和长度 L 表示，其中所述 a-Si 区域被由喷墨法施加的抗蚀剂（液滴）处理。因而，假设从喷墨头排放的液滴形成圆，这个
25 圆（图中的圆 302）具有到沟道部分的中心 f 的半径 r。这里，半径 r 表示从 TFT 的中心（沟道部分的中心 f）到沟道部分的端部的距离。换言之，半径 r 表示从沟道部分的中心到沟道部分的最外端的距离。

考虑到有液体量的变化和液滴散布的方式的变化引起的误差，即考虑到取决于液体量的半径的误差以及液体的散布形状的不可预知性，同一图
30 中的圆 303 具有更大的半径 $R=r+\Delta 1$ 。这里， $\Delta 1$ 表示考虑了液体量变化+

散布变化（散步误差）的误差。更具体地说， $\Delta 1$ 表示在形成半导体层时考虑了液滴的排放量的变化和排放之后的液滴的散布的变化的第一误差。

相应地，当液滴滴到沟道部分的中心时，如果考虑到液体量和液滴面积的不可预知性而将液滴排放量调整到形成具有半径 $r+\Delta 1$ 的圆 303，则可以覆盖沟道部分。

此外，还考虑到滴落位置误差 $\Delta 2$ ，当相对于沟道部分的中心进行排放时，半径为 $r+\Delta 1+\Delta 2$ 的圆 304 表示覆盖沟道部分所需的半径。

相应地，处理之后的半导体层 6 优选具有由下列公式（3）给出的半径 R:

$$R > r + \Delta 1 + \Delta 2 \quad \dots\dots (3)$$

在图 37 中，半导体层 6 的边界由从源极 17 和漏极 18 的上端（在 TFT 部件栅极 66 的端部 66a 附近的端部）伸出的距离 $L1$ 表示。

这样，当通过相对于 TFT 沟道部分的中心排放抗蚀剂的液滴来处理半导体层 6 时，从源极 17 和漏极 18 的上端伸出的距离 $L1$ 优选满足下列公式（4）:

$$L1 > \Delta 1 + \Delta 2 \quad \dots\dots (4)$$

应该注意，在这种情况下，TFT 部件 22 的沟道部分的宽度 W 比长度 L 长，因此长度 L 极短。这样，本例采用了 $W/2 \geq r$ 的条件。

由于半径 $R = r + \Delta 1 + \Delta 2$ 的圆 304 从目标滴落位置向端部 66a 延伸误差 $\Delta 2$ ，因此作为 TFT 部件栅极 66 的开口端部的端部 66a 优选根据下列公式（1）提供，

$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

其中 $L3$ 表示沟道部分的中心 f 到端部 66a 的距离。

此外，从源极 17 和漏极 18 的端部到端部 66a 的距离 $L2$ 优选满足下列公式（2），其中 $w/2 \geq r$ 。

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$$

在该图中，考虑到误差相加和相减的方向， $\Delta 2$ 乘以 2。

注意，用于确定 TFT 部件栅极 66 的端部 66a 的位置的条件可以由前面的公式（1）和公式（2）给出。

图 38 表示向图的右侧弯曲的 TFT 部件栅极 66 的端部 66a。在这种情

况下，TFT 部件栅极 66 的端部 66a 的位置不能由到源极 17 和漏极 18 的端部的距离限制；这样，该位置由到沟道部分的中心 f 的距离限制。在这种情况下，TFT 部件栅极 66 的端部 66a 的前端的位置优选由公式 (1) 给出的条件来确定，如图 38 所示。

5 这里，液晶面板的 TFT 部件 22 的沟道部分的长度设置为例如 $W=25\mu\text{m}$ ， $L=5\mu\text{m}$ 。这个长度中的半径 r 为 $12.7\mu\text{m}$ ，并且喷墨的滴落位置误差 $\Delta 2$ 为 $15\mu\text{m}$ 。此外，误差由于液体量的不可预知性和轮廓边界造成的误差 $\Delta 1$ 为 $5\mu\text{m}$ 。

10 相应地，在这种情况下，处理之后的半导体层 6 至少需要由半径为 $12.7+5+15=32.7\mu\text{m}$ 的圆所产生的面积。

此外，当 TFT 部件栅极 66 的端部 66a 向上直线延伸时，如图 37 所示，端部 66a 的位置优选通过设置到源极 17 和漏极 18 的端部的距离 $L_2 > 5+2 \times 15 = 35\mu\text{m}$ 来确定。此外，端部 66a 优选设有到沟道部分的中心 f 的由 $L_3 > 12.7+5+2 \times 15 = 47.7\mu\text{m}$ 给定的距离。注意，这个例子采用 $w/2=12.5\mu\text{m}$ ， $r=12.7\mu\text{m}$ 的条件。根据第三和第四实施例的 TFT 阵列基板除了第一和第二实施例中素的制造步骤之外还通过下列制造步骤制造。

15 具体而言，在用于形成栅极的步骤中，这在前面的第一和第二实施例中介绍过，TFT 部件栅极 66（来自栅极 13 的分支电极）形成有这样的设置，使得从半导体层 16 突出的部分（端部 66a）其宽度比在半导体层 16 的区域内的部分小。利用这种设置，可以制造第三实施例的 TFT 阵列基板。

20 此外，在用于形成栅极的步骤中，这在前面第一和第二实施例中介绍过，TFT 部件栅极 66（来自栅极 13 的分支电极）形成有这种设置，使得从半导体层 16 突出的部分（端部 66a）沿着源极 17 或漏极 18 之一形成。利用这种设置，可以制造第三实施例的 TFT 阵列基板。

此外，在用于形成栅极的步骤中，这在前面第一和第二实施例中介绍过，利用下列公式 (1) 给出的条件形成 TFT 部件栅极 66（来自栅极 13 的分支电极），

$$L_3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

30 其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考

虑了用于构成半导体层 16 的液滴的量的变化和液滴的散布的变化的第一误差, $\Delta 2$ 表示考虑了由偏离目标位置滴落液滴所产生的误差的第二误差, $L3$ 表示从沟道部分的中心到分支电极的开口端的距离。利用这种设置, 可以制造第四实施例的 TFT 阵列基板。

- 5 此外, 在用于形成栅极的步骤中, 这在前面的第一和第二实施例中介绍过, 利用由下列公式 (2) 给出的条件形成 TFT 部件栅极 66 (来自栅极 13 的分支电极),

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$$

- 10 其中 $\Delta 1$ 表示考虑了用于构成半导体层 16 的液滴的量的变化和液滴的散布的变化的第一误差, $\Delta 2$ 表示考虑了由偏离目标位置滴落液滴所产生的误差的第二误差, $L2$ 表示从 TFT 部件 22 的源极和漏极的端部 (TFT 部件栅极 66 的端部 66a 附近的端部) 到 TFT 部件栅极 66 的开口端部的距离。利用这种设置, 可以制造第四实施例的 TFT 阵列基板。

- 15 此外, 在用于在半导体层 16 上滴落抗蚀剂材料的液滴以便形成具有滴落的液滴形式的抗蚀剂层的步骤中, 这在前面第一和第二实施例中介绍过, 利用由下列公式 (3) 给出的条件形成抗蚀剂层,

$$R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

- 20 其中 r 表示从沟道部分的中心 f 到沟道部分的最外端的距离, $\Delta 1$ 表示考虑了用于构成半导体层 16 的液滴的量的变化和液滴的散布的变化的第一误差, $\Delta 2$ 表示考虑了由偏离目标位置滴落液滴所产生的误差的第二误差, R 表示根据到沟道部分的中心的距离设置的抗蚀剂层的半径。利用这种设置, 可以制造第四实施例的 TFT 阵列基板。

[第五实施例]

下面参照图 39-43 介绍本发明的另一实施例。

- 25 根据本实施例的液晶显示器件具有在图 39 (a) 中所示的像素。图 39 (a) 是表示液晶显示器件的 TFT 阵列基板中的一个像素的示意结构的平面图。图 39 (b) 是沿着图 39 (a) 的线 M-M 截取的剖面图。对于基本上具有与关于本发明第一实施例的附图中所示的相同功能的部件 (结构), 将给出相同的参考标记, 并且这里省略了它们的说明。

- 30 如图 39 (a) 和 39 (b) 所示, TFT 阵列基板 121 包括玻璃基板 12,

其上按照矩阵方式设置栅极 13 和源极 17，并且存储电容器电极 14 形成在相邻栅极 13 之间。

在栅极 13 上经栅极绝缘层 15 形成基本上为圆形形状的包括 a-Si 层的半导体层 16，并且在这个半导体层 16 上形成导体层 122、源极 17 和漏极 5 18。

如图 39 (b) 所示，导体层 122 形成在 TFT 部件 22 的半导体层 16 和源极 17 或漏极 18 之间。导体层 122 具有形成为液滴形状的部分，在该部分中导体层 122 和半导体层 16 具有基本上相同的形状。

在本实施例中，通过 CVD 法经淀积和处理膜的步骤形成半导体层 16，10 如第一实施例那样。导体层 122 是通过滴落导体材料（例如，含有金属的材料）的液滴形成的。如后面解释的，半导体层 16 形成的形状反射了在形成导体层 122 的工艺中形成的液滴的形状，即导体形成层 123 的形状。这样，具有导体层 122 的液滴的部分具有与半导体层 16 基本相同的形状。形成导体层 122 的工艺将在后面解释制造工艺时更详细地解释。

在本实施例中，制造 TFT 阵列基板 121 采用图形形成设备，该图形形成设备通过喷墨法排放滴落要形成的层的材料，这与第一实施例相同。15 具体而言，例如，可以采用在第一实施例中采用的图 2 的图形形成设备。

下面将介绍 TFT 阵列基板 121 的制造方法。这里，将解释采用第一实施例的图 2 的图形形成设备制造 TFT 阵列基板 121 的情况。这样，本实20 施例的制造方法的制造步骤与在第一实施例中所解释的图 3 中所示的制造步骤相同。

具体而言，如图 40 所示，TFT 阵列基板 121 的制造方法包括：栅极线预处理步骤 41、栅极线施加/形成步骤 42、栅极绝缘层/半导体层淀积步骤 43、半导体层形成步骤 141、源极/漏极线预处理步骤 45、源极/漏极线施25 加/形成步骤 142、沟道部分处理步骤 143、钝化膜形成步骤 48、钝化膜处理步骤 49、和像素电极形成步骤 50。在上述步骤中，除了半导体层形成步骤 141、源极/漏极线施加/形成步骤 142 和沟道部分处理步骤 143 以外的步骤基本上与第一实施例中的相应步骤相同，因此这里省略其说明。

[半导体层形成步骤 141]

30 下面将参照图 41 (a) -41 (d) 介绍半导体层形成步骤 141。图 41 (d)

是表示半导体层形成步骤 141 之后的玻璃基板 12。图 41 (a) 和 41 (b) 是对应沿着图 41 (d) 的线 N-N 截取的部分的剖面图，图 41 (c) 是沿着图 41 (d) 的线 N-N 截取的剖面图。图 41 (a) -41 (c) 是分别表示直接在开始半导体层形成步骤之前的状态、半导体层形成步骤中的状态以及半导体层形成步骤之后的状态。

图 41 (a) 是表示玻璃基板 12 的状态的剖面图，其中完成了图 40 的栅极绝缘层/半导体层淀积步骤 43。

在这个步骤中，如图 41 (b) 所示，从图形形成设备向直接位于 TFT 部件栅极（分支电极）66 上方的部分中的 n^+ 膜形成层 65 上滴落导体材料的液滴，其中 TFT 部件栅极 66 是从栅极 13 分支出来的。然后在 250°C 下焙烧通过滴落而如此施加的导体材料。得到的导体形成层 123 用于处理 n^+ 膜形成层 65 和 a-Si 膜形成层 64 的图形。在本例中，导体形成层 123 是通过一个液滴形成的。导体材料的排放量例如设置为 10pl 液滴。结果是，在 TFT 部件栅极 66 上方的预定位置上形成直径=30 μ m 的圆形图形。

在本例中，考虑到在 300°C 左右形成 a-Si 的温度，焙烧温度设置为 250°C，以便低于 300°C。

在本例中，对于导体形成层 123，采用 Mo。然而，导体形成层的材料不限于 Mo，也可以 Mo 以外的其它材料，例如 W、Ag、Cr、Ta、Ti、或包括上述任何元素作为重要元素的合金材料、含有上述任何元素作为主要元素的金属材料以及非金属材料，如 N、O、C 等，或者金属氧化物，如 ITO（氧化铟锡）、SnO（氧化锡）等。

对于在形成导体形成层 123 时使用的导体材料，采用通过在有机溶剂中分散用有机膜涂覆的 Mo 细颗粒制备的材料。然而，还可以采用膏形式的材料，或者包括金属材料作为溶解在有机溶剂中的金属化合物的材料。此外，通过根据所需焙烧温度控制用于保护细颗粒的表面涂层和溶剂中的有机材料的分解温度，可以获得所希望的电阻和表面条件。顺便提及，分解温度表示表面涂层和溶剂蒸发的温度。

为了选择构成导体形成层 123 的材料，必须考虑在下列干刻蚀工艺中可以容忍的这些特征，以及在沟道部分处理步骤 143 中使用源极和漏极的图形的刻蚀中的选择率。此外，用于避免后来对 TFT 特性的有害影响的

不可传播到半导体层的这个特征对于导体形成层 123 的材料来说是很重要的。

下面,如图 41 (c) 所示,使用气体(如 SF_6+HCl)对 n^+ 膜形成层 65 和 a-Si 膜形成层 64 进行干刻蚀,以便形成 n^+ 层 69 和 a-Si 层 68。

5 如上所述,在半导体层形成步骤 141 中,从图形形成设备排放出来的导体形成层 123 的图形直接反射了由 n^+ 层 69 和 a-Si 层 68 构成的半导体层 16 的形状。即,根据从喷墨头 33 滴落到玻璃基板 12 上的导体形成层 123 的材料形状,半导体层 16 形成为由曲线构成的圆形图形或者基本上圆形图形。

10 尽管本实施例的导体形成层 123 是通过来自喷墨头 33 的一个液滴形成的,但是导体形成层 123 可以通过多个液滴形成。但是,应该注意的是,当通过以高精度排放多个极小的液滴来形成导体形成层 123 时,形成半导体层 16 需要很长的时间,并且随着需要点滴数量增多,喷墨头 33 的寿命缩短。因此,在通过滴落多个液滴形成导体形成层 123 的情况下,希望考虑制造时间、喷墨头的寿命等设置层(膜)的尺寸。

此外,半导体层形成步骤 141 的另一值得注意的特性在于:不需要对接收从喷墨头 33 排放的液滴的表面进行特殊处理,这与第一实施例相同。

在常规方法中,半导体层的构图需要掩模或光刻工艺。相反,根据本发明的半导体层形成步骤 141,利用来自喷墨头 33 的液滴直接绘制掩模图形(对应图 5 (b) 中的抗蚀剂层 67),并且可以省略掩模和光刻工艺。

20 结果是,可以实现成本的明显降低。

[源极/漏极施加/形成步骤 142]

图 42 (a) 是表示已经进行了源极/漏极线预处理步骤 45 的玻璃基板 12 的状态的平面图。

25 这个源极/漏极线施加/形成步骤 142 示于图 42 (b) 和图 42 (c) 中。图 42 (b) 是表示沿着布线导轨 71 形成的源极 17 和漏极 18 的批,图 42 (c) 是表示沿着图 42 (b) 的线截取的剖面图。

本实施例的源极/漏极线施加/形成步骤 142 是与第一实施例相同的方式进行的。然而,为了选择布线材料,必须考虑将在后面介绍的根据用于导体形成膜 123 的刻蚀工艺条件的耐久性。在本实施例中,位于布线材料,

30

采用通过在有机溶剂中散布用有机膜涂覆的 Al 细颗粒制备的材料。然而，本发明的布线材料不限于这种材料。除了 Al 以外，还可以采用 Al 合金，如 Al-Ti、Al-Nd 等，Ag，或者 Ag 合金，如 Ag-Pd、Ag-Cu 等，ITO（氧化铟锡），Cu，Cr-Ni 等。这些材料可以单独采用，或者可以以合金材料的颗粒形式采用，或者以溶解在有机溶剂中的膏的形式采用。

在本例中，考虑到形成 a-Si 的温度，即大约 300°C，焙烧温度设置为比 300°C 低的 200°C，如第一实施例那样。根据本实施例的结构，要形成为导体层 122 的导体形成膜 123 由 Mo 构成。因此，可以防止构成源极 17 或漏极 18 的 Al 扩散到半导体层中。因此，即使在已经进行了焙烧步骤之后，也可以将向由 Al 构成的半导体层的扩散抑制到很小，而实际上几乎不会对 TFT 的特性产生影响。

[沟道部分处理步骤 143]

进行这个步骤是为了处理 TFT 沟道部分 72，如图 43 (a) —43 (c) 所示。图 43 (a) —43 (c) 是对应沿着图 42 (b) 的线 O-O 截取的部分的剖面图。

如图 43 (a) 所示，通过有机溶剂或通过灰化除去沟道部分 72 的布线导轨 71。

接下来，如图 43 (b) 所示，使用源极 17 和漏极 18 作掩模，选择地除去导体形成层 123 的一部分，由此获得导体层 122。在这个步骤中，采用使用重量百分比为 25% 的硝酸的湿刻蚀法。这里，除去的导体形成层 123 的部分形成在导体层 122 的开口部分 122a 中。利用这个开口部分 122a，从沟道部分 72 露出半导体层 16。即，按照如下方式形成开口部分 122a：源极 17 和漏极 18 在 TFT 部件 22 的沟道部分 72 中电分离。

在本例中，源极 17 和漏极 18 的材料采用 Al，并且在前述刻蚀条件之下，没有发现损伤。因此可以选择地只除去一部分导体形成层 123。然而，这里应该注意的是，刻蚀方法以及导体形成层 123 的条件不限于上述情况。可以考虑导体形成层 123 的材料以及源极 17、漏极 18 和栅极绝缘层 15 的材料来设置允许导体形成层 123 的选择刻蚀的条件。同样，尽管在本实施例中采用湿刻蚀法，但是在合适的条件下也可以采用干刻蚀法。

接着，如图 43 (c) 所示，通过灰化或通过使用激光对开口部分 122a

周围的 n^+ 层 69 进行氧化处理，以便使其成为非导体。

在本例中，关于导体形成层 123 的导体层 122 采用 Mo。这个导体层 122 形成在源极 17 或漏极 18 和半导体层 16 之间。因此，半导体层 122 用作防扩散层，用于防止构成源极 17 或漏极 18 的材料 Al 扩散到半导体层 16 中。

因此，根据本实施例，已经进行到基板加热处理之后并要进行下面的沟道部分处理步骤 143 时，可以防止 Al 扩散到半导体层 16 中，并且对 TFT 的特性几乎没有实质影响。基板加热步骤具体地表示例如形成 SiO₂ 膜的步骤、保护膜形成步骤 48 中的形成光敏丙烯酸层 20、在像素电极形成步骤 50 中的焙烧 ITO 细颗粒材料的步骤。

如在源极/漏极线施加/形成步骤 142 中那样，例如，通过采用 Mo 作为导体层 122 的材料，能提供防止 Al 扩散到半导体层 16 中的效果，并且相同的效果可适合于要形成为导体层 122 的导体形成层 123。因此，在给源极/漏极施加/形成步骤 142 增加的在 200°C 焙烧基板的步骤中，可以防止 Al 扩散到半导体层 16 中，而实际上几乎不会影响 TFT 的特性有。

源极 17 和漏极 18 的材料不限于 Al，例如，可以采用包括 Al 作为主要成本的金属材料，例如，Al 合金。在这种情况下，由 Mo 构成的半导体层 122 用于防止 Al 合金的 Al 和/或合金中的 Al 以外的其它元素扩散到半导体层 16 中。

在源极 17 和漏极 18 采用如 Al 等容易扩散的材料的情况下，通过在半导体层 16 之后分开形成防扩散层的常规方法，如在玻璃基板 12 上形成防扩散层和低电阻层的双层结构的源极 17 或漏极 18 的方法，将大大降低了生产率。

相反，根据本实施例，通过将半导体层 122 或导体形成层用作防扩散层，可以省略分开形成防扩散层的工艺，由此实现了生产率的显著提高。

当此阿勇喷墨法或其它施加方法用于源极 17 和漏极 18 时，作为由本实施例的结构实现的效果是特别合适的。当采用施加方法时，用于第一层所施加的材料必须在施加用于第二层的材料之前完全固定。为此，必须在施加用于第一层的材料之后且在施加用于第二层材料之前进行加热步骤。在这种情况下，需要这种复杂工艺，如将利用施加装置处理过的基板传送

到焙烧设备，然后再次将基板运载到施加装置，这大大降低了生产率。相反，根据本实施例的方法，源极 17 和漏极 18 可以通过单一的施加方法来形成，由此可以消除与常规方法相关的问题，如源极 17 或漏极 18 的材料或物质中的元素扩散到半导体层 16 中，这将导致生产率降低。

5 根据本实施例的结构，可以使形成为导体层 122 的导体形成层 123 用作在形成半导体层 16 时使用的图形掩模和用作用于防止向半导体层 16 中扩散的防扩散层。此外，可以使导体层 122 本身用作防扩散层。因此，可以采用容易扩散到半导体层 16 中的金属材料作为源极 17 和漏极 18 的材料，而不会出现生产率降低的问题。

10 如上所述，根据本实施例的 TFT 阵列基板 121 的制造方法，与不采用图形形成设备的常规制造方法相比，通过喷墨法可以将所需的掩模数量从五个减少到三个，由此本实施例的制造方法明显减少了光刻工艺和真空淀积装置的所需数量。由此，还大大减少了设备费用。此外，根据本实施例的制造方法，源极 17 和漏极 18 可以采用容易扩散到半导体层 16 中的材料，而不会出现生产率降低的问题。

15 这里，在第五实施例中所述的特征，如图 39 中所示的 TFT 阵列基板或者图 40 中所示的制造方法可以与第一到第四实施例中所述的特征组合，只要不矛盾即可。

20 例如，第五实施例的 TFT 阵列基板可以设置成使得薄膜晶体管部件 22 的 TFT 部件栅极 66 是从栅极 13 的主线分支出来的分支电极，并且这个分支电极的开口端从半导体层 16 的区域突出。

可以设置成使得从半导体层的突出的分支电极的一部分具有比半导体层区域内的一部分分支电极的宽度小的宽度。

25 可以设置成使得源极 17 和漏极 18 形成在半导体层 16 上，沟道部分 72 形成在源极 17 和漏极 18 之间，并且从半导体层 16 区域突出的一部分分支电极形成在源极 17 或漏极 18 附近。

可以设置成在半导体层 16 上形成源极 17 和漏极 18，并且在源极 17 和漏极 18 之间形成沟道部分 72，而且从半导体层 72 突出的一部分分支电极是利用由下列公式 (1) 给出的条件形成的：

30
$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

其中 r 表示从沟道部分 72 的中心到沟道部分 72 的最外端的距离, $\Delta 1$ 表示考虑了要形成为半导体层 16 的液滴的量的变化和液滴散布的变化的第一误差, $\Delta 2$ 表示考虑了液滴滴落位置偏离目标位置的位移的第二误差, $L 3$ 表示从沟道部分的中心到分支电极的开口端的距离。

- 5 可以设置成在半导体层 16 上形成源极 17 和漏极 18, 并且在源极 17 和漏极 18 之间形成沟道部分 72, 而且利用由下列公式 (2) 给出的条件形成从半导体层 16 突出的一部分分支电极:

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \dots (2)$$

- 10 其中 $\Delta 1$ 表示考虑了要形成为半导体层 16 的液滴的量的变化和液滴散布的变化的第一误差, $\Delta 2$ 表示考虑了液滴滴落位置偏离目标位置的位移的第二误差, $L 2$ 表示从源极和漏极的分支电极的开口端一侧的端部到分支电极的开口端的距离。

- 15 可以设置成在半导体层 16 上形成源极 17 和漏极 18, 并且在这些电极之间形成沟道部分 72, 此外, 源极 17 和漏极 18 中的沟道部分 72 上的端部形成到形成半导体层 16 的区域中的整个宽度。

还可以设置成在半导体层 16 的上层或下层中在对应形成半导体层 16 的位置的位置上形成液滴形式的光阻挡膜。

- 20 可以设置成在半导体层 16 上形成源极 17 和漏极 18, 并且在源极 17 和漏极 18 之间形成沟道部分 72, 并且通过由下列公式 (3) 给出的条件形成半导体层 16:

$$R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

- 25 其中 r 表示从沟道部分的中心到沟道部分的最外端的距离, $\Delta 1$ 表示考虑了要形成为半导体层 16 的液滴的量的变化和液滴散布的变化的第一误差, $\Delta 2$ 表示考虑了液滴滴落位置偏离目标位置的位移的第二误差, R 表示根据到沟道部分 72 的中心的距离设置的半导体层的半径。

第五实施例的 TFT 阵列基板的制造方法可以设置成: 薄膜晶体管部件 22 的 TFT 部件栅极 66 是从栅极 13 的主线分支出来的分支电极, 这个分支电极的开口端从半导体层的区域突出出来。

- 30 此外, 可以设置成: 考虑到滴落的精度, 设置分支电极的长度, 使其开口端可以从半导体层 16 突出。

还可以设置成使从半导体层区域突出的一部分分支电极具有比在半导体层 16 区域内的一部分分支电极的宽度小的宽度。

可以设置成在半导体层 16 上形成源极 17 和漏极 81，并在源极 17 和漏极 18 之间形成沟道部分 72，并且在源极或漏极附近形成从半导体层 16 突出的分支电极的一部分。

在栅极 13 的制造工艺中，可以利用由下列公式 (1) 给出的条件形成从半导体层 16 的区域突出的分支电极的一部分：

$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

其中 r 表示从沟道部分 72 的中心到沟道部分 72 的最外端的距离， $\Delta 1$ 表示考虑了要形成为半导体层 16 的液滴的量的变化和液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落位置偏离目标位置的位移的第二误差， $L3$ 表示从沟道部分的中心到分支电极的开口端的距离。

在栅极 13 的制造工艺中，可以利用如下公式 (2) 给出的条件形成从半导体层 16 突出的分支电极的一部分：

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$$

其中 $\Delta 1$ 表示考虑了要形成为半导体层 16 的液滴的量的变化和液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落位置偏离目标位置的位移的第二误差， $L2$ 表示从源极和漏极的分支电极的开口端一侧的端部到分支电极的开口端的距离。

此外，可以通过形成防止液滴流动的突起导轨来提供第一和第二区。

此外，可以通过形成相对于液滴分别具有亲液特性和疏液特性的亲液区和疏液区来提供第一区和第二区。

前述第五实施例的结构可以与第一到第四实施例的各个结构相组合，并且这种组合将提供与第一到第四实施例的结构相同的功能和效果。

第五实施例的 TFT 阵列基板适当地适用于液晶显示器件；然而，TFT 阵列基板可以适用于其他显示器件，如用于有机 EL 面板或无机 EL 面板等的显示器件，或者由指纹传感器为代表的两维图像输入装置、X 射线成像装置等，或者采用 TFT 阵列基板的各种电子装置。对于第一到第四实施例的每个中采用的 TFT 阵列基板来说也是这样的，并且 TFT 阵列基板不仅适用于液晶显示器件，而且适用于上述其它器件。

同样，第五实施例的 TFT 阵列基板的制造方法适合于适用于液晶显示器件的制造方法。然而，第五实施例的制造方法也可适用于恰显示器件的制造方法，如用于有机 EL 面板或无机 EL 面板等的显示器件，或者由指纹传感器为代表的两维图像输入装置、X 射线成像装置等，或者采用 TFT 阵列基板的各种电子装置。对于第一到第四实施例的每个中采用的 TFT 阵列基板的制造方法来说也是这样的，并且 TFT 阵列基板不仅适用于液晶显示器件的制造方法，而且适用于上述其它器件的制造方法。

如上所述，根据本发明的 TFT 阵列基板包括具有通过滴落液滴形成的形状的半导体层。

由此，可以在不需要用于形成半导体层的掩模的情况下进行 TFT 阵列基板的制造。结果是，减少了掩模数量，因此减少了制造工艺。此外，制造需要较少的使用掩模的光刻工艺，由此减少了用于光刻的设备费用和浪费材料的量。这就可以减少制造时间和成本。

TFT 阵列基板可以具有如下设置：薄膜晶体管部件中的栅极是从栅极的主线分支出来的分支电极，并且该分支电极具有从半导体层的区域突出来的开口端。

利用前述设置，由于薄膜晶体管部件的分支电极的开口端从半导体层区域突出，因此通过来自分支电极的电场可以适当地抑制源极和漏极之间的漏电流。

根据本发明的 TFT 阵列基板可具有如下设置：分支电极设置成使得从半导体层的区域突出的分布其宽度比在半导体层区域内限定的部分的宽度小。

利用前述设置，分支电极的开口端占据像素部件的较小面积，由此抑制了孔径比的减小。

根据本发明的 TFT 阵列基板可以具有如下设置：薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且从半导体层区域突出的一部分分支电极形成得与源极和漏极之一接触。

利用前述设置，由于从半导体层区域突出的一部分分支电极形成得与源极和漏极之一接触，因此分支电极的开口端可以延伸到半导体层外部，同时不会使 TFT 阵列基板的像素部件的孔径比减小。

通过采用这种设置，可以可靠地提供具有从半导体层突出的开口端的分支电极，由此可靠地抑制了源极和漏极之间的漏电流。

此外，可以参照下列公式来形成从半导体层突出的部分。

即，根据本发明的 TFT 阵列基板可以具有如下设置：薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且根据下列公式（1）形成从半导体层区域突出的一部分分支电极，

$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的量的变化和滴落之后的液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了偏离目标位置的第二误差， $L3$ 表示从沟道部分的中心到分支电极的开口端的距离。

此外，根据本发明的 TFT 阵列基板可以具有如下设置：薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且根据下列公式（2）形成从半导体层区域突出的一部分分支电极，

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$$

其中 $\Delta 1$ 表示考虑了用于形成半导体层的液滴的量的变化和滴落之后的液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了偏离目标位置的第二误差， $L2$ 表示从（1）靠近分支电极的开口端的源极和漏极的每个的端部到（2）分支电极的开口端的距离。

前述 TFT 阵列基板可以具有如下设置：薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且源极和漏极各具有靠近沟道部分设置并且整个宽度都限定在半导体层区域内的端部。

利用前述设置，可以给每个像素的源极输送足够的 ON 电流，由此防止将引起图像不均匀的像素的充电条件的非均匀性。

根据本发明的 TFT 阵列基板可具有如下设置：薄膜晶体管部件还包括在半导体层的上层或下层上的光阻挡膜，该光阻挡膜具有通过滴落液滴形成的形状，并且形成在对应半导体层的为的部分上。

利用前述设置，当需要光阻挡膜时，可以利用喷墨法等通过滴落光阻挡膜材料的液滴而很容易地形成。因而，如半导体层的形成那样，可以不用掩模来形成光阻挡膜。由此，在 TFT 阵列基板的制造中不必使用额外

数量的掩模或更多量的材料，由此减少了制造步骤和成本。

根据本发明的 TFT 阵列基板可具有如下设置：薄膜晶体管部件还包括在半导体层上的源极和漏极，沟道部分形成在源极和漏极之间，并且可以根据下列公式（3）来形成半导体层，

$$5 \quad R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的量的变化和滴落之后的液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了偏离目标位置的第二误差， R 表示从沟道部分的中心伸出的半导体层的半径。

10 利用前述设置，可以在薄膜晶体管部件的沟道部分中可靠地提供半导体层，由此保证薄膜晶体管部件的所希望的特性水平。

本发明的液晶显示器件包括前述 TFT 阵列基板。因此，液晶显示器件的制造需要减少量的掩模，由此减少了制造时间和成本。

根据本发明的 TFT 阵列基板的制造方法包括如下步骤：(a) 在基板上
15 形成栅极；(b) 在栅极上形成栅极绝缘层；(c) 在栅极绝缘层上淀积半导体膜；(d) 通过在半导体膜栅滴落抗蚀剂材料的液滴，形成具有液滴形状的抗蚀剂层；和 (e) 在对应抗蚀剂层的形状处理半导体膜以便形成薄膜晶体管部件的半导体层之后，除去抗蚀剂层。

通过这种方式，通过滴落抗蚀剂材料的液滴，在淀积的半导体膜上形
20 成抗蚀剂层，并且通过使用具有液滴形状（一般为圆形形状）的这个抗蚀剂层作掩模，形成半导体层。

相应地，半导体层的形成不需要掩模，因此，减少了所需掩模总量，由此减少了制造工艺。此外，由于制造需要较少的使用掩模的光刻工艺，因此可以减少用于光刻的设备费用和浪费材料的量。这就可以减少制造时
25 间和成本。

根据本发明的 TFT 阵列基板的制造方法包括如下步骤：(a) 在基板上形成具有分支电极的栅极；(b) 在栅极上形成栅极绝缘层；和 (c) 通过在分支电极上的栅极绝缘层上滴落半导体材料的液滴，形成作为薄膜晶体管部件的半导体层的具有液滴形状的半导体层。

30 通过这种方式，通过只在分支电极的栅极绝缘层上滴落半导体材料的

液滴就可以形成液滴形状（一般为圆形形状）的半导体层。

因而，半导体层的形成不需要掩模，因此减少了所需的掩模总数量，由此减少了制造工艺。此外，由于制造需要较少的使用掩模的光刻工艺，因此可以减少用于光刻的设备费用和浪费材料的量。这就可以减少制造时间和成本。

TFT 阵列基板的前述制造方法可以设置成：在步骤（a）中，形成的栅极有主线和从主线分支出来的分支电极，而分支电极有一个从半导体层区域突出的开口端。

利用前述设置，因为薄膜晶体管部分的栅极的分支电极有一个从半导体层区域突出的开口端，在源极和漏极之间的漏电流可以被分支电极的电场适当地抑制。

TFT 阵列基板的前述制造方法可以设置成：根据液滴的滴落精度规定分支电极的长度，因而开口端从半导体层的区域突出。

通过这种方式，在允许分支电极的开口端从完成的半导体的区域突出的位置上滴落抗蚀剂材料或半导体材料的液滴。这样，可以适当地抑制源极和漏极之间的漏电流。

根据本发明的 TFT 阵列基板的制造方法可以设置成：形成分支电极，使得从半导体层区域突出的部分其宽度比被限定在半导体层区域内的部分的宽度小。

利用前述设置，分支电极的开口端占据像素部分的较少面积，由此抑制了孔径比的减小。

根据本发明的 TFT 阵列基板的制造方法可以设置成：从半导体层区域突出的一部分分支电极形成得与薄膜晶体管部件的源极和漏极之一接触。

利用前述设置，由于从半导体层区域突出的一部分分支电极形成得与源极和漏极之一接触，因此分支电极的开口端可以延伸到半导体层的外部，同时不减小 TFT 阵列基板的像素部分的孔径比。

通过采用这种设置，可以可靠地提供具有从半导体层突出的开口端的分支电极，由此可靠地抑制了源极和漏极之间的漏电极。

根据本发明的 TFT 阵列基板的制造方法可以设置成：在步骤（a）中，形成分支电极，以便根据下列公式（1）形成从半导体层区域突出的部分，

$$L3 > r + \Delta 1 + 2\Delta 2 \quad \dots (1)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的量的变化和滴落之后的液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了偏离目标位置的第二误差， $L3$ 表示从沟道部分的中心到分支电极的开口端的距离。

此外，在步骤 (a) 中，形成分支电极，以便根据下列公式 (2) 形成从半导体层的区域突出的部分，

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots (2)$$

其中 $\Delta 1$ 表示考虑了用于形成半导体层的液滴的量的变化和滴落之后的液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了偏离目标位置的第二误差， $L2$ 表示从 (1) 靠近分支电极的开口端的源极和漏极的每个的端部到 (2) 分支电极的开口端的距离。

在前述两种设置中，可以可靠地提供具有从半导体层突出的开口端的分支电极，由此可靠地抑制了源极和漏极之间的漏电流。

根据本发明的 TFT 阵列基板的制造方法可以设置成：在步骤 (d) 中，根据下列公式 (3) 形成抗蚀剂层，

$$R > r + \Delta 1 + \Delta 2 \quad \dots (3)$$

其中 r 表示从沟道部分的中心到沟道部分的最外端的距离， $\Delta 1$ 表示考虑了用于形成半导体层的液滴的滴落量的变化和滴落之后液滴散布的变化的第一误差， $\Delta 2$ 表示考虑了液滴滴落位置偏离目标位置的第二误差， R 表示从沟道部分中心伸出的半导体层的半径。

利用前述设置，可以可靠地在薄膜晶体管部件的沟道部分中提供半导体层，由此保证薄膜晶体管部件的特性的所希望水平。

根据本发明的 TFT 阵列基板的制造方法包括如下步骤：(a) 在基板上形成栅极；(b) 在栅极上形成栅极绝缘层；(c) 在栅极绝缘层上形成薄膜晶体管部件的半导体层；(d) 通过在进行了步骤 (c) 之后的基板上滴落电极材料的液滴，形成要形成源极的第一区以及至少要形成像素电极的第二区；和 (e) 通过在进行了步骤 (d) 之后的基板上滴落电极材料的液滴，在第一区和第二区中形成源极、漏极、和像素电极。

通过这种方式，在用于电极形成步骤的预处理的一个工艺中形成了第

一区和第二区，其中通过滴落电极材料的液滴对第一区形成源极，通过滴落电极材料的液滴对第二区至少形成像素电极。因此，与在不同步骤中分开形成第一和第二区的情况相比，可以减少制造工艺和成本。

5 根据本发明的液晶显示器件的制造方法包括 TFT 阵列基板的前述制造方法之一。因此，可以至少减少用于制造液晶显示器件的制造工艺，由此降低成本。

10 根据本发明的 TFT 阵列基板包括：薄膜晶体管部件，其中栅极形成在基板上，并且经栅极绝缘层在栅极上形成半导体层和导体层，其中：导体层形成得与薄膜晶体管部件的半导体层以及源极和漏极之一接触，并且具有通过滴落液滴形成的部分，导体层和半导体层在通过滴落液滴形成的部分中具有基本上相同的形状。

15 在这种设置中，通过滴落导电材料的液滴在淀积的半导体膜上形成导体形成层，并且通过采用具有液滴形状（一般为圆形形状）的这个导体形成层作掩模，形成半导体层。与抗蚀剂层不一样，不需要除去这个导体形成层，因此可以省略去除工艺。在这个设置中，向半导体层上滴落导电材料的液滴可以例如通过喷墨法来进行，或者通过能形成具有用于薄膜晶体管部件的合适尺寸的液滴的任何方法来进行。

20 利用 TFT 阵列基板的这种设置，可以不用掩模来形成半导体层；因此减少了所需的掩模数量。此外，与抗蚀剂层不一样，不需要除去导体形成层，因此可以省略去除工艺，由此大大减少了制造工艺和设备费用。而且，还可以减少如显影剂或去除剂等化学物质的所需量，以及抗蚀剂材料的浪费量等。由此，可以减少制造时间和成本。

此外，导体层可以由 Mo、W、Ag、Cr、Ta、Ti、主要含有 Mo、W、Ag、Cr、Ta、Ti 之一的金属材料或者氧化铟锡构成。

25 更具体地说，利用前述设置，设置在半导体层和源极或漏极之间的导体层作为防扩散层工作，用于实际上防止构成源极或漏极的成分元素扩散。此外，作为导体层的在前状态的导体形成层也作为防扩散层工作。通过如此实际地防止扩散，即使在热处理之后也可以使向半导体层扩散的材料量很少，因而扩散对 TFT 的特性几乎没有影响。

30 本发明的前述结构可以应付近年来的如下情况：源极或漏极通常由 Al、

Cu 等构成，这些材料很可能扩散到半导体层中。因此，本发明的结构具有用于构成源极或漏极的材料的较宽的选择，同时几乎不增加制造工艺的数量。

5 利用这种设置，与在半导体层之后从玻璃基板上依次形成防扩散层的常规方法相比，例如源极和漏极分别由防扩散层和低电阻层构成的方法，可以大大减少制造工艺。由此，可以提高 TFT 阵列基板的生产率。

特别是，在源极和漏极由 Al 或主要含有 Al 的金属材料构成的制造方面是有效的。

10 作为它们的特性之一，Al 或主要含有 Al 的金属材料不容易受到氧化性酸如硝酸的损伤。这样，导体形成层优选由可以被氧化性酸如硝酸溶解的 Ag、Mo、W 或主要含有 Ag、Mo、W 的合金构成。这种设置在制造上是有利的，因为可以利用氧化性酸如硝酸只对具有所希望的选择性的导电形成层进行湿刻蚀。

15 此外，由于由 Al 或主要含有 Al 的金属材料构成的源极和漏极具有低电阻。因此，TFT 阵列基板可以与近来的大尺寸 TFT 阵列基板相容。

此外，根据本发明的液晶显示器件包括前述 TFT 阵列基板。因此，可以减少 TFT 阵列基板的制造工艺，由此减少了制造时间和成本。根据本发明的 TFT 阵列基板的制造方法包括如下步骤：(a) 在基板上形成栅极；
20 (b) 在栅极上形成栅极绝缘层；(c) 在栅极绝缘层上淀积半导体膜；(d) 通过在半导体膜上滴落导电材料的液滴形成具有小滴形状的导体形成层；和 (e) 通过对应导体形成层的形状处理半导体膜，形成薄膜晶体管部件的半导体层。

25 在这种设置中，通过滴落导电材料的液滴在淀积的半导体膜上形成导体形成层，并且通过使用具有液滴形状（一般为圆形形状）的这个导体形成层作掩模，形成半导体层。与抗蚀剂层不一样，不需要除去这个导体形成层，因此可以省去去除工艺。

30 利用这种 TFT 阵列基板的设置，可以不用掩模来形成半导体层；因此减少了所需掩模数量，由此减少了制造工艺。此外，制造需要减少的使用掩模的光刻工艺，由此减少了用于光刻的设备费用，因而大大减少了制造工艺和设备费用。而且，还可以减少如显影剂或去除剂等化学物质的所需

量以及抗蚀剂材料的浪费量等。由此，可以减少制造时间和成本。

此外，TFT 阵列基板的前述制造方法还可包括以下步骤：处理导体形成层，以便形成导体层，其中：导体层由 Mo、W、Ag、Cr、Ta、Ti、主要含有 Mo、W、Ag、Cr、Ta、Ti 之一的金属材料或者氧化铟锡构成。

5 利用这种方法，本发明的结构具有用于构成源极或漏极的材料的更宽的选择范围，同时几乎不增加制造工艺数量。更具体地说，作为导体层在前状态的导体形成层作为用于形成半导体层的图形掩模和作为用于防止向半导体层的扩散的防扩散层来工作。此外，由导体形成层形成的导体层还可以具有防扩散功能。相应地，由于源极和漏极可以由具有低电阻的
10 Al 或 Cu 构成，因而材料的选择范围变得更宽了。

源极和漏极优选由 Al 或主要含有 Al 的金属材料构成。

这里，导体形成层优选由可以被氧化性酸如硝酸溶解的 Ag、Mo、W 或者主要含有 Ag、Mo、W 的合金构成。

15 这种设置在制造上是有利的，因为可以利用氧化性酸如硝酸只对具有所希望的选择性的导电形成层进行湿刻蚀。

由此，例如可以减少 TFT 阵列基板的制造工艺，由此提供了 TFT 阵列基板的生产率。

根据本发明的液晶显示器件的制造方法包括 TFT 阵列基板的前述制造方法。因此，可以至少减少用于制造液晶显示器件的制造工艺。

20 为了更全面的理解本发明的特性和优点，参照附图进行了更详细的说明。

如此介绍了本发明，显然可以用很多方式进行修改。这种修改不应当是脱离了本发明的精神和范围，并且对于本领域技术人员来说显而易见的所有这些修改将趋于包括在下列权利要求书的范围内。

25 工艺实用性

根据本发明的 TFT 阵列基板是通过喷墨法制造的。为了减少制造成本的数量可以采用该 TFT 阵列基板。TFT 阵列基板特别适合于液晶显示器件；然而，还可以与其它显示器件（如有机 EL 面板）或成像装置相容。

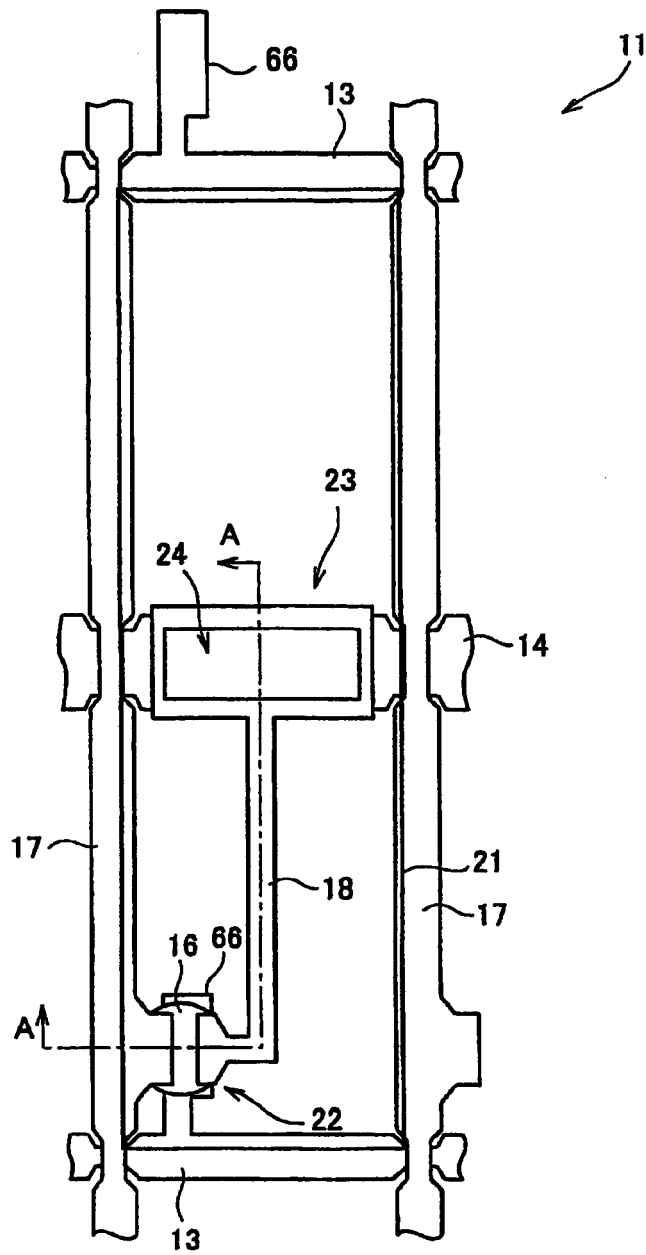


图 1(a)

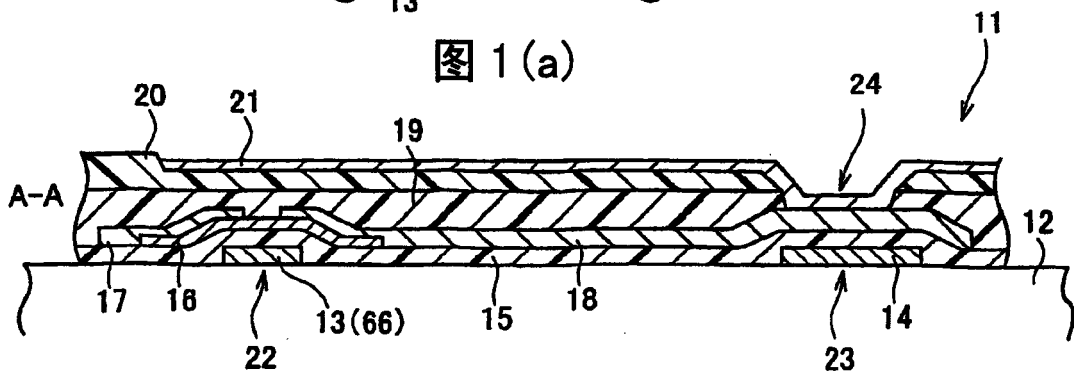


图 1(b)

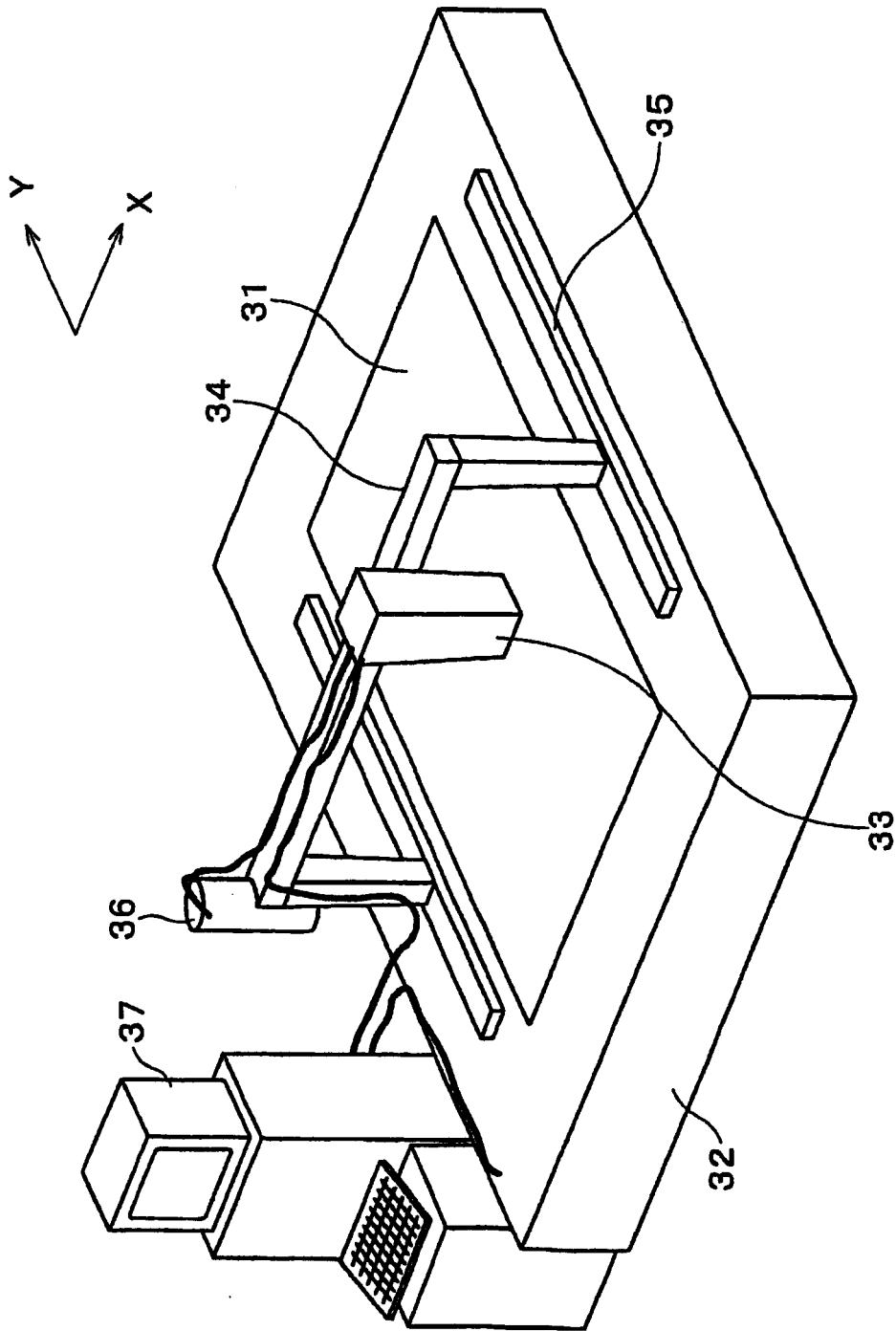


图 2

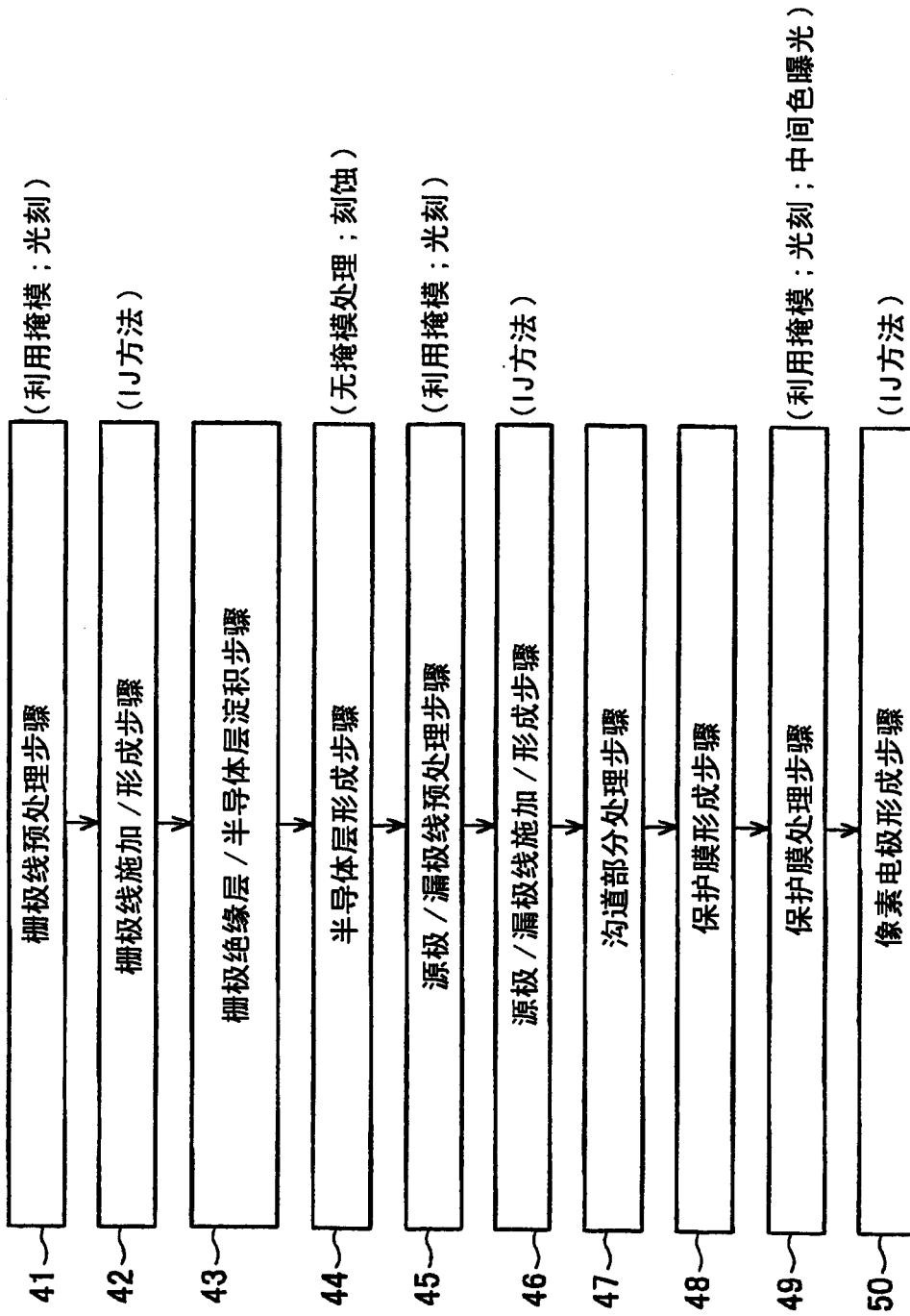


图 3

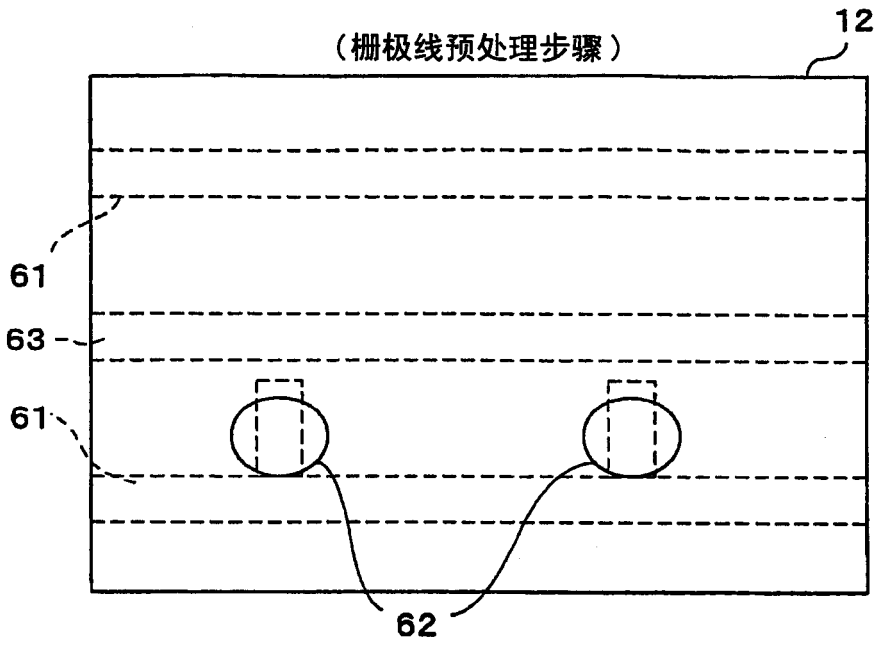


图 4(a)

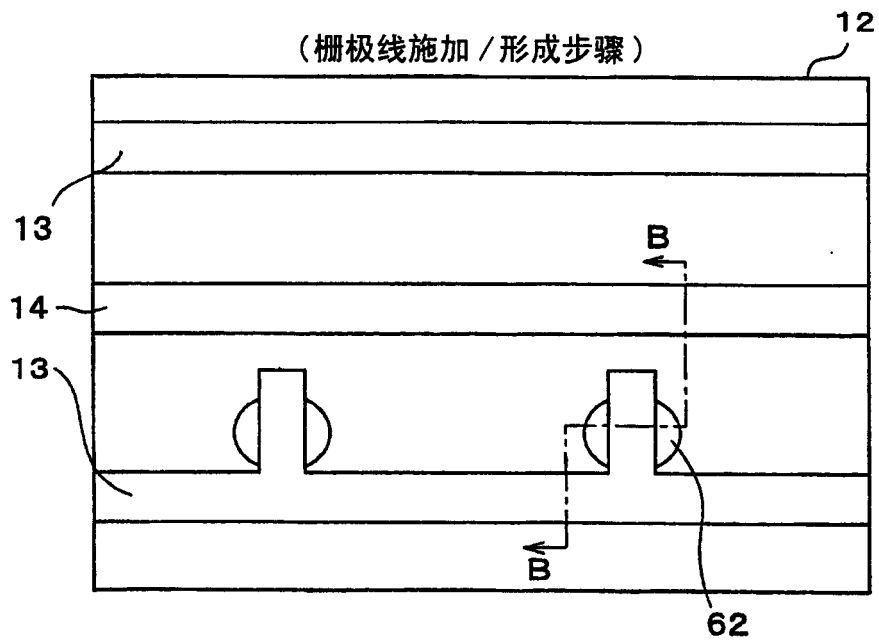


图 4(b)

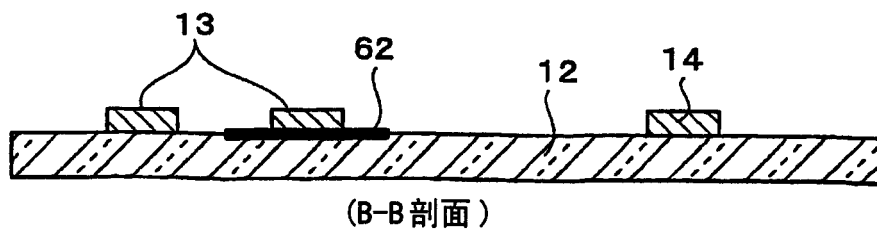


图 4(c)

(半导体形成步骤)

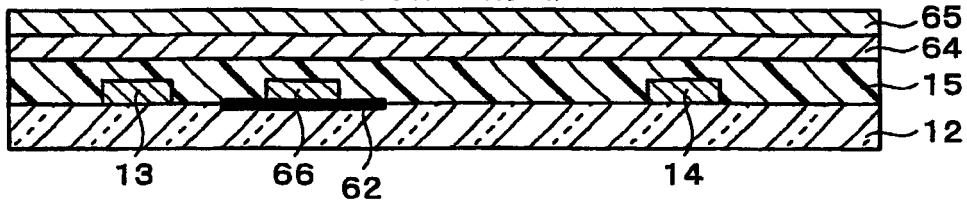


图 5(a)

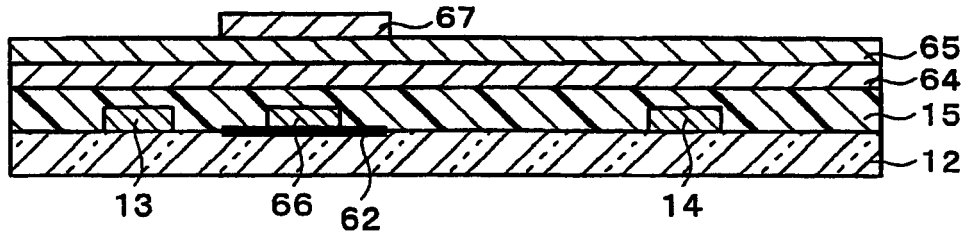


图 5(b)

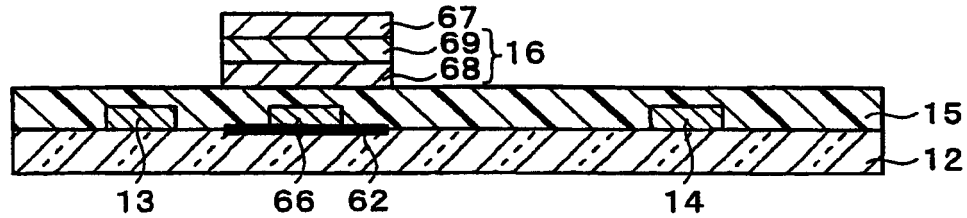
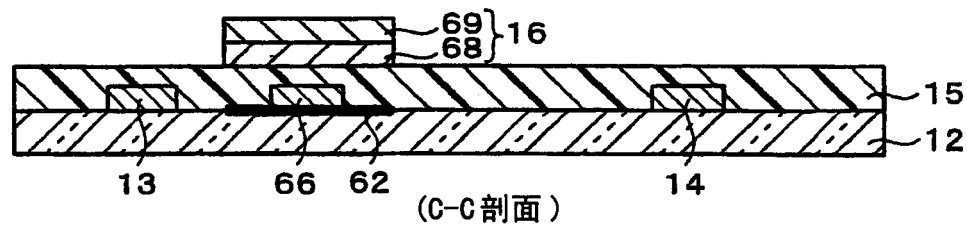


图 5(c)



(C-C剖面)

图 5(d)

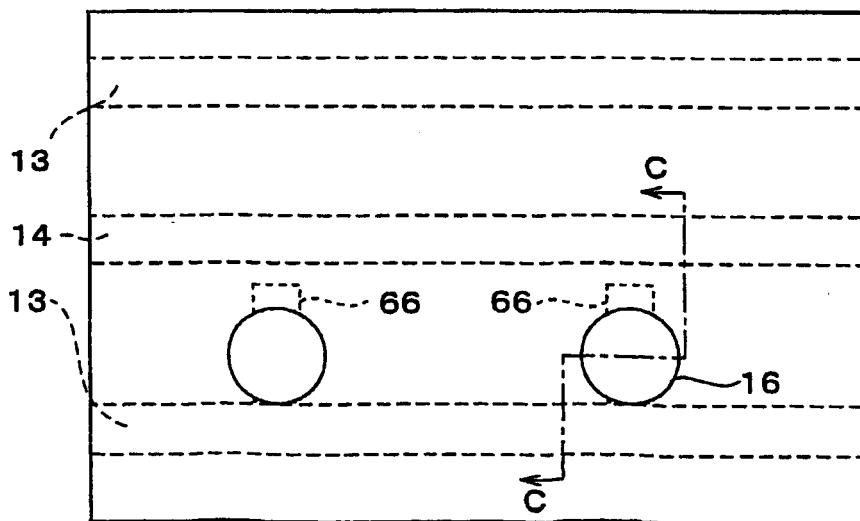


图 5(e)

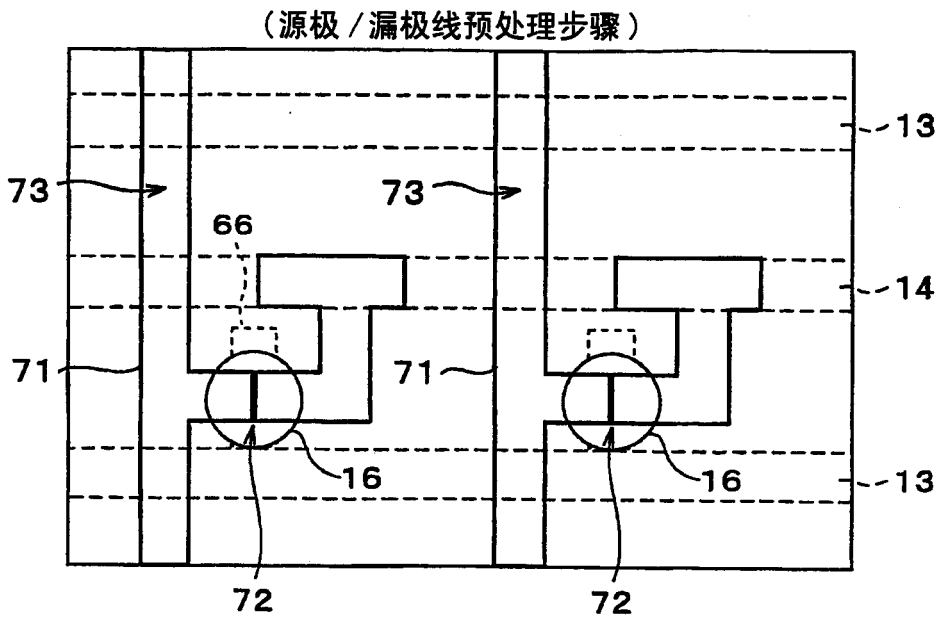


图 6(a)

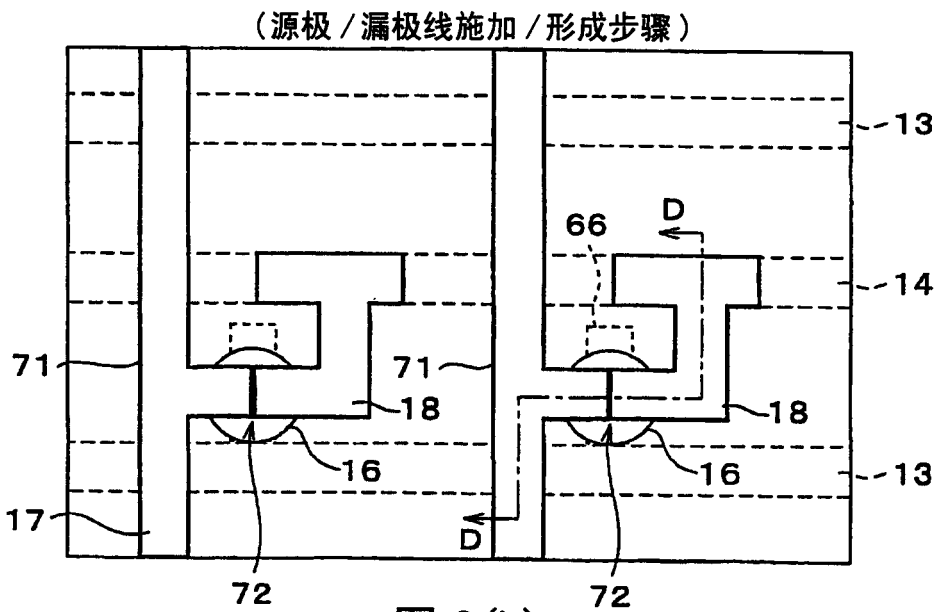


图 6(b)

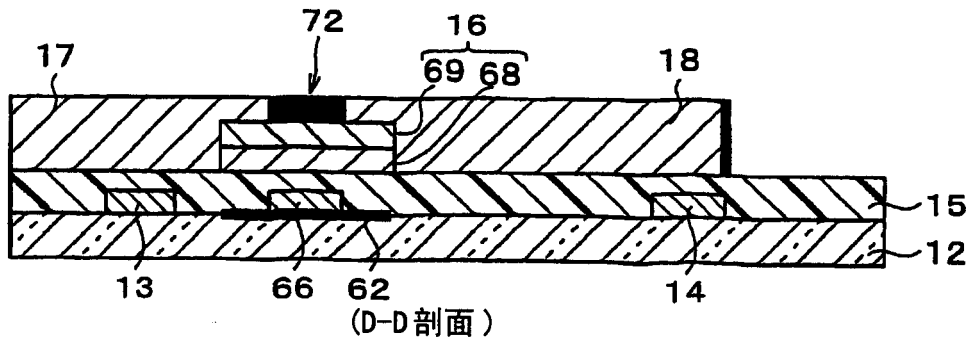


图 6(c)

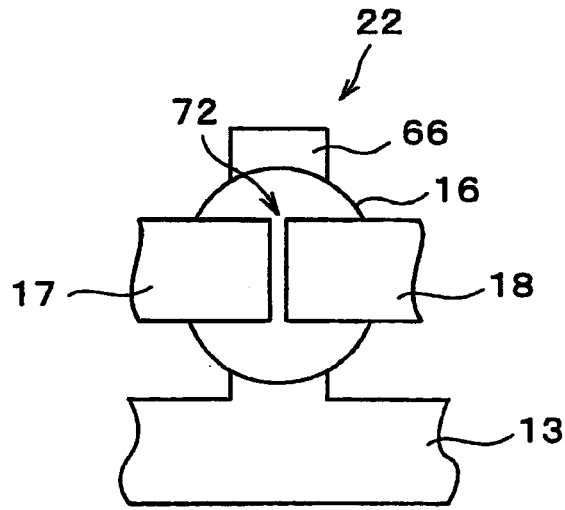


图 7

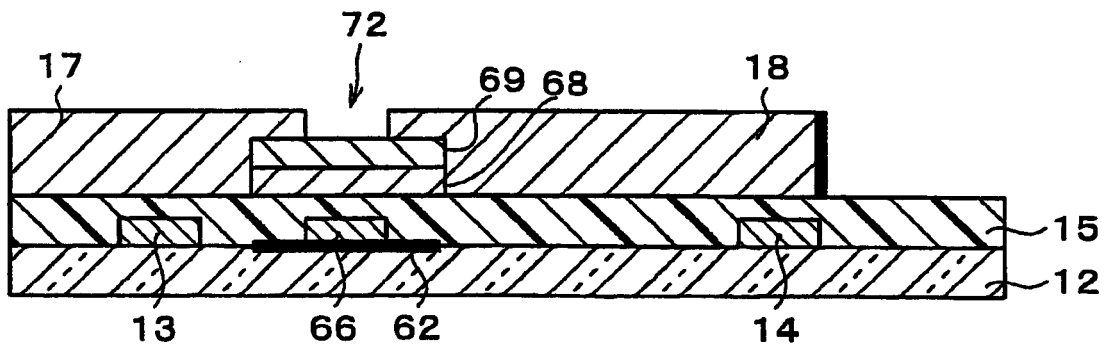


图 8(a)

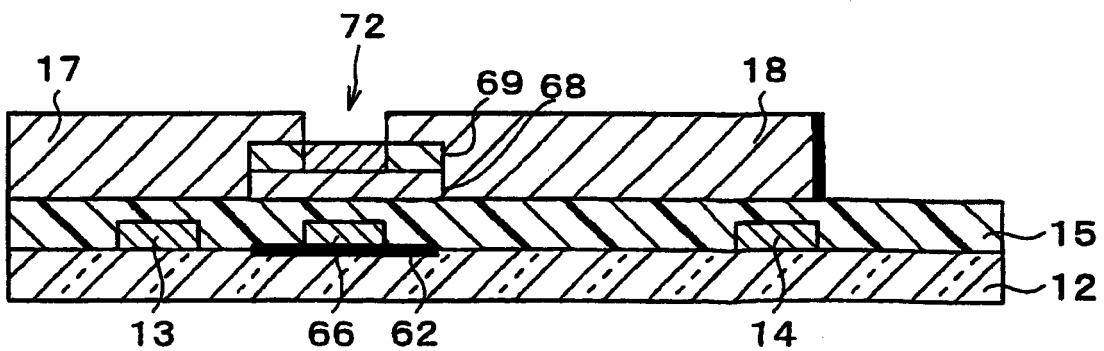


图 8(b)

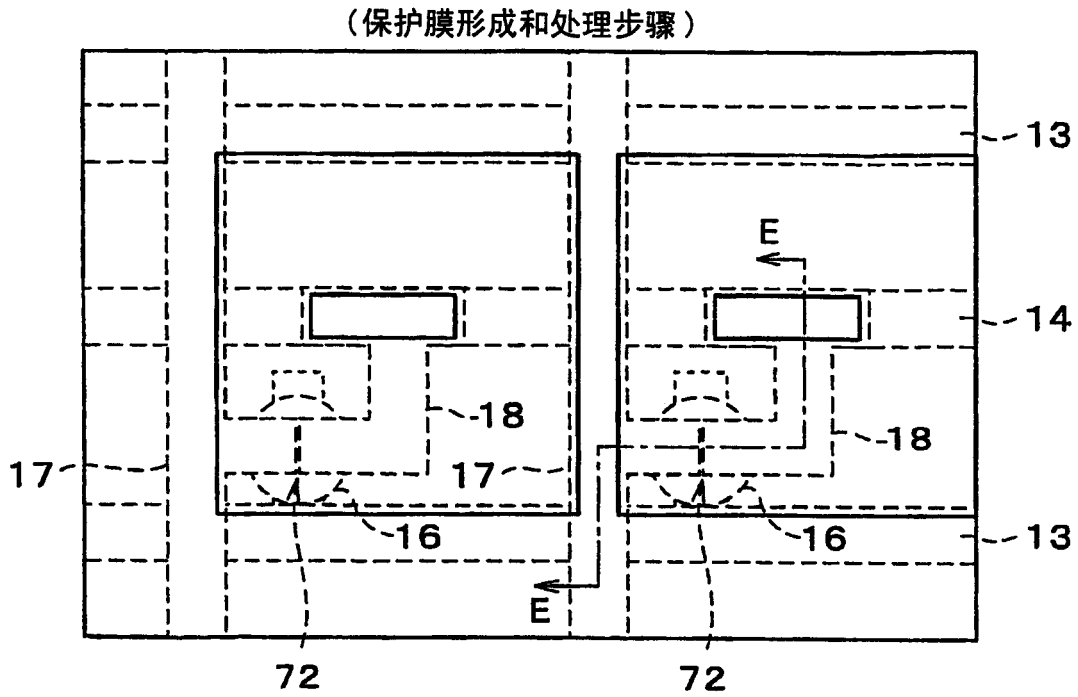


图 9(a)

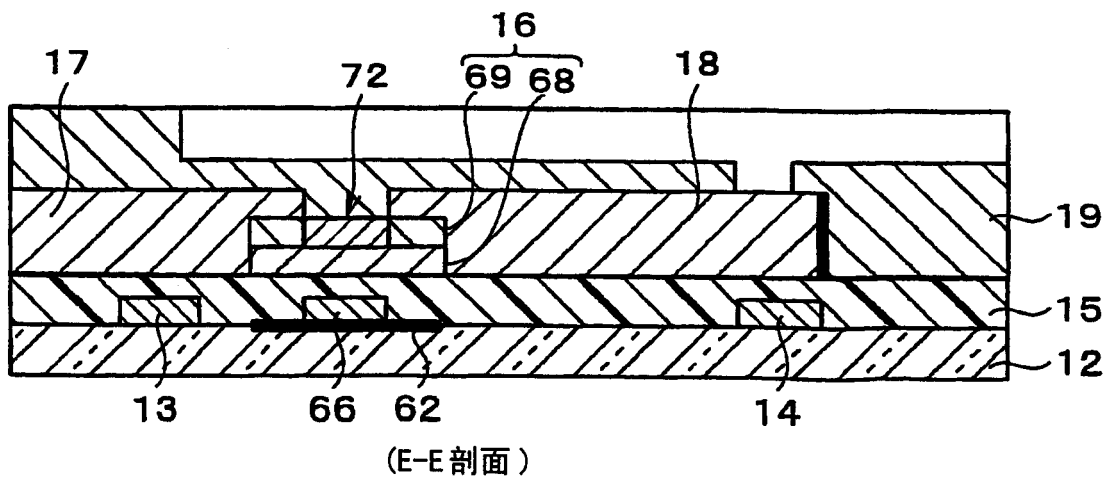


图 9(b)

(像素电极形成步骤)

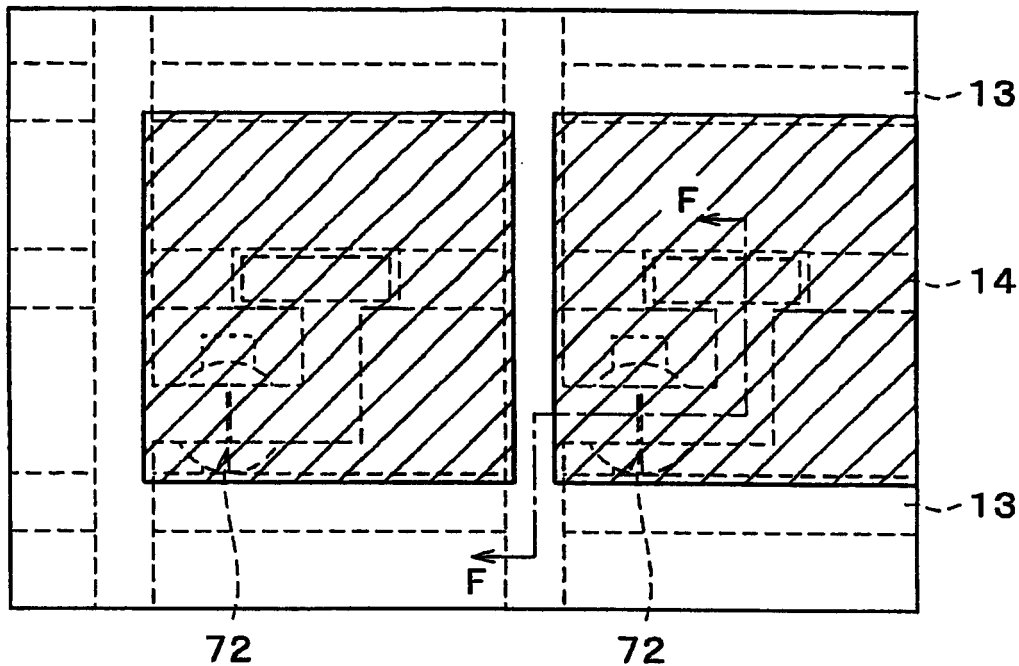
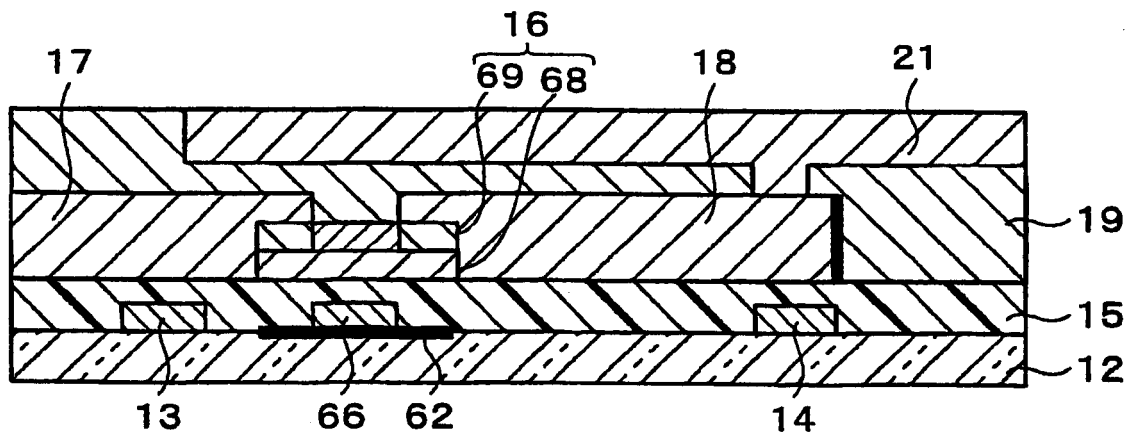


图 10(a)



(F-F 剖面)

图 10(b)

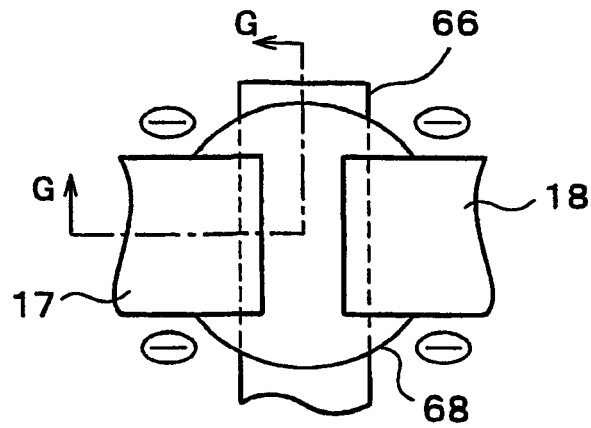


图 11(a)

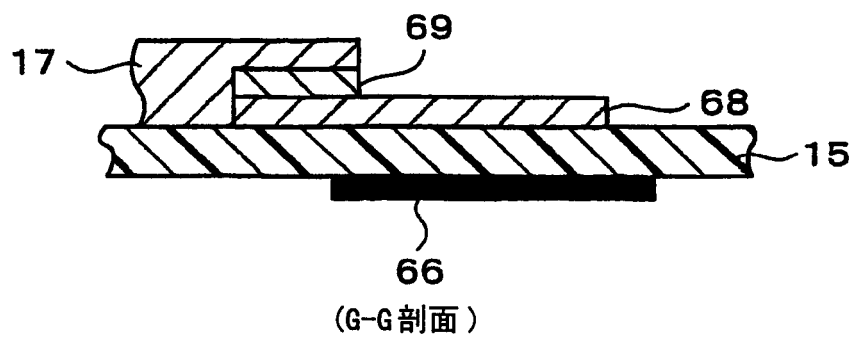


图 11(b)

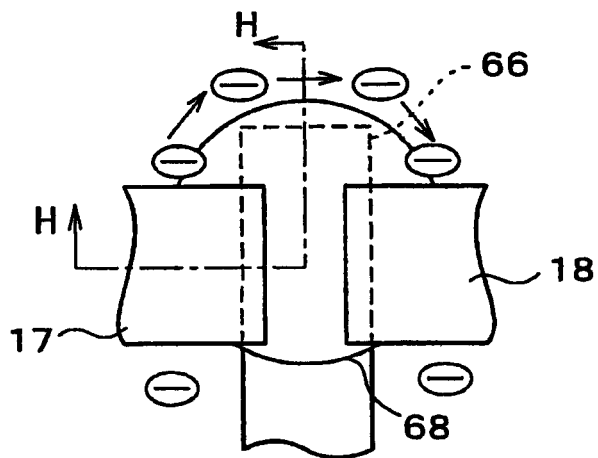
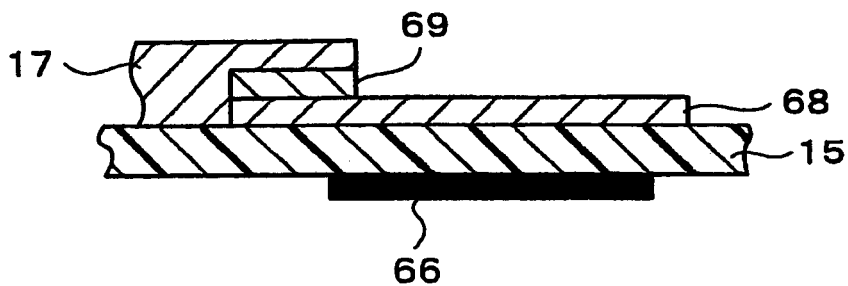


图 12(a)



(H-H剖面)

图 12(b)

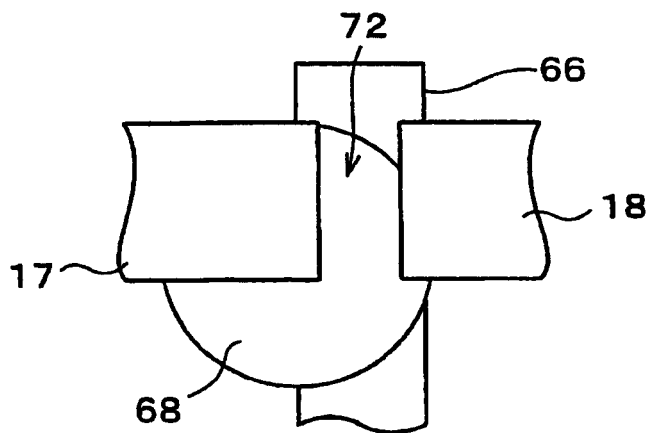


图 13

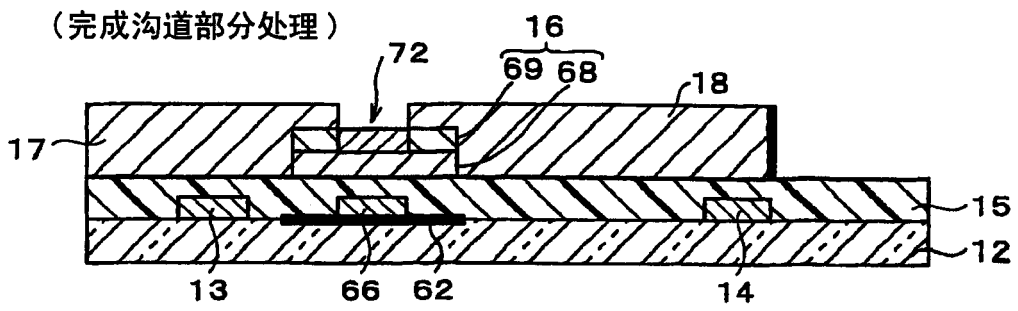


图 14(a)

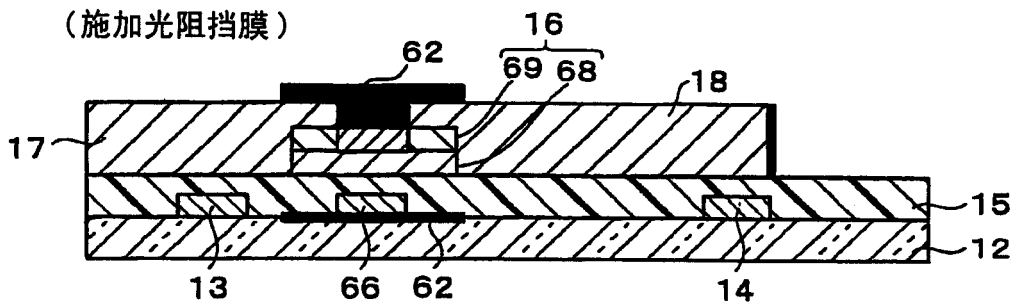
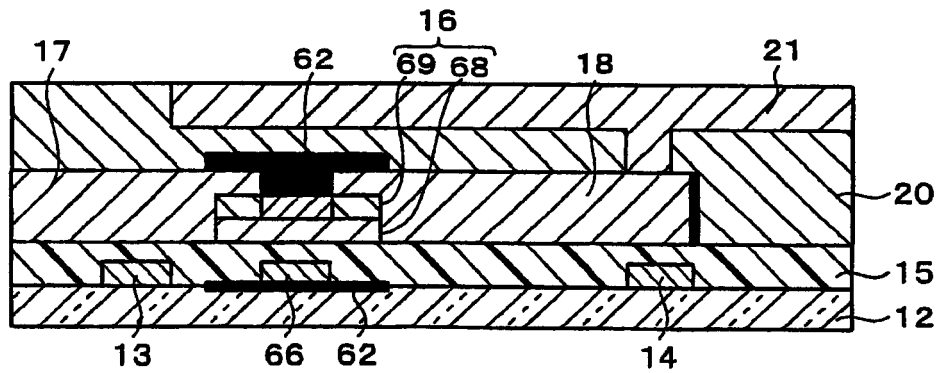


图 14(b)



(M-M剖面)

图 14(c)

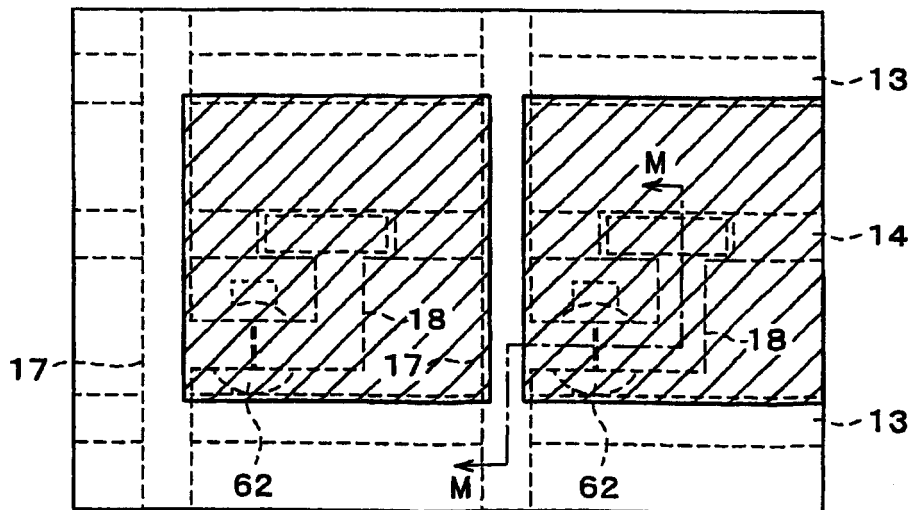


图 14(d)

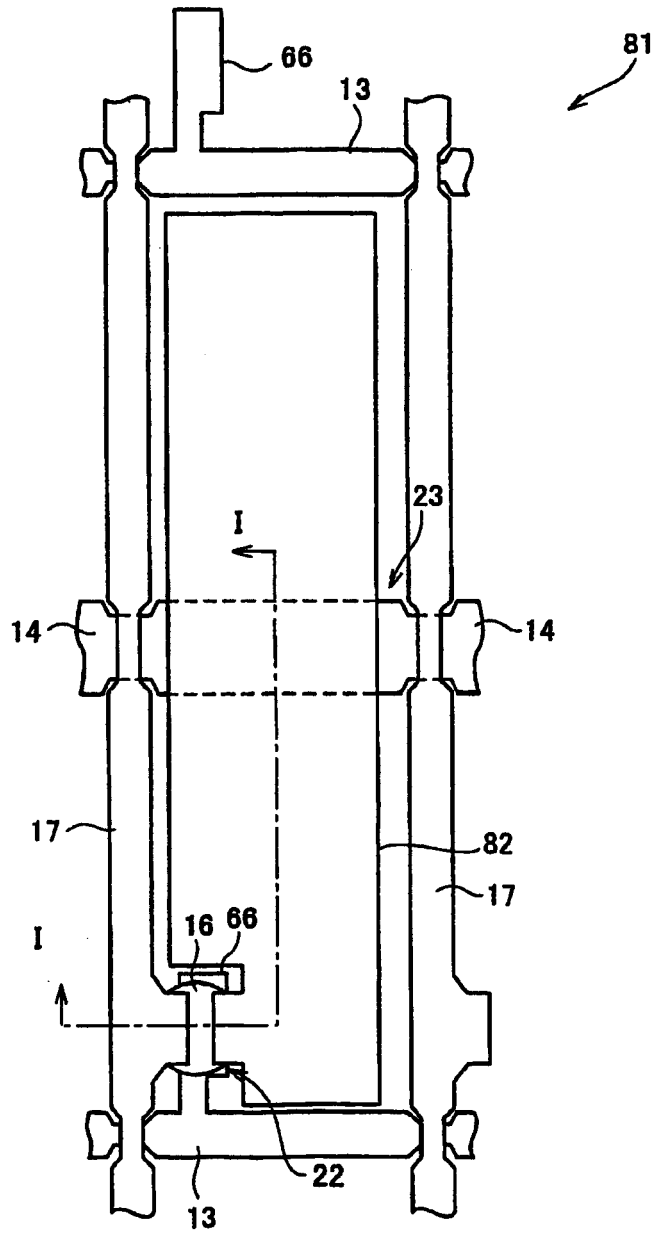


图 15(a)

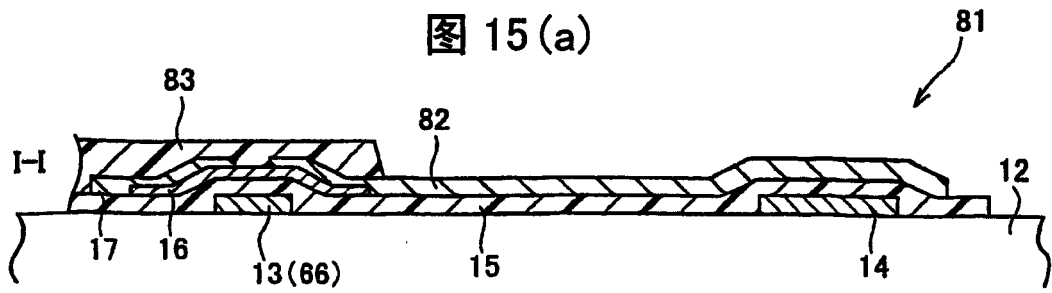


图 15(b)

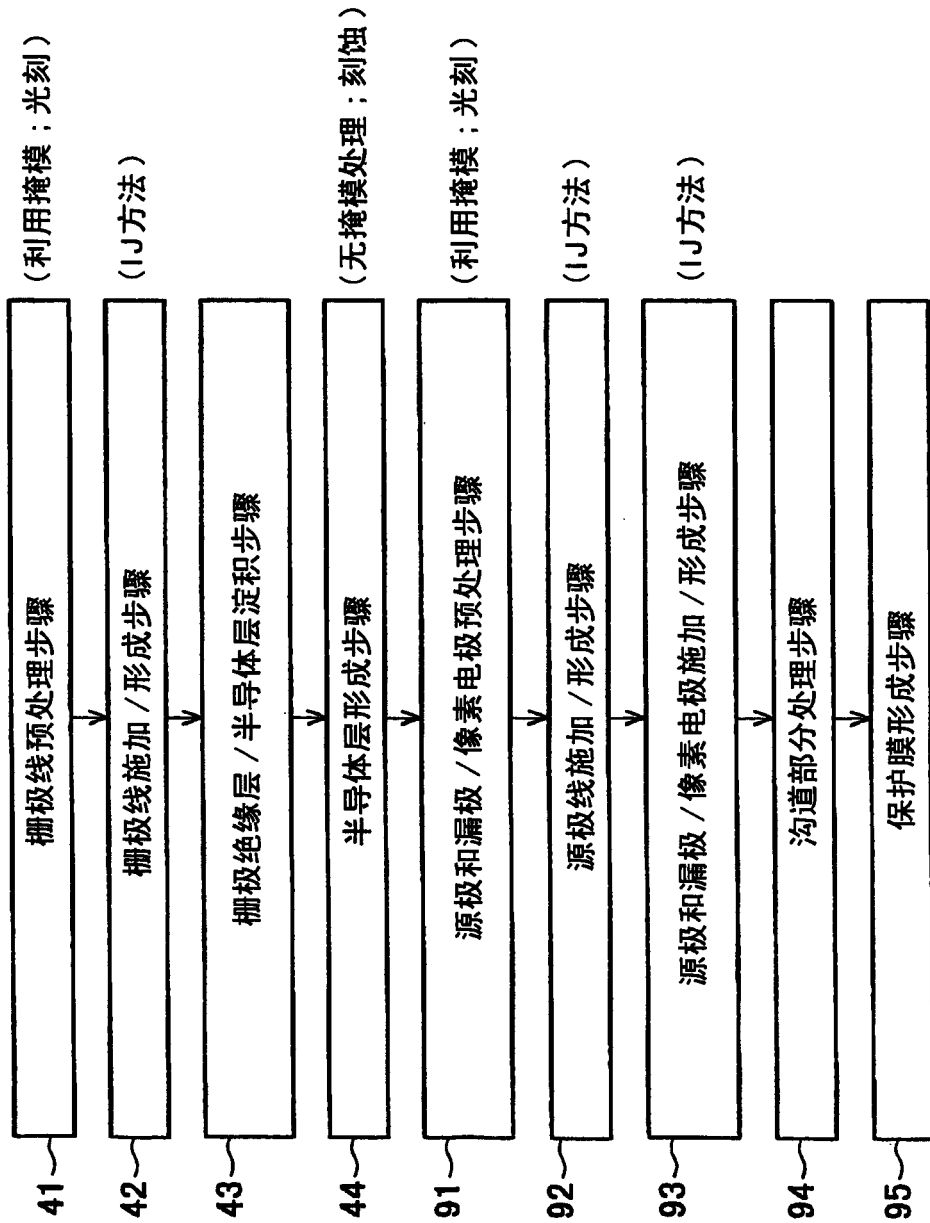


图 16

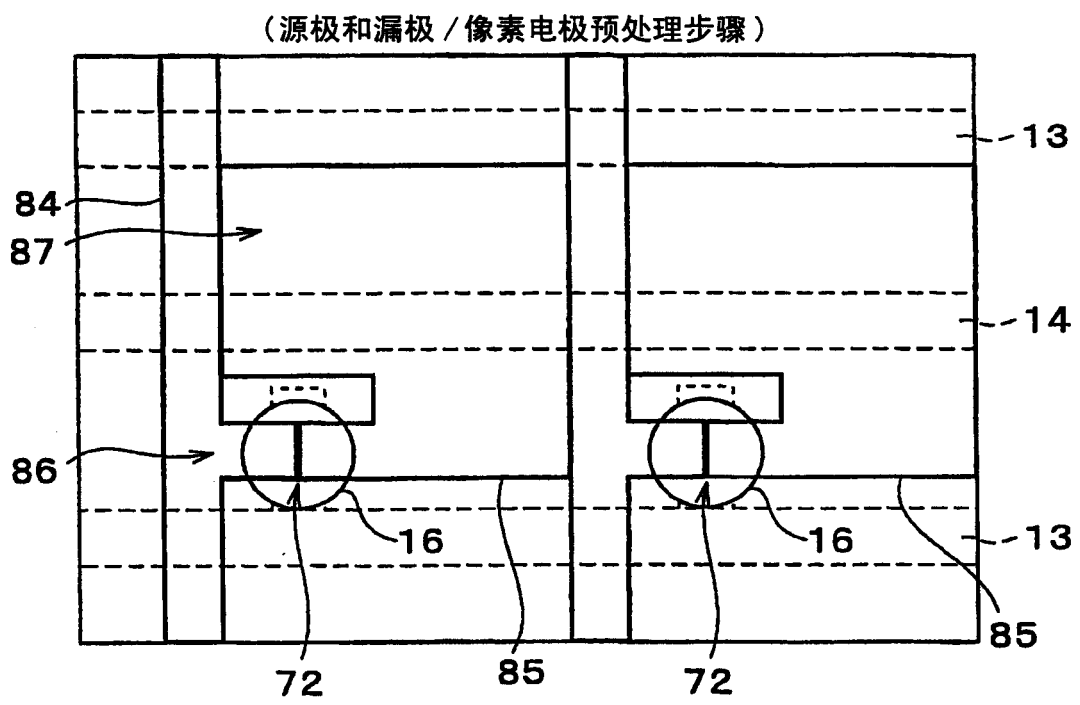


图 17

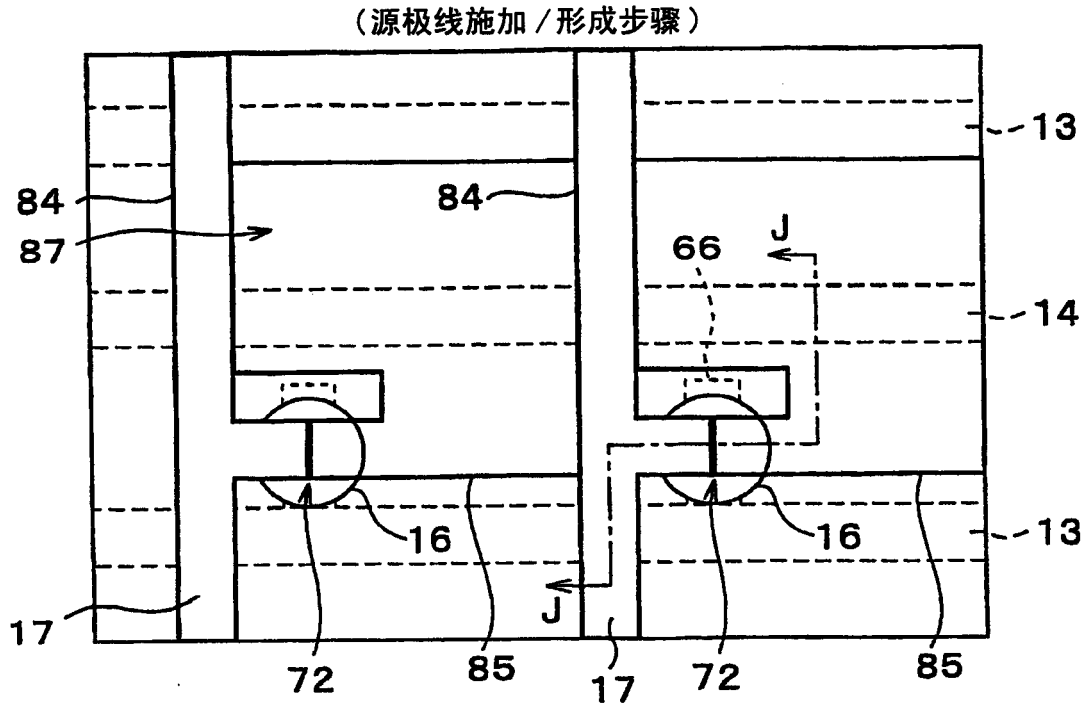


图 18(a)

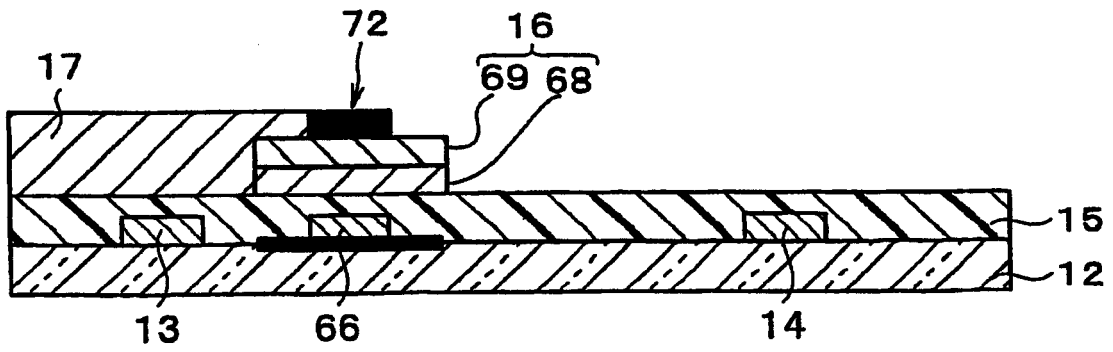


图 18(b)

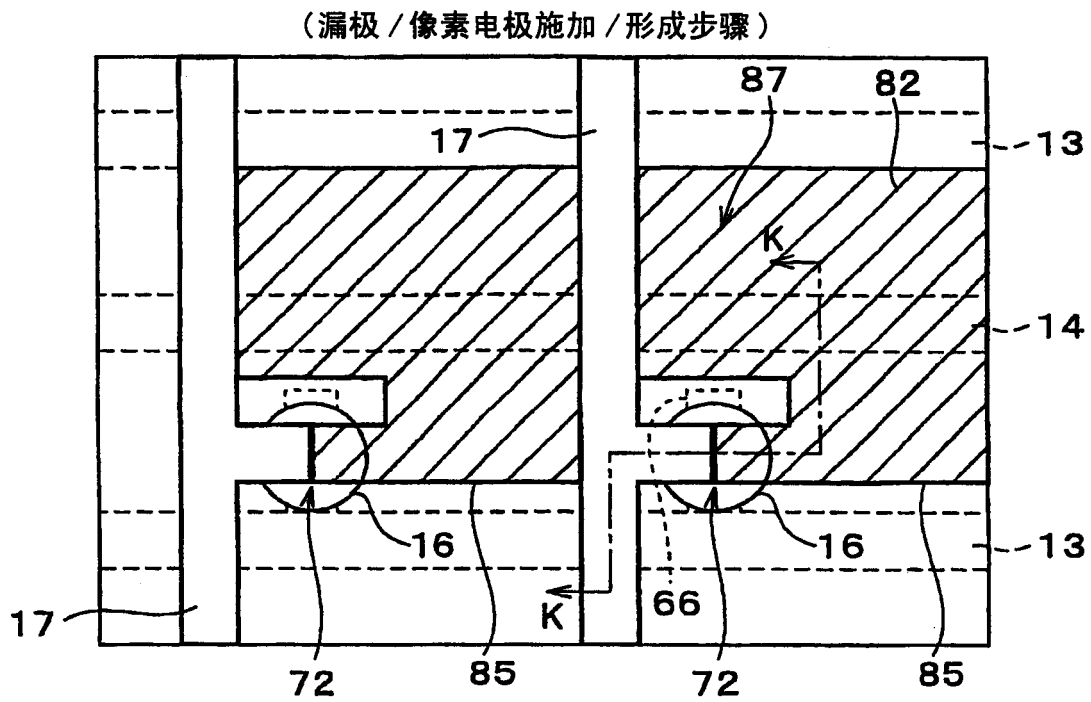


图 19(a)

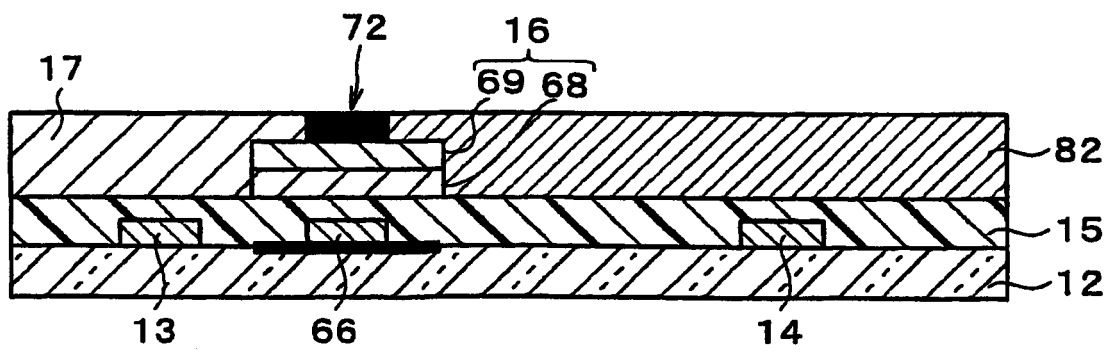


图 19(b)

(沟道部分处理步骤)

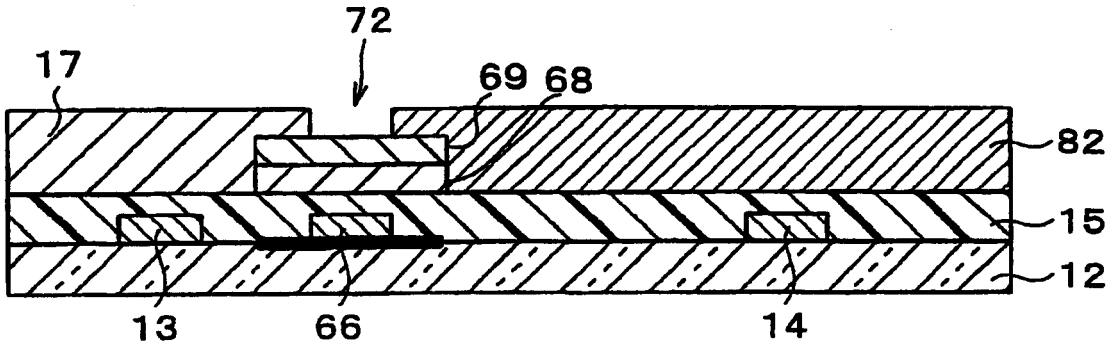


图 20(a)

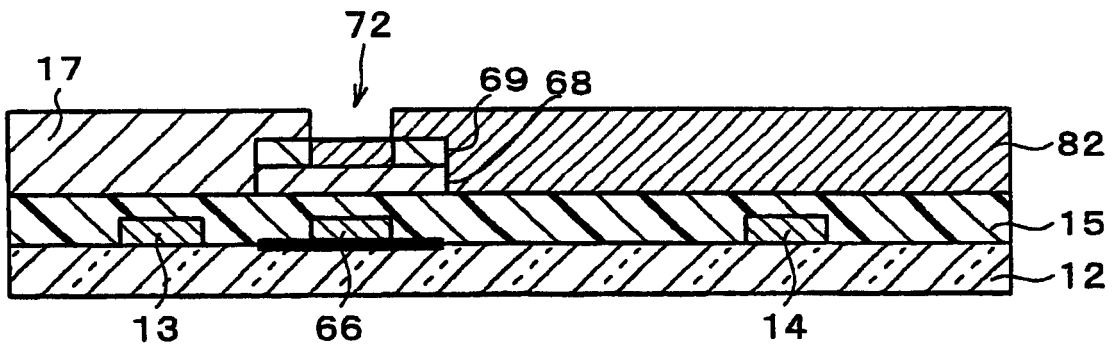


图 20(b)

(保护膜形成步骤)

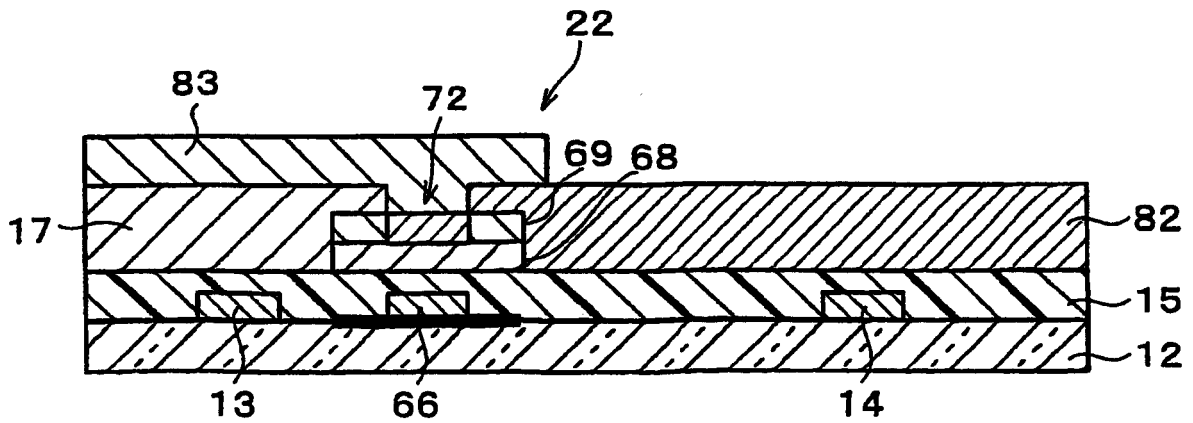


图 21

(半导体层形成步骤 (直接形成))

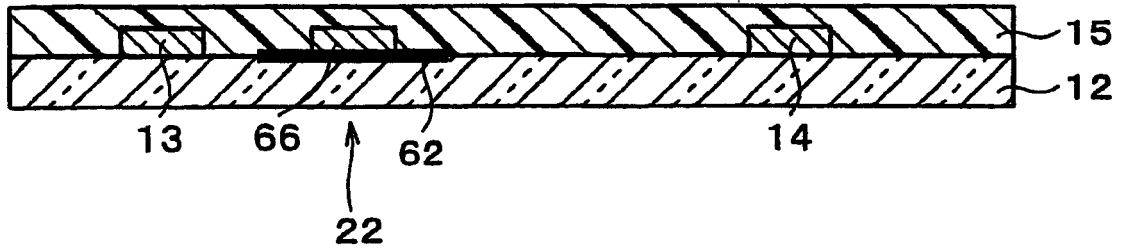


图 22 (a)

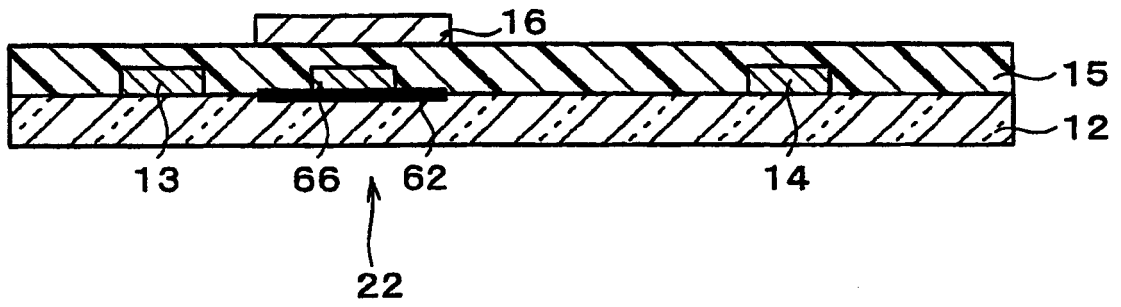


图 22 (b)

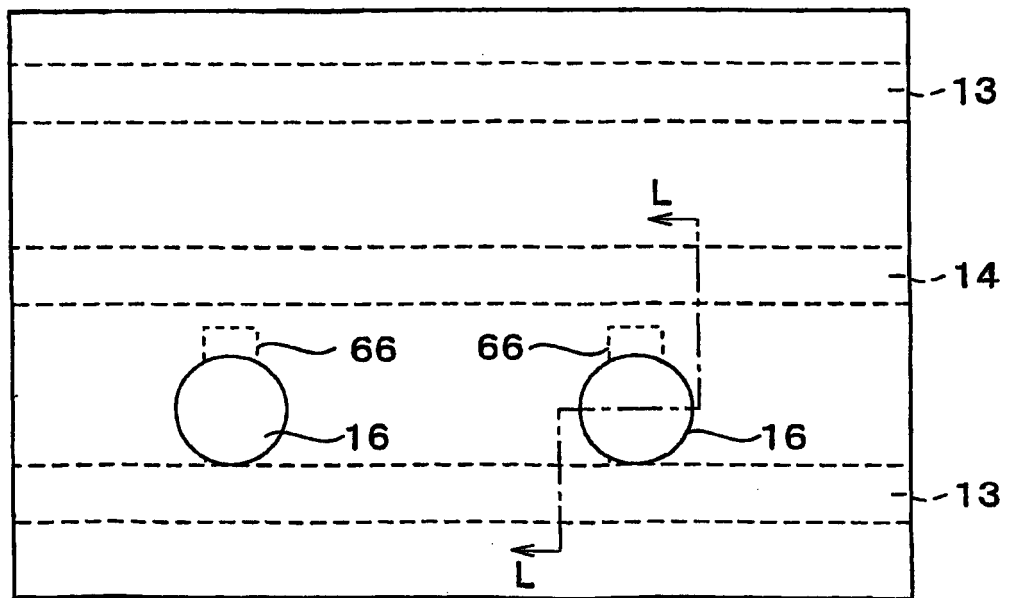


图 22 (c)

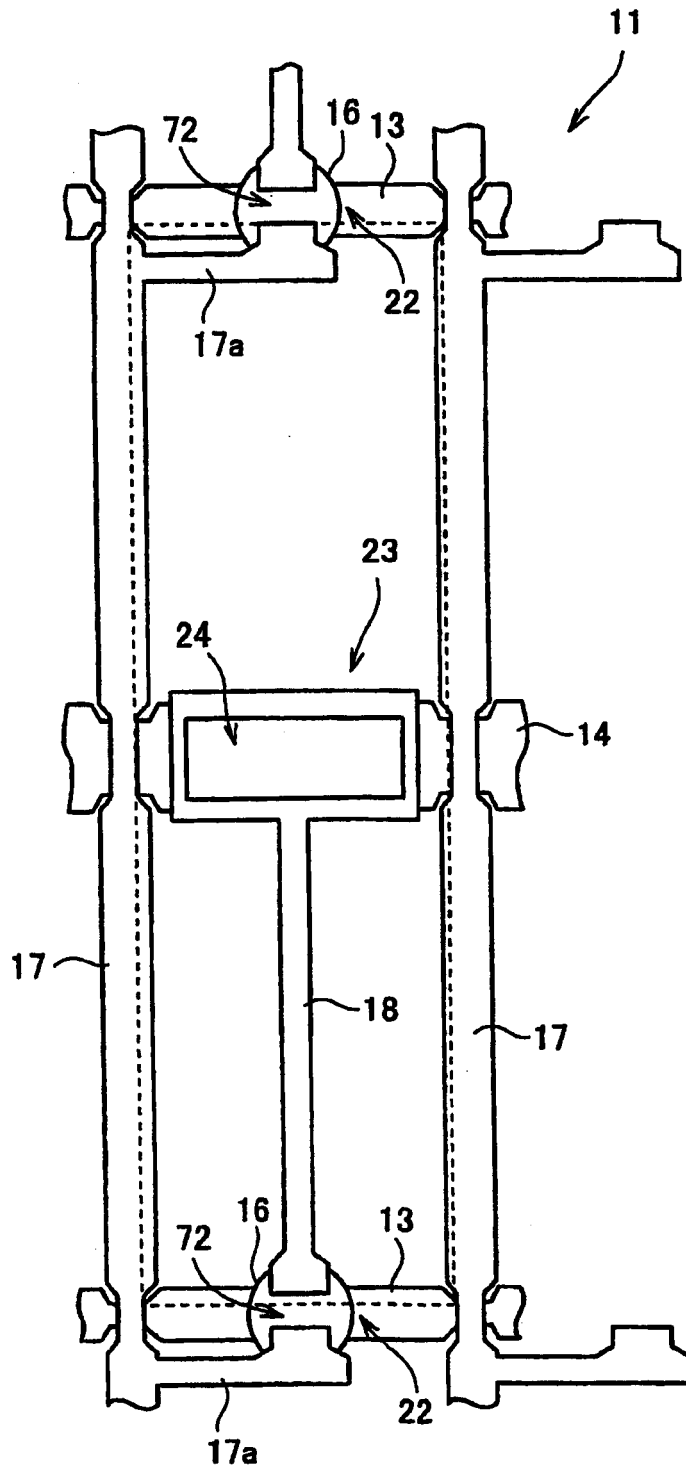


图 23

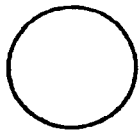


图 24

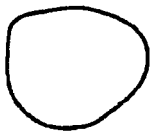


图 25 (a)



图 25 (b)



图 25 (c)

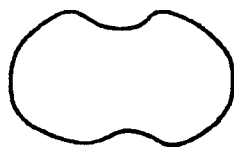
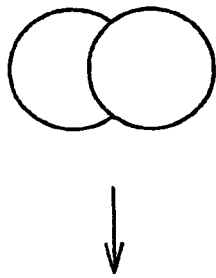


图 26 (a)

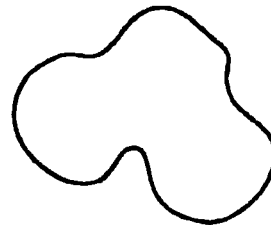
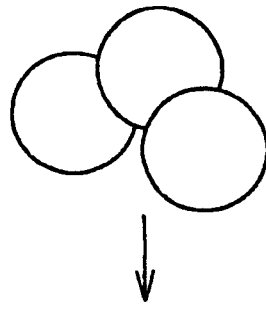


图 26 (b)

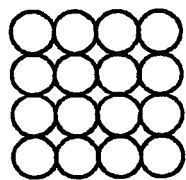


图 27 (a)

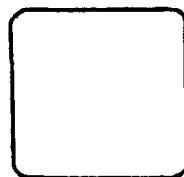


图 27 (b)

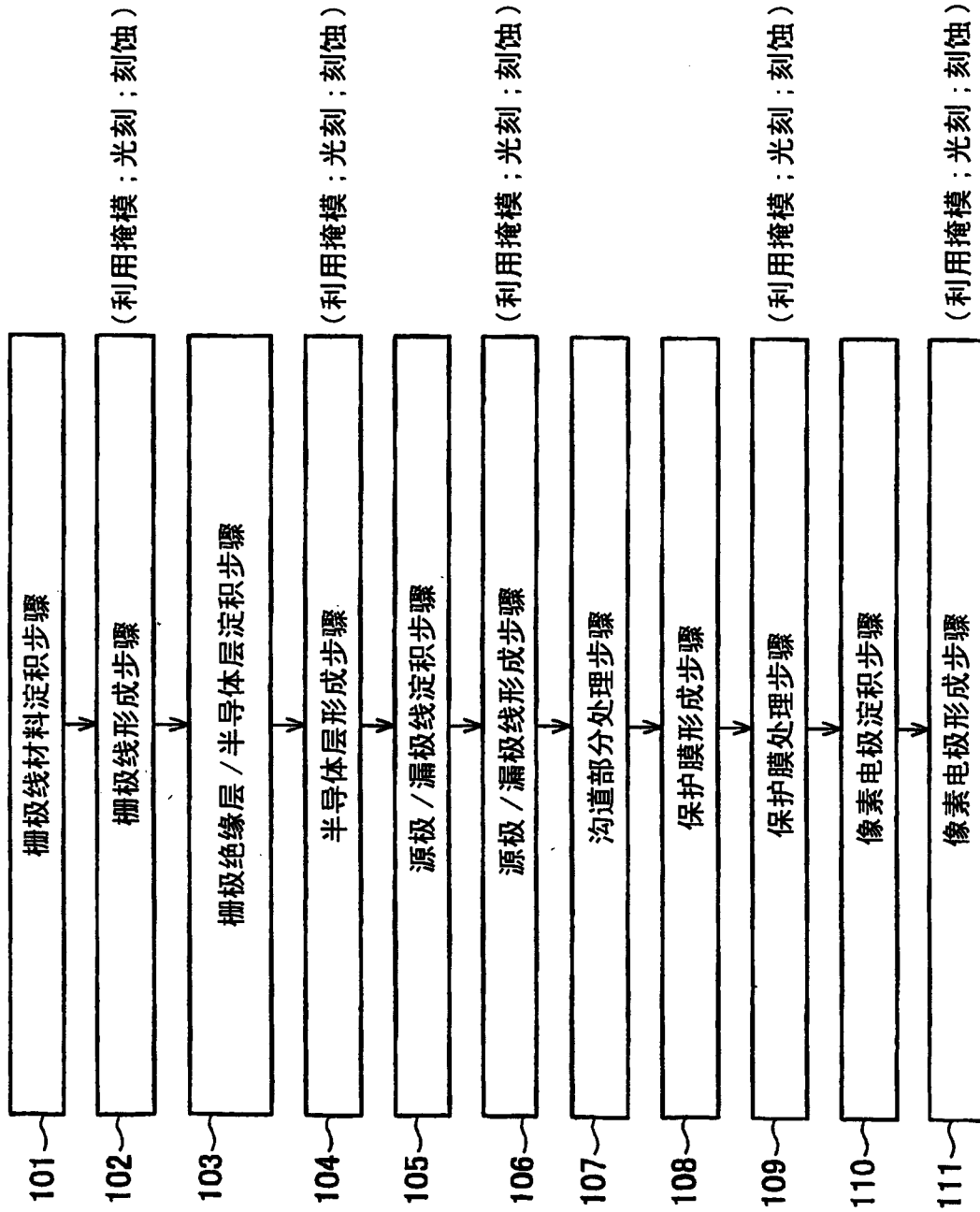


图 28

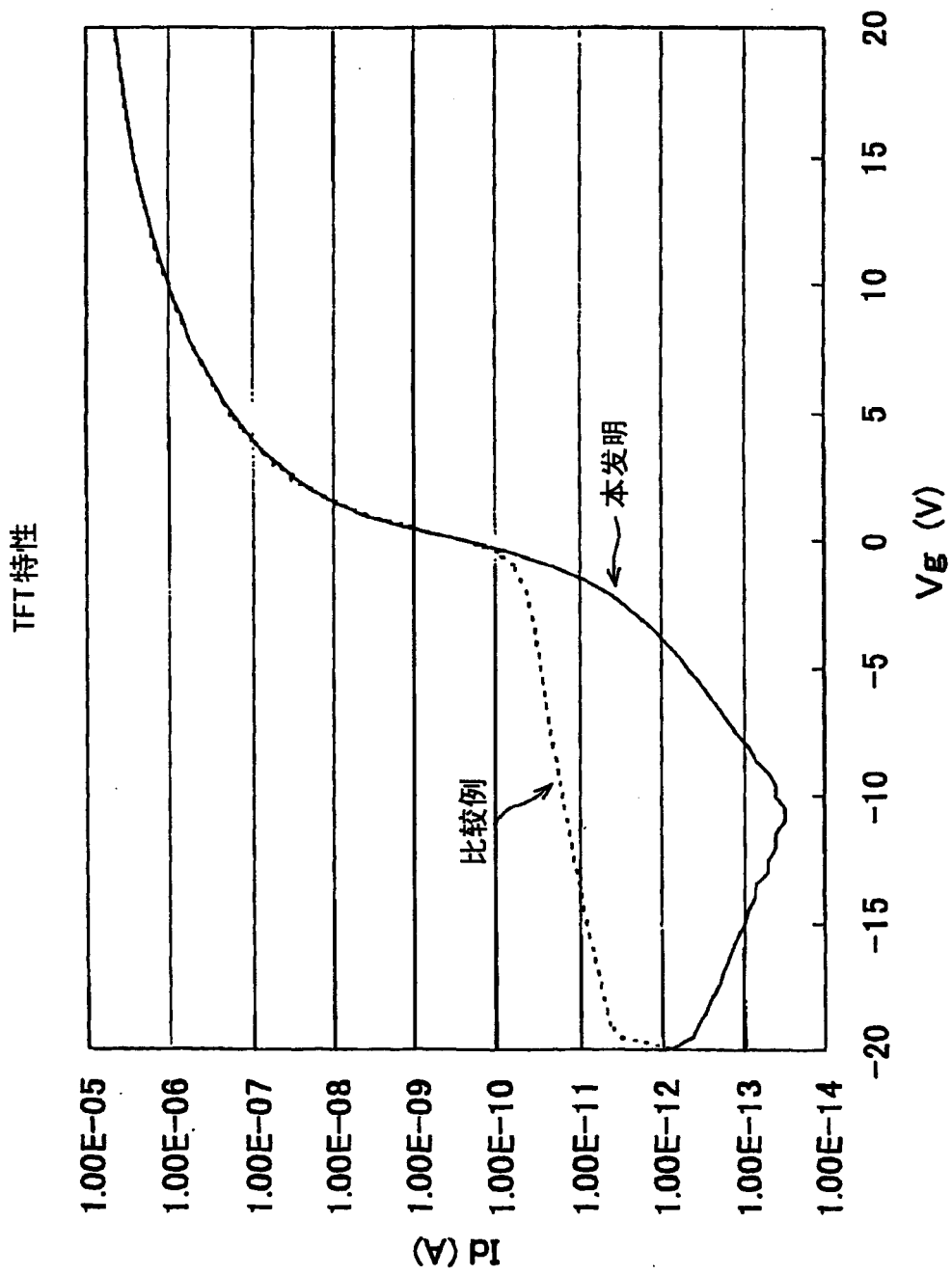


图 29

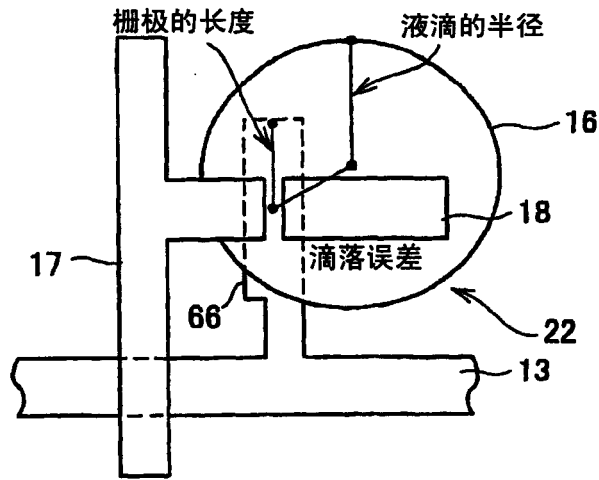


图 30

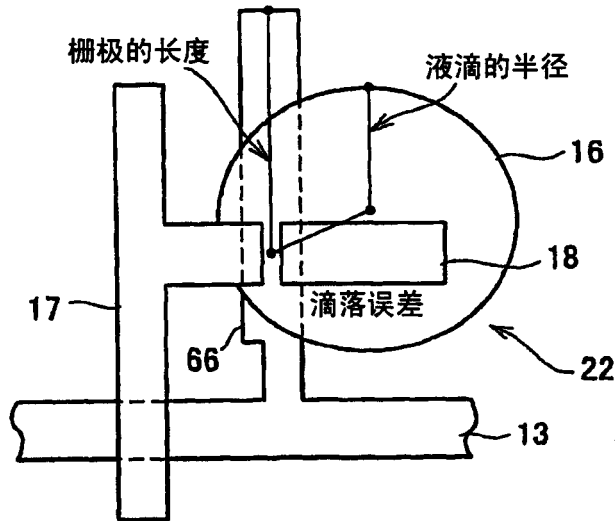


图 31

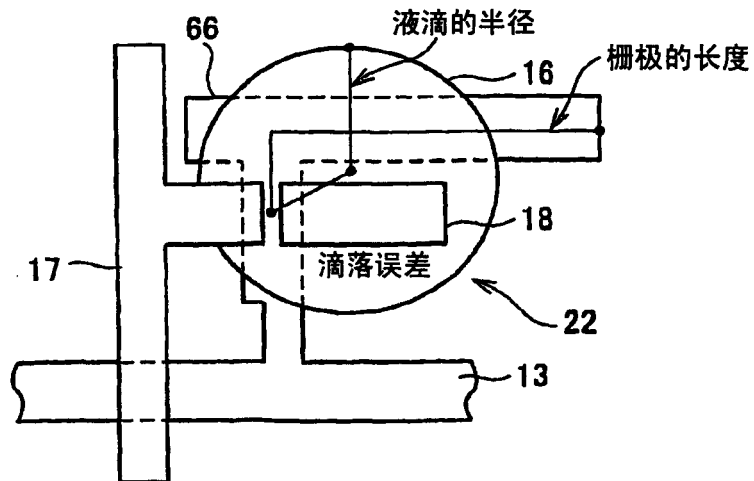


图 32

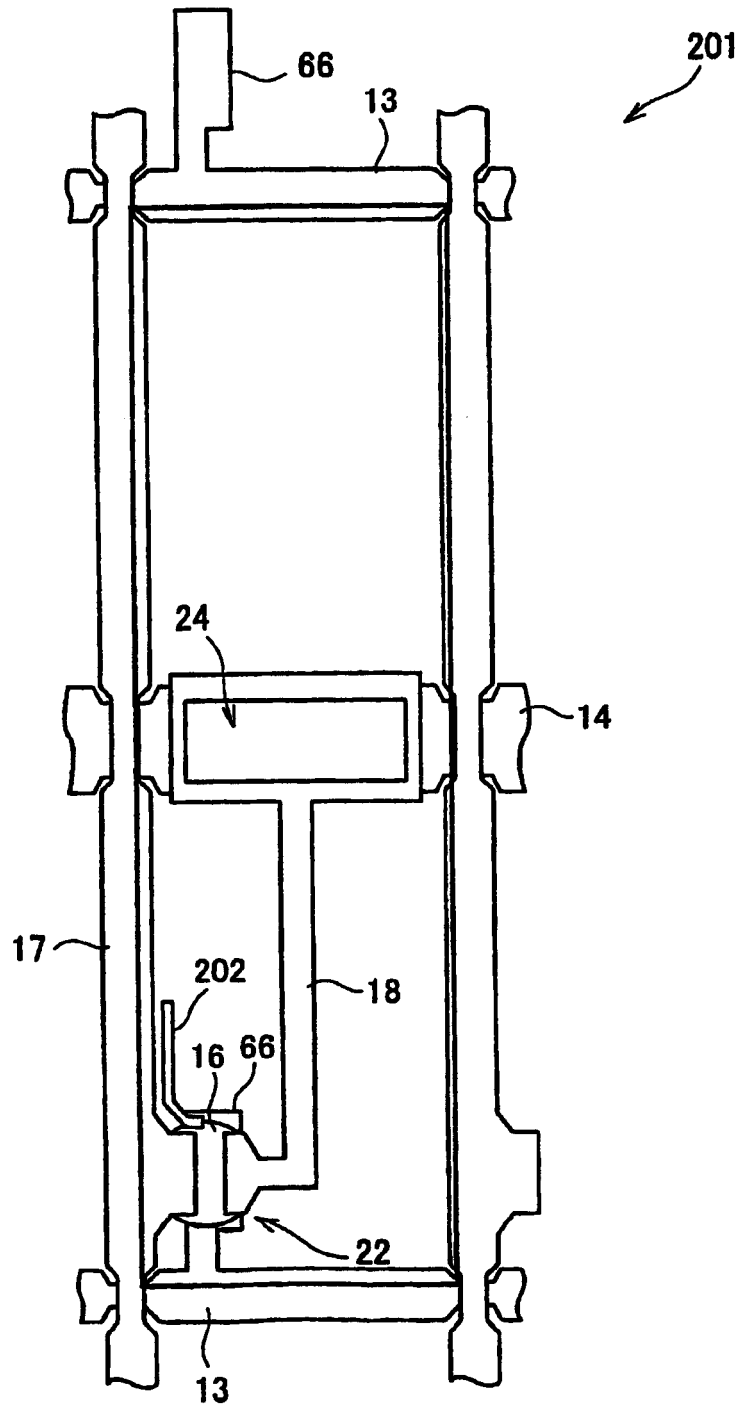


图 33

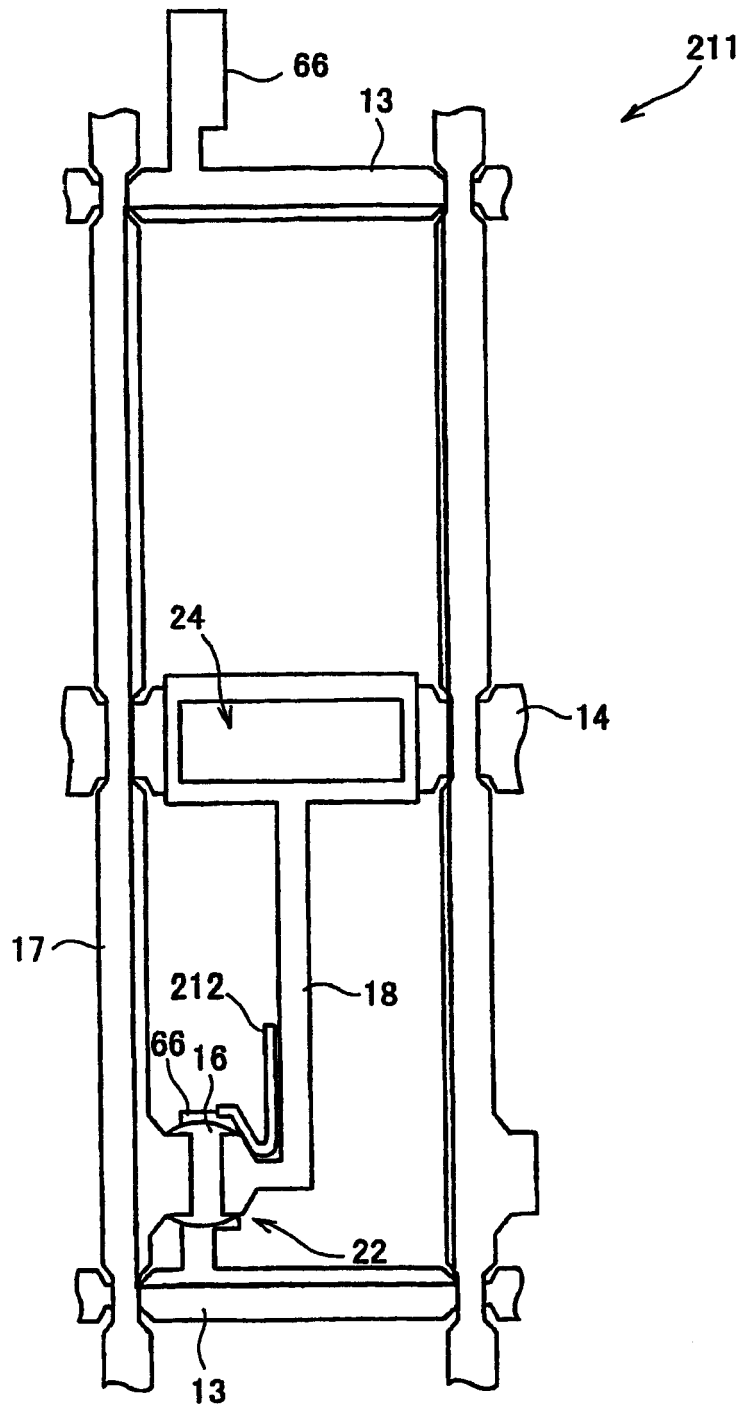


图 34

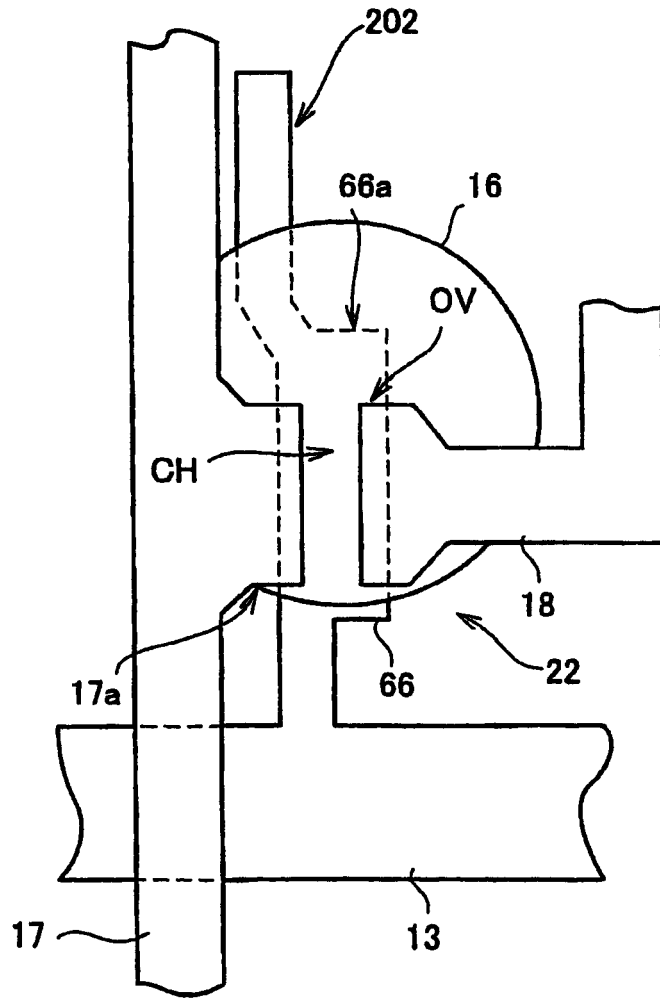


图 35

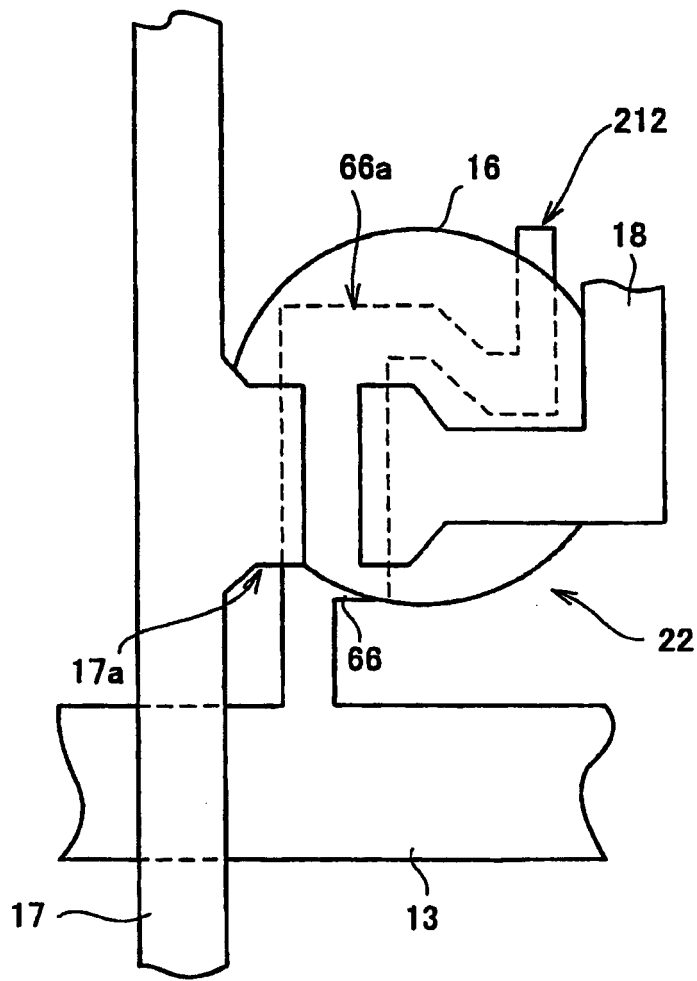
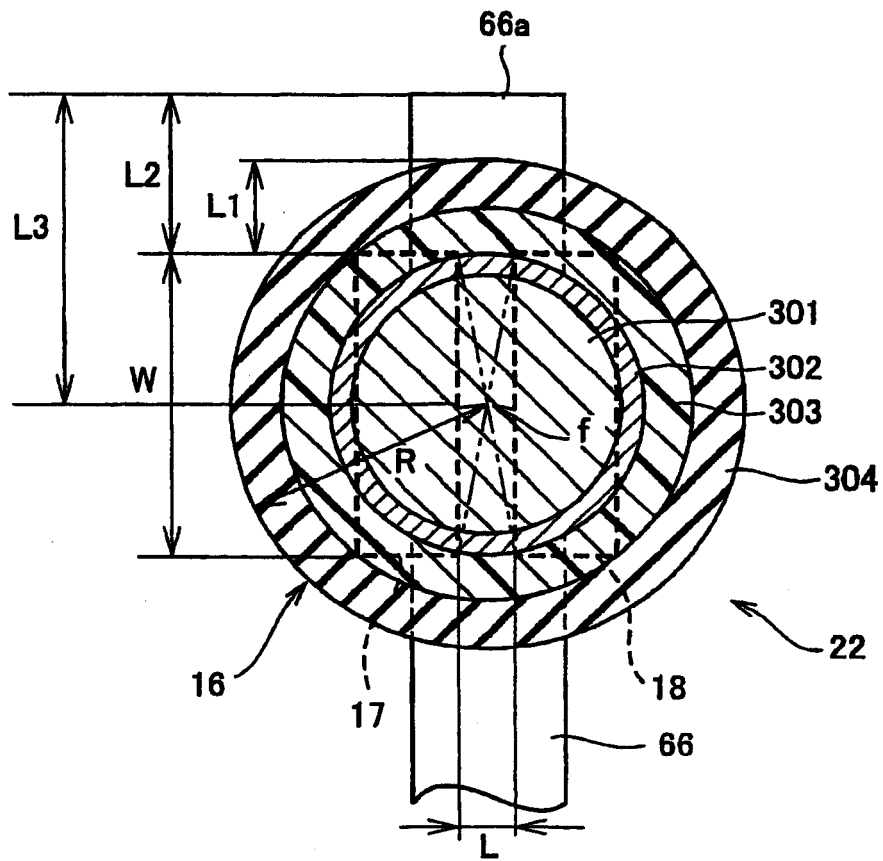


图 36



$$L1 > \Delta 1 + \Delta 2$$

$$L2 > \Delta 1 + 2\Delta 2$$

$$L3 > r + \Delta 1 + 2\Delta 2$$

图 37

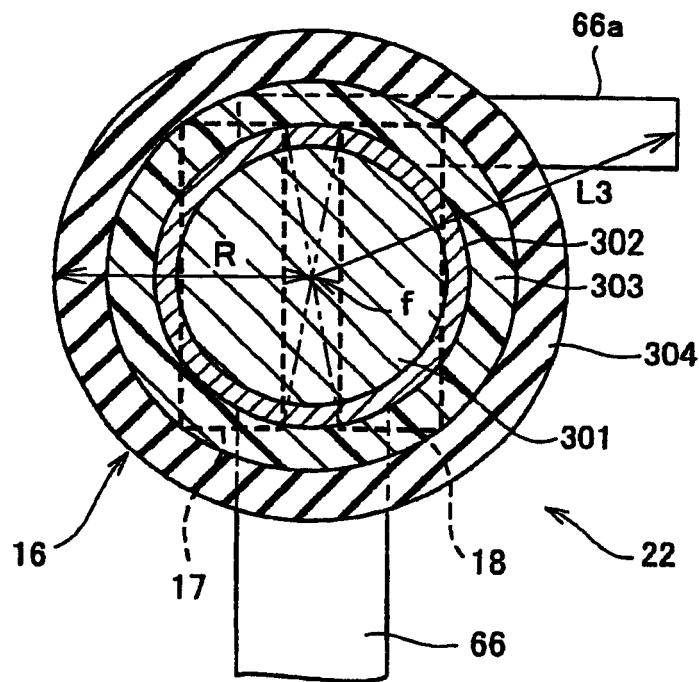


图 38

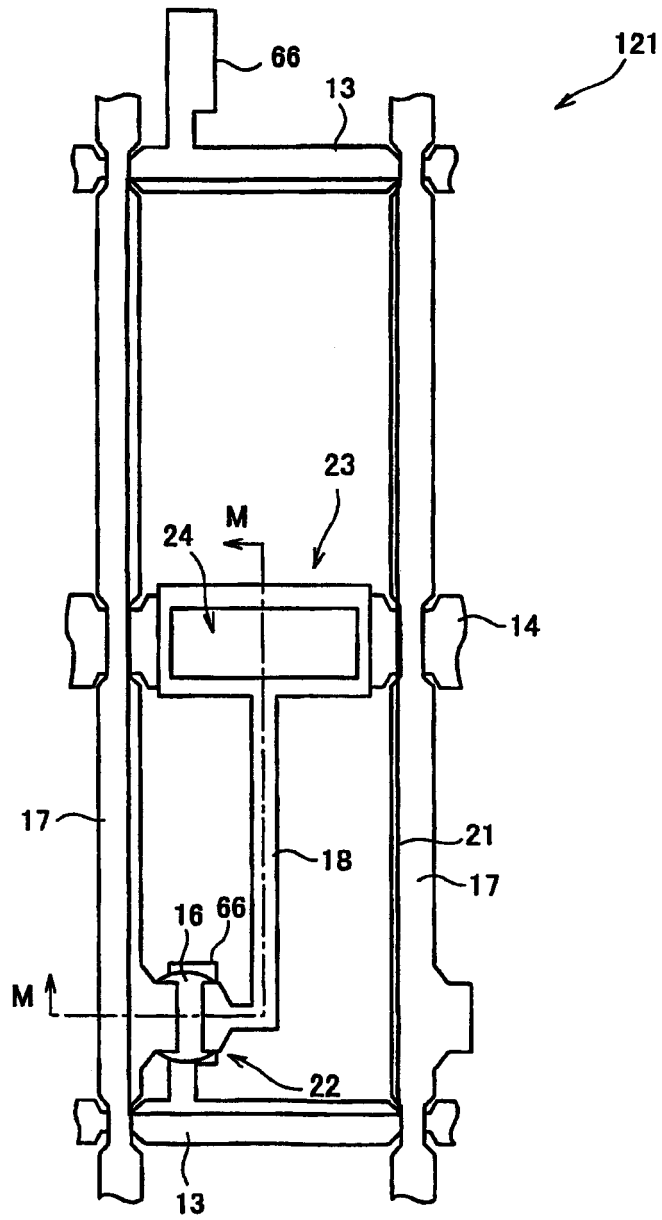


图 39(a)

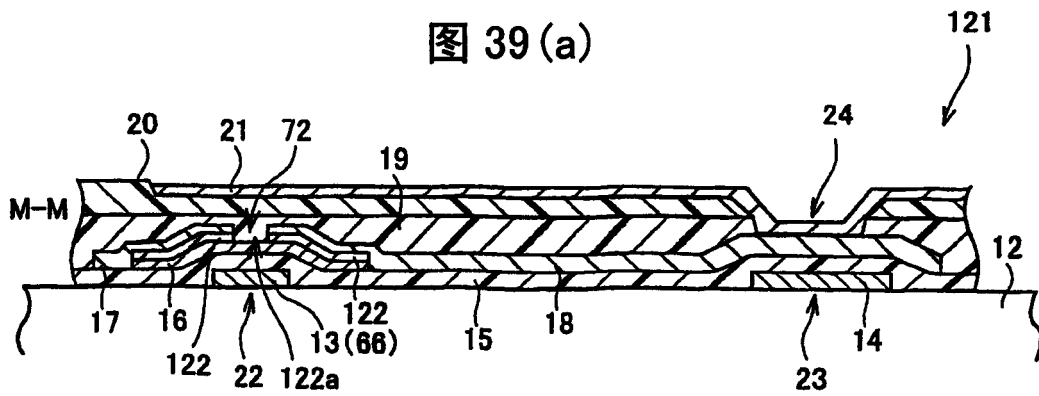


图 39(b)

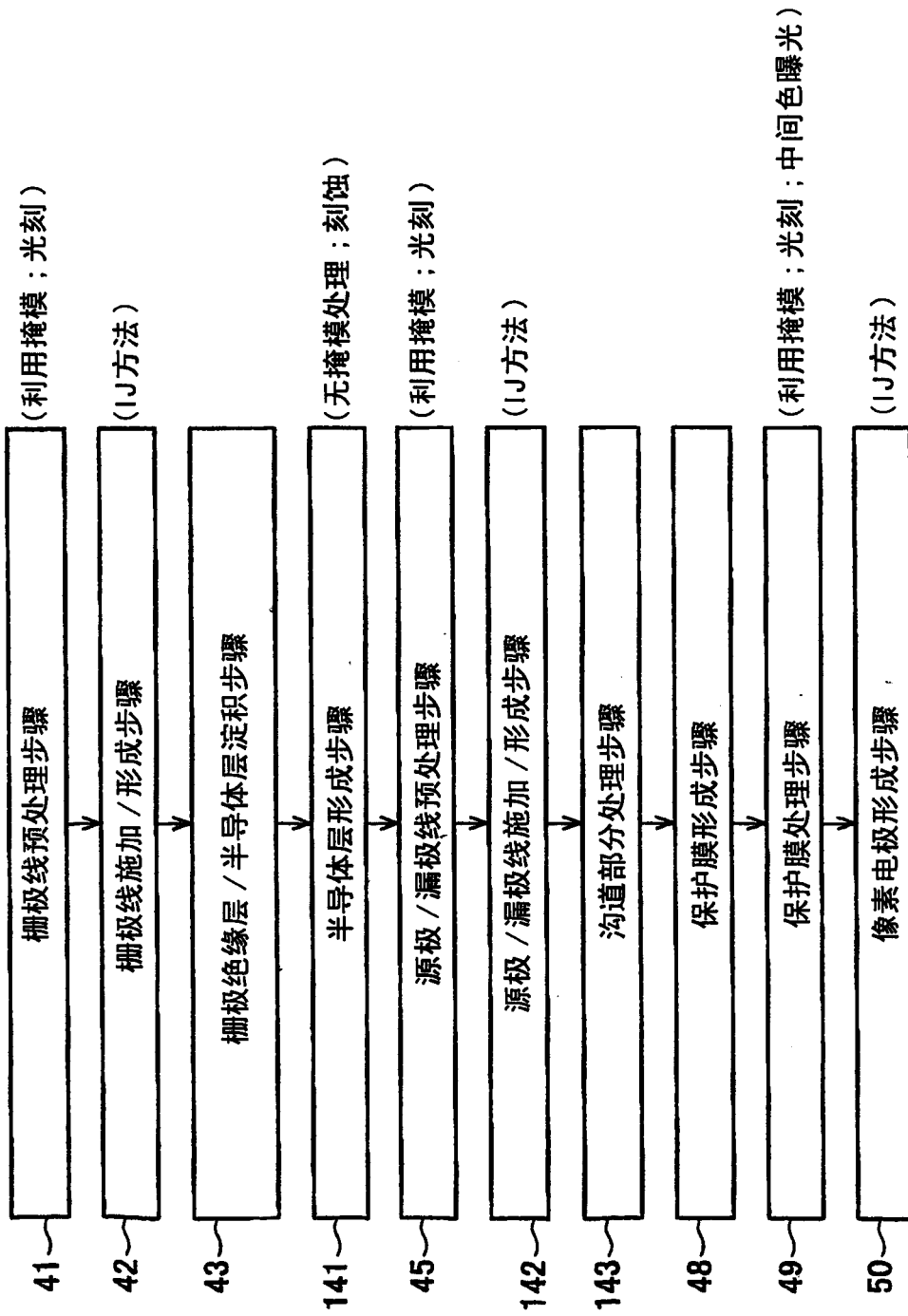


图 40

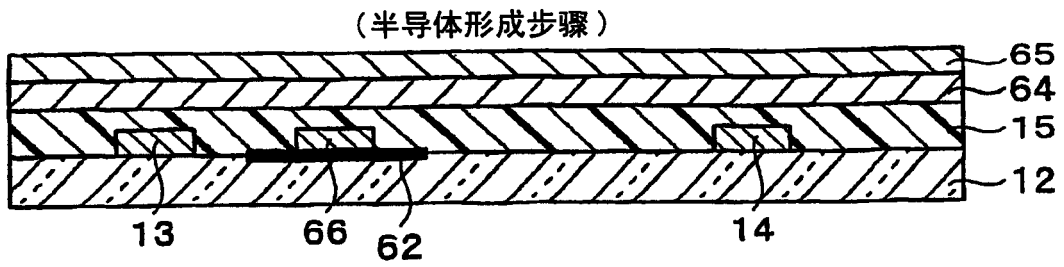


图 41 (a)

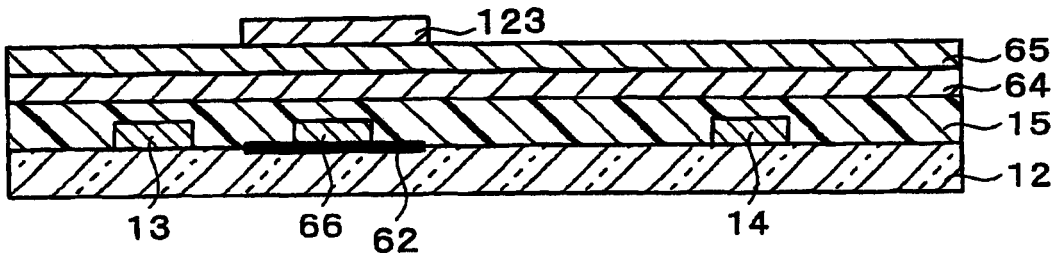
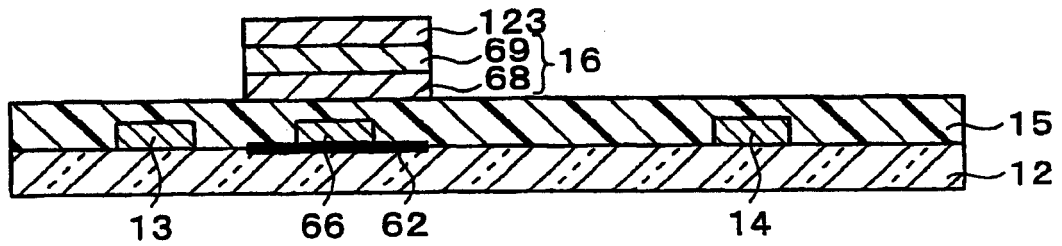


图 41 (b)



(N-N剖面)

图 41 (c)

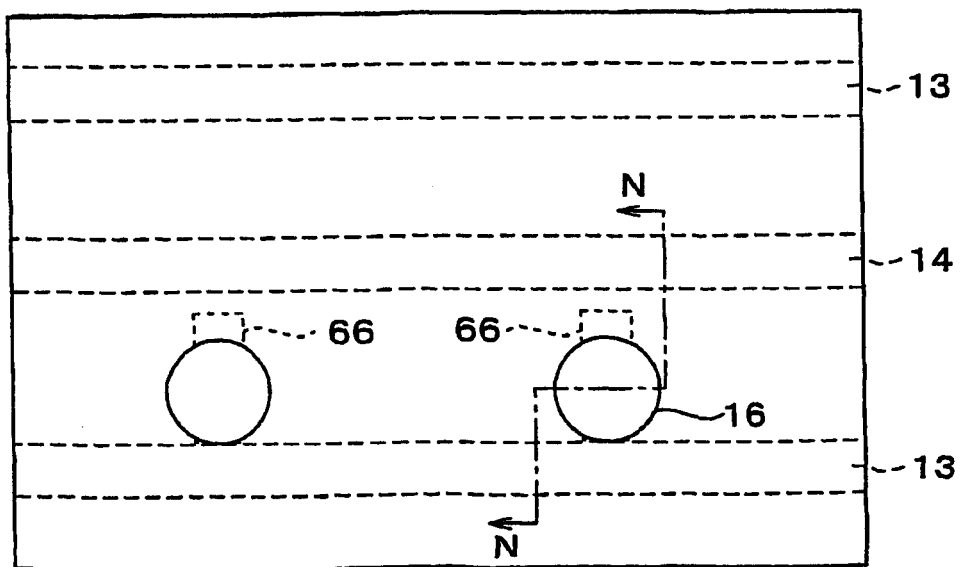


图 41 (d)

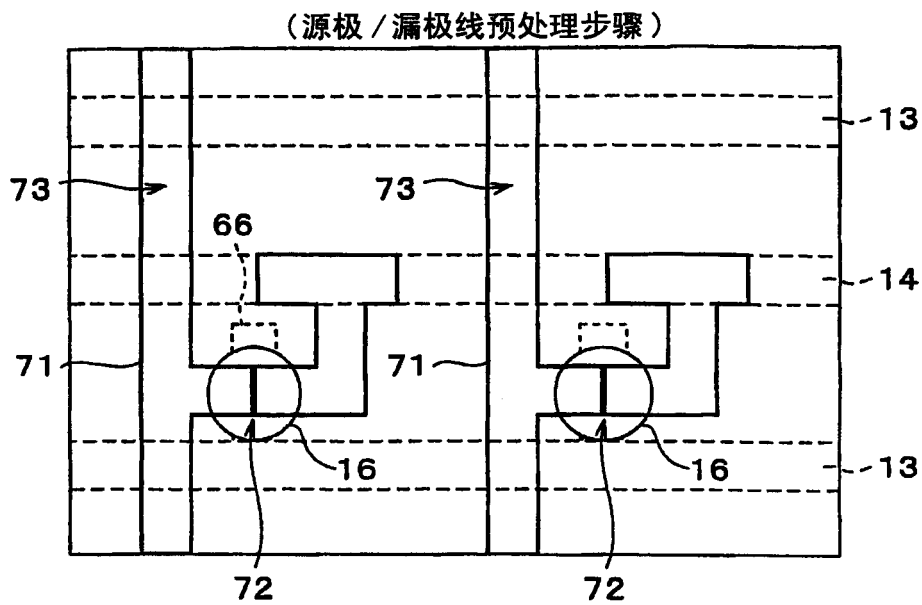


图 42(a)

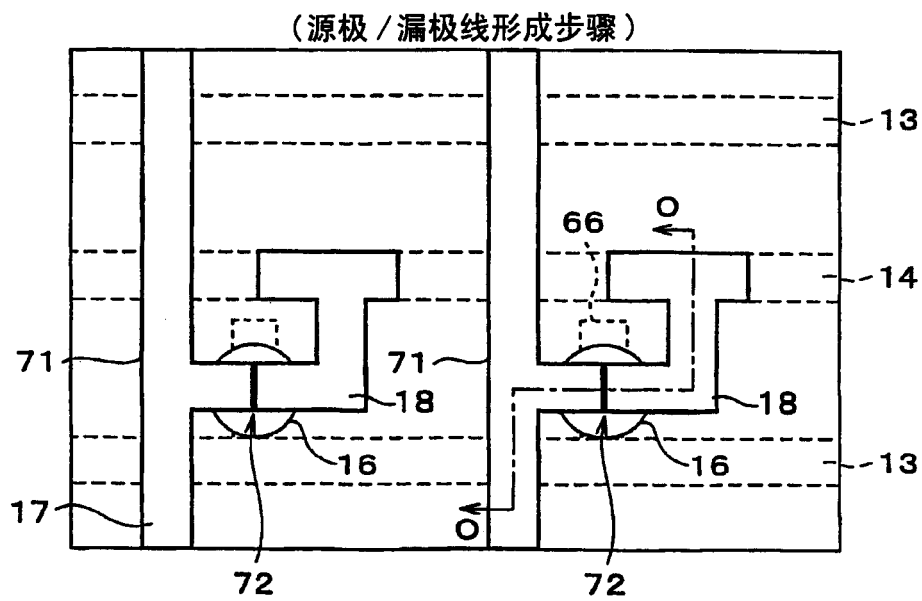
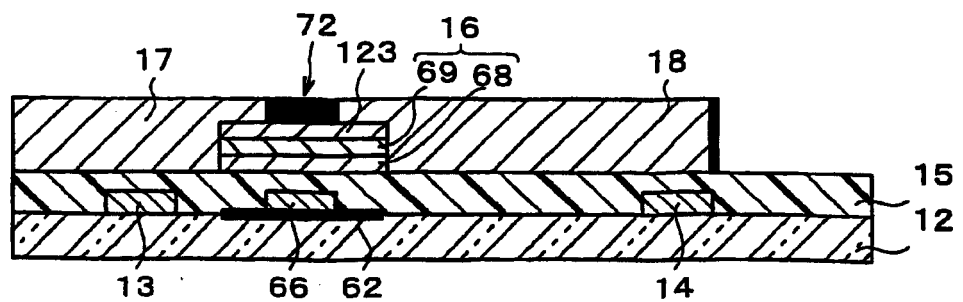


图 42(b)



(0-0剖面)

图 42(c)

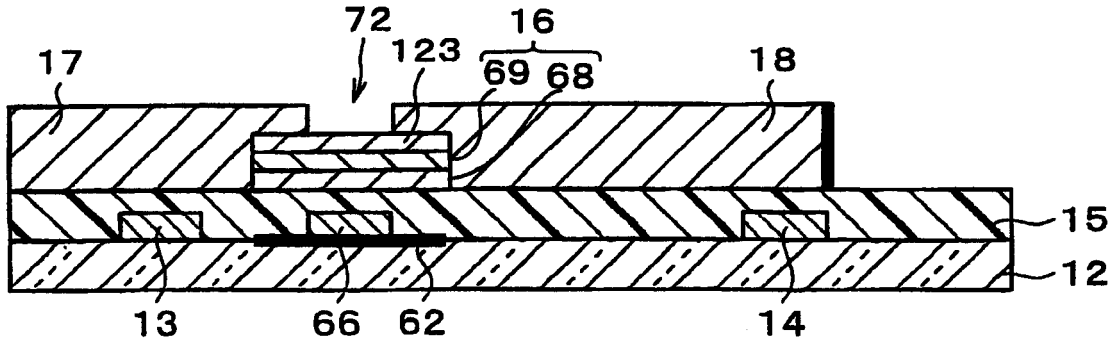


图 43(a)

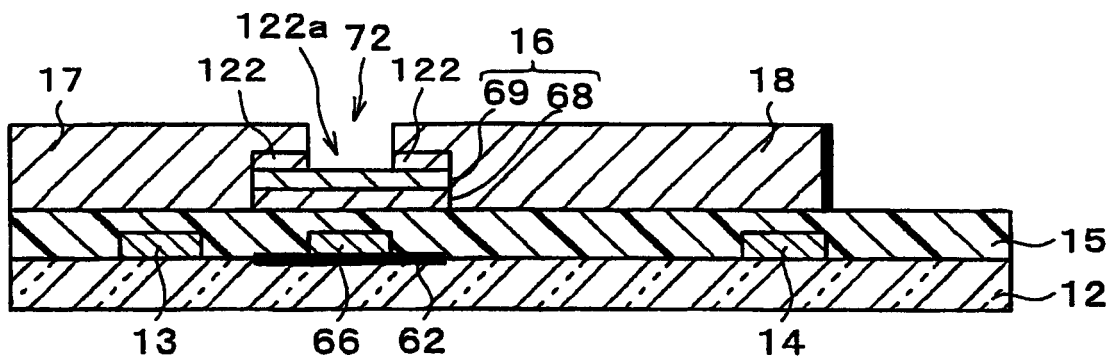


图 43(b)

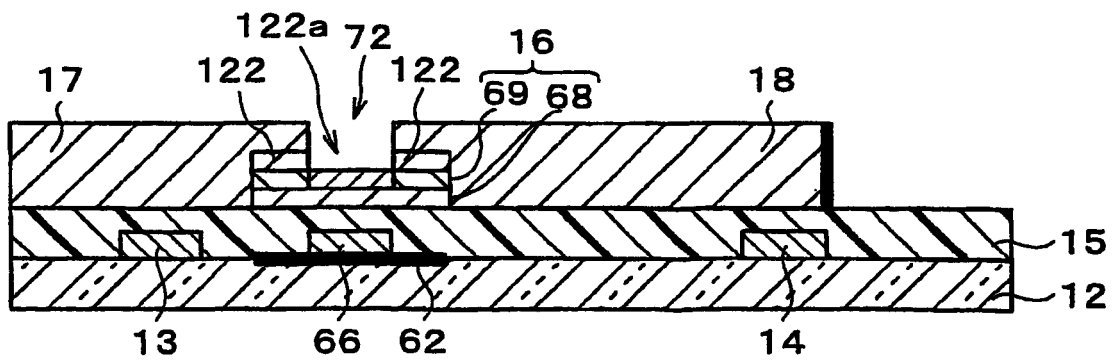


图 43(c)

专利名称(译)	TFT阵列基板、液晶显示器件、TFT阵列基板和液晶显示器件的制造方法以及电子装置		
公开(公告)号	CN1679171A	公开(公告)日	2005-10-05
申请号	CN03820547.5	申请日	2003-08-29
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	藤井晓义 中林敬哉 越智久维 原猛 斋藤裕一		
发明人	藤井晓义 中林敬哉 越智久维 原猛 斋藤裕一		
IPC分类号	G02F1/1368 H01L21/288 H01L21/3205 H01L21/336 H01L21/768 H01L21/77 H01L21/84 H01L23/52 H01L27/12 H01L29/423 H01L29/786 G09F9/00		
CPC分类号	H01L29/42384 H01L29/78696 H01L29/66765 H01L29/78633 H01L27/1292		
代理人(译)	陈瑞丰		
优先权	2002365337 2002-12-17 JP 2002255538 2002-08-30 JP		
其他公开文献	CN100477272C		
外部链接	Espacenet SIPO		

摘要(译)

一种TFT阵列基板包括薄膜晶体管部件，其中栅极形成在基板上，半导体层经栅极绝缘层形成在栅极上。这种TFT阵列基板的半导体层具有通过滴落液滴形成的形状。因而，可以通过滴落液滴直接形成半导体层或用于形成半导体层的抗蚀剂层。由此，本发明允许使用喷墨法，因而减少了制造工艺的成本和数量。

