

[12] 发明专利申请公开说明书

[21] 申请号 01125369. X

[43]公开日 2002年6月12日

[11]公开号 CN 1353411A

[22]申请日 2001.8.31 [21]申请号 01125369. X

[30]优先权

[32]2000.11.10 [33]JP [31]349305/2000

[71]申请人 株式会社日立制作所

地址 日本东京

[72]发明人 高桥卓也 石井正宏 笠井勉

川村徹也 田村克 金子寿辉

鬼沢贤一

[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所

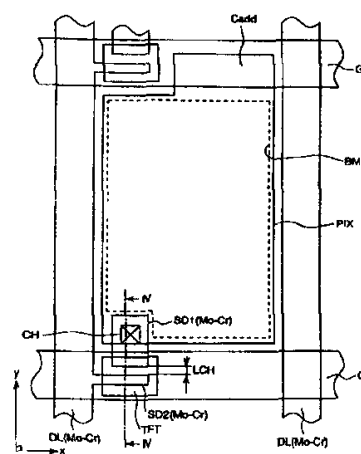
代理人 王以平

权利要求书 4 页 说明书 22 页 附图页数 16 页

[54]发明名称 液晶显示装置

[57]摘要

一种液晶显示装置,其数据线由铬含量在 2 重量%以上、5 重量 % 以下的钼合金化膜或者由具有第一导电膜和第二导电膜的钼合金化膜层叠 (Mo - Cr) 结构构成,其中第一导电膜的铬含量在 2 重量%以上、5 重量%以下,第二导电膜在第一导电膜上且其铬含量低于第一导电膜。采用这些材料构成的数据线能够满足如下要求:高干蚀刻阻力、低电阻、低 ACF 接触电阻、低侧面蚀刻速率、锥形布线横截面形状以及两个以下的叠层。



ISSN 1008-4274

权 利 要 求 书

1.一种液晶显示装置，包括：一对衬底、这一对衬底之间容纳的液晶、在两个衬底之一上形成的多条扫描线、与所述扫描线交叉构成矩阵形式的多条数据线、在扫描线和数据线交叉点附近形成的薄膜晶体管、以及与该薄膜晶体管连接的象素电极，其中，每个薄膜晶体管的源电极和漏电极以及每条数据线都由铬含量在 2 重量%以上、5 重量%以下的钼合金构成。

2.如权利要求 1 中所述的液晶显示装置，其中，每个薄膜晶体管的沟道长度在 7 微米以下。

3.如权利要求 1 或 2 中所述的液晶显示装置，其中，其构造成所述钼合金和各向异性导电膜在上述每条数据线的接线端处直接接触。

4.如权利要求 1、2 或 3 中所述的液晶显示装置，其中，每条扫描线都含有铝或铝合金，并且每个象素电极都用主要为非晶态相的氧化锡铟或氧化锌铟构成。

5.如权利要求 1、2、3 或 4 中所述的液晶显示装置，其中，每条扫描线都用具有铝或铝合金构成的下层和铟含量在 2.6 重量%以上、23 重量%以下的钼合金构成的上层的膜层叠结构构成，并且每个象素电极都用主要为各非晶态的氧化锡铟或氧化锌铟构成。

6.如权利要求 1、2、3、4 或 5 中所述的液晶显示装置，其中，驱动芯片采用玻璃上芯片 (COG) 法安装。

7.如权利要求 6 中所述的液晶显示装置，其中，显示数据和参考电势数据的至少一部分导电连接在所述驱动芯片之间，并且所述两个衬底之中只有具有薄膜晶体管的衬底形成有布线并作为所述导电连接的一部分。

8.一种液晶显示装置，包括：一对衬底、这一对衬底之间容纳的液晶、在两个衬底之一上形成的多条扫描线、与所述扫描线交叉构成矩阵形式的多条数据线、在扫描线和数据线交叉点附近形成的薄膜晶体管、以及与该薄膜晶体管连接的象素电极，其中，每个薄膜晶体管

的源电极和漏电极以及每条数据线都是由具有第一导电膜和第二导电膜的膜层叠结构构成，第一导电膜由铬含量在 2 重量%以上、5 重量%以下的钼合金为主要成分的合金构成，第二导电膜位于第一导电膜上并且其铬含量比第一导电膜低。

9.如权利要求 8 中所述的液晶显示器，其中，每个薄膜晶体管的沟道长度在 7 微米以下。

10.如权利要求 8 或 9 中所述的液晶显示器，其中，其构造成所述钼合金和各向异性导电膜在上述每条数据线的接线端处直接接触。

11.如权利要求 8、9 或 10 中所述的液晶显示器，其中，每条扫描线都含有铝或铝合金，并且每个象素电极都用主要为非晶态相的氧化锡铟或氧化锌铟构成。

12.如权利要求 8、9、10 或 11 中所述的液晶显示器，其中，每条扫描线都用具有铝或铝合金构成的上层和铟含量在 2.6 重量%以上、23 重量%以下的钼合金构成的下层的膜层叠结构构成，并且每个象素电极都用主要为非晶态相的氧化锡铟或氧化锌铟构成。

13.如权利要求 8、9、10、11 或 12 中所述的液晶显示器，其中，驱动芯片采用玻璃上芯片（COG）法安装。

14.如权利要求 13 中所述的液晶显示器，其中，显示数据和参考电势数据的至少一部分导电连接在所述驱动芯片之间，并且所述两个衬底之中只有具有薄膜晶体管的衬底形成有布线并作为所述导电连接的一部分。

15.一种液晶显示装置，包括：一对衬底、这一对衬底之间容纳的液晶、在两个衬底之一上形成的多条扫描线、与所述扫描线交叉构成矩阵形式的多条数据线、在扫描线和数据线交叉点附近形成的薄膜晶体管、以及在两个透明衬底之一上在由所述扫描线和数据线围成区域中的多个象素中形成的至少一对象素电极和对置电极，根据扫描信号线提供的扫描信号由薄膜晶体管提供的数据信号驱动的所述象素电极、和通过对置电极信号线提供的参考电压驱动的所述对置电极在所述象素上形成，其中，每条数据线和象素电极都由以铬含量在 2 重量

%以上、5重量%以下的钼合金为主要成分的合金构成。

16.如权利要求 15 中所述的液晶显示装置，其中，每个薄膜晶体管的源电极和漏电极的膜结构与所述数据线和象素电极相同，并且薄膜晶体管的沟道长度在 7 微米以下。

17.如权利要求 15 或 16 中所述的液晶显示装置，其中，每条扫描线都含有铝或铝合金。

18.如权利要求 15、16 或 17 中所述的液晶显示装置，其中，每条扫描线都用具有铝或铝合金构成的下层和铬含量在 2.6 重量%以上、23 重量%以下的钼合金构成的上层的膜层叠结构构成。

19.如权利要求 15、16、17 或 18 中所述的液晶显示装置，其中，其驱动芯片采用玻璃上芯片（COG）法安装。

20.如权利要求 19 中所述的液晶显示装置，其中，显示数据和参考电势数据的至少一部分导电连接在所述驱动芯片之间，并且所述两个衬底之中只有具有薄膜晶体管的衬底形成有布线并作为所述导电连接的一部分。

21.一种液晶显示器装置，包括：一对衬底、这一对衬底之间容纳的液晶、在两个衬底之一上形成的多条扫描线、与所述扫描线交叉构成矩阵形式的多条数据线、以及在扫描线和数据线交叉点附近形成的薄膜晶体管、以及在两个透明衬底之一上在由所述扫描线和数据线围成区域中的多个象素中形成的至少一对象素电极和对置电极，根据扫描信号线提供的扫描信号由薄膜晶体管提供的数据信号驱动的所述象素电极、和通过对置电极信号线提供的参考电压驱动的所述对置电极在所述象素上形成，其中，每条数据线和象素电极都由具有第一导电膜和第二导电膜的膜层叠结构构成，第一导电膜由主要成分为铬含量在 2 重量%以上、5 重量%以下的钼合金的合金构成，第二导电膜是位于第一导电膜上的钼合金且其铬含量比第一导电膜低。

22.如权利要求 21 中所述的液晶显示装置，其中，每个薄膜晶体管的源电极和漏电极的膜结构与所述数据线和象素电极相同，且薄膜晶体管的沟道长度在 7 微米以下。

23.如权利要求 21 或 22 中所述的液晶显示装置，其中，每条扫描线都含有铝或铝合金。

24.如权利要求 21、22 或 23 中所述的液晶显示装置，其中，每条扫描信号线都用由铝或铝合金构成的上层和铈含量在 2.6 重量%以上、23 重量%以下的钼合金构成的下层的膜层叠结构构成。

25.如权利要求 21、22、23 或 24 中所述的液晶显示装置，其中，其驱动芯片利用玻璃上芯片（COG）法安装。

26.如权利要求 25 中所述的液晶显示装置，其中，显示数据和参考电势数据的至少一部分导电连接在所述驱动芯片之间，并且所述两个衬底之中只有具有薄膜晶体管的衬底形成有布线并作为所述导电连接的一部分。

液晶显示装置

技术领域

本发明涉及由薄膜晶体管（TFT）驱动の有源矩阵型液晶显示装置（AM-LCD）及这些 AM-LCD 装置的制造工艺。

背景技术

由于薄膜晶体管驱动的液晶显示装置（TFT-LCD 装置）在厚度、重量和分辨率方面可进一步提高，这些图像显示装置的市场一直在不断扩大。近年来，随着 TFT-LCD 装置在屏幕尺寸和分辨率方面增加的趋势，对于减小电阻值以及有关提高信号线及其接线端的生产率的需求越来越迫切。同时也需要减小生产成本。

对于有源矩阵型 LCD 装置，在夹着液晶相对放置的多个透明衬底之中一个衬底的液晶侧形成沿水平方向（x-轴）延伸并沿垂直方向（y-轴）平行排列的扫描线和沿垂直方向（y 轴）延伸并沿水平方向（x-轴）平行排列的数据线，由这些信号线围成的矩形区域作为象素区。每个象素区都具有由一侧的扫描信号线发出的扫描信号驱动的薄膜晶体管和通过该薄膜晶体管由另一侧的数据线发出的数据信号驱动的象素电极。每个象素都由扫描信号或数据信号驱动，并且这些扫描信号或数据信号通过扫描线或数据线的接线端提供，扫描线或数据线延伸到构成象素区的集合的显示区的外部区域。

每条扫描线和数据线采用同时作为薄膜晶体管栅绝缘体的绝缘膜、或采用同时用来防止与该薄膜晶体管的液晶直接接触的钝化膜作为护套。这些信号线的接线端通过绝缘膜或钝化膜中的孔显露出来，众所周知，可以用多晶铟锡氧化物（p-ITO，一种主要含有多晶相的铟锡氧化物）保护该暴露表面，以防止发生所谓的电极腐蚀现象。

要求每条扫描线的电阻很小，并且具有足够的干蚀刻阻力，从而在用干蚀刻在其绝缘膜或钝化膜上打孔时不至于损坏，并在其接线端

处与 p-ITO 良好地接触。由于这些原因，信号线用诸如铬钼 (CrMo) 合金/铬 (Cr) 膜的材料制造而成，其中，斜线 '/' 表示层叠，斜线左边和右边分别表示层叠结构的上下层。(下文中的斜线及其两边具有同样的含义)。除了满足上述要求外，由于需要同时形成薄膜晶体管的源电极和漏电极，每条数据线还需要与非晶硅良好接触。同样，数据线最好能够通过湿蚀刻制造，从而保证蚀刻时栅绝缘体和非晶硅之间的可选择性。由于这些原因，数据线采用诸如 CrMo 合金/Cr 膜的材料制造而成。采用这些布线材料使得侧面蚀刻量减小到小于 1 微米，并且将布线的横截面加工成锥形。而这些加工特性使得能够得到沟道长度为 7 微米以下、性能优异的薄膜晶体管，可以用于平面内转换型 LCD 装置的象素电极加工。

LCD 装置中形成的信号布线可以由安装在 LCD 装置中的驱动芯片提供电压，这些驱动芯片的连接(触点或接线端)处的电气连接电阻同样需要减小。近年来，伴随显示分辨率的进一步提高，触点面积的大大减小，造成连接电阻有增加趋势。例如，在 LCD 装置中驱动芯片的安装方法从传统的 TCP(带载封装)法变为 COG(玻璃上芯片)法，采用这种方法时的触点面积减小很多。采用 p-ITO 作为护套的上述信号线的接线端可以满足减小电气连接电阻的需要。p-ITO 也满足透明象素电极的功能要求，并且在制造过程中同时形成透明象素电极和上述带护套的接线端。

特别是，LCD 装置在尺寸和分辨率方面的更多进展引起对于减小扫描线电气电阻的更迫切需要。相应地，采用含有铝或铝合金的材料取代上述 CrMo 合金/Cr 膜。(在下文中，这些信号线也称为铝布线)。同样，通常采用的布线结构中具有由铝或铝合金构成的含有钼等材料的上层，从而在扫描线的接线端处能够与 p-ITO 良好接触。例如，钼锆 (MoZr)/Al 合金化膜的上层由锆含量为 2.6~23 重量%的钼锆合金构成，从而使得可以适当地蚀刻进入导线的前向锥形横截面，并且具有当利用通孔工艺在 MoZr/Al 合金化膜上形成绝缘膜时所需要的足够的干蚀刻阻力。

然而，已经证实，使用铝布线构成的扫描信号线以及采用由 p-ITO 构成的透明象素电极和接线端护套将带来如下问题：为了蚀刻 p-ITO，绝对需要强卤酸溶液如溴化氢（HBr）溶液，这些溶液将渗透进入作为信号线护套且同时作为薄膜晶体管栅绝缘体的绝缘膜中的缺陷，并进入作为用于避免同该薄膜晶体管的晶体直接接触的绝缘膜的钝化膜中的缺陷。因此，造成信号线被切断，而这将降低生产率并增加生产成本。

防止信号线切断的一种方法是采用非晶态 ITO（a-ITO）或者氧化铟取代 p-ITO 作为透明象素电极和接线端，并采用草酸（ $(\text{COOH})_2$ ）作为加工这些电极和接线端护套的蚀刻剂，因为铝和铝合金在草酸中溶解速率足够小从而不会引起信号线的切断。

然而，采用 a-ITO 或 IZO 将使驱动电路具有非常高的连接电阻，因而不能实现减小电气接触电阻的目的。图 14 显示了 p-ITO、a-ITO 和 IZO 材料的接触电阻值。在图 14 中，水平轴表示施加到材料上的针压力的变化，垂直轴表示此时每种材料和针之间接触电阻的变化。对于液晶显示装置，施加在接线端信号线的用于驱动芯片的凸点(bump)压力可以认为一直保持在图中范围 A，在此情况下，从减小接触电阻角度考虑，采用 p-ITO 比 a-ITO 或 IZO 更为有效。

可以通过部分或全部地去除信号线接线端的 a-ITO 或 IZO 护套从而显露出接点端导线的金属部分来抑制采用 a-ITO 或 IZO 所带来的连接电阻的增加。附带说明，图 15 所示数据为各种材料和各向异性导电膜（ACF）之间的接触电阻值。与 MoZr/Al 合金化膜和 CrMo 合金/Cr 膜的直接接触与采用 a-ITO 或 IZO 作为护套的接线端相比，相对于 ACF 的接触电阻减小。然而与 TCP 法的适用性相比，CrMo/Cr 和 ACF 之间的接触电阻值没有减小到接触横截面积大大减小的 COG 法可以采用的程度。ACF 和用于扫描线的 MoZr/Al 合金化膜之间的接触电阻足够低，从而可以采用 COG 法。

发明概述

因此，如上所述，本发明所要解决的问题是如何制造满足如下要

求的数据线、源电极和漏电极薄膜材料:

(1) 该材料必须具有干蚀刻阻力,且不会在绝缘薄膜的通孔加工过程中损坏。

(2) 该材料必须具有小于或等于 CrMo/Cr 膜的电阻率值。

(3) 该材料必须允许采用几乎不腐蚀作为绝缘膜材料的 SiN 的蚀刻剂进行蚀刻。

(4) 为了获得性能优异的薄膜晶体管,该材料必须使得侧面蚀刻值减小到 1 微米以下,并且薄膜晶体管的沟道长度减小到 7 微米以下。

(5) 该材料必须能使电极或信号线的横截面为锥形,并且可以对 IPS 型 LCD 装置的象素电极进行加工。

(6) 与 ACF 的接触电阻必须足够低到允许使用 COG 法。

(7) 薄膜层的数量必须不超过 2 个。

从上述介绍可以明显看出,除了上述要求(6)外,可以采用上述 CrMo/Cr 膜。同样,除了上述要求(7)外,Mo/Al/Mo 合金化三层膜几乎可以满足其他所有要求。然而由于通过溅射方法沉积的三层膜是耗时的过程,这大大降低了生产效率。另外也需要大型沉积装置,而这增加了工厂投资。因此,本发明对单层或双层膜材料进行了研究。

满足上述(1)到(7)要求的薄膜材料是铬重量含量在 2%以上、5%以下的钼合金化膜以及具有第一导电膜和第二导电膜的钼合金化膜层叠结构,其中第一导电膜中铬的重量含量为 2%以上、5%以下,第二导电膜位于第一导电膜上并且铬含量小于第一导电膜。将这些材料的一种用于薄膜晶体管的源电极和漏电极可使该晶体管具有很高性能,并且/或者将这些材料的一个用于数据线将获得更好效果。总之,采用这些材料作为薄膜晶体管的源电极和栅电极以及/或者数据线是非常有效的,证明该点的材料数据在下面说明。

可以满足上述要求(3)的高熔点金属为钼(Mo)和铬(Cr)。图 15 的数据也可以看出,钼基合金与 ACF 之间的接触电阻比铬基合金低。因而,我们在钼基合金范围内寻找候选材料。

图 16 所示研究结果为添加元素对于钼合金干蚀刻阻力的影响。从图中可以看出，在钼中添加铬、锆和铪可以提高干蚀刻阻力。图 17 表示钼合金的 SF₆ 等离子干蚀刻速率和添加元素（铬、锆和铪）之间的关系。顺便说明，作为绝缘膜材料的 SiN 的干蚀刻速率为 7.3 纳米/秒。为了能够用作数据线材料，钼合金蚀刻相对于 SiN 蚀刻的选择比率最好是至少七倍大，并且要求钼合金干蚀刻速率不能超过 0.13 纳米/秒。符合这些要求的钼合金成分为：MoCr（铬含量 ≥ 1.5 重量%）、MoZr（锆含量 ≥ 5.0 重量%）、MoHf（铪含量 ≥ 8.0 重量%）。

图 18 表示钼合金电阻率和添加元素（铬、锆和铪）之间的关系。图 18（a）为添加铬时得到的数据，图 18（b）为添加锆和铪所得到的数据。顺便说明，MoCr /Cr 膜的电阻率大约为 200 纳欧姆·米。尽管随添加元素量的增加每种元素的电阻率增加，对能够满足上述最低干蚀刻阻力值而添加的最少元素量进行比较，锆含量为 5.0 重量%的 MoZr 膜和铪含量为 8.0 重量%的 MoHf 膜的电阻系数都为大约 300 纳欧姆·米，这正好大于 MoCr/Cr 膜的电阻率。然而，铬含量为 1.5 重量%的 MoCr 膜的电阻率为大约 180 纳欧姆·米，比铬钼/铬膜的小，即使铬含量为 5 重量%的 MoCr 膜的电阻率也只有大约 240 纳欧姆·米，比 MoCr/Cr 膜的高大约 10%。因此，从电阻率方面看，可以说铬含量在 5 重量%以下的 MoC 与 MoCr/Cr 膜是相同的。因此，我们在 MoCr 铬重量含量在 1.5%以上、5%以下的范围内寻找候选材料。

图 19 表示磷酸、硝酸和醋酸混合液对 MoCr 合金蚀刻速率与添加元素（铬）含量之间的关系。蚀刻速率具有自己的适当范围。例如，如果蚀刻速率在 10 纳米/秒以上，由于所需蚀刻时间太短而不能良好地控制蚀刻的量。相反地，例如，如果蚀刻时间超过 2 分钟，那么由于抗蚀剂失去其坚固性，将不能形成正常图案。另外机器循环周期将增加，因而从生产效率方面考虑是不可取的。在铬重量含量为 1.5%以上、5.0 以下的 MoCr 合金范围内，蚀刻速率在 8.0-1.7 纳米/秒之间，由于上述原因，这个蚀刻速率大致是合适的。然而，在铬含量为 5 重

量%以上的 MoCr 范围内，对于厚度为 200 纳米的标准布线膜需要的蚀刻时间大于 2 分钟。因此，由于上述原因，铬含量为 5 重量%以上范围内的 MoCr 是不可取的。

图 20 为在磷酸、硝酸和醋酸混合液作用下 MoCr 侧面蚀刻量的变化。侧面蚀刻量随着 MoCr 合金中铬含量的增加而减小。考虑到光刻分辨率和显影过程，为了得到沟道长度在 7 微米以下的薄膜晶体管，需要将侧面蚀刻量控制在 1 微米以下，如后面介绍的本发明的一个实施例所示。然而，MoCr 合金中铬含量需要在 2 重量%以上，考虑到其波动，该值最好在 2.5 重量%以上。即使对于采用具有铬含量为 2.5 重量%厚度为 180 纳米的钼铬合金构成的上层和铬含量为 1.6 重量%厚度为 20 纳米的钼铬合金构成的下层所构成的钼铬合金化双层膜层叠结构，其侧面蚀刻量与铬含量为 2.5 重量%的 MoCr 合金几乎相同。

图 21 为用磷酸、硝酸和醋酸混合液蚀刻 MoCr 合金所得到的布线横截面形状。当 MoCr 合金中铬含量为 1.6 重量%时，如图 21(a) 所示布线横截面形状几乎是垂直的。当 MoCr 合金中铬含量为 2.5 重量%时，如图 21(b) 所示为锥度角大约是 30 度的锥形。对于 IPS 型 LCD 装置，从后面所介绍的本发明一个实施例中可知，当象素电极的布线为垂直横截面形状时，由于对取向层的摩擦处理而引起显示不均匀。因此，由于这个原因，铬含量为 1.6 重量%的 MoCr 合金是不适合的。如图 21(c) 所示，在 MoCr 合金化双层膜层叠结构中同样形成锥度为大约 30 度的锥形横截面，其中，层叠结构的下层由厚度为 180 纳米、铬含量为 2.5 重量%的 MoCr 合金构成，上层由厚度为 20 纳米、铬含量为 1.6 重量%的 MoCr 合金构成。尽管在此锥度角时，铬含量为 2.5 重量%的 MoCr 合金单层膜比图 21(c) 所示的膜层叠结构产生更大的面内不均匀性，但是实际中也可以使用铬含量为 2.5 重量%的 MoCr 合金单层膜，不会产生问题。

图 15 也显示了铬含量为 2.5 重量%的钼铬合金与 ACF 的接触电阻。这些值也远比 CrMo/Cr 膜的小，不比采用 p-ITO 作为护套的膜差。因而，可以通过铬含量为 2.5 重量%的 MoCr 合金化膜与 ACF 直

接接触处的接线端来实现 COG 安装。

从上述材料数据可以综合地判断出，满足要求（1）到（7）的膜材料是铬含量在 2 重量%以上、5 重量%以下的钼合金化膜和具有第一导电膜和第二导电膜的钼合金化膜层叠结构，其中第一导电膜的铬含量在 2 重量%以上、5 重量%以下，第二导电膜在第一导电膜上面但是其铬含量比第一导电膜低。采用这些膜材料中的任一个都能够制造出薄膜晶体管的沟道长度在 7 微米以下的 LCD 装置，如果 LCD 装置是 IPS 型，该装置可以避免由于摩擦处理造成的显示不均匀。

根据本发明，可以提供性能优异的液晶显示装置。

附图简介

图 1 所示为根据本发明的 LCD 装置中象素结构的一个实施例的主要部分的平面图。

图 2 所示为根据本发明的 LCD 装置的一个实施例的等价电路图。

图 3 为图 1 中 IV-IV' 部分的横截面图。

图 4 所示为根据本发明的 LCD 装置的一个实施例的主要部分（接线端部分）的平面图。

图 5 所示为根据本发明的 LCD 装置中接线端和半导体集成电路凸点之间连接部分的结构横截面图。

图 6 示意说明由于接线端部分和邻接的其他接线端部分之间产生的电场引起接线端部分产生电腐蚀的原因和方式。

图 7 所示工艺流程图为根据本发明的 LCD 装置制造工艺的实施例，它是和图 8、9 结合在一起的。

图 8 所示工艺流程图为根据本发明的 LCD 装置制造工艺的另外一个实施例，它是和图 7、9 结合在一起的。

图 9 所示工艺流程图为根据本发明的 LCD 装置制造工艺的另外一个实施例，它是和图 7、8 结合在一起的。

图 10 所示为根据本发明的 LCD 装置的一个实施例的布局图。

图 11 所示为根据本发明的 LCD 装置中象素结构的另一个实施例的平面图。

图 12 所示为根据本发明的 LCD 装置中显示缺陷的例子的照片。

图 13 所示为根据本发明的 LCD 装置中像素电极横截面的例子的照片，也显示了图 12 中显示的缺陷。

图 14 所示为根据本发明的 LCD 装置中所用的候选数据线材料的特征数据曲线图。

图 15 所示为根据本发明的 LCD 装置中所用的其他候选数据线材料的特征数据曲线图。

图 16 所示为根据本发明的 LCD 装置中所用的其他候选数据线材料的特征数据曲线图。

图 17 所示为根据本发明的 LCD 装置中所用的候选数据线材料的特征数据曲线图。

图 18 所示为根据本发明的 LCD 装置中所用的其他候选数据线材料的特征数据曲线图。

图 19 所示为根据本发明的 LCD 装置中所用的其他候选数据线材料的特征数据曲线图。

图 20 所示为根据本发明的 LCD 装置中所用的候选数据线材料的特征数据曲线图。

图 21 所示为根据本发明的 LCD 装置中所用的其他候选数据线材料的特征数据曲线图。

实施发明的具体方式

<实施例 1>

等价电路

图 2 为根据本发明的 LCD 装置的一个实施例的等价电路图。尽管该图为电路图，其中也显示了电路元件的实际几何布置位置。

图中的透明衬底 SUB1 通过液晶与透明衬底 SUB2 面对地放置。

在所述透明衬底 SUB1 的液晶面上形成沿图中 x 轴方向延伸并沿 y 轴方向平行排列的栅极线 GL、和沿 y 轴方向延伸并沿 x 轴方向平行排列的漏极线 DL。这些信号线所包围的矩形区域作为像素区，这些像素区的集合构成显示区 AR。

在每个象素区中形成由一条栅极线 GL 提供的扫描信号（电压）驱动的薄膜晶体管 TFT 和由一条漏极信号线 DL 通过该薄膜晶体管 TFT 提供数据信号（电压）的象素电极 PIX。

在象素电极 PIX 和与所述栅极线 GL 邻接的其他栅极信号线 GL 之间形成电容器 Cadd，当所述薄膜晶体管 TFT 切断时进入象素电极 PIX 的信号可以通过该电容器保持很长时间。

每个象素区中的象素电极 PIX 在对置电极 CT（图中没有画出）之间产生电场，其中，通常在夹着液晶与 SUB1 衬底面对的其他透明衬底 SUB2 液晶面的每个象素区中形成所述电极 CT，因此，可以控制电极之间的液晶的透光率。

每条栅极线 GL 的一端连通过透明衬底的一侧（图中为左边），在 GL 的这一端形成接线端部分 GTM，GTM 连接到包含透明衬底 SUB 上的垂直扫描电路的半导体集成电路芯片 GDRC 输出端处的凸点上。类似地，每条漏极信号线 DL 连接到透明衬底 SUB1 的一侧（图中为上边），在 DL 的这一端形成接线端部分 DTM，该接线端 DTM 与含有该透明衬底 SUB1 上数据信号驱动电路的半导体集成电路芯片 DDRC 输出端处的凸点连接。

半导体集成电路芯片 GDRC 和 DDRC 本身可以全部安装在透明衬底 SUB1 上，该安装方法称为‘COG’（玻璃上芯片）。

在半导体集成电路芯片 GDRC 和 DDRC 输入端处的凸点分别与在透明衬底 SUB1 上形成的接线端部分 GTM2 和 DTM2 连接，这些接线端部分 GTM2 和 DTM2 通过每个布线层分别与在透明衬底 SUB1 最近的外边缘处形成的接线端部分 GTM3 和 DTM3 连接。

该 COG 法特征在于半导体集成电路芯片 GDRC 和 DDRC 输出端处的凸点可以相互非常靠近地形成，因此每条栅极线 GL 的接线端部分 GTM 和每条漏极线 DL 的接线端部分 DTM 可以互相非常接近。

由于这些原因，不仅半导体集成电路芯片 GDRC 和 DDRC 输出端处的凸点，而且每条栅极线 GL 的接线端部分 GTM 和每条漏极线 DL 的接线端部分 DTM 都占据极小面积，这样引起的一个问题是，这

些凸点和接线端部分 GTM 和 DTM 之间的连接电阻的增加不能被忽略。

透明衬底 SUB2 与透明衬底 SUB1 面对放置的方式是 SUB2 不与半导体集成电路干涉，SUB2 所占据的面积小于 SUB1 占据的面积。

透明衬底 SUB1 借助于包围透明衬底 SUB2 的密封材料 SL 与 SUB2 安全地隔开，该密封材料也作为透明衬底 SUB1 和 SUB2 之间的液晶的密封物。

尽管上述说明针对采用 COG 法的 LCD 装置，但是本发明也可以用于 TCP 法。TCP 法指以带载封装形式形成半导体集成电路的方法，这些半导体集成电路的输出接线端与透明衬底 SUB1 上的接线端连接，输入接线端与透明衬底 SUB1 附近的印刷电路板上的接线端连接。

象素结构

图 1 所示为透明衬底 SUB1 上一个象素区的结构平面图，该图对应于图 2 中点画线框 A 包围的区域。

图 3 为图 2 中 IV-IV' 部分的横截面图，也是透明衬底 2 的横截面图。

沿 x 轴方向延伸并沿 y 轴方向平行排列的栅极线 GL 在图 1 中所示透明衬底 SUB1 的液晶侧形成。

在本实施例中，栅极线 GL 是双层结构，其中下层由 Al-Nd 合金构成，上层由 Mo-Zr 合金构成。

采用该双层结构使得电阻值大大降低，使对应布线的横截面在蚀刻时能够成为锥形，如后面所述，栅极接线端 GTM2 和 GTM3 以及漏极接线端 DTM2 和 DTM3 的接触电阻降低。双层结构在其他方面的有效性可以通过后面的描述看出。

在透明衬底 SUB1 上形成由例如，SiN 构成的绝缘膜 GI，使得栅极线 GL 也被保护。

上述绝缘膜 GI 作为下述漏极线 DL 和栅极线 GL 的夹层绝缘膜，也作为下述薄膜晶体管 TFT 的栅极绝缘体，并且作为下述电容器 Cadd 的电介质膜。

在象素区左下部与栅极线 GL 重叠的区域形成由例如, a-Si 构成的本征半导体层 AS。(没有掺杂任何决定性的导电型杂质的半导体层称为本征型或简称为 i 型半导体。)

当在表面上形成源电极和漏电极时, i 型半导体层 AS 作为 MIS 型薄膜晶体管 TFT 的半导体层, 其中薄膜晶体管的栅电极构成所述栅极线的一部分。

这种 MIS 型薄膜晶体管 TFT 的源电极 SD1 和漏电极 SD2 形成的同时, 在所述绝缘层 GI 上形成漏极线 DL。

即, 形成的多条漏极线 DL 在图中 y 轴方向延伸且沿 x 轴方向平行排列, 并且所形成的一部分漏极线延伸到所述半导体层 AS 的表面, 从而使每个延伸部分构成薄膜晶体管 TFT 的漏电极 SD2。

此时, 与所述漏电极 SD2 隔开的电极作为源电极 SD1。如后面所述, 为了保证该源电极与象素电极 PIX 连接, 在象素区中间形成略微延长的源电极。

在漏电极 SD2 和源电极 SD1 的半导体层 AS 之间的结合部位形成掺杂有杂质的另一导体层, 该半导体层作为接触层。

在所述半导体层 AS 形成以后, 在该半导体层 AS 的表面上形成掺杂有杂质的薄膜半导体层, 然后形成漏电极 SD2 和源电极 SD1。用这些电极作为掩模对从所述两电极露出的掺杂杂质的半导体层进行蚀刻, 从而得到本说明书的前面所述的薄膜晶体管结构。

为了提供具有更高分辨率和更高性能的 LCD 装置, 需要同时实现两个要素: (A) 提高薄膜晶体管 TFT 的开启电流量; (B) 减小布线负载。

需要满足前一要求 (A) 的原因是, 由于分辨率的提高减少了每条扫描线的选择时间, 因而需要开启电流增加到足够大, 以利用数据信号电压向象素电极 PX 充分充电。同样地, 对于后一个要求 (B), 由于分辨率的提高将增加扫描布线和数据布线之间交点的数目, 因此必须减小每个交点处的电容, 以抑制由于布线延迟造成的图像质量变差。

在本发明中, 可以通过限制薄膜晶体管的沟道长度 LCH 在 7 微米

以下满足上述两个要求。

在图 1 的像素区中以符号 TFT 表示的薄膜晶体管的沟道长度 LCH 是漏电极 SD2 和源电极 SD1 之间的距离。同样，沟道宽度 WCH 是与沟道长度 LCH 垂直方向上漏电极 SD2 或源电极 SD1 之中较短的一个长度。

众所周知，薄膜晶体管 TFT 开启电流的变化与其沟道长度 LCH 成反比，而与其沟道宽度成正比。增加开启电流方法是通过减小沟道 LCH 长度或增加沟道宽度 WCH。如果沟道宽度 WCH 增加，将引起边缘效应，即漏电极 SD2 和源电极 SD1 面积的增加将增加与扫描布线重叠的面积，从而增加布线负载容量，而这与上述要求 (B) 相矛盾。因而可以看出，为了同时满足要求 (B)，最好减小沟道长度 LCH。更特别地，沟道长度需要限制在 7 微米以下。

沟道长度 LCH 如下确定：

如后面所述，在本发明中，采用通常的光刻术形成布线图。因此，通过溅射等方法在整个衬底上形成金属 SD1 和 SD2 膜之后，首先进行光致抗蚀剂的涂布、曝光和显影以构成出晶体管 TFT 的形状。此时，对应于沟道长度 LCH 的、利用光致抗蚀剂处理所形成的区域长度用 LCHR 表示（图中没有画出）。下一步，采用湿蚀刻法清除没有涂布光致抗蚀剂的区域，其中对于光致抗蚀剂图案轻微地进行侧面蚀刻。经过侧面蚀刻处理后，形成的 SD1 和 SD2 图案相应地比光致抗蚀剂的形状小。因此，由于这个差距而使沟道长度 LCH 增加。如果侧面蚀刻量用 SEL 表示，LCH 为下面公式 1 所计算出的长度。

表达式 1

$$LCH=LCHR+SEL \times 2 \dots \dots \dots \text{公式 1}$$

其中 LCHR 的最小值基本上由光刻术中所用光学曝光设备的分辨率决定。该分辨率取决于特定的电路板尺寸。对于 LCD 装置制造装置，分辨率范围在 0.5 到 4.0 微米之间。特别是为了能够大生产量的生产大尺寸高分辨率的 LCD 装置，要求电路板尺寸至少为 550 毫米 × 650 毫米，此时的分辨率为大约 4 微米。同样，为了防止制造装置中可能存

在的灰尘颗粒造成 SD1 和 SD2 短路所引起的缺陷图案形成导致产生点缺陷，LCHR 最小值需要比实际要求的值稍微大一点，而不依赖于分辨率。

然后，为了将沟道长度减小到 7 微米以下，需要将侧面蚀刻量 SEL 减小到一定程度并使其波动最小化，因此需要为 SD1 和 SD2 选择适当材料。铬含量在 2 重量%以上、5 重量%以下的钼合金化膜和具有第一导电膜和第二导电膜的钼合金化膜层叠结构都是侧面蚀刻量小并且适用于 SD1 和 SD2 使用的材料，其中，第一导电膜铬含量在 2 重量%以上、5 重量%以下，第二导电膜在第一导电膜之上且铬含量比第一导电膜低。同样，由于 Mo-Cr 的电阻率与 Cr 几乎相同，因而如后面所述能够有效地减小漏极接线端 DTM 的接触电阻。其他方面的有效性将通过下述介绍进行说明。

在透明衬底 SUB1 已形成漏极线 DL（漏电极 SD2 和源电极 SD1）的表面上形成由例如，SiN 制成的钝化膜 PSV 以覆盖所述漏极线 DL 等。

该钝化膜 PSV 用于防止薄膜晶体管 TFT 和液晶的直接接触，形成的接触孔 CH 用于暴露出从所述薄膜晶体管 TFT 的源电极 SD1 延伸出的部分。

由例如，IZO（氧化锌铟）制成的透明象素电极 PIX 也在钝化膜 PSV 表面上形成，从而，覆盖象素区的一大部分。

形成的该象素电极 PIX 也覆盖钝化膜 PSV 的接触孔 CH，因此，该象素电极与薄膜晶体管 TFT 的源电极 SD1 连接。

进而，在透明衬底 SUB1 已形成象素电极 PIX 的表面上，形成取向膜 ORI1 以覆盖所述象素电极 PIX。例如，取向膜 ORI1 由树脂制成并且其表面在固定方向经过研磨。取向膜 ORI1 也与液晶 LC 接触，并且决定该液晶的初始取向。

偏光片 POL1 安装在透明衬底 SUB1 上的与液晶 LC 对置的面上。

在透明衬底 SUB2 的液晶面上形成黑矩阵 BM 将每个象素区分隔开。

黑矩阵 BM 用于防止外部光线发射到薄膜晶体管 TFT 上以优化显示对比度。

另外，在黑矩阵 BM 的孔处形成具有与每个象素区对应颜色的彩色滤光片 FIL，该孔作为可以透射光线的基本象素区。

使用例如，具有相同颜色的滤光片作为沿 y 轴方向平行的每个象素区中的彩色滤光片，沿 x 轴方向为每个象素区依次重复放置例如，红色 (R)、绿色 (G) 和蓝色 (B) 滤光片。

例如，在透明衬底 SUB2 的形成黑矩阵 BM 和彩色滤光片 FIL 的表面上形成用树脂涂布方法制造并覆盖所述黑矩阵 BM 的平坦化膜 OC，这样形成的该膜的表面可以避免伴随在形成黑矩阵 BM 和彩色滤光片 FIL 时的大的波动。

例如，在平坦化膜 OC 表面上形成每个象素区共有的由 ITO 构成的对置电极 CT。

所述对置电极 CT 在该 CT 与每个象素区中象素电极之间产生对应于特定数据电平 (电压) 的电场来控制光的透射，并且如后面所述，通过上述偏光片 POL1 和 POL2 的适当结合控制这些电极之间液晶 LC 的取向。

进一步地，在透明衬底 SUB2 的已形成对置电极 CT 的表面上，形成取向膜 ORI2，使其也覆盖所述对置电极 CT。例如，取向膜 ORI2 由树脂构成，沿固定方向摩擦其表面。取向面 ORI2 也与液晶 LC 接触并决定该液晶初始取向。

偏光片 POL2 安装在透明衬底上与液晶 LC 的对置面上。

接线端部分的结构

图 4 为上述漏极接线端部分 DTM 的框图。图 4 (a) 为互相平行的多个漏极接线端部分 DTM 之中的两个的平面图，图 4 (b) 是图 4 (a) 中 b-b' 部分的横截面图。

在透明衬底 SUB1 的表面上形成从显示区 AR 伸出的漏极线 DL。

每条漏极线 DL 由铬含量在 2 重量%以上、5 重量%以下的钼合金化膜、或者由具有第一导电膜和第二导电膜的钼合金化膜层叠结构构

成，其中，第一导电膜铬含量在 2 重量%以上、5 重量%以下，第二导电膜在第一导电膜上并且铬含量比第一导电膜低。在下文中，这些膜称为 Mo-Cr 膜。

尽管漏极线 DL 最初用由 SiN 构成的钝化膜 PSV 覆盖，但是通过对漏极接线端形成区中的钝化膜 PSV 打孔而从钝化膜 PSV 上显露出来。

在对钝化膜 PSV 打孔时最好采用含有氟的干蚀刻气体进行。与湿蚀刻相比，干蚀刻在准确性和处理时间可控性方面非常优异，从而有利于形成接线端中的孔以及加工象素区中的接触孔。并且由于用于形成漏极信号线 DL 的 Mo-Cr 膜的干蚀刻阻力很大，在蚀刻时该膜不会被除去。

由例如，IZO（氧化锌铟）构成的导电氧化物膜 ECO 层叠在接线端形成区域中 Mo-Cr 信号线 DL 的暴露部分的外围，但不在该部分的中间。

换言之，导电氧化物膜 ECO 在位于孔外围的钝化膜 PSV 上形成，直通到该钝化膜的侧壁和漏极信号线 DL 的顶部。通过该孔露出的漏极信号线 DL 的中间部分不被导电氧化物膜 ECO 覆盖。

即，在漏极线 DL 的接线端部分的中间，可以与其他待连接电极建立直接连接而无须将信号布线通过导电氧化物膜 ECO。

所形成的每个接线端部分 DTM 构造如图 5 所示，它可以通过各向异性导电膜（ACF）或片连接到半导体集成电路 DDRC 的凸点 BUP 上。此处，各向异性导电膜（ACF）是含有许多导电颗粒的片状树脂膜。该膜插在所述接线端 DTM 群和半导体集成电路 DDRC 之间，然后通过施加固定压力在所述凸点 BUP 和接线端 DTM 的导电构件（一部分是导电氧化物膜 ECO，另一部分为 Mo-Cr）之间通过所述导电颗粒建立导电连接。

即，各向异性导电膜（ACF）或片在接线端部分 DTM 处有一个该膜或片直接与由导电材料构成的漏极线 DL 连接（即，不通过导电氧化物膜 ECO）的区域，因此可以大大减小相应的连接电阻。已经证

明，Mo-Cr 和导电氧化物膜 ECO（如 ITO 或 IZO）之间的电气连接电阻变得相对较小。如果漏极线 DL 由主要成分为铬而钼重量含量为 0 到 50% 的合金（下文中称为 Cr-Mo）构成，Cr-Mo 和导电氧化物膜 ECO（如 ITO 或 IZO）之间的电气连接电阻变得相当大，从而难于采用 COG 法安装。

即使导电氧化物膜在接线端部分 DTM 的外围形成，而不覆盖其中间部分，也可以充分避免该接线端部分 DTM 处电腐蚀的发生。

形成各向异性导电膜的树脂不仅可以作为透明衬底 SUB1 和需要稳固的其他部件（此时为半导体集成电路或柔性印刷电路板）之间的粘结剂，而且可以在一定程度上防止导致电腐蚀的湿气进入接线端。

图 6 所示为几个平行排列的漏极接线端部分 DTM 之中的两个以及半导体集成电路 DDRC 上与每个漏极接线端部分 DTM 连接的凸点 BUP。如上所述，各向异性导电膜 ACF 插在这些电路元件之间。

漏极接线端部分 DTM 的电腐蚀是由于当例如水或电解液 EA 进入其与其他邻接漏极接线端部分 DTM 之间时，两者之间存在的电势差产生的电场所引起的氧化过程。因此，由于导电氧化物膜 ECO 本身是被氧化，该膜存在于每个漏极接线端部分 DTM 的外围而作为所述氧化过程的抑制物。因此，可以阻止由导电氧化物膜包围的漏极接线端部分 DTM 中间的漏极线 DL 被氧化。

漏极线 DL 由 Mo-Cr 构成。已经证明，Mo-Cr 和导电氧化物膜 ECO（如 ITO 或 IZO）之间的电气连接电阻变得相对较小。因而，从这个方面考虑，漏极线 DL 的接线端部分 DTM 与其他电极之间的连接电阻总体上可以减小。

在本实施例中，已经介绍了漏极接线端部分的结构。其他接线端部分（即，半导体集成电路输入端处的接线端部分 DTM2、通过布线层与该 DTM2 连接的接线端部分 DTM3、栅极接线端部分 GTM、半导体集成电路 GDRC 输入端处的接线端部分 GTM2 以及通过布线层与该 GTM2 连接的接线端部分 GTM3）的结构是类似的，其中这些接线端与栅极线和布线层连接，在每个接线端部分的中间没有导电金属

氧化物膜 ECO，其中栅极线和布线层由 Mo-Zr/Al-Nd 层叠膜构成。已经证明，Mo-Zr 和导电氧化物膜 ECO（如 ITO 或 IZO）之间的连接电阻变得相对较小。

制造工艺

上述 LCD 装置中透明衬底 SUB1 所采用的制造工艺的一个实施例用图 7~9 介绍如下。这些图中的字母表示工艺名称的缩写，图中左边为薄膜晶体管 TFT 部分，右边表示对应于图 4 中漏极接线端部分 DTM 的横截面图的工艺流程。

除了 B 和 D，工艺 A 到 F 根据特定类型的光刻处理排序，每个工艺的所有横截面图表示所需处理以及光刻处理后的光致抗蚀剂的清除已经完成。此处，光刻处理表示从光致抗蚀剂涂布、显影，然后利用掩膜进行选择曝光到光学处理等一系列操作，避免光刻处理的重复介绍。每个工艺介绍如下。

工艺 A, 图 7

在由 AN635 Glass（商品名）构成的透明衬底上，首先通过溅射工艺形成膜厚度为 2000 埃的 Al-Nd 层，然后通过溅射工艺连续形成膜厚度为 400 埃的 Mo-Zr 层。在经过光刻处理后，有选择地使用由磷酸、硝酸、乙酸、去离子水、氟化铵等组成的蚀刻剂对 Mo-Zr 和 Al-Nd 层一起进行蚀刻。

由此形成栅电极 GT、栅极线 GL、栅极接线端 GTM、半导体集成电路 GDRC 输入端的接线端部分 GTM2、通过布线层连接到 GTM2 上的接线端部分 GTM3、半导体集成电路 DDRC 输入端处的接线端部分 DTM2 和通过布线层连接到 DTM2 上的接线端部分 DTM3。

工艺 B, 图 7

通过将氨水、硅烷和氮气充入等离子 CVD 装置形成厚度为 3500 埃的氮化硅膜，然后将硅烷和氢气充入等离子装置形成厚度为 1200 埃的 i 型非晶硅膜，在等离子装置中充入氢气和磷化氢气体形成厚度为 300 埃的 N(+) 型非晶硅膜。

工艺 C, 图 7

经过光刻处理后，采用 SF_6 和 CCl_4 作为干蚀刻气体对 N(+) 型非晶硅膜或 i 型非晶硅膜进行有选择地蚀刻形成 i 型半导体层 AS。

工艺 D, 图 8

通过溅射工艺形成由 MoCr 构成的、厚度为 2000 埃的导电膜。在经过光刻处理后，采用类似于工艺 A 中的蚀刻剂对导电膜进行蚀刻。因此形成漏极线 DL、源电极 SD1、漏电极 SD2 和漏极接线端 DTM。

如上所述，MoCr 是铬重量含量在 2% 以上 5% 以下的钼合金化膜或者是具有第一导电膜和第二导电膜的钼合金化层叠结构，其中，第一导电膜铬重量含量在 2% 以上 5% 以下，第二导电膜在第一导电膜上并且铬含量比第一导电膜低。尽管此处导电膜可以由如 MoZr/AlNd/MoZr 构成的三层膜，考虑到膜沉积需要很长时间、生产率低以及需要大型沉积设备而增加工厂投资等因素，这种结构不是很适合。

下一步，通过在干蚀刻装置中充入 SF_6 和 CCl_4 有选择地清除 N(+) 型半导体膜 d0。

工艺 E, 图 8

通过将氨水、硅烷和氮气充入等离子 CVD 装置形成厚度为 3500 埃的氮化硅膜。经过光刻处理后，采用 SF_6 和 CCl_4 作为干蚀刻气体对氮化硅膜有选择地进行蚀刻构图，形成钝化膜 PSV 和绝缘膜 GI。由于它们的充分的干蚀刻阻力，在用 SF_6 进行干蚀刻时 MoZr 和 MoCr 不会损坏，因此可以对氮化硅膜有选择地进行蚀刻。

工艺 F, 图 9

通过溅射工艺厚度为 1150 埃、由 IZO (氧化锌铟) 构成的透明导电膜 i1。经过光刻处理后，利用主要由草酸构成的蚀刻溶液对透明导电膜 i1 有选择地进行蚀刻。因此，形成栅极接线端部分 GTM 的顶层和漏极接线端部分 DTM 的顶层。

尽管在此实施例中采用 IZO 作为透明导电膜，也可以采用各向异性 ITO 膜。

由于采用草酸溶液作为蚀刻剂，可以对 IZO 和各向异性 ITO 进行

处理而不会溶解用于其他信号线的铝合金、钼合金、铬合金等。因此，可以形成接线端部分 GTM、DTM 等中暴露的钼合金和其他合金而不会溶解本身暴露的合金，并且即使钝化膜 PSV 等中含有缺陷，也可以得到高生产率而不会溶解任何布线。

(实施例 2)

图 10 所示为简化的 COG 安装，它使得半导体集成电路 GDRC 的数据和驱动电源电压能够利用半导体集成电路 GDRC 和 DDRC 的电气连接通过透明衬底 SUB1 上形成的总线 GBL 和 DBL 传递。

图 10 中，通过栅极电源总线和扫描信号总线 GBL，由用于栅极半导体集成电路 GDRC 柔性印刷电路 GFPC 向该 GDRC 提供扫描信号和驱动电源电压。然后该数据被顺序传递给下一个栅极半导体集成电路 GDRC，同时，信号被写入每个栅极半导体集成电路 GDRC 中。

由于漏电极线侧的负载很重，由用于供应电源的柔性印刷电路 PFPC 通过电源总线 PBL 供给漏电极半导体集成电路 DDRC 的驱动电源电压。由数据用柔性印刷电路 DFPC 通过数据总线 DBL 向漏电极半导体集成电路 DDRC 提供数据。然后数据被顺序传递给下一个漏电极半导体集成电路 DDRC，同时信号被写入每个漏电极半导体集成电路 DDRC 中。

在所有连接到栅电极半导体集成电路 GDRC 的电源信号线中，驱动电源布线和其他布线负载很重。因而，需要在漏极侧具有与用于供应电源的柔性印刷电路 PFPC 类似的柔性印刷电路。然而，即使在此情况下，由于比常规方案中需要的信号线数量少因此可以减小柔性电路宽度而减少成本。

可以通过减小 GDRC 和 DDRC 半导体集成电路凸点 BUP 与接线端 GTM、GTM2、GTM3、DTM、DTM2 和 DTM3 之间的接触电阻，并减小总线 GBL 和 DBL 的阻值实现上述数据传输方案。如前所述，在本实施例中，不仅总线 GBL 和 DBL 由低电阻 MoZr/AlNd 构成，而且接线端 GTM、GTM2、GTM3、DTM、DTM2 和 DTM3 也是相同构成从而保证 MoZr 和 ACF 之间以及 DTM 和 MoCr 之间直接接触，

因此使得上述数据传输方案得以实现。

采用该方案可以无需在栅极边提供 FPC 且在漏极边将 FPC 最小化，这些措施使得连接可靠性极大提高，也使得显示装置边缘效应更窄。FPC 尺寸的进一步减小使得 FPC 制造成本降低。

(实施例 3)

导电氧化膜 ECO 层叠在接线端部分周围的结构可以用于例如，每条栅极线 GL 或每条漏极线 DL 的所有各自的接线端部分。

相反地，也可以将上述结构仅用于例如间隔位置处大致平行排列的接线端部分，在此情况下，在任何其他接线端部分处不形成导电氧化膜。

上述情况是可以的，因为考虑到接线端部分的电腐蚀是其与邻接的其他接线端部分之间存在的电解液引起两者之间电势差而导致的氧化反应，在一个接线端部分提供元件（在本实施例中为导电氧化膜）可以具有充分效果而不会引起所述氧化现象。

因此，一个没有形成导电氧化膜 ECO 的接线端部分出现在每个接线端部分的外围，而在与该接线端邻接部分的其他接线端部分处可以在对应接线端部分的外围上形成导电氧化膜 ECO。

或者，如果邻接接线端之间的平均电场接近为零，导电氧化膜无需总在接线端部分处形成并近似平行排列。更特别地，这些接线端可能是例如，提供不断改变的交流电信号的数据输出接线端，或者仅提供进入半导体集成电路的所有类型数据信号中的数字信号的接线端。

(实施例 4)

在上述实施例中，介绍了所谓垂直电场型像素结构。当然上述实施例不限于这个像素结构，例如也可以应用到水平电场型像素结构。

图 11 为 LCD 装置中水平电场型像素结构的一个实施例的平面图。

在这种类型的像素结构中，对置电极 CT 在透明衬底 SUB1 的形成有像素电极 PX 的液晶侧形成，这些电极的每一个交替排列成条纹图案（该图中，沿图的 y 轴方向延伸）。

像素电极 PX 和对置电极 CT 夹着绝缘膜形成在不同层上，其间

产生的所有电场中，只有成分几乎平行于那些透明衬底 SUB1 的电场可以控制液晶的透光率。

每个电极在其延伸方向上具有多条曲线，因为其采用所谓多域 (multi-domain) 设计，即在像素电极 PX 和对置电极 CT 之间产生的电场方向形成两个不同的区，从而在从相对于显示屏幕的不同方向观看时不会产生彩色色调的改变。

每个像素区在沿 x 轴方向延伸沿 y 轴方向平行排列的栅极线 GL 和沿 y 轴方向延伸沿 x 轴方向平行排列的漏极线 DL 所包围的区域中形成，尽管它们通过薄膜晶体管与像素电极 PX 连接并且漏极信号线 DL 具有与图 1 所示相同结构，但是它们的不同之处在于，形成向每个对置电极 CT 提供对置电压信号的对置电极信号线 CL。

此时，像素电极 PX、漏极线 DL 和晶体管部分的源电极 SD1 和漏电极 SD2 由铬含量在 2 重量%以上、5 重量%以下的钼合金化膜或者具有第一导电膜和第二导电膜的钼合金化层叠结构构成，其中，第一导电膜铬含量在 2 重量%以上、5 重量%以下，第二导电膜在第一导电膜上并且铬含量比第一导电膜低。如上所述，采用 MoCr 使得其侧面蚀刻量 SEL 减小到一定水平，而沟道长度 LCH 减小到 7 微米以下。

对于水平电场型，必须注意如下：

如果像素电极 PX 的横截面形状变差，更具体地，如果其锥形呈现峭壁线形状，电极两边可能没有研磨。此情况下，当显示黑色时，光线将从该部分泄露，导致呈现出对比度变差的显示质量缺陷。尽管与图 11 在结构上轻微不同，图 12 所示也是水平电场型像素以及在显示黑色过程中采用光学显微镜观察获得的照片。从图 12 可以看出，像素电极的两边显现为白色（图中以 LK 表示）。图 13 所示为像素电极 PX 的横截面图形状（采用扫描电子显微镜观察得到）。从图中可以看出，具有峭壁型部分的布线的两边显现白色。然而在该实施例中，像素电极 PX 由 Mo-Cr 构成，并且由于其横截面形成本书面说明中前述的前向锥形形状，从而消除了对比度变差的缺陷。

此前已经图示和介绍了涉及本发明的几个实施例。然而本发明不仅限于这些实施例，可以在我们可获得的知识范围内进行灵活地修改或改进。因此，权利要求范围不仅限于此前图示和介绍的细节，还包括上面提及的修改和改进。

图 1

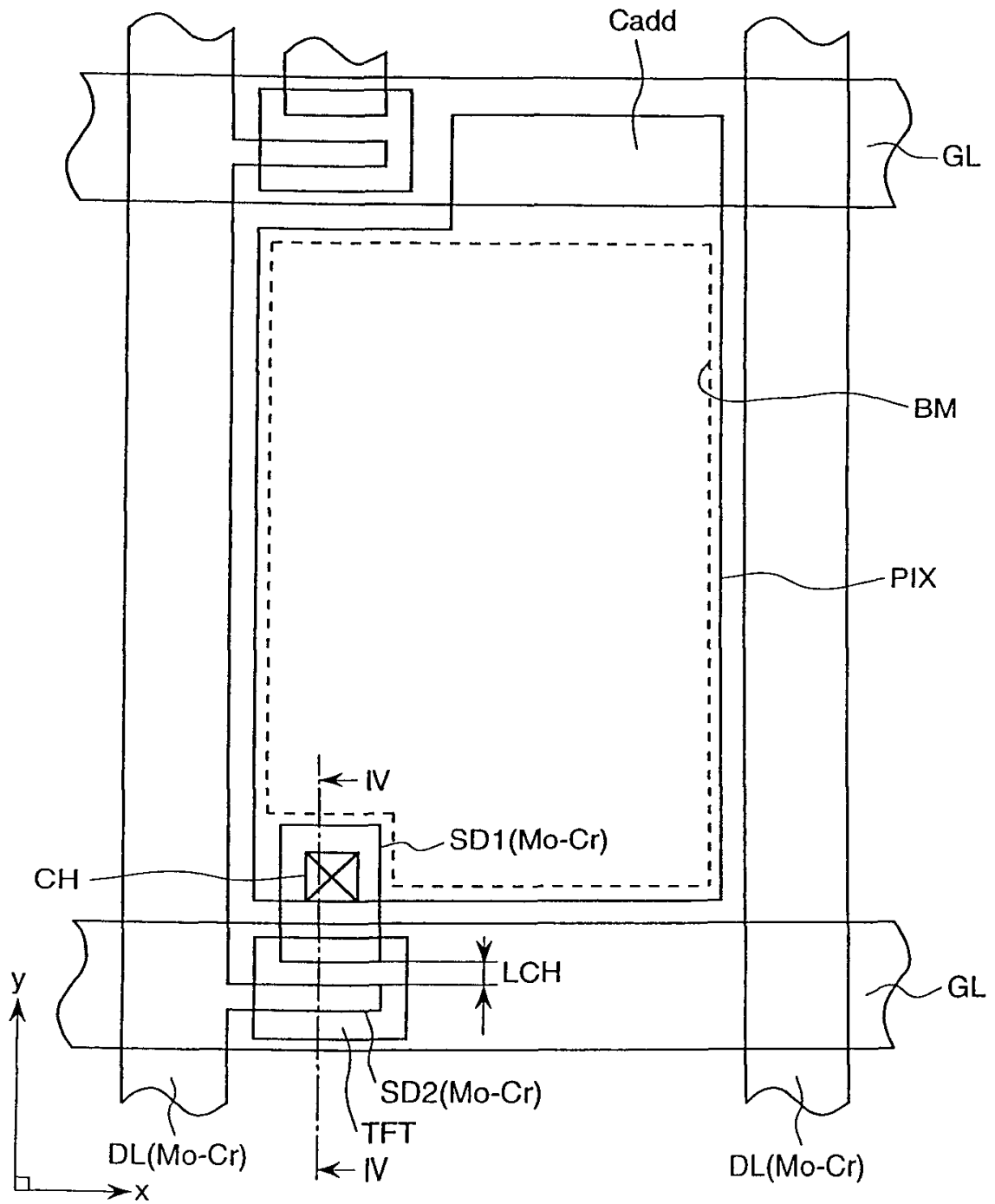


图 2

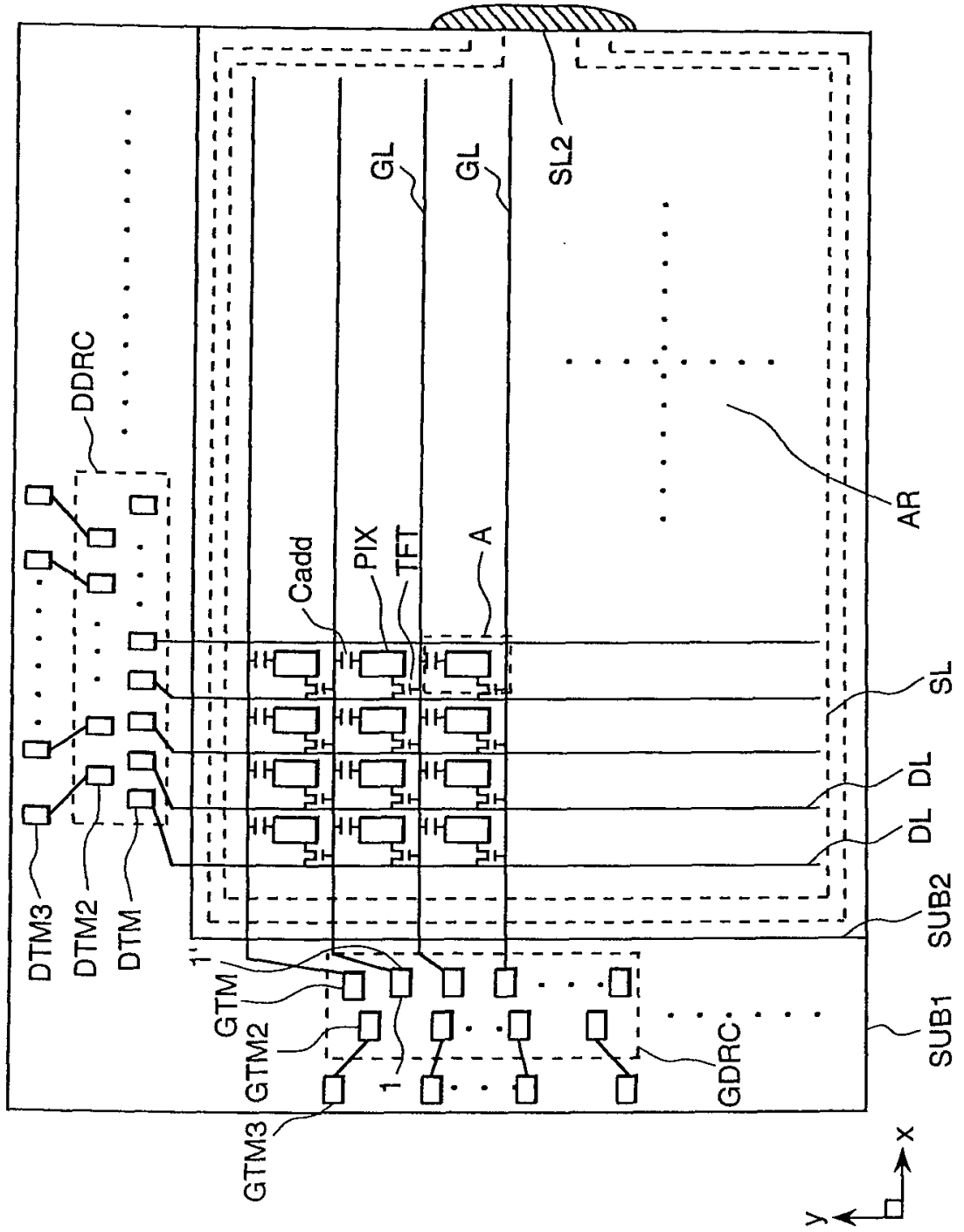


图 3

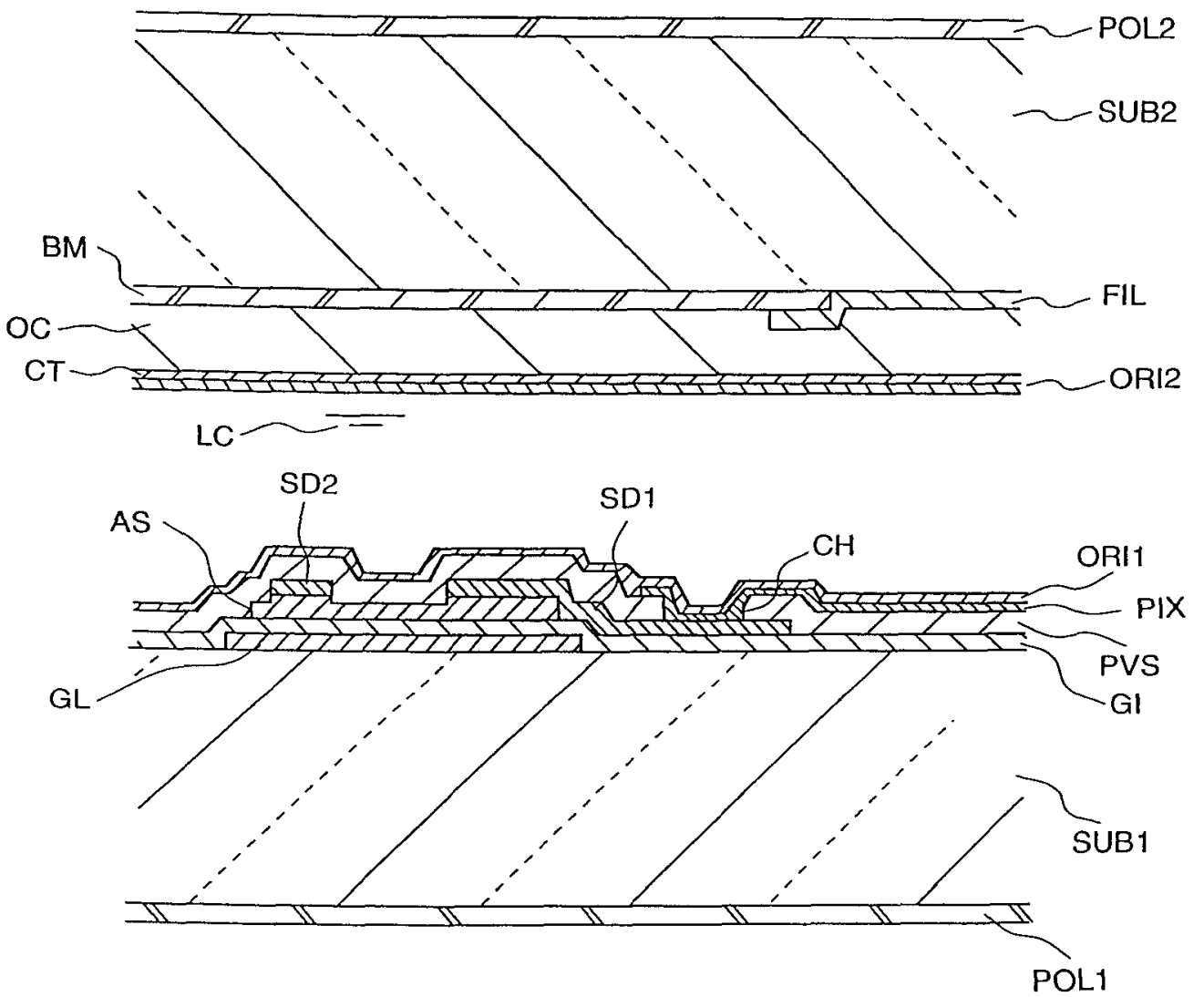


图 4(a)

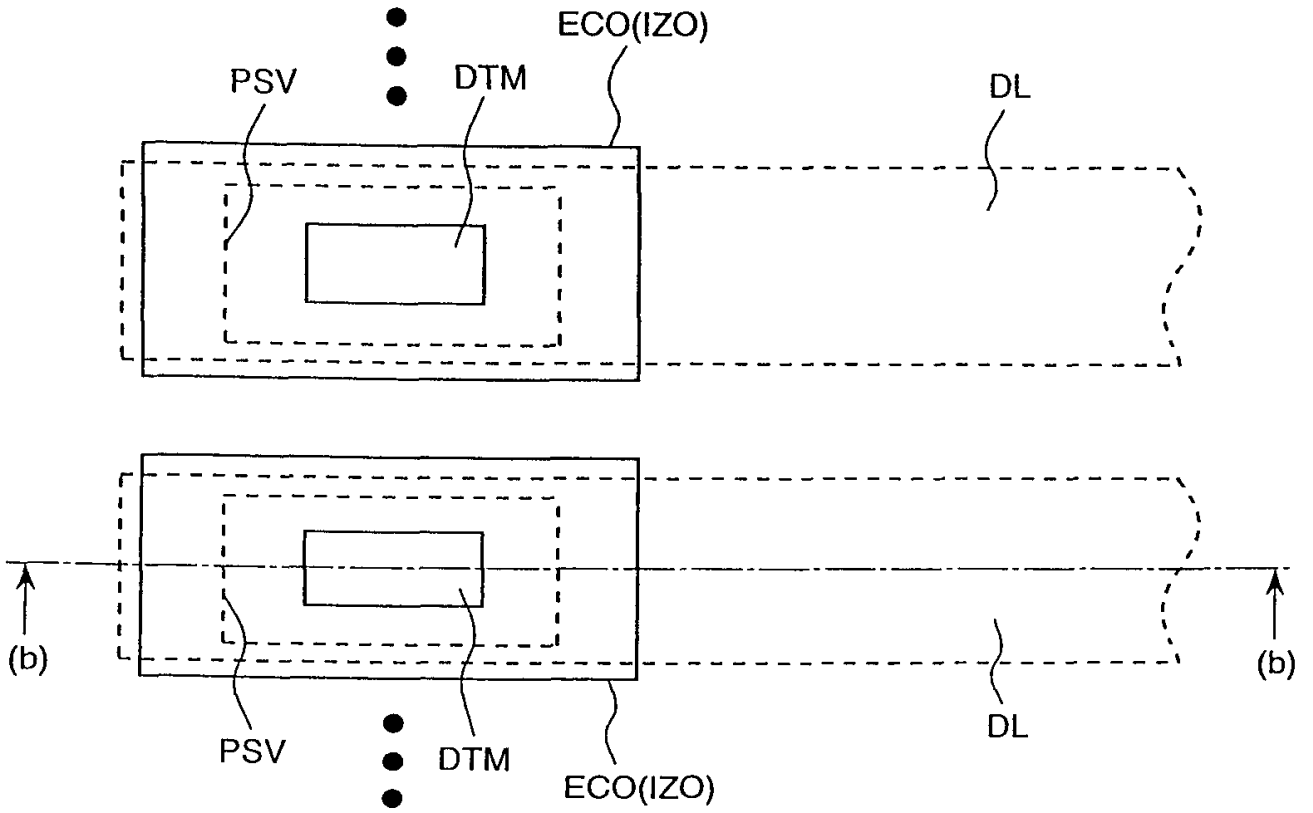


图 4(b)

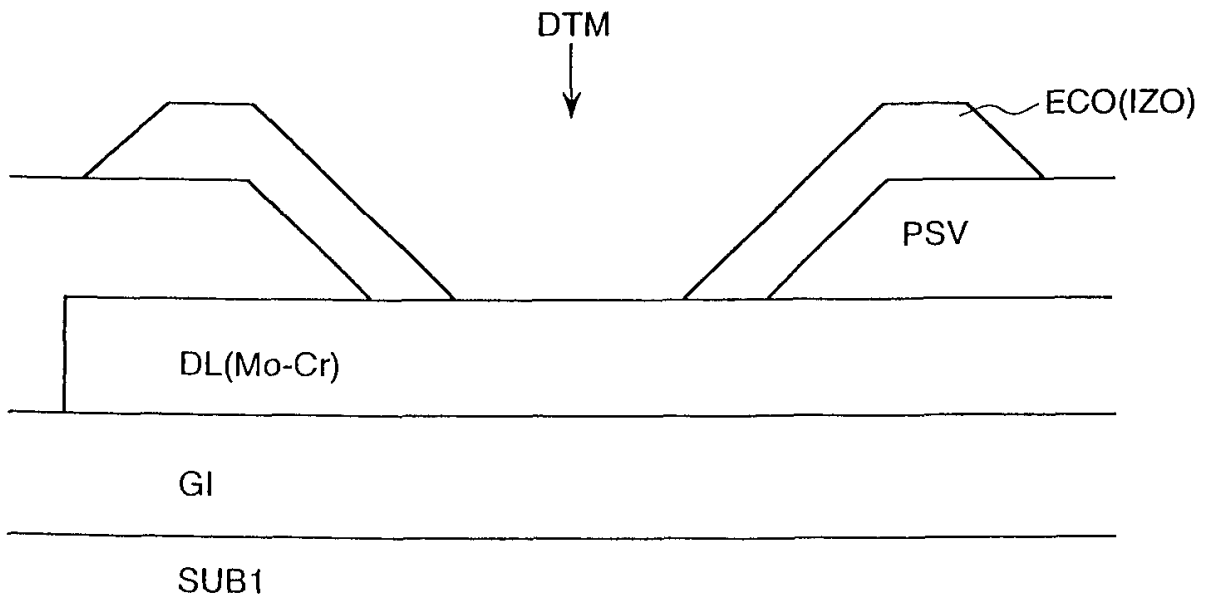


图 5

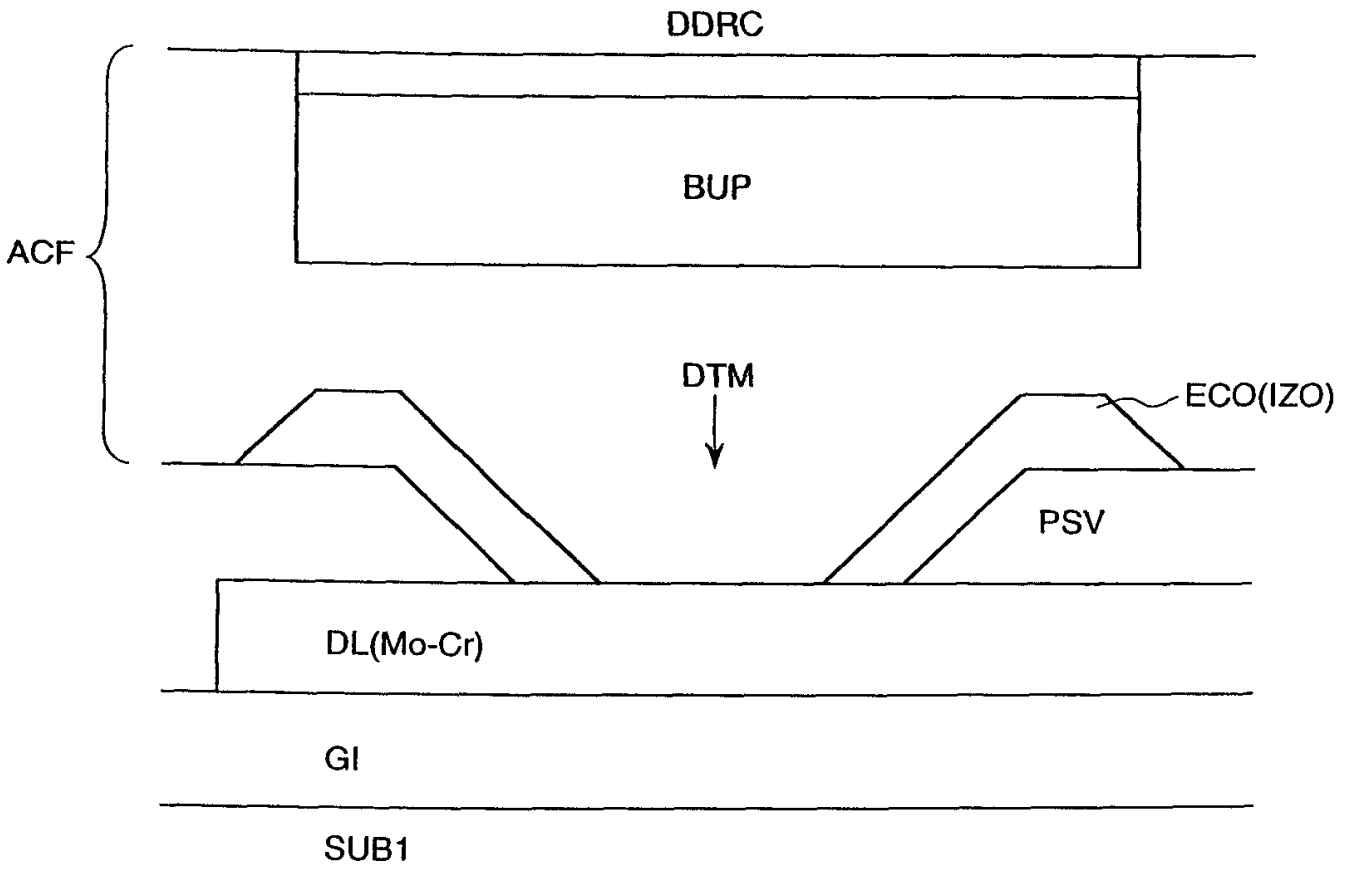


图 6

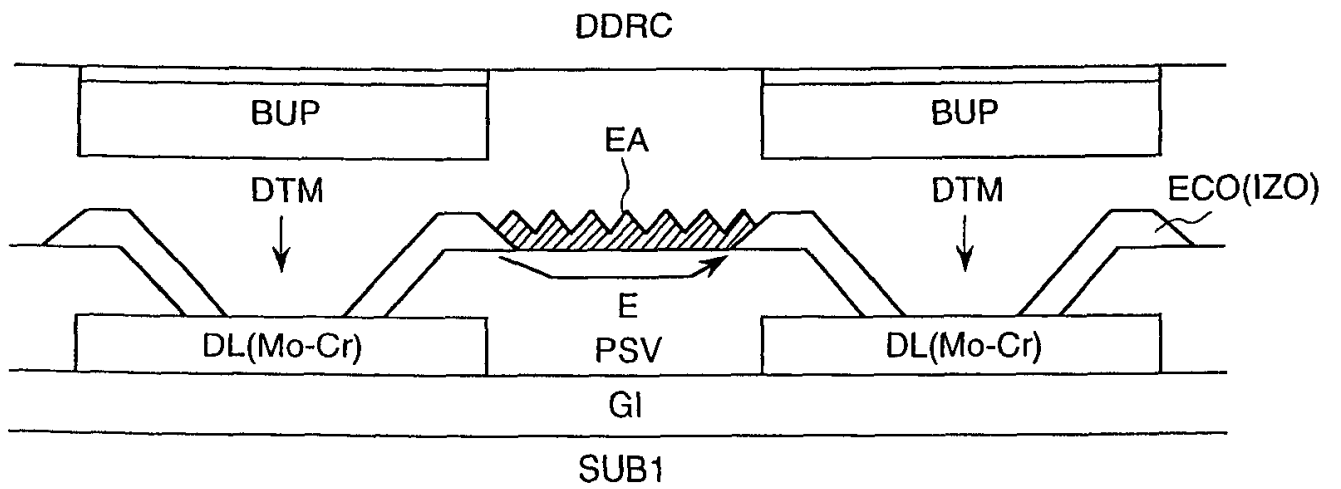


图 7

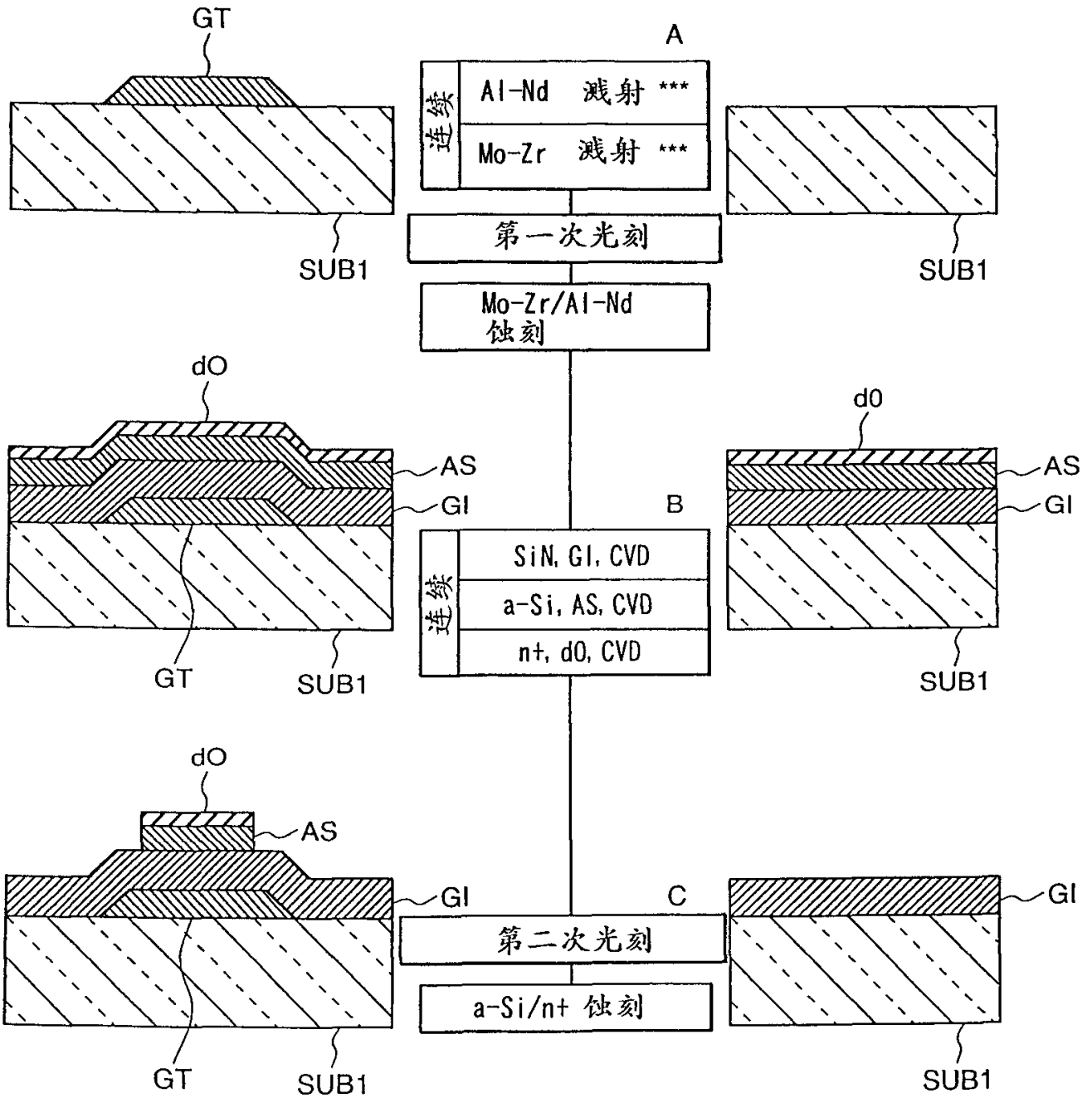


图 8

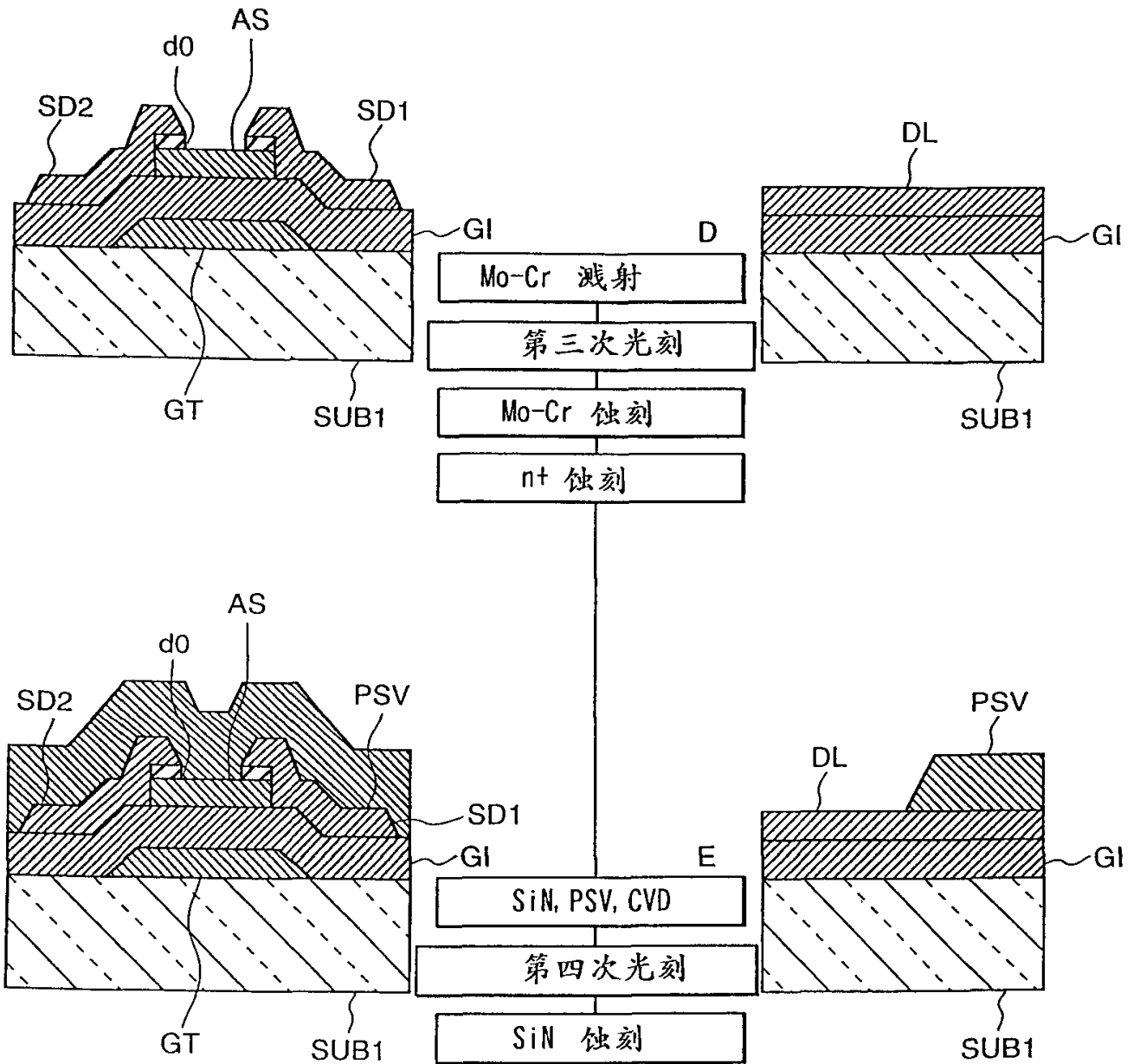


图 9

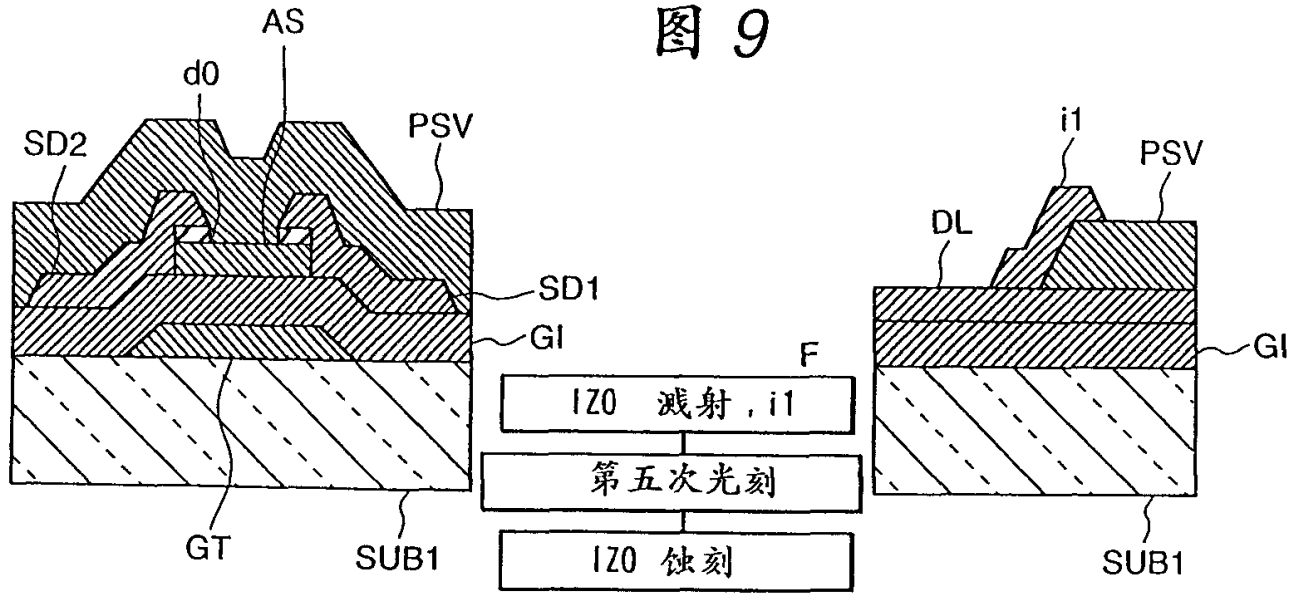


图 10

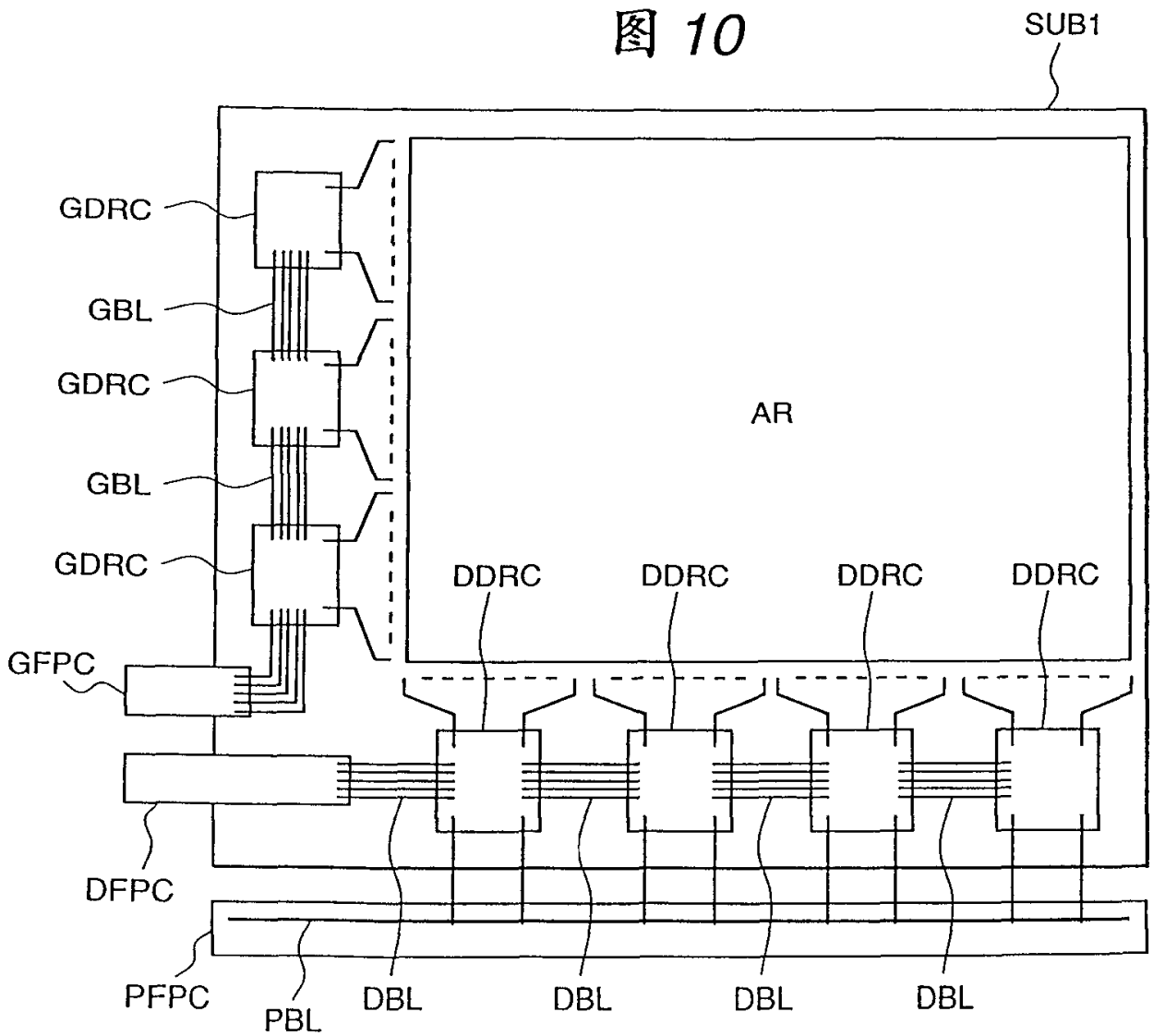


图 11

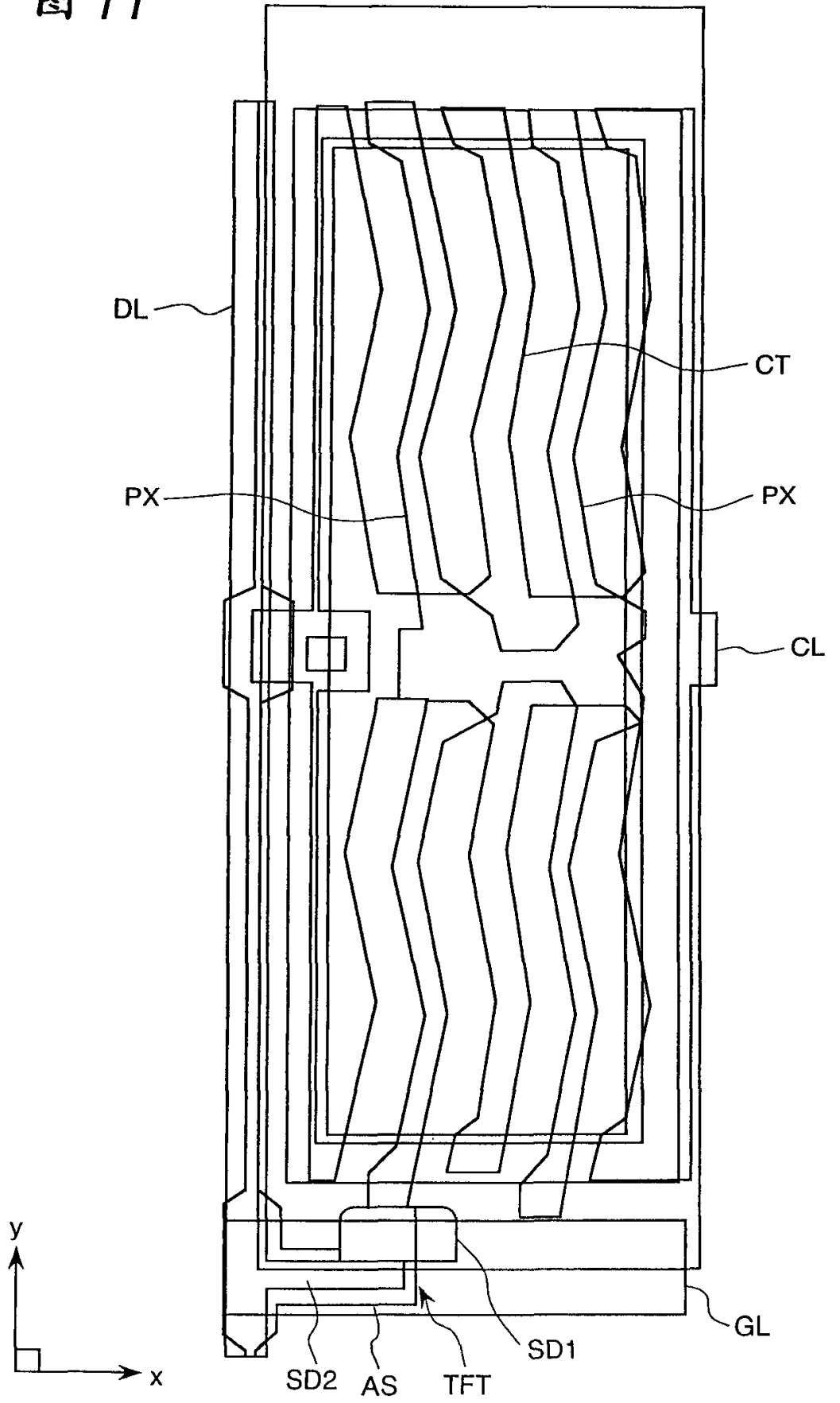


图 12

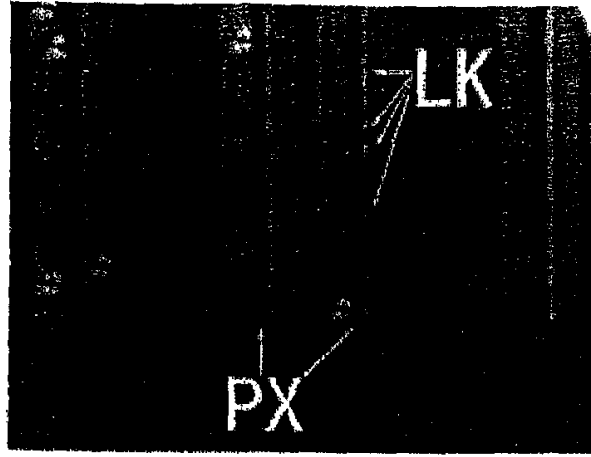


图 13

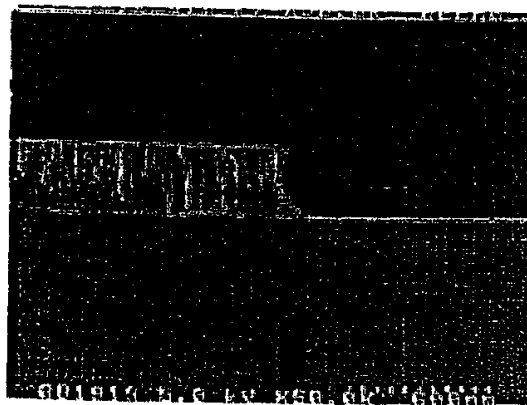


图 14

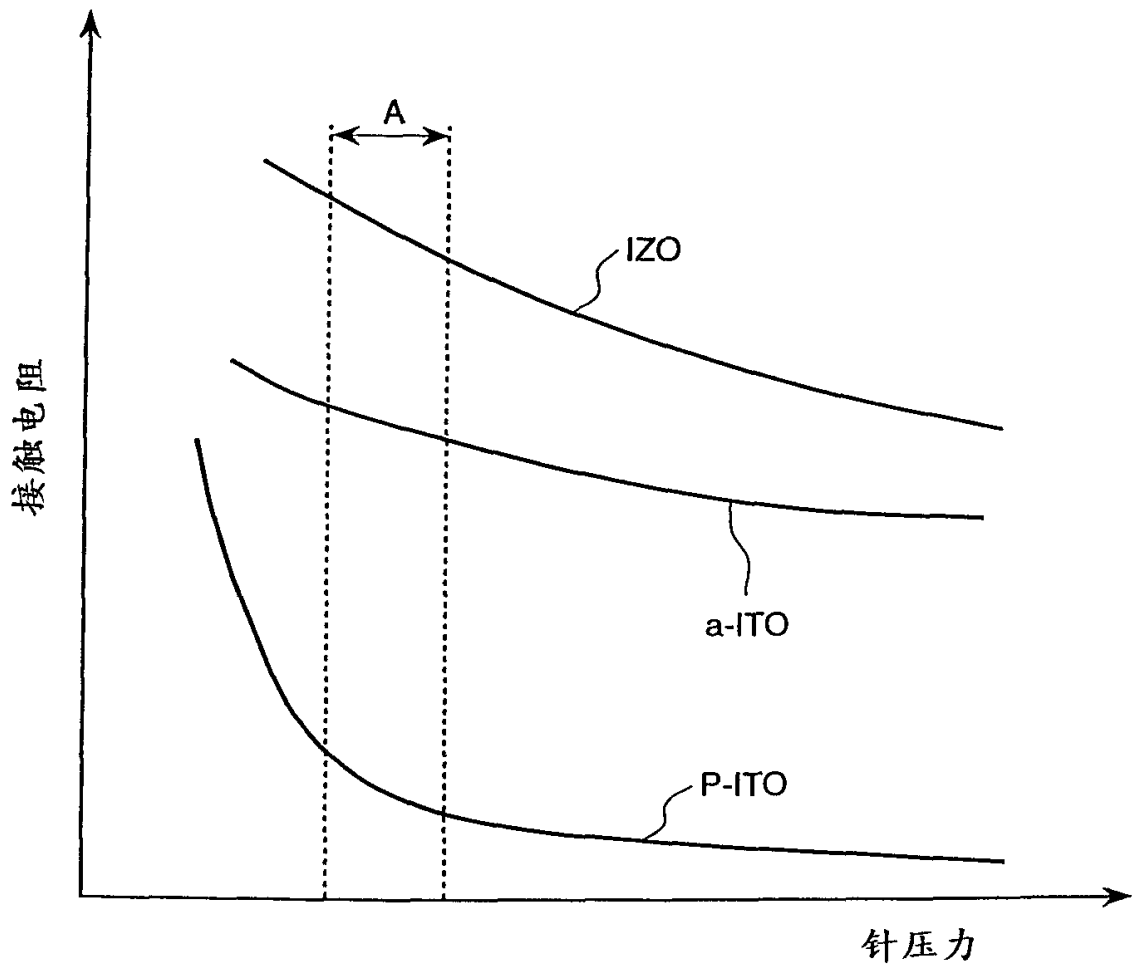


图 15

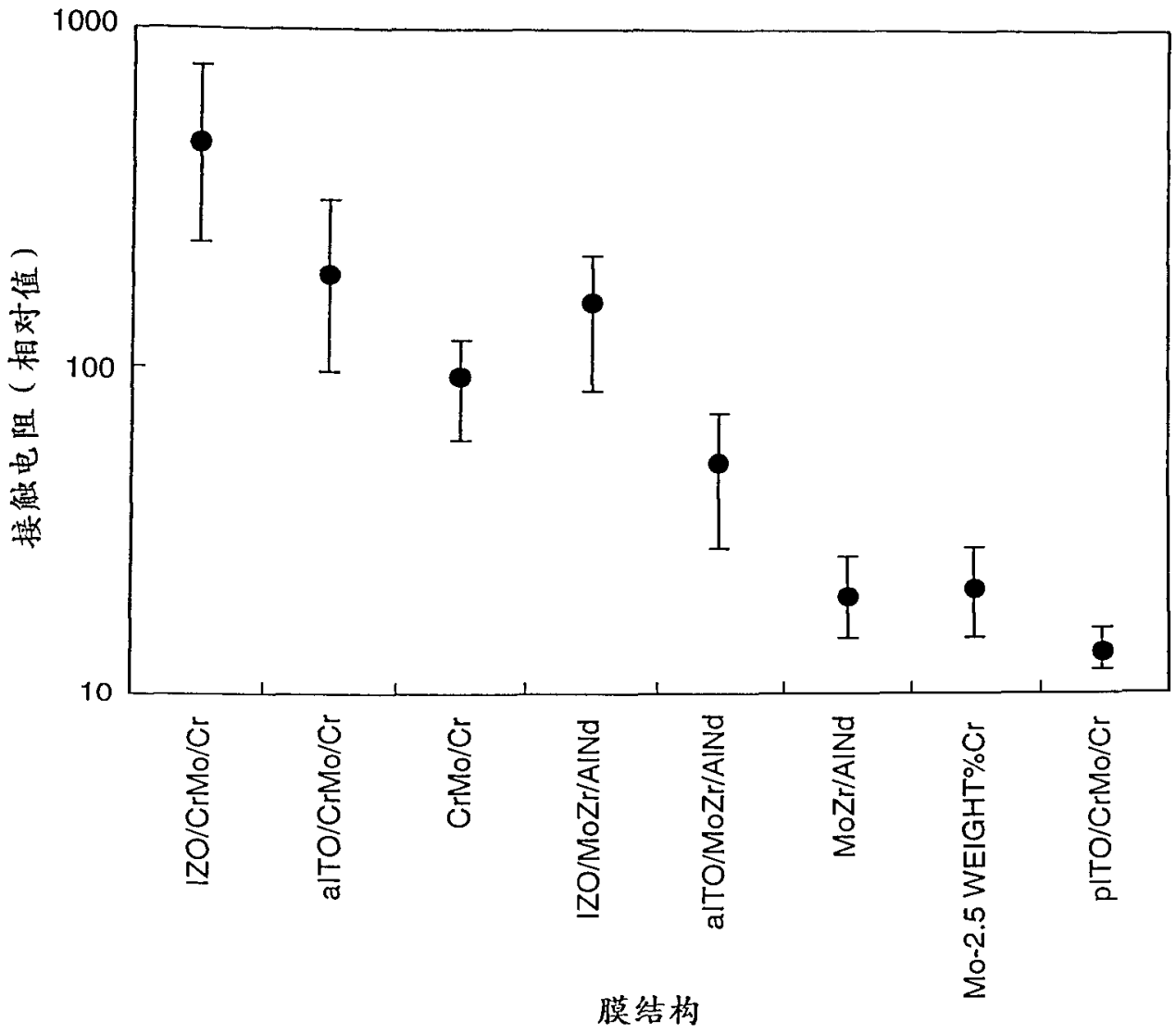


图 16

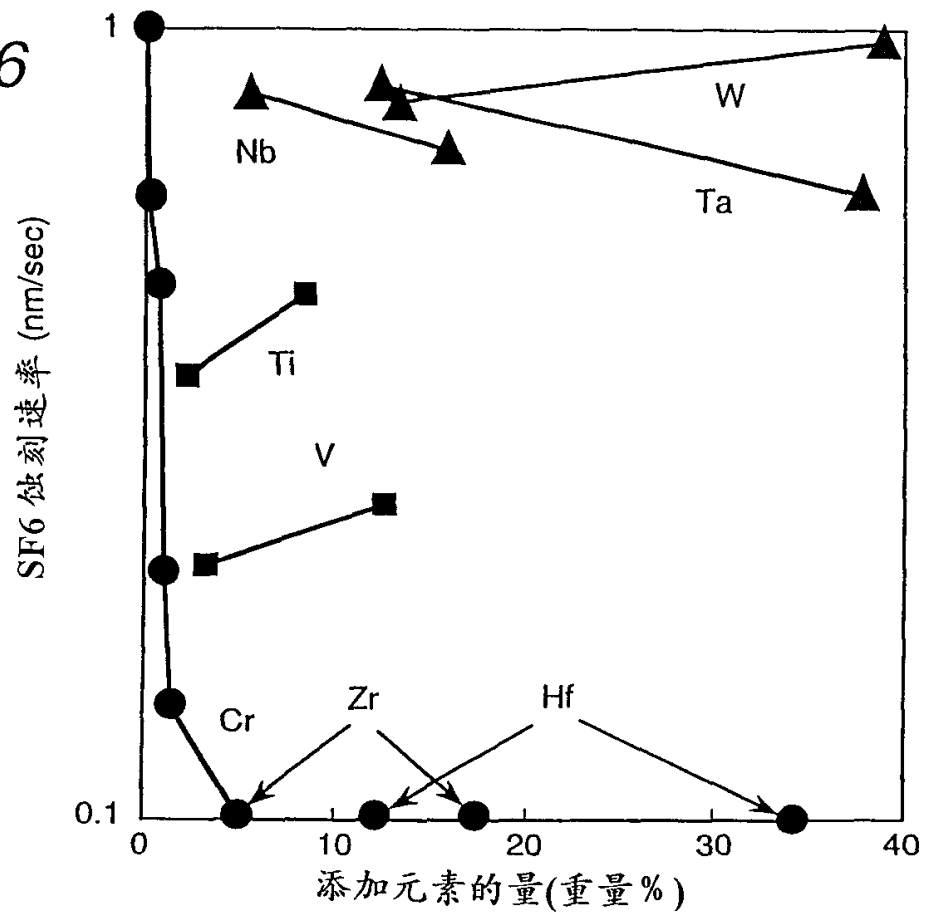


图 17

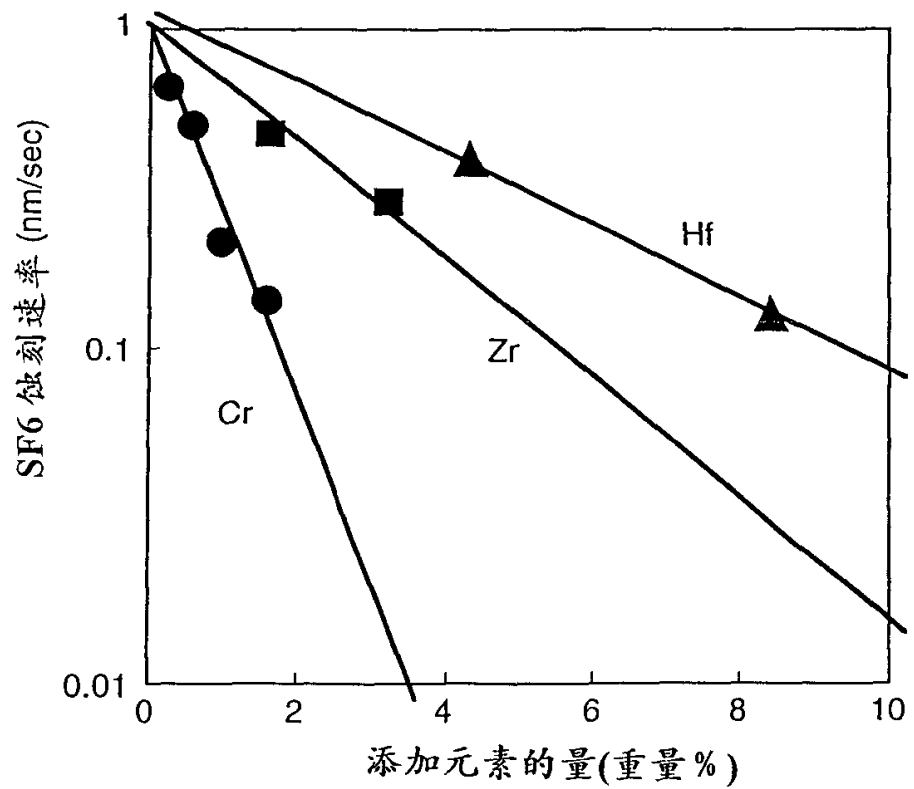


图 18(a)

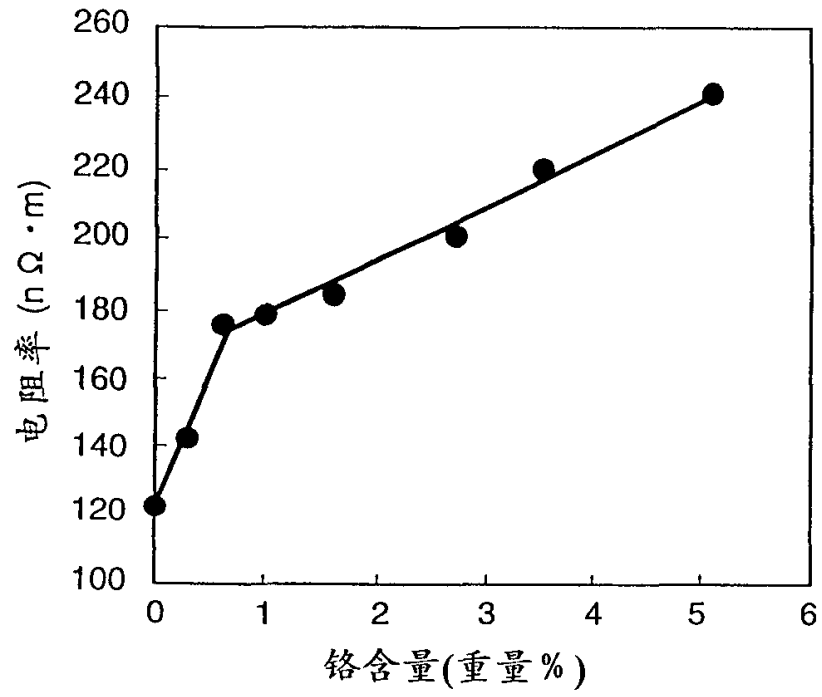


图 18(b)

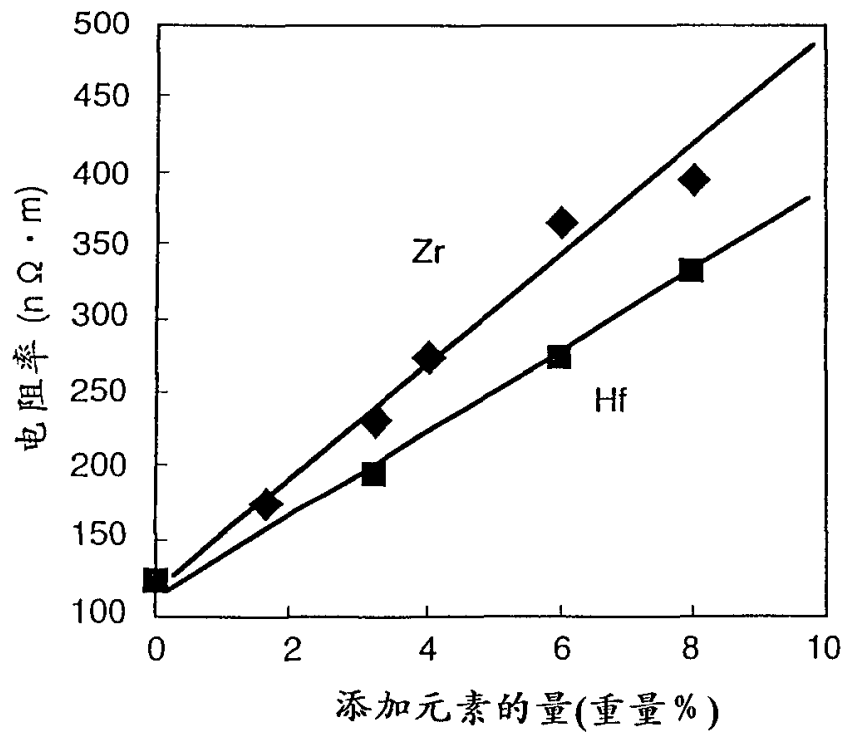


图 19

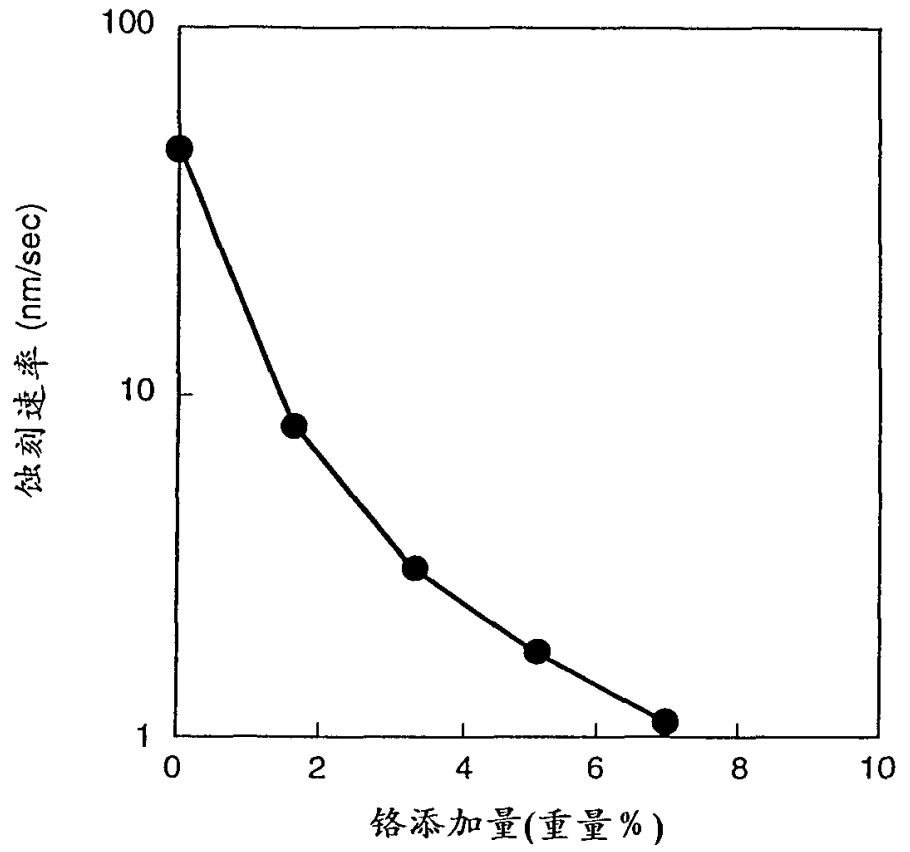


图 20

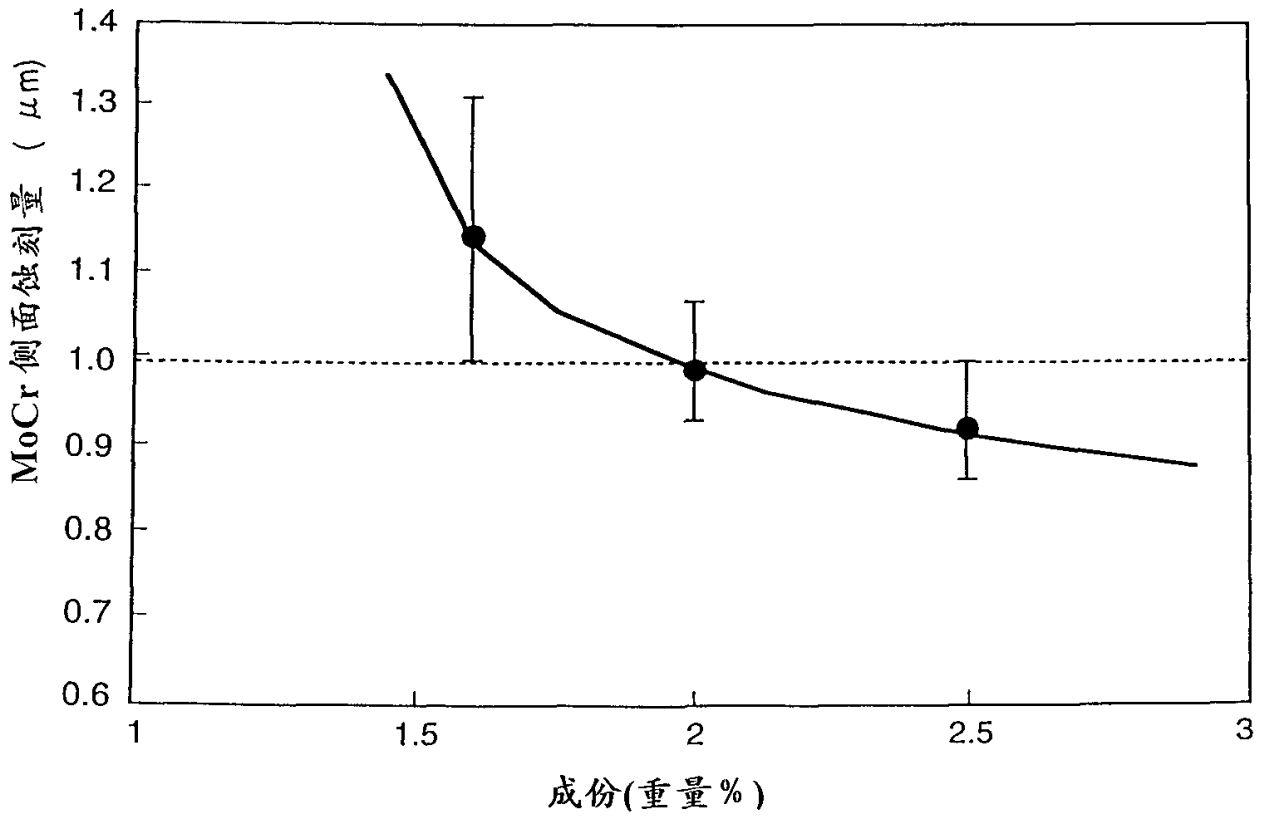


图 21(a)

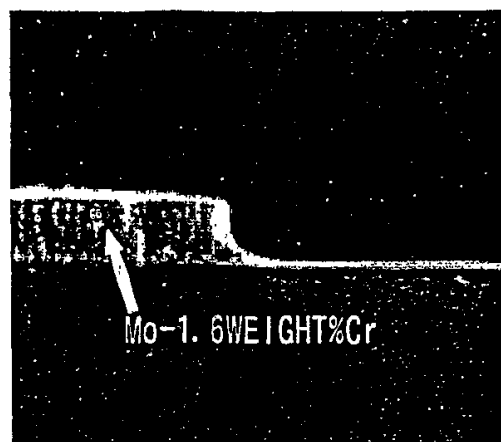


图 21(b)

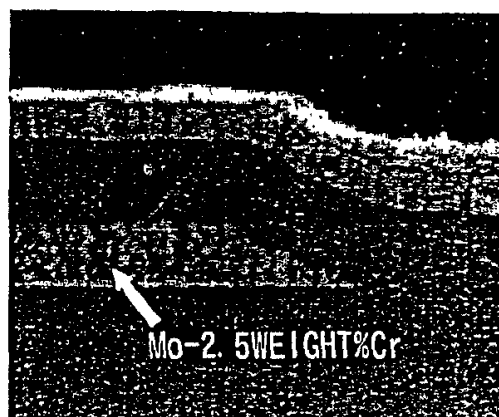
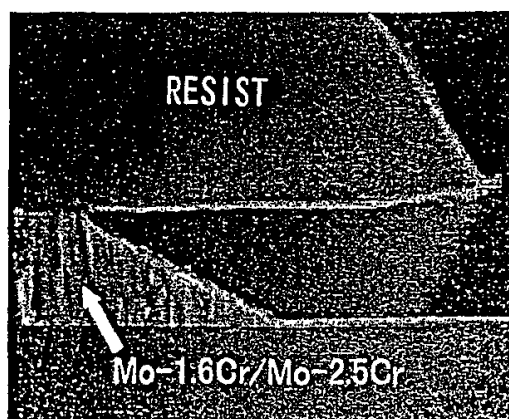


图 21(c)



专利名称(译)	液晶显示装置		
公开(公告)号	CN1353411A	公开(公告)日	2002-06-12
申请号	CN01125369.X	申请日	2001-08-31
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	高桥卓也 石井正宏 笠井勉 川村徹也 田村克 金子寿辉 鬼沢贤一		
发明人	高桥卓也 石井正宏 笠井勉 川村徹也 田村克 金子寿辉 鬼沢贤一		
IPC分类号	G02F1/1345 G02F1/136 G02F1/1362 G02F1/1368 G09F9/30 H01L21/28 H01L21/3205 H01L23/52 H01L29/786 G09G3/36 G02F11/36		
CPC分类号	G02F1/136286 G02F2001/13629 G02F2001/136295		
优先权	2000349305 2000-11-10 JP		
其他公开文献	CN1226662C		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示装置,其数据线由铬含量在2重量%以上、5重量%以下的铝合金化膜或者由具有第一导电膜和第二导电膜的铝合金化膜层叠(Mo - Cr)结构构成,其中第一导电膜的铬含量在2重量%以上、5重量%以下,第二导电膜在第一导电膜上且其铬含量低于第一导电膜。采用这些材料构成的数据线能够满足如下要求:高干蚀刻阻力、低电阻、低ACF接触电阻、低侧面蚀刻速率、锥形布线横截面形状以及两个以下的叠层。

